

TECHNICAL SPECIFICATION

SPECIFICATION TECHNIQUE



**Device embedded substrate –
Part 2-1: Guidelines – General description of technology**

**Substrat avec appareil(s) intégré(s) –
Partie 2-1: Directives – Description générale de la technologie**



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2015 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

IEC Catalogue - webstore.iec.ch/catalogue

The stand-alone application for consulting the entire bibliographical information on IEC International Standards, Technical Specifications, Technical Reports and other documents. Available for PC, Mac OS, Android Tablets and iPad.

IEC publications search - www.iec.ch/searchpub

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 30 000 terms and definitions in English and French, with equivalent terms in 15 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

More than 60 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Catalogue IEC - webstore.iec.ch/catalogue

Application autonome pour consulter tous les renseignements bibliographiques sur les Normes internationales, Spécifications techniques, Rapports techniques et autres documents de l'IEC. Disponible pour PC, Mac OS, tablettes Android et iPad.

Recherche de publications IEC - www.iec.ch/searchpub

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne de termes électroniques et électriques. Il contient plus de 30 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans 15 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

Plus de 60 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

TECHNICAL SPECIFICATION

SPECIFICATION TECHNIQUE



**Device embedded substrate –
Part 2-1: Guidelines – General description of technology**

**Substrat avec appareil(s) intégré(s) –
Partie 2-1: Directives – Description générale de la technologie**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.180; 31.190

ISBN 978-2-8322-2434-2

Warning! Make sure that you obtained this publication from an authorized distributor. Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.
--

CONTENTS

FOREWORD.....	4
INTRODUCTION.....	6
1 Scope.....	7
2 Normative references.....	7
3 Terms, definitions and abbreviations	7
3.1 Terms and definitions	7
3.2 Abbreviations	7
4 Technology of device embedded substrate	7
4.1 Basic structures	7
4.2 Technology of device embedded substrate	9
4.3 Structures of device embedded substrates and terms used in this specification	12
5 Jisso mounting and interconnection.....	13
5.1 General.....	13
5.2 Interconnections and structures of device embedded substrate	15
5.3 Device embedding by conventional process	17
5.4 Device embedding using vias	19
6 Naming of each section	22
6.1 General.....	22
6.2 General definition of top and bottom surfaces	22
6.3 Naming of layers and interconnection position	24
6.4 Definitions of insulation layer thickness, conductor gap and connection distance between terminal and conductor	27
6.4.1 General	27
6.4.2 Insulation layer thickness, conductor gap and electrode/conductor gap in pad connection	27
6.4.3 Insulation layer thickness, conductor gap and electrode/conductor gap in a via connection.....	28
6.5 Additional information.....	28
6.5.1 Additional information for the insulation layer.....	28
6.5.2 Additional information for conductor gap and electrode/conductor gap.....	29
Bibliography	30
Figure 1 – Examples of device embedded substrate	8
Figure 2 – Completed device embedded substrate (pad connection)	9
Figure 3 – Completed device embedded substrate (via connection)	9
Figure 4 – Structure of a pad connection type substrate on a passive device embedded ceramics base	10
Figure 5 – Structure of a device embedded substrate using a ceramic board as the base (via connection type).....	10
Figure 6 – Entire structure of device embedded substrate.....	15
Figure 7 – Base (typical structure).....	16
Figure 8 – Base (cavity structure).....	16
Figure 9 – Base (insulator).....	16

Figure 10 – Base (Conductive carrier – metal plate).....	16
Figure 11 – Passive device embedded ceramic board used as a base.....	17
Figure 12 – Ceramic board used as base (ceramic)	17
Figure 13 – Wire bonding connection and embedding of active device bare die	17
Figure 14 – Soldering connection and embedding of active device	18
Figure 15 – Soldering connection of square type passive device	18
Figure 16 – Conductive resin connection and embedding of active device	18
Figure 17 – Conductive resin connection and embedding of square type passive device.....	19
Figure 18 – Soldering connection into through hole and embedding of passive device	19
Figure 19 – Connection by copper plating after embedding of active device	19
Figure 20 – Connection by copper plating after embedding of square type passive device	20
Figure 21 – Conductive paste connection after embedding of active device package	20
Figure 22 – Conductive paste connection after embedding of square type passive device chip 20	
Figure 23 – Device embedded substrate for device embedding in multi-layers.....	21
Figure 24 – Embedding of devices over multiple layers	21
Figure 25 – Resin base substrate	21
Figure 26 – Conductor and metal sheet/copper foil as base substrate	22
Figure 27 – Device embedded substrate using passive device embedded ceramic substrates as base substrate – Second type.....	22
Figure 28 – Definition of top and bottom surfaces	23
Figure 29 – Definition of top and bottom surfaces (mounting of a mother board).....	23
Figure 30 – Names of layers in pad connection.....	24
Figure 31 – Additional information concerning the interconnection position	25
Figure 32 – Names of layers in via connection [I].....	25
Figure 33 – Names of layers in via connection [II].....	26
Figure 34 – Names of layers in via connection [III].....	26
Figure 35 – Definition of insulating layer thickness and conductor gap in pad connection 28	
Figure 36 – Definition of electrode gap in via connection	28
Figure 37 – Additional illustration of insulating layer thickness	29
Figure 38 – Additional illustration for conductor gap and electrode/connector gap	29
Table 1 – Classification of device embedding	11
Table 2 – Formed embedded device into the substrate	12
Table 3 – Embedded device structure and fabrication process	13
Table 4 – Jisso mounting and interconnection of device embedded substrate.....	14
Table 5 – Names of layers of device embedded board	27

INTERNATIONAL ELECTROTECHNICAL COMMISSION

DEVICE EMBEDDED SUBSTRATE –

Part 2-1: Guidelines – General description of technology

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

The main task of IEC technical committees is to prepare International Standards. In exceptional circumstances, a technical committee may propose the publication of a Technical Specification when

- the required support cannot be obtained for the publication of an International Standard, despite repeated efforts, or
- the subject is still under technical development or where, for any other reason, there is the future but no immediate possibility of an agreement on an International Standard.

Technical Specifications are subject to review within three years of publication to decide whether they can be transformed into International Standards.

IEC TS 62878-2-1, which is a Technical Specification, has been prepared by IEC technical committee 91: Electronics assembly technology.

The text of this Technical Specification is based on the following documents:

Enquiry draft	Report on voting
91/1142/DTS	91/1163A/RVC

Full information on the voting for the approval of this Technical Specification can be found in the report on voting indicated in the above table.

A list of all parts in the IEC 62878 series, published under the general title *Device embedded substrate*, can be found on the IEC website.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION

This part of IEC 62878 provides guidance with respect to device embedded substrate, fabricated by embedding discrete active and passive electronic devices into one or multiple inner layers of a substrate with electric connections by means of vias, conductor plating, conductive paste, and printing. Within the IEC 62878 series,

- IEC 62878-1-1 specifies the test methods,
- IEC TS 62878-2-1 gives a general description of the technology,
- IEC TS 62878-2-3 provides guidance on design, and
- IEC TS 62878-2-4 specifies the test element groups.

The device embedded substrate may be used as a substrate to mount SMDs to form electronic circuits, as conductor and insulator layers may be formed after embedding electronic devices.

The purpose of the IEC 62878 series is to achieve a common understanding with respect to structures, test methods, design and fabrication processes and the use of the device embedded substrate in industry.

DEVICE EMBEDDED SUBSTRATE – Part 2-1: Guidelines – General description of technology

1 Scope

This part of IEC 62878 describes the basics of device embedding substrate.

This part of IEC 62878 is applicable to device embedded substrates fabricated by use of organic base material, which include for example active or passive devices, discrete components formed in the fabrication process of electronic wiring board, and sheet formed components.

The IEC 62878 series neither applies to the re-distribution layer (RDL) nor to the electronic modules defined as an M-type business model in IEC 62421.

2 Normative references

The following documents, in whole or in part, are normatively referenced in this document and are indispensable for its application. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60194, *Printed board design, manufacture and assembly – Terms and definitions*

IEC 61189 (all parts), *Test methods for electrical materials, printed boards and other interconnection structures and assemblies*

3 Terms, definitions and abbreviations

3.1 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 60194 apply.

3.2 Abbreviations

BGA	ball grid array
I/O	in/out
IPD	integrated passive device
LGA	land grid array
LTCC	low temperature co-fired ceramic
MEMS	micro electro mechanical systems
PoP	package on package
QFN	quad flat no-lead package
QFP	quad flat package
SMD	surface mount device
SOJ	small outline J-leaded package
WLP	wafer level package

4 Technology of device embedded substrate

4.1 Basic structures

Figure 1 shows an example of device embedding structures in the fabrication process of a device embedded substrate. Active and passive devices are connected to each other by interlayer vias and/or conductor patterns. Insulating layers are formed using insulating materials

with vias for connection of inside conductor patterns to the conductor patterns formed on the surface(s) of the substrate. Figure 2 shows the substrate with connections using pads. Figure 3 shows the board using via connections.

The insulating layer includes rigid and flexible insulating resins such as phenol resin, epoxy resin, polyimide resin and modified polyimide resin, which may be reinforced with glass cloth, aramid cloth or paper. Interconnections include conventional interconnections to terminals of an embedded device and to a land for SMD, and formation of terminals by copper plating or vias using conductive paste.

This part of IEC 62878 does not specify a specific fabrication process of a device embedded substrate, via diameter/land diameter, conductor width/conductor spacing or a conductor line density.

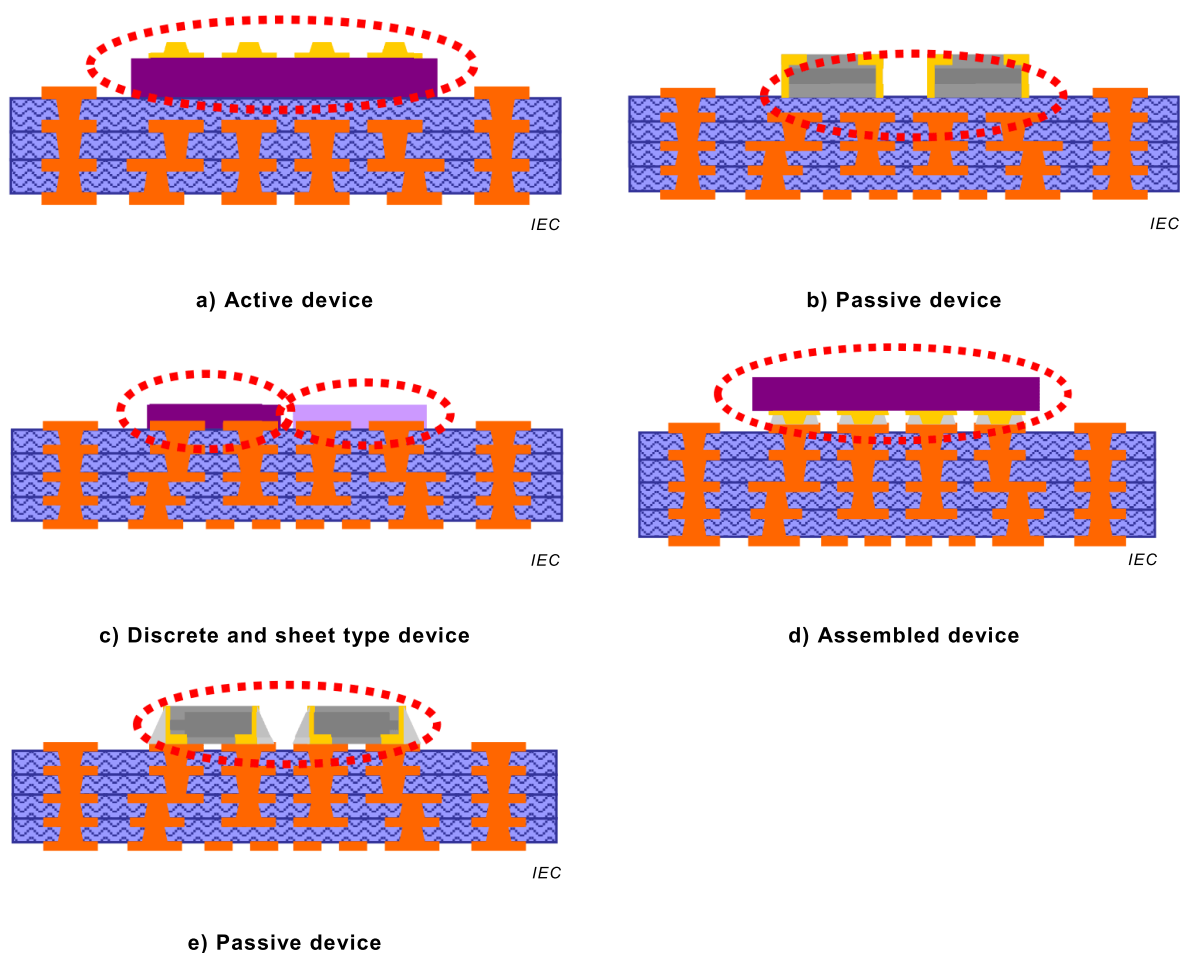
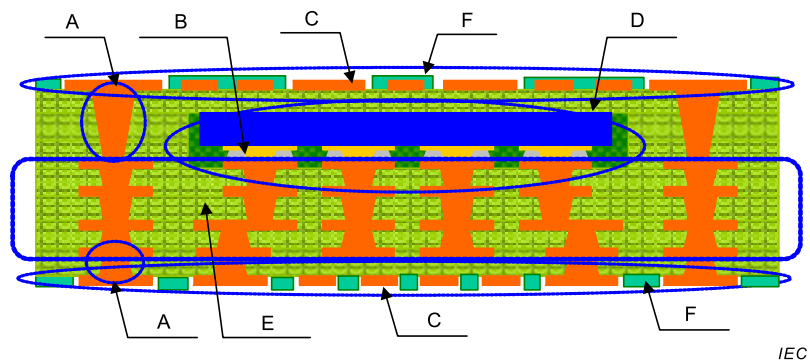


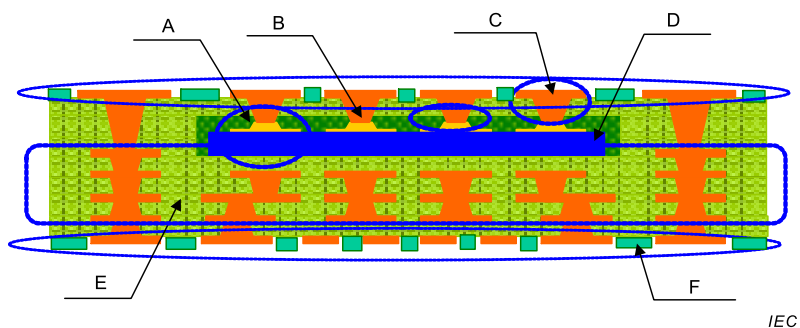
Figure 1 – Examples of device embedded substrate



Key

A	Layer connection (via)
B	Solder connection
C	Pattern formation
D	Embedded active device
E	Base
F	Solder resist

Figure 2 – Completed device embedded substrate (pad connection)



Key

A	Embedded with terminals upward
B	Copper plated connection
C	Copper plated via
D	Embedded active device
E	Base
F	Solder resist

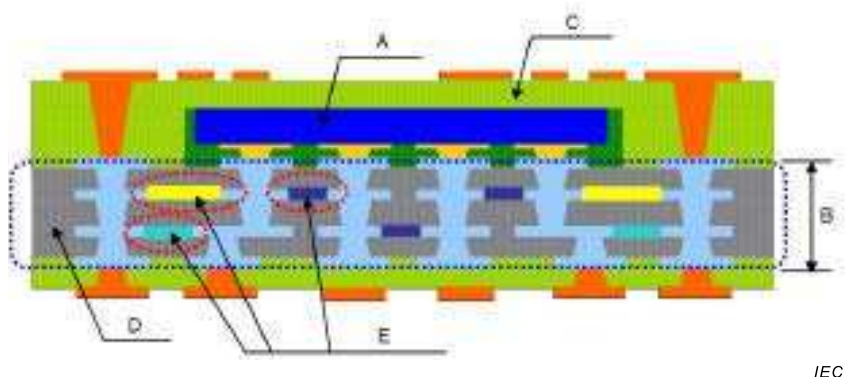
Figure 3 – Completed device embedded substrate (via connection)

4.2 Technology of device embedded substrate

There are two types of device embedded substrates. One type consists of mounting active and/or passive devices on a base substrate, then covering with organic resin; the other type consists of forming a device on a substrate and then covering it with organic resin.

Figure 4 shows the structure of a pad connection type substrate in which the active device is connected by pad onto the passive device embedded ceramics base. The device embedded substrate also includes composite type substrates which consist of mass produced inorganic

ceramics, including LTCC (low temperature co-fired ceramics, hereafter referred to as ceramics) substrates.

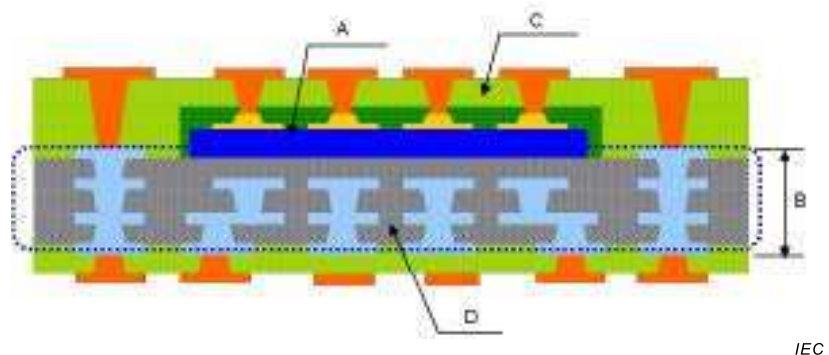


Key

A	Active device
B	Base
C	Embedding using resin
D	Ceramic substrate
E	Embedded devices in ceramic

Figure 4 – Structure of a pad connection type substrate on a passive device embedded ceramics base

In the via structure type, as shown in Figure 5, the ceramic substrate is used as a base on which active and passive devices are mounted and the entire body is covered with organic resin. However, details of inorganic ceramic substrates are not specified in this part of IEC 62878. Such a ceramic substrate is treated just as a base of a device embedded substrate.



Key

A	Active device
B	Base
C	Resin embedding
D	Ceramic substrate

Figure 5 – Structure of a device embedded substrate using a ceramic board as the base (via connection type)

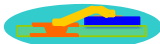
Classification of device embedding is given in Table 1. Active devices include for example bare die, wafer level package (WLP), ball grid array (BGA), land grid array (LGA), quad flat no lead package (QFN), small outline J-leaded package (SOJ) and quad flat package (QFP).

Passive devices include a chip component, a complex chip component like an array and an integrated passive device (IPD). Module and MEMS may be embedded into the substrate after

packaging and molding. The components formed during substrate formation are not covered by this specification and are not included in Table 2.

There are two types of embedding formed passive components. The first type consists of forming passive components using thick film or thin film technology on the base of silicon or compound semiconductor and/or on the stacked chip at the wafer level or on package-on-package (PoP). The second type consists of using a sheet-type passive device on an organic substrate followed by the embedding of other devices.

Table 1 – Classification of device embedding

Classification	Item	Embedding	Device terminals	Bonding	Schematics
Active device	Bare die	Die bonding	Peripheral	Wire bonding	
		Flip chip bonding	Peripheral area array	Flip chip bonding	
		Die bonding	Peripheral area array	Via connection (Plating, paste)	
	Wafer level package	Mounting	Peripheral area array	Soldering Conductive paste	
		Die bonding	Peripheral area array	Via connection (Plating, paste)	
	Package	Mounting	BGA, LGA, QFN	Soldering Conductive paste	
		Mounting	BGA, LGA, QFN	Via connection (Plating, paste)	
Passive device	Chip component	Mounting	Rectangular chip Rod type chip	Through hole	
		Mounting	Rectangular chip Rod type chip	Soldering Conductive paste	
		Mounting	Rectangular chip	Via connection (Plating, paste)	
	Module chip component	Mounting	Rectangular chip	Soldering Conductive paste	
		Mounting	Rectangular chip	Via connection (Plating, paste)	
	Integrated passive device	Mounting	IPD	Soldering Conductive paste	
		Mounting	IPD	Via connection (Plating, paste)	
Module	Packaging and molding	Mounting	Arbitrary	Soldering Conductive paste	

Classification	Item	Embedding	Device terminals	Bonding	Schematics
		Mounting	Arbitrary	Via connection (Plating, paste)	
MEMS	Packaging and molding	Mounting	Arbitrary	Soldering Conductive paste	
		Mounting	Arbitrary	Via connection (Plating, paste)	

Table 2 – Formed embedded device into the substrate

Classification	Item	Embedding	Device terminals	Bonding	Schematics
Active device	Formed	Thin film sputtering	Silicon	Via connection (Plating, paste)	
		Thick film screen printing	Semiconducting polymer		
Passive device	Formed	Double through hole	Copper plating		
		Etching	Laminate material		
		Etching	Film		
		Screen printing	Polymer		
		Transfer	Ferromagnetic ceramics		
		Lamination	Seeding		
		Spin coating	Polymer		

4.3 Structures of device embedded substrates and terms used in this specification

Structures and fabrication processes of device embedded substrates are illustrated in Table 3. A base substrate is necessary for a device embedded substrate to embed active and passive devices. Most of the base substrates are multilayer substrates and/or build-up substrates which are made of insulating resin board; insulating sheet, metal sheet and film carrier can also be used. Table 3 shows the methods to embed active or passive devices and then connect devices to the surface conductor by plated through hole vias and/or conductive paste, and checking items during the fabrication process.

This specification, however, does not cover active devices formed on silicon interposer, compound semiconductor substrates or a printed wiring board and formed passive device (resistor, capacitor or inductor). On the other hand it covers an inductor formed together with the formation of conductor pattern and the capacitor with via-in-via structure.

Table 3 – Embedded device structure and fabrication process

Process	Item	Structure		To check
		Pad bonding	Via connection	
1	Base			Opening, short-circuiting
2	Mounting			Position accuracy
3	Pad bonding		-	Connection, conduction
4	Embedding			Microvoid Board thickness Flatness
5	Via forming			Hole position Terminal position Resistance to chemicals
6	Via connection	-		Thicknesses of copper plating and conductive paste Microvoid
7	Pattern formation (multi-layer)			Open, short
8	Surface treatment (Solder mask, etc.)			Visual inspection

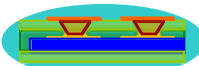
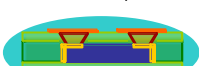
5 Jisso mounting and interconnection

5.1 General

There are two types of terminal connection. One type consists of connecting the terminals of an embedded device to connecting pads formed on the base, and the other consists of forming connecting vias on the device after embedding. The device is connected to pads on the base using conventional semiconductor and SMD mounting techniques and then the device is embedded. In the second type, the device is connected to a conductor pattern after it has been embedded by copper plating or conductive paste. Both device mounting types can be classified into die-bonding and mounting methods, as shown in Table 4.

Table 4 – Jisso mounting and interconnection of device embedded substrate

Jisso mounting		Device	Interconnection		Structure
			Process	Interconnection	
Pad bonding	Die bonding	Chip	Wire bonding		
			Flip-chip bonding	Metal bonding Contact connection	Metal bonding  Contact 
	Mounting	Wafer level package (WLP)		Soldering conductive paste	Soldering  Conductive paste 
		Package			
		Rectangular chip			Soldering  Conductive paste 
		Rod-type chip			
		Module			Soldering  Conductive paste 
		MEMS			

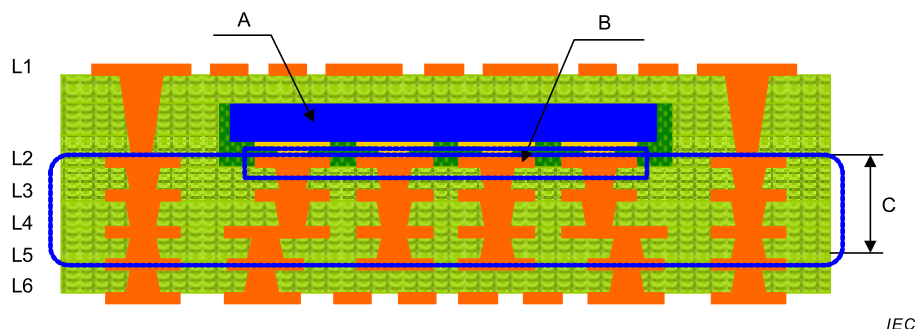
Jisso mounting		Device	Interconnection		Structure
			Process	Interconnection	
Via bonding	Die bonding	Chip	Via connection	Copper plating conductive paste	Copper plating 
		Wafer level package (WLP)			Conductive paste 
	Mounting	Package			Copper plating 
		Rectangular chip			Conductive paste 
		Rod-type chip			
		Module			
		MEMS	Via connection	Copper plating Conductive paste	

Shape and surface treatment of terminals of the device to be embedded should be agreed between user and supplier of the device.

5.2 Interconnections and structures of device embedded substrate

Figure 6 shows each section of a device embedded substrate and its name. See IEC 60194 for the terms used in this part of IEC 62878. Additions to IEC 60194 for the terms specific to device embedding technology are being reviewed. The number of layers is counted after device embedding is complete as L1, L2 to L6 (in case of 6 layers) counting from the top layer.

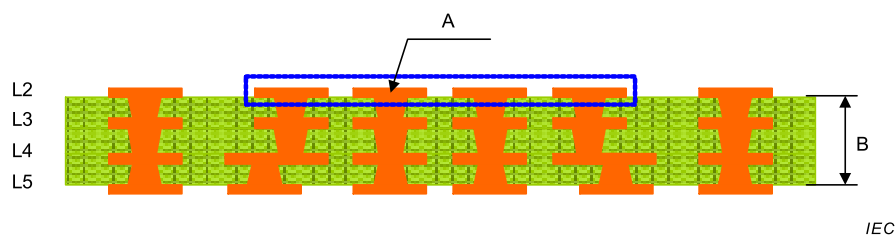
The structure of the device embedded substrate is illustrated by means of the structure of the build-up substrate. Figure 7 shows a typical base structure and Figure 8 a cavity structure. Figure 9 shows the structure for an insulating base and Figure 10 for a base using a conductive carrier or metal sheet. Use of ceramic substrate in device embedding is stated here for technical information. Figure 11 and Figure 12 show ceramic board as the wiring board base and ceramic board used as base, respectively.



Key

A	Active device
B	Embedded device connecting pad
C	Base

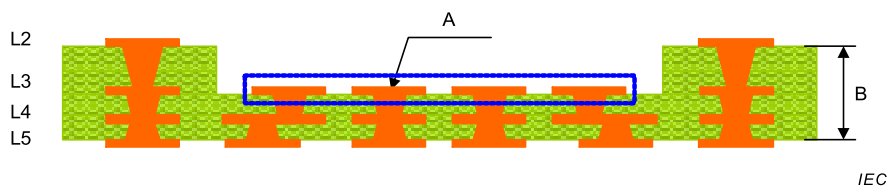
Figure 6 – Entire structure of device embedded substrate



Key

A	Embedded device connecting pad
B	Base

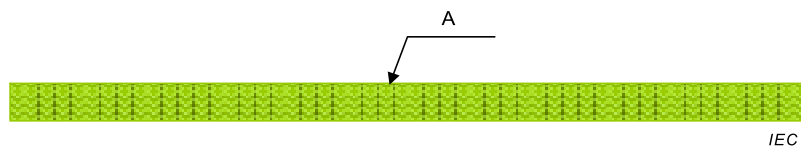
Figure 7 – Base (typical structure)



Key

A	Embedded device connecting pad
B	Base

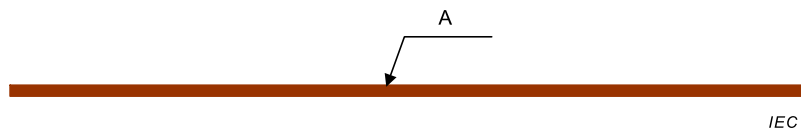
Figure 8 – Base (cavity structure)



Key

A	Insulating material (base, prepreg, etc.)
---	---

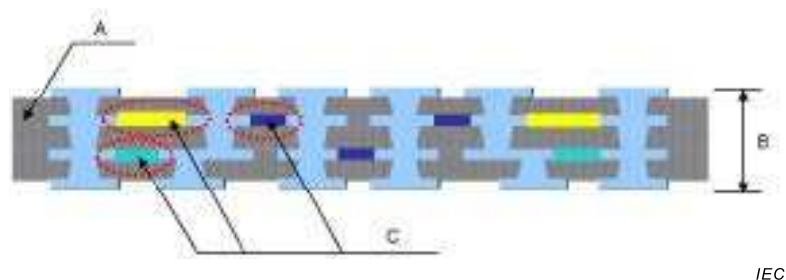
Figure 9 – Base (insulator)



Key

A	Copper foil
---	-------------

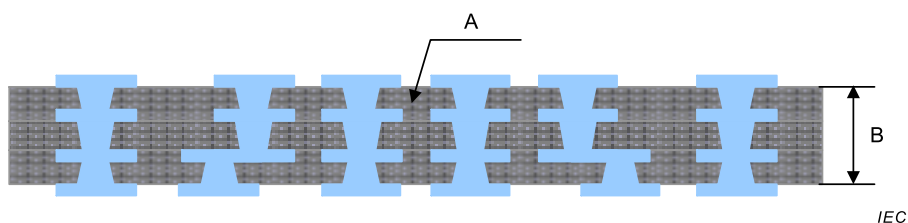
Figure 10 – Base (Conductive carrier – metal plate)



Key

A	Ceramic wiring board
B	Base
C	Embedded component in ceramic board

Figure 11 – Passive device embedded ceramic board used as a base



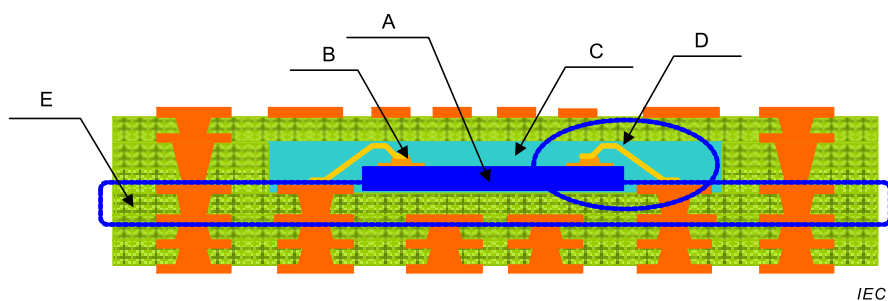
Key

A	Ceramic wiring board
B	Base

Figure 12 – Ceramic board used as base (ceramic)

5.3 Device embedding by conventional process

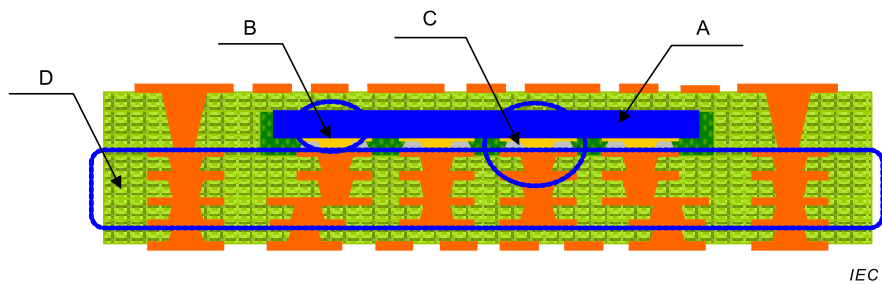
Figure 13 to Figure 18 show various cases of device embedding in conventional mounting techniques, electric connection after embedding of various types of devices, embedding device to more than one layer, device embedding with a resin base, and also the use of a conductor layer and metal sheet/copper foil.



Key

A	Active device
B	Embedded with upward terminal
C	Encapsulant
D	Bonding wire
E	Base

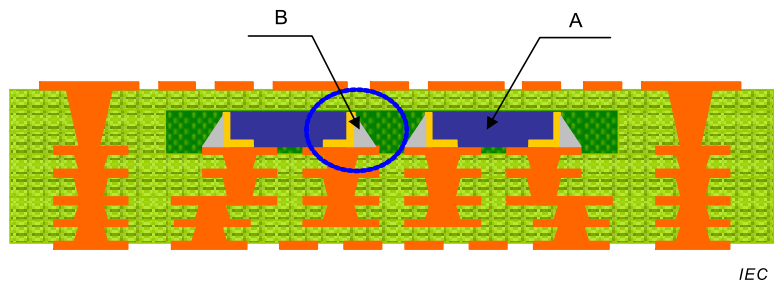
Figure 13 – Wire bonding connection and embedding of active device bare die



Key

A	Active device
B	Embedded with downward terminal
C	Soldering
D	Base

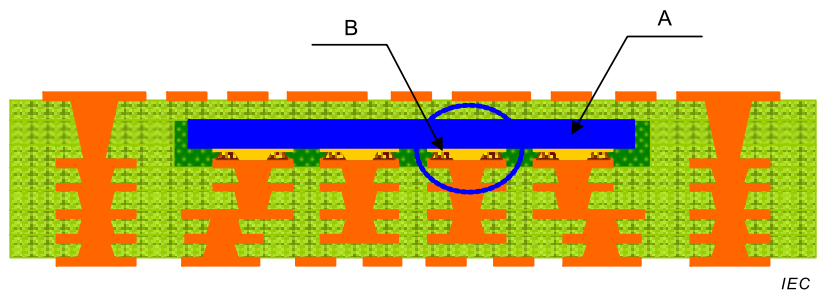
Figure 14 – Soldering connection and embedding of active device



Key

A	Passive device
B	Soldering

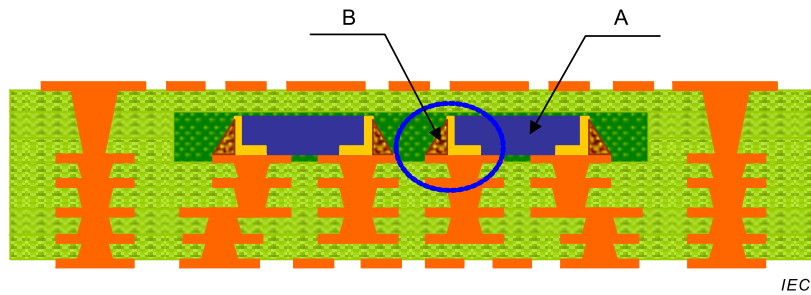
Figure 15 – Soldering connection of square type passive device



Key

A	Active device
B	Conductive adhesive

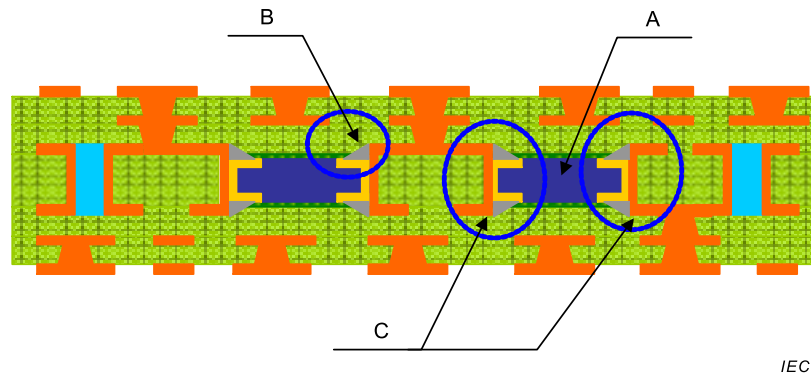
Figure 16 – Conductive resin connection and embedding of active device



Key

A	Passive device
B	Conductive adhesive

Figure 17 – Conductive resin connection and embedding of square type passive device



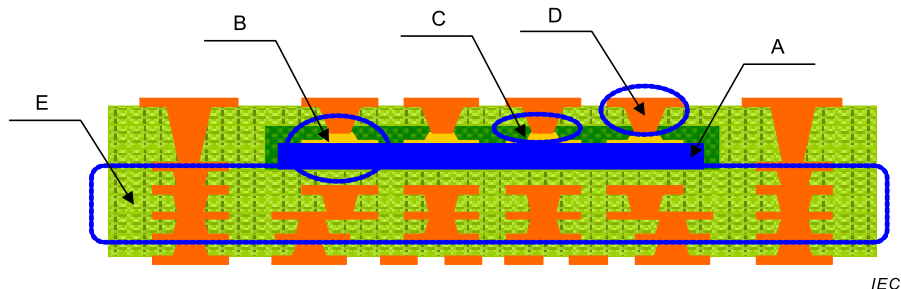
Key

A	Passive device
B	Soldering
C	Two through holes

Figure 18 – Soldering connection into through hole and embedding of passive device

5.4 Device embedding using vias

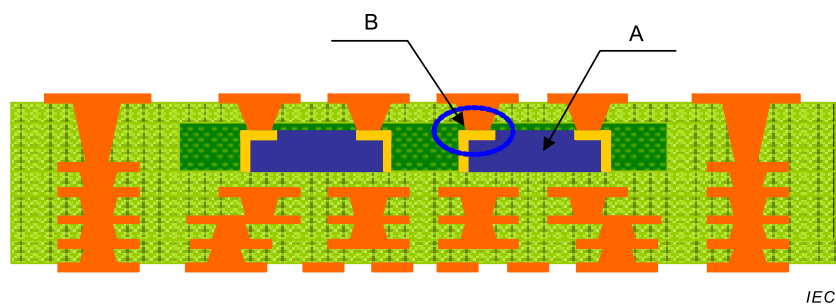
Figure 19 to Figure 27 show various cases of device embedding using vias.



Key

A	Active device
B	Embedded with upward terminals
C	Copper plating connection
D	Copper plated via
E	Base

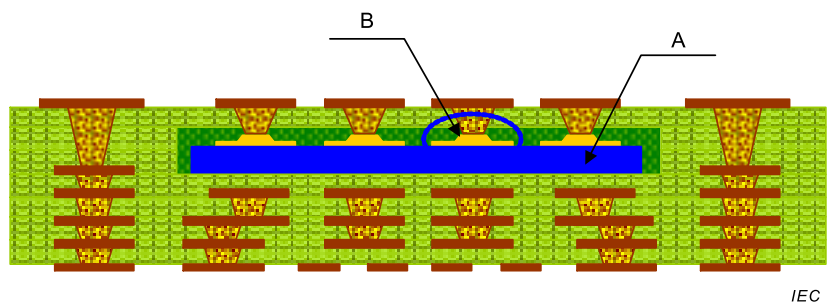
Figure 19 – Connection by copper plating after embedding of active device



Key

A	Passive device
B	Copper plating connection

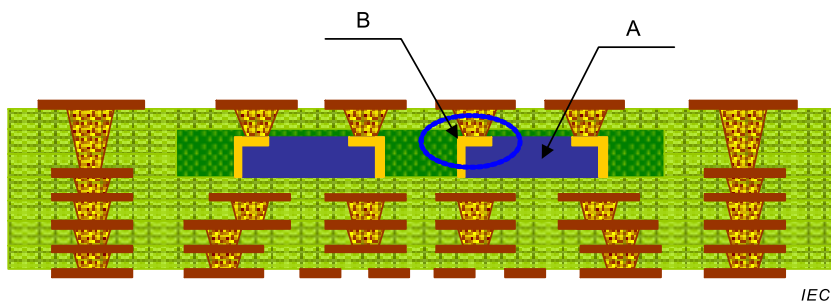
Figure 20 – Connection by copper plating after embedding of square type passive device



Key

A	Active device
B	Conductive paste connection

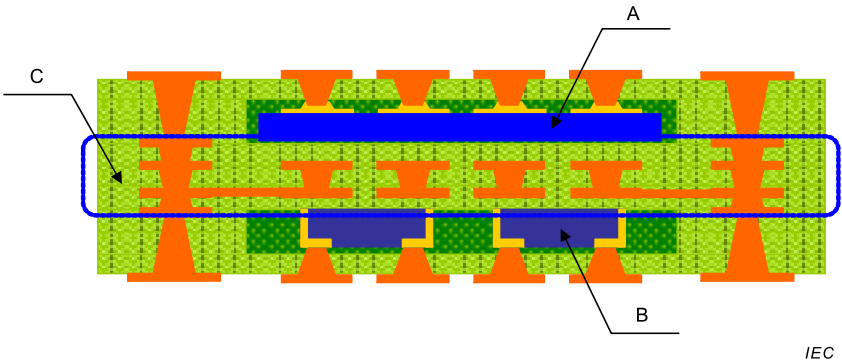
Figure 21 – Conductive paste connection after embedding of active device package



Key

A	Passive device
B	Conductive paste connection

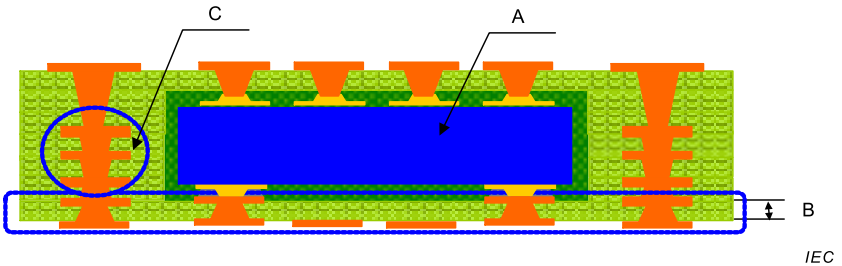
Figure 22 – Conductive paste connection after embedding of square type passive device chip



Key

A	Active device
B	Passive device
C	Base

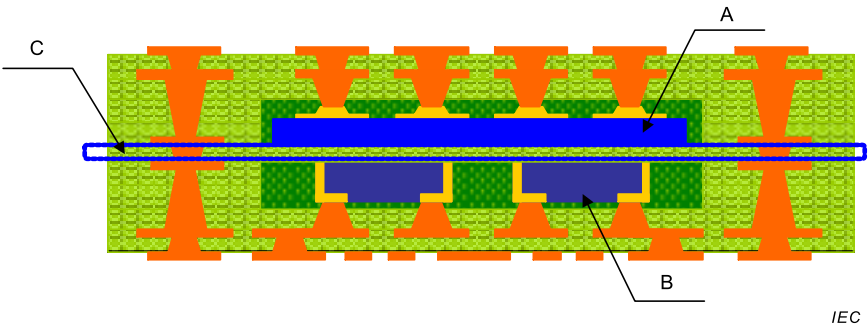
Figure 23 – Device embedded substrate for device embedding in multi-layers



Key

A	Active device
B	Base
C	Conductive layer in embedding layer

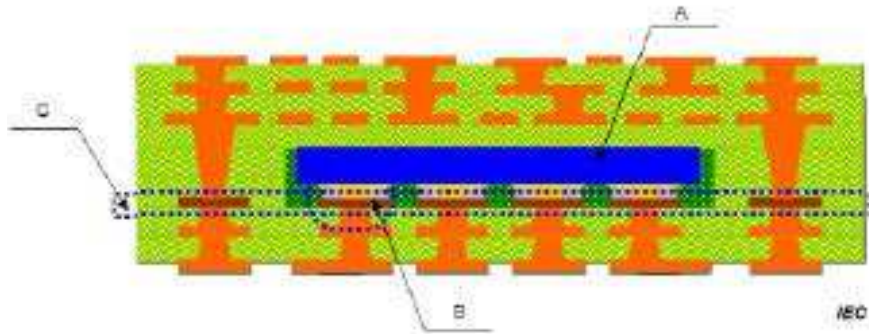
Figure 24 – Embedding of devices over multiple layers



Key

A	Active device
B	Passive device
C	Base (insulator)

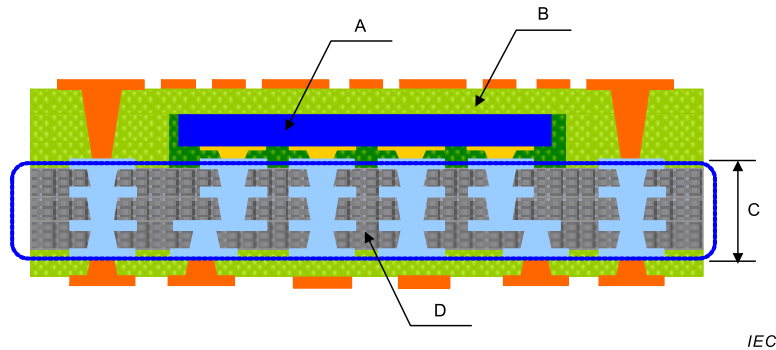
Figure 25 – Resin base substrate



Key

A	Active device
B	Soldering
C	Base (Copper foil)

Figure 26 – Conductor and metal sheet/copper foil as base substrate



Key

A	Active device
B	Molding compound
C	Ceramic substrate
D	Base

Figure 27 – Device embedded substrate using passive device embedded ceramic substrates as base substrate – Second type

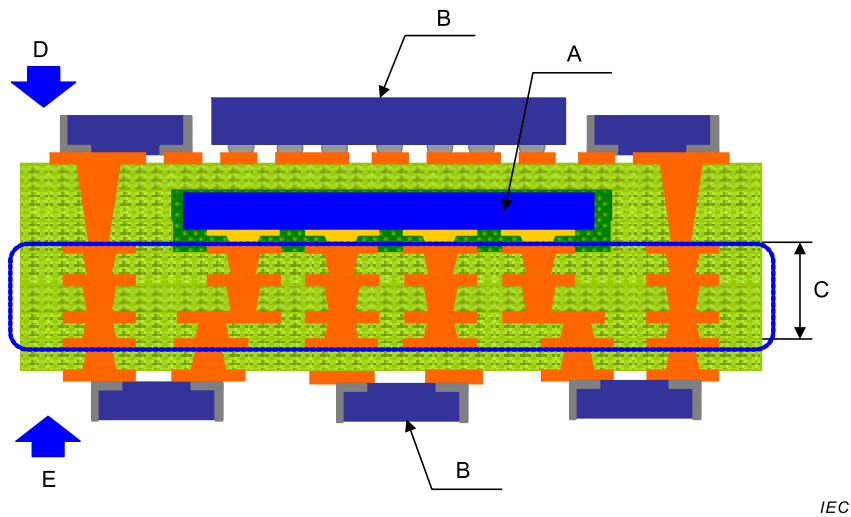
6 Naming of each section

6.1 General

The structure of a device embedded board is described in 5.2. Positions and names of the parts of a board are specified here to technically understand the construction and structure of a device embedded board and to establish a common understanding in design and/or production of boards.

6.2 General definition of top and bottom surfaces

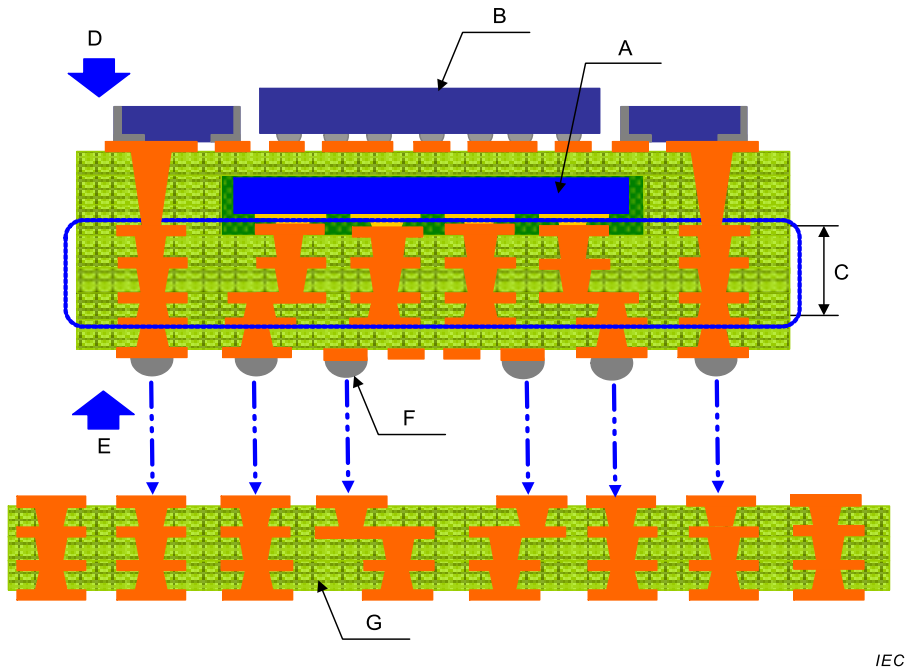
The top surface of a device embedded board is defined as the side where more electrical terminals (pads) exist. The bottom surface is defined as the side to which a board is connected to a printed wiring board (hereafter called mother board) and this is shown as Figure 29. Although the bottom surface may have more I/O terminals (pads) than the top surface, this side is still defined as the bottom surface. Figure 28 shows structure of a completed device embedded board and Figure 29 shows cross section of the completed device embedded board mounted on a mother board. User and supplier may define the top and bottom surfaces otherwise even when different from the definition given here.



Key

A	Embedded component	D	Top surface
B	Surface mounted device	E	Bottom surface
C	Base		

Figure 28 – Definition of top and bottom surfaces



Key

A	Embedded component	E	Bottom surface
B	Surface mounted device	F	Connecting terminal (BGA or LGA)
C	Base	G	Printed wiring board (mother board)
D	Top surface		

Figure 29 – Definition of top and bottom surfaces (mounting of a mother board)

6.3 Naming of layers and interconnection position

Names and symbols of layers in a device embedded board are illustrated in Figure 30. Each layer is numbered as L1, L2 to L6 (in case of 6 layers) from the top surface. The number indicates the order of the layer with respect to the top surface.

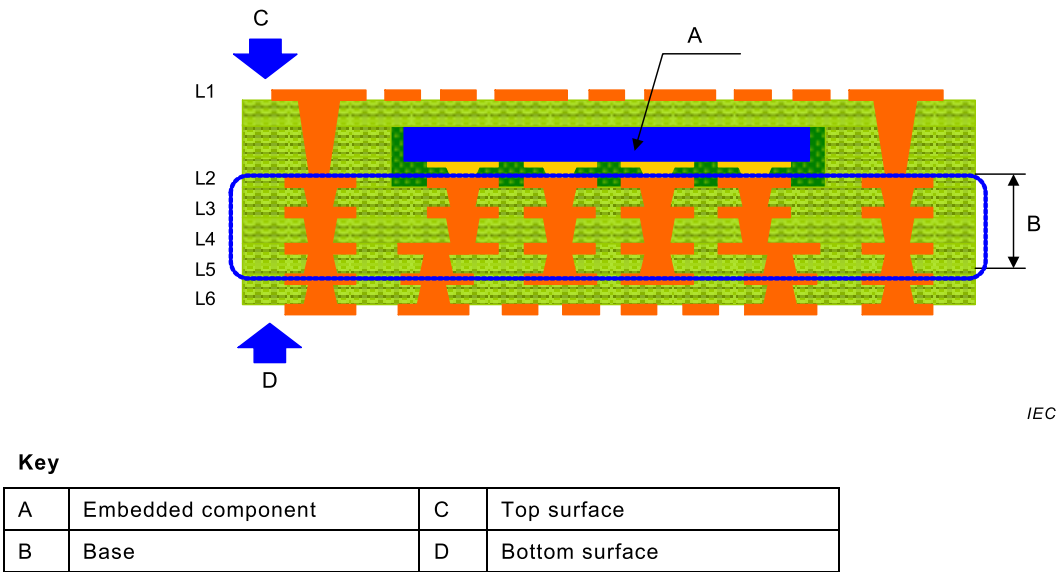


Figure 30 – Names of layers in pad connection

In the case of via connection, the position of connecting terminals of the embedded device is different from the surrounding layer number. The component symbol and connecting position(s) are defined as illustrated in Figure 31 in order to clarify the interconnecting positions of the embedded device and of its electrical terminals with respect to construction design, pattern design, board fabrication and jisso (assembly).

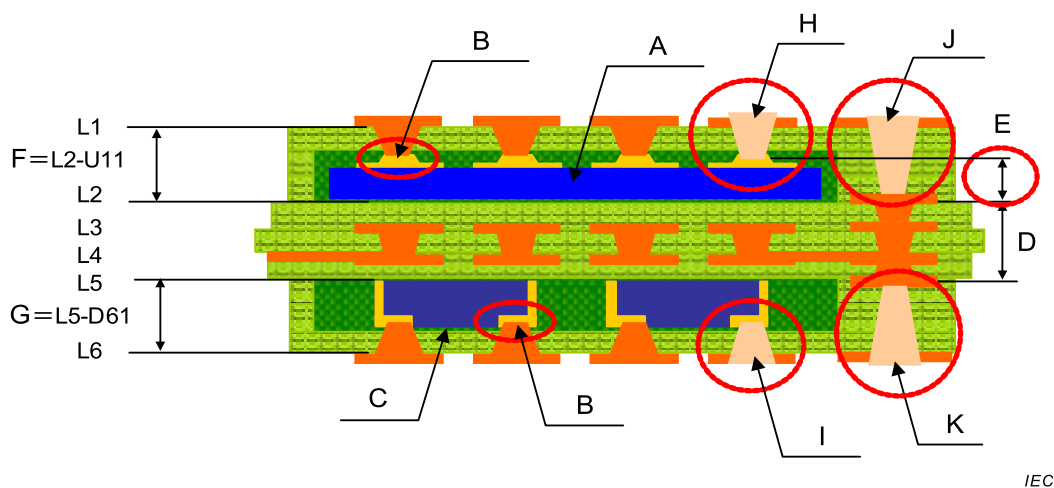
It is recommended to use the component symbols and names as shown in a circuit diagram to use 2 to 4 indications. The position of interconnection in the case of die-bonding or mounting of a device embedded device may be expressed using another name in addition to the name of the layer in which the device is embedded.

The surface of a device is upward facing. Use upward (U) when connecting terminals are in the upward facing surface, and downward (D) when the terminals are in the downward facing surface.

A three digit number is used if multiple components are embedded and/or multiple connection terminals are in the same layer. The left side number indicates the interconnecting layer number and the right side number indicates the layer position of the embedded component. If there are multiple layers involved, numbers 1, 2 indicate the layers from the top for upward and numbers 1, 2 indicate the layers from the bottom for downward. The second number may be omitted if there is only one embedded component in a layer. See the example in Figure 31.

Figure 31 shows additional information on the interconnection position. The active device is mounted on the L2 layer and connected to the first layer with upward direction. In this case, the name of the interconnection layer is expressed as L2-U11. The last digit 1 indicates the number of the embedded component. Passive components mounted on the L5 layer are connected to L6 with downward direction. In this case, the name of the interconnection layer is expressed as L5-D61.

A virtual layer is used as a virtual conductor layer and as the connecting points. The terminal connection design of an embedded device is carried out by first establishing the connection and hole machining data A and B, then the connection and hole machining data C and D for L2 and L5 (in the case of the above structure). The terminal setting may be omitted if a via connection and the positions of embedded device terminals and the conduction layer are the same.

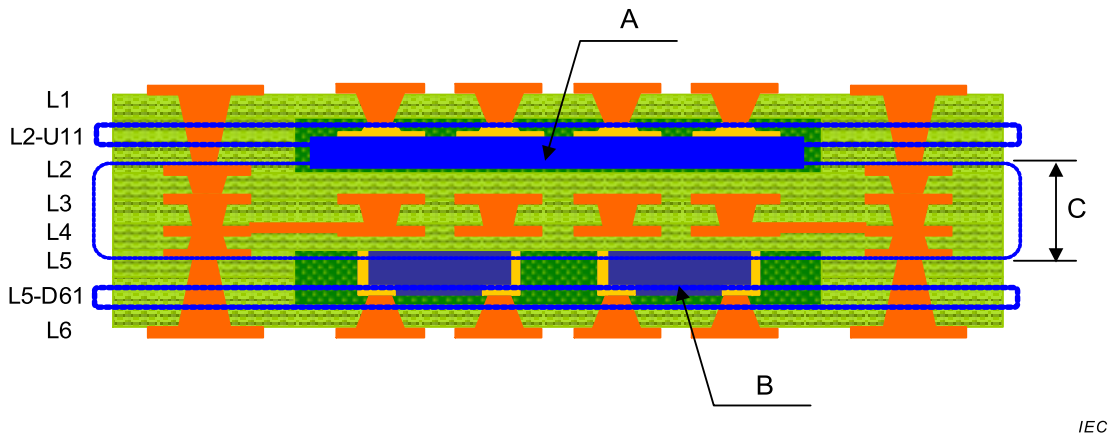


Key

A	Embedded active device	G	Name of the layer between L5 and L6
B	Connecting terminal	H	Connection and machining data from L1 to a virtual layer (L2-U11)
C	Embedded passive device	I	Connection and machining data from L1 to L2
D	Base	J	Connection and machining data from L6 to virtual layer (L5-D61)
E	Terminal position	K	Connection and machining data from L6 to L5
F	Name of the layer between L1 and L2		

Figure 31 – Additional information concerning the interconnection position

Figure 32 shows the interconnection position. Active device (xxxx) is mounted on the L2 layer and connected to the first layer with upward direction. In this case, the name of the interconnection position is expressed as xxxx-L2-U11. Passive components (yyyy) mounted on the L5 layer are connected to L6 with downward direction. In this case, the name of the interconnection position is expressed as yyyy-L5-D61.



Key

A	Embedded active device
B	Embedded passive device
C	Base

Figure 32 – Names of layers in via connection [I]

Figure 33 shows a chip-stacked case. Active device 2 (xxx2) is mounted on the L2 layer and active device 1 (xxx1) is stacked on active device 2. Both are connected to the L1 layer with

upward direction. In this case, the name of the interconnection position of active device 2 is expressed as xxx2-L2-U122. The name of the interconnection position of active device 1 is expressed as xxx1-L2-U121. The second digit from the right (2) shows the number of the embedded device.

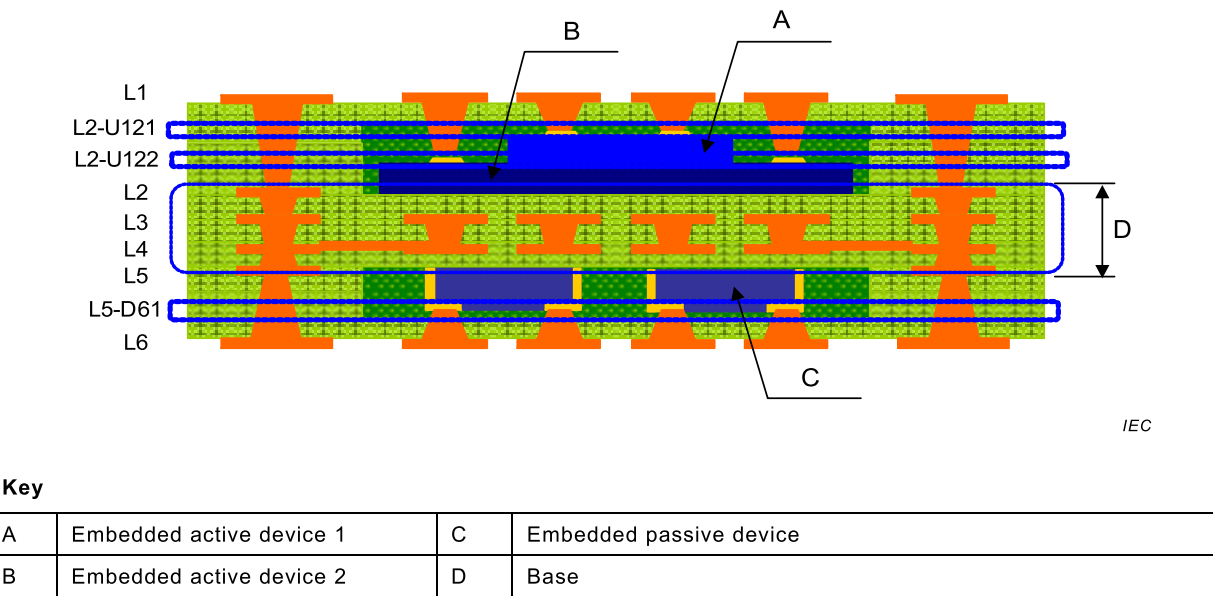


Figure 33 – Names of layers in via connection [II]

Figure 34 shows the interconnection position of an active device having multilayer connecting pads. Active device (xxxx) is mounted and connected to the L5 layer and pads on the other side are connected to the L1 layer with upward direction. Therefore, in this case, the name of the interconnection position of the active device is expressed as xxxx-L5-U11.

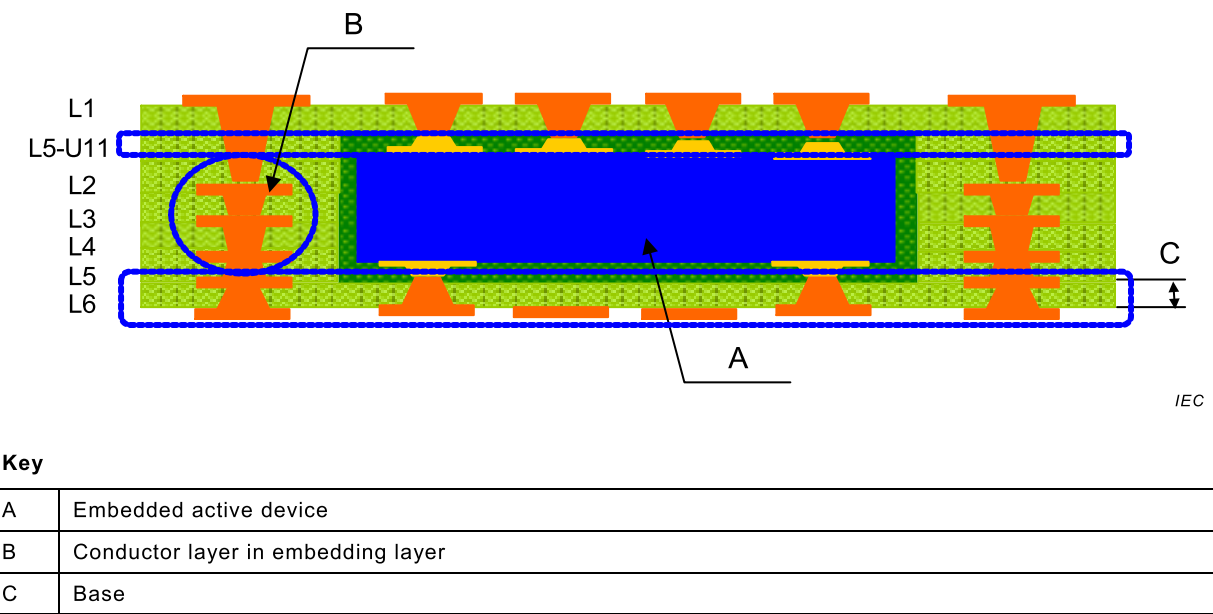


Figure 34 – Names of layers in via connection [III]

The content of Figure 31 to Figure 34 is summarized in Table 5.

Table 5 – Names of layers of device embedded board

Example	Embedded device				Embedding and connection of embedded device					
	Device	Hyphen	Component number	Hyphen	Layer	Hyphen	Terminal direction	Layer	No. of components	
									No.	Layer
Figure 31	Active	-	A12	-	L2	-	U	1	1	Omit
	Passive	-	1	-	L5	-	D	6	1	Omit
Figure 32	Active	-	A13	-	L2	-	U	1	1	Omit
	Passive	-	2	-	L5	-	D	6	1	Omit
Figure 33	Active	-	A13	-	L2	-	U	1	2	1
	IPD	-	4	-	L2	-	U	1	2	2
	Capacitor	-	1	-	L5	-	D	6	1	Omit
Figure 34	IPD, etc.	-	12	-	L2	-	U	1	1	Omit
		-	B1	-	L6	-	D	6	1	Omit
Information on embedded components is necessary in embedded board design. For example, in Figure 31 the interconnection position of active device A12 is expressed as A12-L2-U11.										

6.4 Definitions of insulation layer thickness, conductor gap and connection distance between terminal and conductor

6.4.1 General

The insulating layer thickness and conductor gap in each layer are specified based on the thickness of each layer.

- The insulation layer thickness is defined as the thickness of one layer. The insulation thickness is not the thickness of each insulation layer made but the thickness of all layers used (or made).
- The conductor gap is the thickness of the insulator between the conductor layer (pattern) and the facing conductor layer.
- The distance between the electrode and the conductor is the thickness of an insulating layer existing between the terminals of an embedded component and the facing conductor, applicable to a via interconnection.
- The following names are used for each section:
 - insulation layer thickness DG1 (dielectric gap);
 - conductor gap LG1 (layer gap);
 - electrode/conductor gap EG11 (device embedded gap).

The numbers in 1) and 2) indicate the numbers of layers; in 3) the left number is for conductor layer and the right number is for embedded components in the first layer and the second layer. See 6.3 for the definition of steps (layers).

Insulation layer thickness, conductor gap, and electrode/conductor gap are illustrated in Figure 35 and Figure 36. Additional information for the insulation layer thickness and conductor gap, and electrode/conductor gap are shown in Figure 37 and Figure 38.

6.4.2 Insulation layer thickness, conductor gap and electrode/conductor gap in pad connection

Figure 35 shows the definition of insulation layer thickness, conductor gap, and electrode/conductor gap. Conductor gap and dielectric gap from the corresponding insulation layer are expressed as LG and DG, respectively. And, the numbers following the abbreviations indicate the layer number.

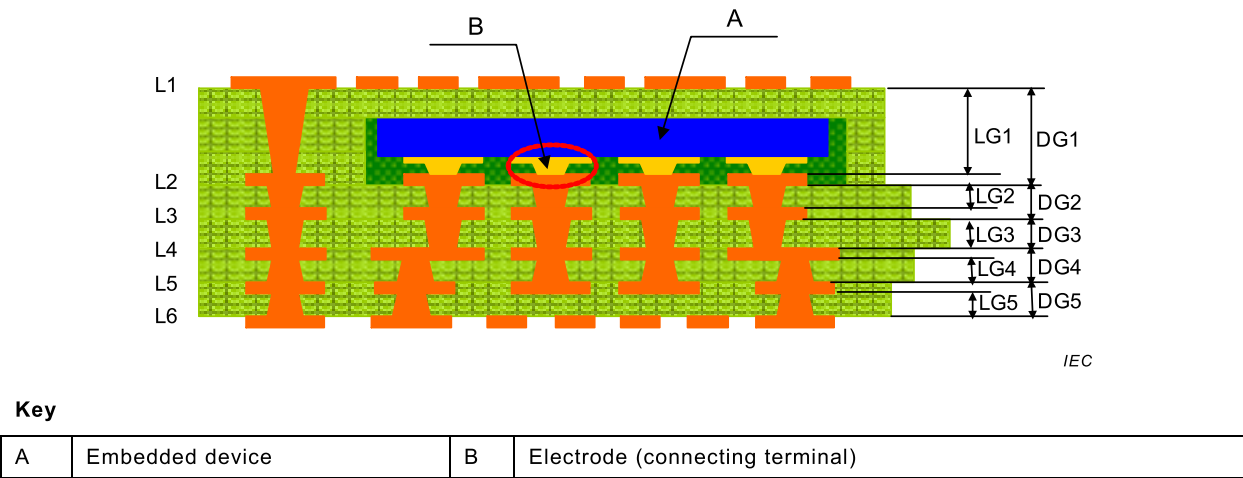


Figure 35 – Definition of insulating layer thickness and conductor gap in pad connection

6.4.3 Insulation layer thickness, conductor gap and electrode/conductor gap in a via connection

Figure 36 shows the definition of electrode gap in via connection. Electrode gap is expressed as EG and the numbers following the abbreviations indicate the connection to conductor layer 1 from one embedded component.

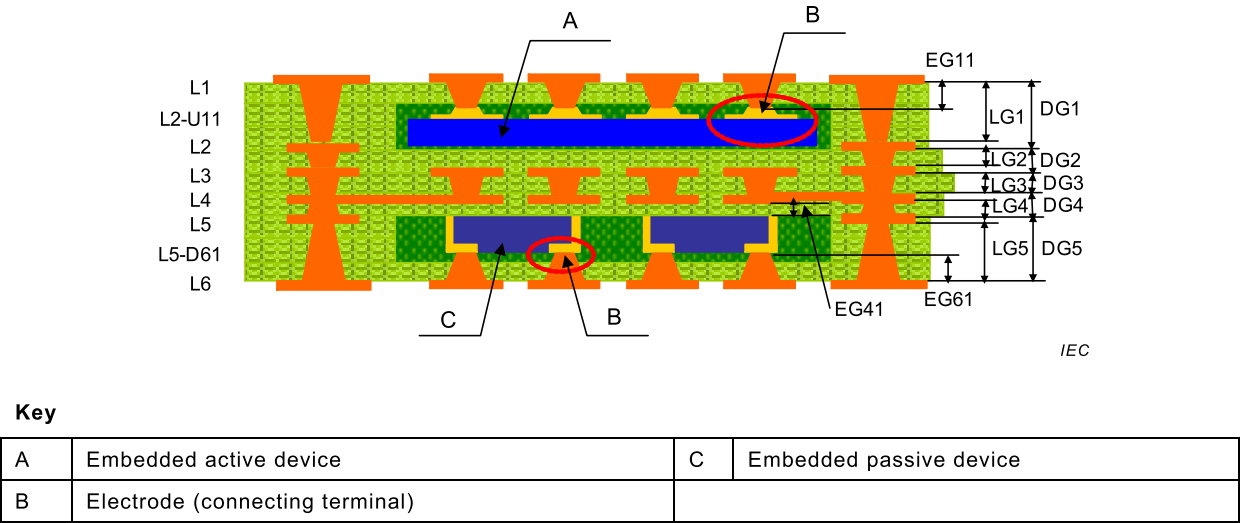
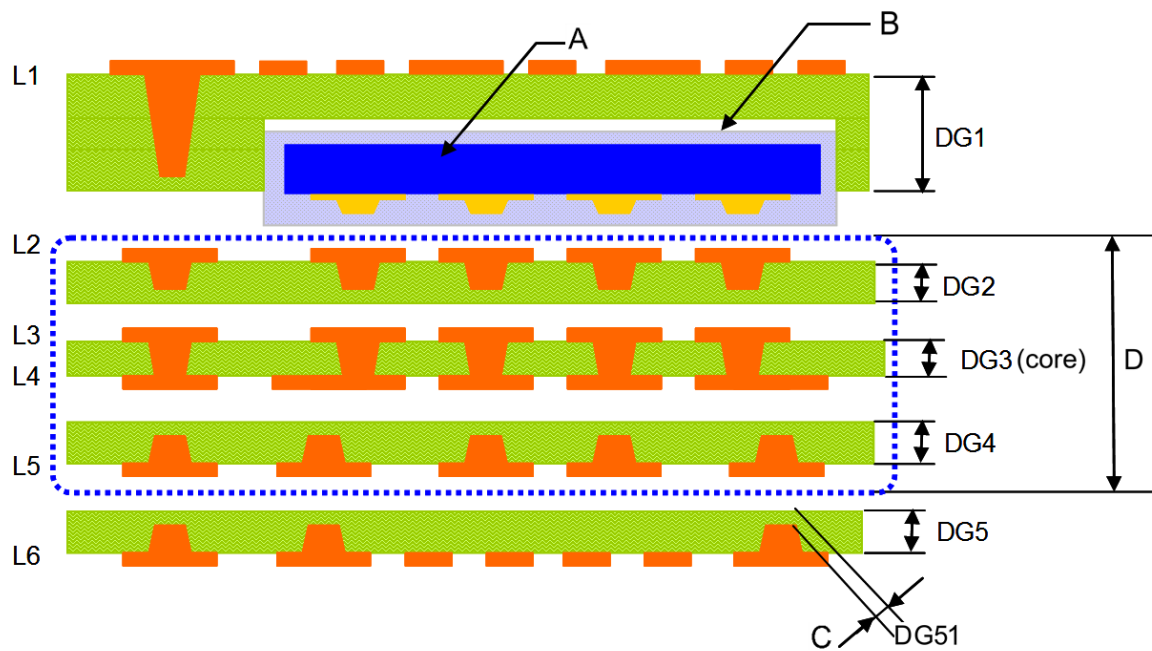


Figure 36 – Definition of electrode gap in via connection

6.5 Additional information

6.5.1 Additional information for the insulation layer

Figure 37 illustrates the structure of the insulation layer prior to lamination. The active device is embedded in the insulation layer DG1. DG51 indicates the minimum thickness of the insulation layer in DG5.



IEC

Key

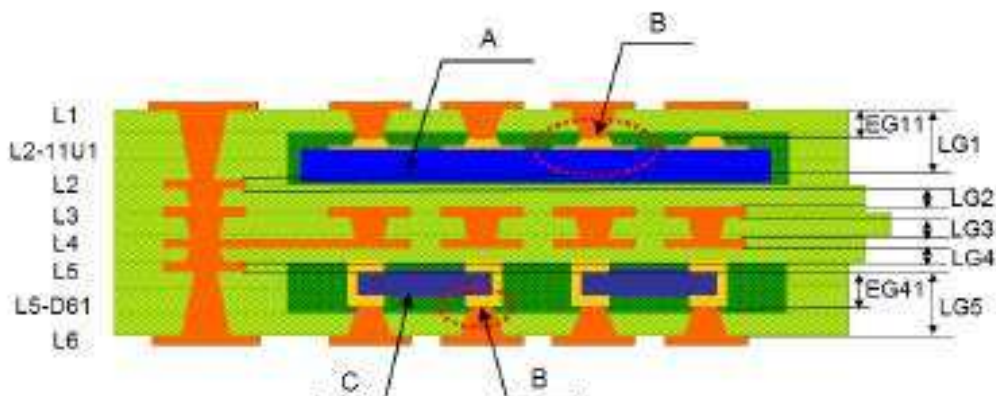
A	Embedded active device	C	Embedding of conductor in the insulation layer, DG51
B	Embedding in the insulation layer, DG1	D	Base

Figure 37 – Additional illustration of insulating layer thickness

6.5.2 Additional information for conductor gap and electrode/conductor gap

Figure 38 illustrates conductor gap and electrode/conductor gap. EG11 indicates the insulation gap between non-attached pads of active devices embedded in the conductor of the outer-layer.

EG41 indicates the insulation gap between L4 and L5.



IEC

Key

A	Embedded active device	C	Embedded passive device
B	Electrode (connecting terminal)		

Figure 38 – Additional illustration for conductor gap and electrode/conductor gap

Bibliography

IEC 60068-2 (all parts), *Environmental testing – Part 2: Tests*

IEC 61249 (all parts), *Materials for printed boards and other interconnecting structures*

IEC 62421:2007, *Electronics assembly technology – Electronic modules*

IEC 62878-1-1, *Device embedded substrate – Part 1-1: Generic specification – Test methods*¹

IEC TS 62878-2-3, *Device embedded substrate – Part 2-3: Guidelines – Design guide*

IEC TS 62878-2-4, *Device embedded substrate – Part 2-4: Guidelines – Test element groups (TEG)*

JIS C 5603, *Terms and definition in printed wiring boards*

JPCA-TD01-2008, *Terms and definitions in electronic circuits*

JPCA – BU01 – 2007, *Build-up wiring board (Terms and test methods)*

¹ To be published.

SOMMAIRE

AVANT-PROPOS	34
INTRODUCTION.....	36
1 Domaine d'application.....	37
2 Références normatives	37
3 Termes, définitions et abréviations	37
3.1 Termes et définitions	37
3.2 Abréviations	37
4 Technologie de substrat avec appareil(s) intégré(s).....	38
4.1 Structures de base	38
4.2 Technologie de substrat avec appareil(s) intégré(s)	39
4.3 Structures des substrats avec appareil(s) intégré(s) et termes utilisés dans les présentes spécifications	42
5 Montage Jisso et interconnexion	44
5.1 Généralités	44
5.2 Interconnexions et structures du substrat avec appareil(s) intégré(s).....	45
5.3 Intégration d'appareil par un processus conventionnel	47
5.4 Intégration d'appareils à l'aide de trous de liaison	49
6 Désignation de chaque section	52
6.1 Généralités	52
6.2 Définition générale des surfaces supérieure et inférieure	52
6.3 Désignation des couches et position d'interconnexion	54
6.4 Définitions de l'épaisseur de la couche isolante, de l'espace du conducteur et de la distance de connexion entre le terminal et le conducteur	57
6.4.1 Généralités	57
6.4.2 Epaisseur de la couche isolante, espace du conducteur et espace électrode/conducteur dans la connexion de plage	57
6.4.3 Epaisseur de la couche isolante, espace du conducteur et espace électrode/conducteur dans la connexion de trou de liaison	58
6.5 Informations complémentaires	58
6.5.1 Informations complémentaires pour la couche isolante.....	58
6.5.2 Informations complémentaires pour l'espace du conducteur et l'espace électrode/conducteur.....	59
Bibliographie	60
Figure 1 – Exemples de substrat avec appareil(s) intégré(s)	38
Figure 2 – Substrat avec appareil(s) intégré(s) terminé (connexion de plage).....	39
Figure 3 – Substrat avec appareil(s) intégré(s) terminé (connexion de trou de liaison).....	39
Figure 4 – Structure d'un substrat de type connexion de plage sur une base en céramique intégrant l'appareil passif	40
Figure 5 – Structure d'un substrat avec appareil(s) intégré(s) avec une carte céramique comme base (céramique) (type de connexion de trou de liaison).....	40
Figure 6 – Structure complète de substrat avec appareil(s) intégré(s)	45
Figure 7 – Base (structure type)	46
Figure 8 – Base (structure de cavité).....	46
Figure 9 – Base (isolant).....	46

Figure 10 – Base (transporteur conducteur – plaque métallique)	46
Figure 11 – Carte céramique intégrant l'appareil passif utilisée comme base	47
Figure 12 – Carte céramique utilisée comme base (céramique)	47
Figure 13 – Connexion de liaison filaire et intégration de puce nue d'appareil actif	47
Figure 14 – Connexion soudée et intégration de l'appareil actif	48
Figure 15 – Connexion soudée d'un appareil passif de type carré	48
Figure 16 – Connexion de résine conductrice et intégration de l'appareil actif	48
Figure 17 – Connexion de résine conductrice et intégration de l'appareil actif de type carré	49
Figure 18 – Connexion soudée dans l'orifice et intégration de l'appareil passif	49
Figure 19 – Connexion par placage de cuivre après intégration de l'appareil actif	49
Figure 20 – Connexion par placage de cuivre après intégration de l'appareil actif de type carré	50
Figure 21 – Connexion de pâte conductrice après intégration de l'assemblage de l'appareil actif	50
Figure 22 – Connexion de pâte conductrice après intégration de la puce de l'appareil actif de type carré	50
Figure 23 – Substrat avec appareil(s) intégré(s) pour l'intégration de l'appareil dans plusieurs couches	51
Figure 24 – Intégration d'appareils sur plusieurs couches	51
Figure 25 – Substrat à base de résine	51
Figure 26 – Conducteur et feuille métallique/de cuivre comme substrat de base	52
Figure 27 – Substrat avec appareil(s) intégré(s) qui utilise des substrats céramiques intégrant l'appareil passif comme substrat de base – deuxième type	52
Figure 28 – Définition des surfaces supérieure et inférieure	53
Figure 29 – Définition des surfaces supérieure et inférieure (montage d'une carte mère)	53
Figure 30 – Noms des couches dans la connexion de plage	54
Figure 31 – Informations complémentaires relatives à la position d'interconnexion	55
Figure 32 – Noms des couches dans la connexion de trou de liaison [I]	55
Figure 33 – Noms des couches dans la connexion de trou de liaison [II]	56
Figure 34 – Noms des couches dans la connexion de trou de liaison [III]	56
Figure 35 – Définition de l'épaisseur de la couche isolante et de l'espace conducteur dans la connexion de plage	58
Figure 36 – Définition de l'espace d'électrode dans la connexion de trou de liaison	58
Figure 37 – Illustration supplémentaire pour l'épaisseur de la couche isolante	59
Figure 38 – Illustration complémentaire pour l'espace du conducteur et l'espace électrode/conducteur	59
Tableau 1 – Classification des types d'intégration d'appareil	41
Tableau 2 – Appareil intégré formé dans le substrat	42
Tableau 3 – Structure d'appareil intégré et processus de fabrication	43
Tableau 4 – Montage Jisso et interconnexion de substrat avec appareil(s) intégré(s)	44
Tableau 5 – Noms des couches de la carte avec appareil(s) intégré(s)	57

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

SUBSTRAT AVEC APPAREIL(S) INTEGRE(S) – Partie 2-1: Directives – Description générale de la technologie

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La tâche principale des comités d'études de l'IEC est l'élaboration des Normes internationales. Exceptionnellement, un comité d'études peut proposer la publication d'une Spécification technique

- lorsqu'en dépit de maints efforts, l'accord exigé ne peut pas être réalisé en faveur de la publication d'une Norme internationale ou
- lorsque le sujet en question est encore en cours de développement technique ou quand, pour une raison quelconque, la possibilité d'un accord pour la publication d'une Norme internationale peut être envisagée pour l'avenir mais pas dans l'immédiat.

Les Spécifications techniques font l'objet d'un nouvel examen trois ans au plus tard après leur publication afin de décider si elles peuvent être transformées en Normes internationales.

L'IEC TS 62878-2-1, qui est une Spécification technique, a été établie par le comité d'études 91 de l'IEC: Techniques d'assemblage des composants électroniques.

Le texte de cette Spécification technique est issu des documents suivants:

Projet d'enquête	Rapport de vote
91/1142/DTS	91/1163A/RVC

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette Spécification technique.

Une liste de toutes les parties de la série IEC 62878, publiées sous le titre général *Substrat avec appareil(s) intégré(s)*, peut être consultée sur le site web de l'IEC.

Cette publication a été rédigée selon les Directives ISO/IEC, Partie 2.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera:

- transformée en Norme internationale,
- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "*colour inside*" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

INTRODUCTION

Cette partie de l'IEC 62878 fournit des lignes directrices concernant le substrat avec appareil(s) intégré(s) fabriqué par l'intégration d'appareils électroniques actifs et passifs discrets dans une ou plusieurs couches internes d'un substrat avec des connexions électroniques par l'intermédiaire de trous de liaison, de placage de conducteur, de pâte conductrice et d'impression. Dans la série IEC 62878,

- l'IEC 62878-1-1 spécifie la méthode d'essai,
- l'IEC TS 62878-2-1 propose une description générale de la technologie,
- l'IEC TS 62878-2-3 fournit des lignes directrices concernant la conception, et
- l'IEC TS 62878-2-4 spécifie les groupes d'éléments d'essai.

Le substrat avec appareil(s) intégré(s) peut être utilisé comme substrat pour monter les SMD pour former des circuits électroniques, comme des couches de conducteur et d'isolant peuvent être formées après l'intégration des appareils électroniques.

L'objectif de la série IEC 62878 est d'obtenir une compréhension commune des structures, des méthodes d'essai, de la conception, des processus de fabrication et de l'utilisation d'un substrat avec appareil(s) intégré(s) dans l'industrie.

SUBSTRAT AVEC APPAREIL(S) INTEGRE(S) – Partie 2-1: Directives – Description générale de la technologie

1 Domaine d'application

La présente partie de l'IEC 62878 décrit les bases des substrats d'intégration d'appareil.

La présente partie de l'IEC 62878 est applicable aux substrats avec appareil(s) intégré(s) fabriqués à partir de matériaux de base organiques, y compris par exemple les appareils actifs ou passifs, les composants discrets formés lors du processus de fabrication d'une carte de câblage électronique, ainsi que les composants de feuilles minces.

La série IEC 62878 ne s'applique ni à la couche de re-distribution (RDL), ni aux modules définis comme un business model de type M de l'IEC 62421.

2 Références normatives

Les documents suivants sont cités en référence de manière normative, en intégralité ou en partie, dans le présent document et sont indispensables pour son application. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60194, *Printed board design, manufacture and assembly – Terms and definitions* (disponible en anglais seulement)

IEC 61189 (toutes les parties), *Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles*

3 Termes, définitions et abréviations

3.1 Termes et définitions

Pour les besoins du présent document, les termes et définitions de l'IEC 60194 s'appliquent.

3.2 Abréviations

Abréviation	Français	Anglais
BGA	boîtier matriciel à billes	ball grid array
E/S	entrée/sortie	in/out
IPD	appareil passif intégré	integrated passive device
LGA	boîtier matriciel à pastilles	land grid array
LTCC	céramique à cuisson simultanée à basse température	low temperature co-fired ceramic
MEMS	systèmes micro-électromécaniques	micro electro mechanical systems
PoP	boîtier sur boîtier	package on package
QFN	boîtier plat quadrangulaire sans connexion	quad flat no-lead package
QFP	boîtier plat quadrangulaire	quad flat package
SMD	appareil pour montage en surface	surface mount device
SOJ	boîtier à sortie en j de faible encombrement	small outline J-leaded package
WLP	assemblage niveau feuille	wafer level package

4 Technologie de substrat avec appareil(s) intégré(s)

4.1 Structures de base

La Figure 1 montre un exemple d'intégration d'un appareil à des structures dans le processus de fabrication d'un substrat avec appareil(s) intégré(s). Les appareils actifs et passifs sont connectés entre eux par des trous de liaison intercouches et/ou des motifs conducteurs. Les couches isolantes sont formées à l'aide de matériaux isolants avec des trous de liaison pour la connexion du conducteur interne aux motifs du conducteur formés sur les surfaces du substrat. La Figure 2 montre le substrat avec des connexions qui utilisent des plages. La Figure 3 montre la carte qui utilise des connexions de trou de liaison.

La couche isolante inclut une résine rigide et flexible, par exemple la résine phénol, la résine époxy, la résine polyamide et la résine polyamide modifiée, qui peut être renforcée avec du tissu de verre, du tissu d'aramide ou du papier. Les interconnexions incluent les interconnexions conventionnelles aux terminaux d'un appareil intégré et à la terre pour un SMD, ainsi que la formation de terminaux par placage de cuivre ou de trous de liaison à l'aide de pâte conductrice.

La présente partie de l'IEC 62878 ne spécifie pas de processus de fabrication spécifique pour un substrat avec appareil(s) intégré(s), de diamètre de trou de liaison/de diamètre de terre, de largeur de conducteur/d'espacement de conducteur ou de densité de ligne de conducteur.

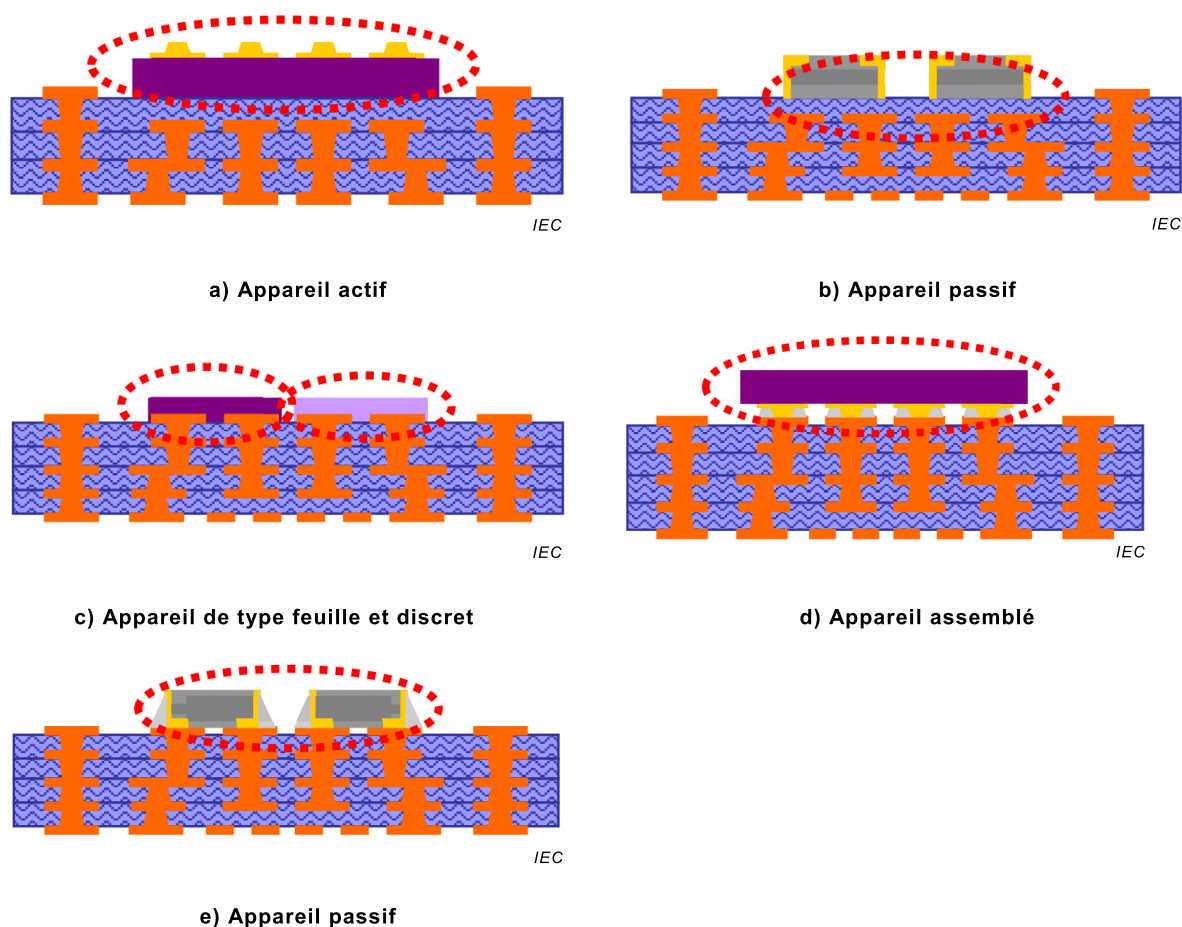
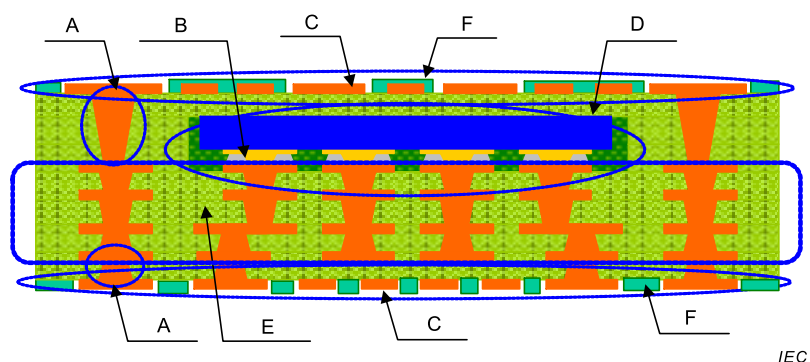


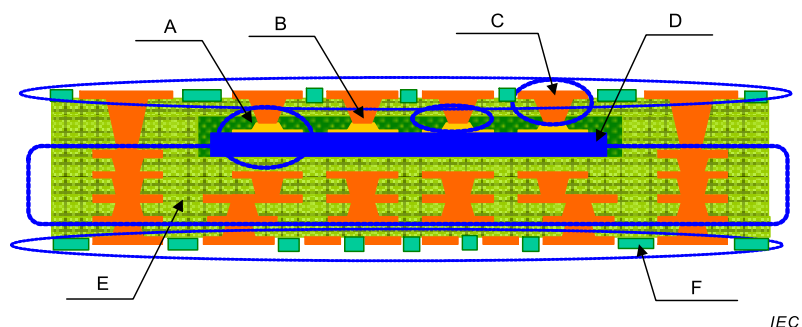
Figure 1 – Exemples de substrat avec appareil(s) intégré(s)



Légende

A	Connexion de couche (de trou de liaison)
B	Connexion de soudure
C	Formation de motif
D	Appareil actif intégré
E	Base
F	Masque de soudure

Figure 2 – Substrat avec appareil(s) intégré(s) terminé (connexion de plage)



Légende

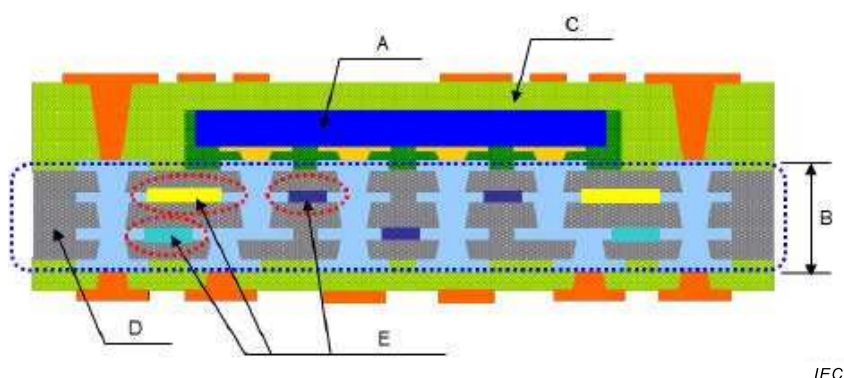
A	Intégré avec les terminaux vers le haut
B	Connexion plaquée en cuivre
C	Trou de liaison plaqué en cuivre
D	Appareil actif intégré
E	Base
F	Masque de soudure

Figure 3 – Substrat avec appareil(s) intégré(s) terminé (connexion de trou de liaison)

4.2 Technologie de substrat avec appareil(s) intégré(s)

Il existe deux types de substrats avec appareil(s) intégré(s). Le premier consiste à monter des appareils actifs et/ou passifs sur un substrat de base, et à les couvrir de résine organique; le second consiste à former un appareil sur un substrat, puis à le couvrir de résine organique.

La Figure 4 montre la structure d'un substrat de type connexion de plage, dans lequel l'appareil actif est connecté par plage à la base en céramique intégrant l'appareil passif. Le substrat avec appareil(s) intégré(s) inclut également des substrats de type composite, qui consistent en des substrats de céramique inorganique produite en masse, dont les LTCC (low temperature co-fired ceramics, céramiques cocuites à basse température, ci-après appelées céramiques).



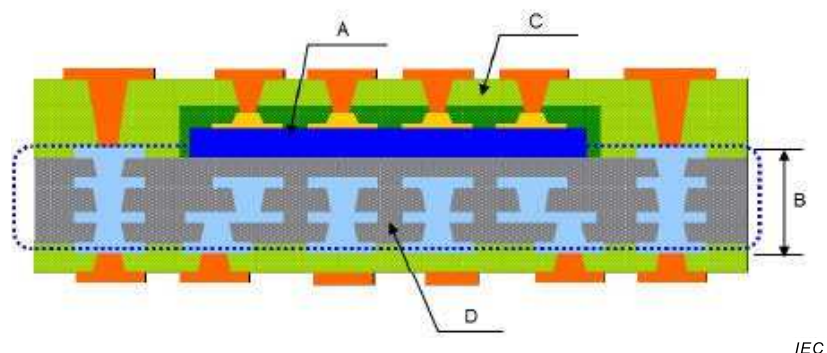
IEC

Légende

A	Appareil actif
B	Base
C	Intégration à l'aide de résine
D	Substrat céramique
E	Appareils intégrés dans la céramique

Figure 4 – Structure d'un substrat de type connexion de plage sur une base en céramique intégrant l'appareil passif

Dans la structure de type connexion de trou de liaison, telle qu'illustrée par la Figure 5, le substrat en céramique est utilisé comme base sur laquelle sont fixés les appareils actif et passif, puis l'ensemble est couvert de résine organique. Cependant, les détails des substrats en céramique inorganiques ne sont pas spécifiés dans la présente partie de l'IEC 62878. Un tel substrat céramique n'est traité que comme une base pour un substrat avec appareil(s) intégré(s).



IEC

Légende

A	Appareil actif
B	Base
C	Intégration de résine
D	Substrat céramique

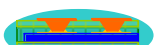
Figure 5 – Structure d'un substrat avec appareil(s) intégré(s) avec une carte céramique comme base (céramique) (type de connexion de trou de liaison)

La classification de l'intégration d'un appareil est donnée au Tableau 1. Les appareils actifs incluent par exemple les puces nues, l'assemblage niveau feuille (WLP, wafer-level package), le boîtier matriciel à billes (BGA, ball grid array), le boîtier matriciel à pastilles (LGA, land grid array), l'assemblage plat quadrangulaire sans plomb (QFN, quad flat no lead), l'assemblage de faible encombrement à sortie en J (SOJ, small outline J-leaded) et l'assemblage plat quadrangulaire (QFP, quad flat package).

Les appareils passifs incluent le composant de puce, le composant de puce complexe comme une matrice et l'appareil passif intégré (IPD, integrated passive device). Le module et le MEMS peuvent être intégrés dans le substrat après l'assemblage et le moulage. Les composants formés lors de la formation du substrat ne sont pas couverts par la présente spécification et ne sont pas inclus dans le Tableau 2

Il existe deux types d'intégration de composants passifs formés. Le premier type consiste à former des composants passifs à l'aide d'une technologie de film épais ou de film fin sur la base de semi-conducteur en silicium ou composé et/ou sur la puce empilée au niveau de la feuille ou de l'assemblage sur assemblage (PoP, package-on-package). Le deuxième type consiste à d'abord utiliser l'appareil passif de type feuille sur un substrat organique, puis à intégrer les autres appareils.

Tableau 1 – Classification des types d'intégration d'appareil

Classification	Élément	Intégration	Terminaux de l'appareil	Liaison	Schémas
Appareil actif	Puce nue	Liaison de puce	Périphérique	Liaison filaire	
		Liaison de la puce à bosses	Zone de matrice bidimensionnelle	Liaison de la puce à bosses	
		Liaison de puce	Zone de matrice bidimensionnelle	Connexion de trou de liaison (Placage, pâte)	
	Assemblage niveau feuille	Montage	Zone de matrice bidimensionnelle	Soudure Pâte conductrice	
		Liaison de puce	Zone de matrice bidimensionnelle	Connexion de trou de liaison (Placage, pâte)	
	Assemblage	Montage	BGA, LGA, QFN	Soudure Pâte conductrice	
		Montage	BGA, LGA, QFN	Connexion de trou de liaison (Placage, pâte)	
Appareil passif	Composant de puce	Montage	Puce rectangulaire Puce à fût long	Orifice	
		Montage	Puce rectangulaire Puce à fût long	Soudure Pâte conductrice	
		Montage	Puce rectangulaire	Connexion de trou de liaison (Placage, pâte)	
	Puce de module composant	Montage	Puce rectangulaire	Soudure Pâte conductrice	
		Montage	Puce rectangulaire	Connexion de trou de liaison (Placage, pâte)	
	Appareil passif intégré	Montage	IPD	Soudure Pâte conductrice	

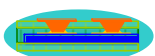
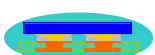
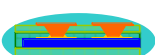
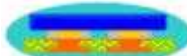
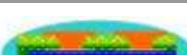
Classification	Élément	Intégration	Terminaux de l'appareil	Liaison	Schémas
		Montage	IPD	Connexion de trou de liaison (Placage, pâte)	
Module	Emballage et moulage	Montage	Arbitraire	Soudure Pâte conductrice	
		Montage	Arbitraire	Connexion de trou de liaison (Placage, pâte)	
MEMS (Micro Electro Mechanical Systems)	Emballage et moulage	Montage	Arbitraire	Soudure Pâte conductrice	
		Montage	Arbitraire	Connexion de trou de liaison (Placage, pâte)	

Tableau 2 – Appareil intégré formé dans le substrat

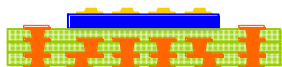
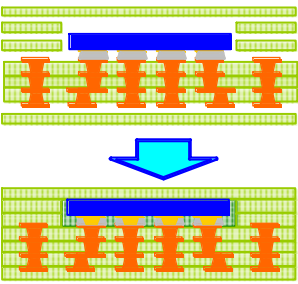
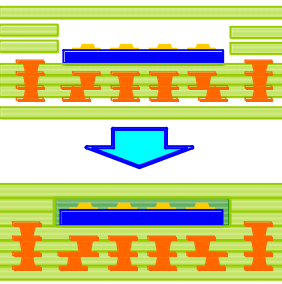
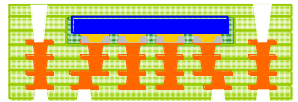
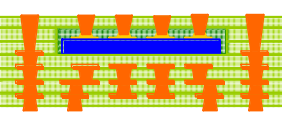
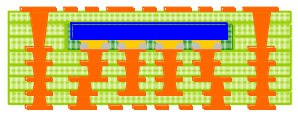
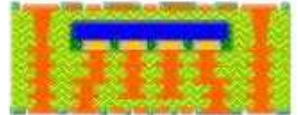
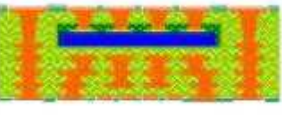
Classification	Élément	Intégration	Terminaux de l'appareil	Liaison	Schémas
Appareil actif	Formé	Pulvérisation à film fin	Silicium	Connexion de trou de liaison (Placage, pâte)	
		Sérigraphie sur film épais	Polymère semi-conducteur		
Appareil passif	Formé	Orifice double	Cuivre de placage		
		Gravure	Matériau laminé		
		Gravure	Film		
		Sérigraphie	Polymère		
		Transfert	Céramiques ferromagnétiques		
		Stratification	Germination		
		Revêtement de rotation	Polymère		

4.3 Structures des substrats avec appareil(s) intégré(s) et termes utilisés dans les présentes spécifications

Les structures et les processus de fabrication des substrats avec appareil(s) intégré(s) sont illustrés au Tableau 3. Un substrat de base est nécessaire pour qu'un substrat avec appareil(s) intégré(s) intègre des appareils actifs et passifs. La plupart des substrats de base sont des substrats multicouches et/ou des substrats intégrés faits de cartes en résine isolante; une feuille isolante, une feuille métallique et une plaque à film peuvent aussi être utilisées. Le Tableau 3 montre les méthodes pour intégrer les appareils actifs ou passifs, puis pour connecter les appareils au conducteur de surface par l'intermédiaire de trous de liaison d'orifice plaqués et/ou de pâte conductrice, mais aussi pour vérifier les éléments dans le processus de fabrication.

Cette spécification ne couvre toutefois pas les appareils actifs formés sur un interposeur en silicium, des substrats semi-conducteurs composés ou une carte à câblage imprimé et un appareil passif formé (résistance, condensateur ou inducteur). Elle couvre, en revanche, un inducteur formé en même temps que le motif du conducteur et le condensateur avec une structure de trou de liaison à trou de liaison.

Tableau 3 – Structure d'appareil intégré et processus de fabrication

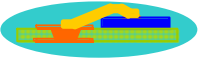
Processus	Élément	Structure		A vérifier
		Liaison de plaque	Connexion de trou de liaison	
1	Base			Ouverture, mise en court-circuit
2	Montage			Précision de la position
3	Liaison de plaque		—	Connexion, conduction
4	Intégration			Microvide Epaisseur de carte Planéité
5	Formation de trou de liaison			Position du trou Position terminale Résistance aux produits chimiques
6	Connexion de trou de liaison	—		Epaisseurs du placage de cuivre et de la plaque conductrice Microvide
7	Formation de motif (multicouche)			Ouvert, court
8	Traitement de surface (masque de brasage, etc.)			Inspection visuelle

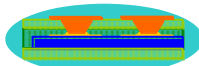
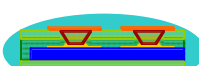
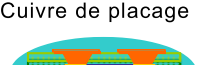
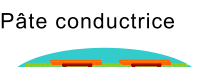
5 Montage Jisso et interconnexion

5.1 Généralités

Il existe deux types de connexion de terminal. Le premier consiste à connecter les terminaux d'un appareil intégré aux plages de connexion formées sur la base; le second consiste à former des trous de liaison de connexion sur l'appareil après l'intégration. L'appareil est connecté aux plages sur la base à l'aide d'un semi-conducteur conventionnel et de techniques de montage SMD, puis l'appareil est intégré. Dans le deuxième type de connexion, l'appareil est connecté au motif conducteur après intégration par placage en cuivre ou application de pâte conductrice. Parmi les deux types de montage d'appareil, on peut distinguer des méthodes de liaison de puce et des méthodes de montage, tel qu'illustré dans le Tableau 4.

Tableau 4 – Montage Jisso et interconnexion de substrat avec appareil(s) intégré(s)

Montage Jisso		Appareil	Interconnexion		Structure
			Processus	Interconnexion	
Liaison de plage	Liaison de puce	Puce	Liaison filaire		
			Liaison par bosses soudées	Liaison métallique Connexion de contact	Liaison métallique  Contact 
	Montage	Assemblage niveau feuille (WLP, wafer level package)	Liaison de polymère de refusion	Soudure pâte conductrice	Soudure 
		Assemblage			Pâte conductrice 
		Puce rectangulaire			Soudure 
		Puce à fût long			Pâte conductrice 
		Module			Soudure 
		MEMS (Micro Electro Mechanical Systems)			Pâte conductrice 

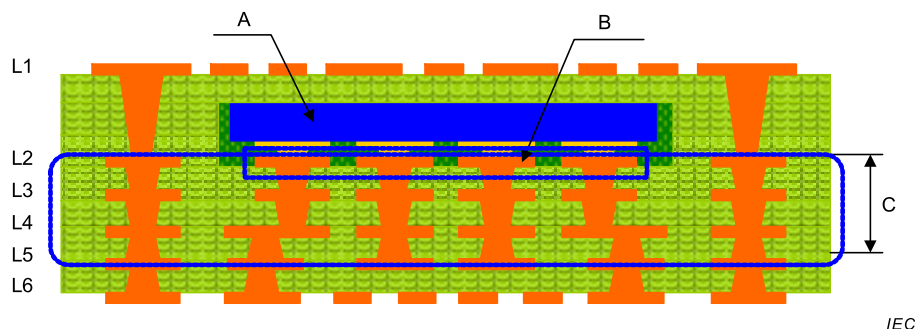
Montage Jisso	Appareil	Interconnexion	Structure	Montage Jisso	Appareil
			Processus	Interconnexion	
Liaison de trou de liaison	Liaison de puce	Puce	Connexion de trou de liaison	Cuivre de placage Pâte conductrice	Cuivre de placage 
		Assemblage niveau feuille (WLP, wafer level package)			Pâte conductrice 
	Montage	Assemblage			Cuivre de placage 
		Puce rectangulaire			Pâte conductrice 
		Puce à fût long			
		Module			
		MEMS (Micro Electro Mechanical Systems)	Connexion de trou de liaison	Cuivre de placage Pâte conductrice	

Il convient que la forme et que le traitement de surface des terminaux de l'appareil à intégrer fassent l'objet d'un accord entre l'utilisateur et le fournisseur de l'appareil.

5.2 Interconnexions et structures du substrat avec appareil(s) intégré(s)

Figure 6 indique chaque section d'un substrat avec appareil(s) intégré(s) et son nom. Voir l'IEC 60194 pour les termes utilisés dans la présente partie de l'IEC 62878. Les ajouts à l'IEC 60194 pour les termes spécifiques à la technologie d'intégration d'un appareil sont en cours de révision. Le nombre de couches est compté une fois l'intégration de l'appareil terminée en tant que L1, L2 à L6 (dans le cas de 6 couches) à partir de la couche du haut.

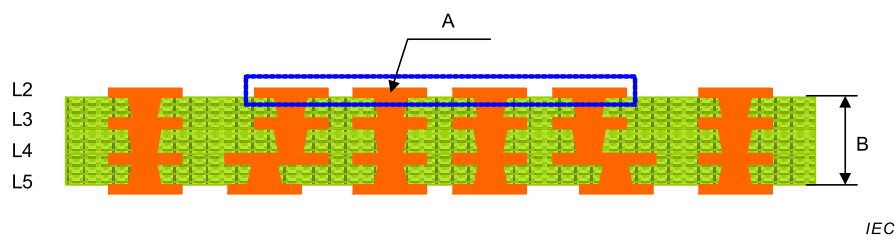
La structure du substrat avec appareil(s) intégré(s) est illustrée par l'intermédiaire de la structure du substrat d'intégration. La Figure 7 illustre une structure de base type et la Figure 8 illustre une structure de cavité. La Figure 9 illustre la structure pour la base isolante et la Figure 10 illustre la structure pour la base qui utilise un porteur conducteur ou une feuille métallique. L'utilisation d'un substrat céramique dans l'intégration de l'appareil est indiquée ici en tant qu'information technique. La Figure 11 et la Figure 12 montrent, respectivement, une carte céramique utilisée comme base de carte de câblage et comme base.



Légende

A	Appareil actif
B	Appareil intégré - liaison de contact
C	Base

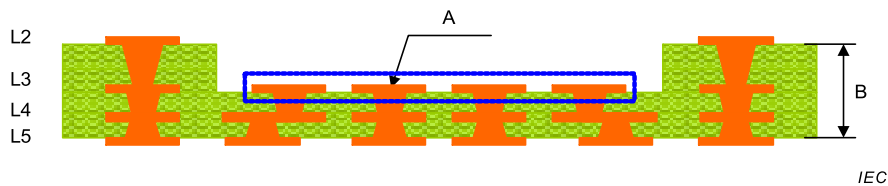
Figure 6 – Structure complète de substrat avec appareil(s) intégré(s)



Légende

A	Appareil intégré - liaison de contact
B	Base

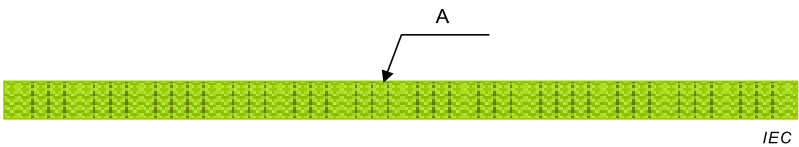
Figure 7 – Base (structure type)



Légende

A	Appareil intégré - liaison de contact
B	Base

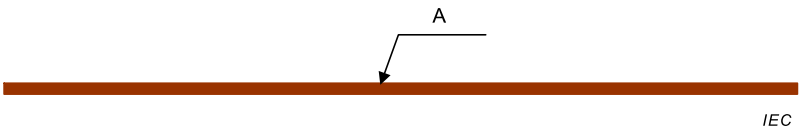
Figure 8 – Base (structure de cavité)



Légende

A	Matériau isolant (base, préimprégnation, etc.)
---	--

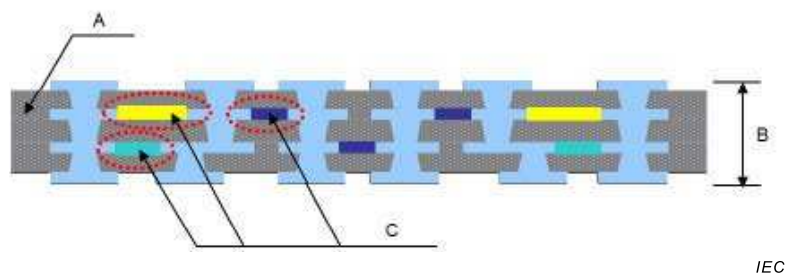
Figure 9 – Base (isolant)



Légende

A	Feuille de cuivre
---	-------------------

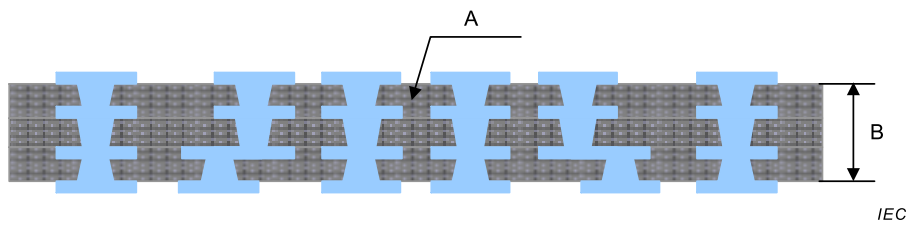
Figure 10 – Base (transporteur conducteur – plaque métallique)



Légende

A	Carte à câblage céramique
B	Base
C	Composant intégré à une carte céramique

Figure 11 – Carte céramique intégrant l'appareil passif utilisée comme base



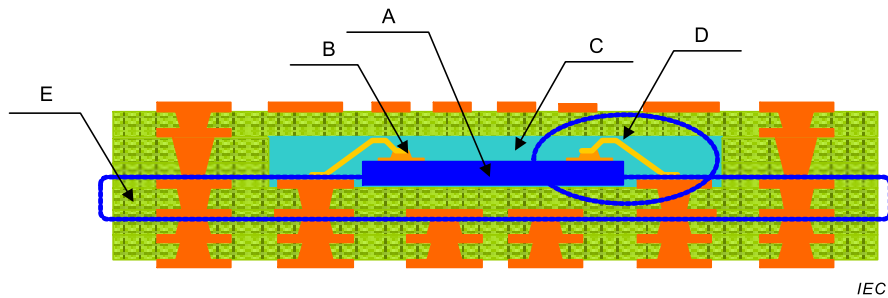
Légende

A	Carte à câblage céramique
B	Base

Figure 12 – Carte céramique utilisée comme base (céramique)

5.3 Intégration d'appareil par un processus conventionnel

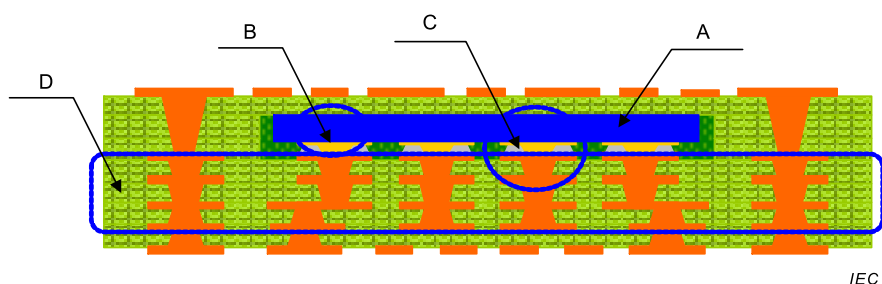
La Figure 13 à la Figure 18 montrent différents cas d'intégration d'appareil selon les techniques de montage conventionnelles, de connexion électrique après l'intégration de différents types d'appareils, d'intégration d'un appareil sur plus d'une couche, d'intégration d'un appareil avec une base en résine, mais aussi d'utilisation d'une couche conductrice et d'une feuille métallique/de cuivre.



Légende

A	Appareil actif
B	Intégré avec le terminal vers le haut
C	Encapsulant
D	Fil de liaison
E	Base

Figure 13 – Connexion de liaison filaire et intégration de puce nue d'appareil actif

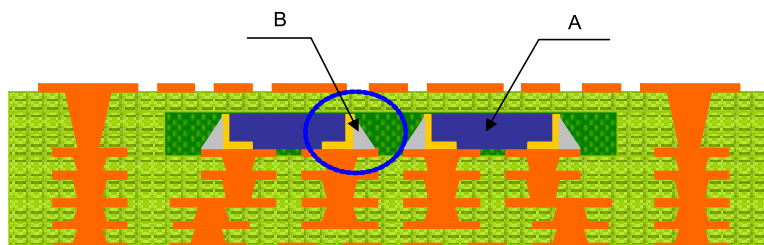


IEC

Légende

A	Appareil actif
B	Intégré avec le terminal vers le bas
C	Soudure
D	Base

Figure 14 – Connexion soudée et intégration de l'appareil actif

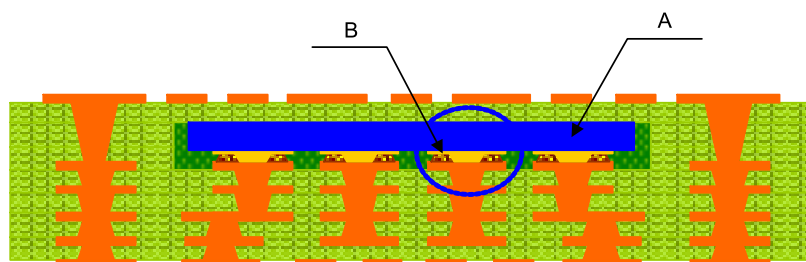


IEC

Légende

A	Appareil passif
B	Soudure

Figure 15 – Connexion soudée d'un appareil passif de type carré

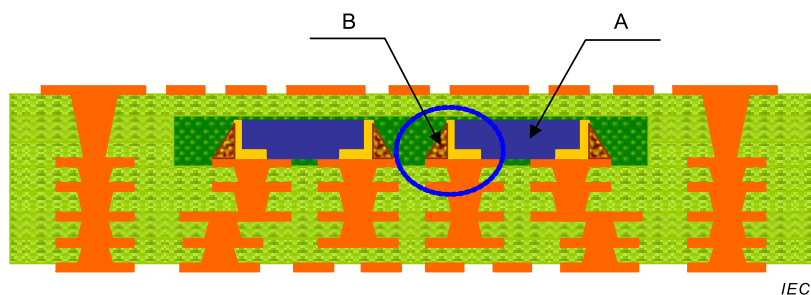


IEC

Légende

A	Appareil actif
B	Adhésif conducteur

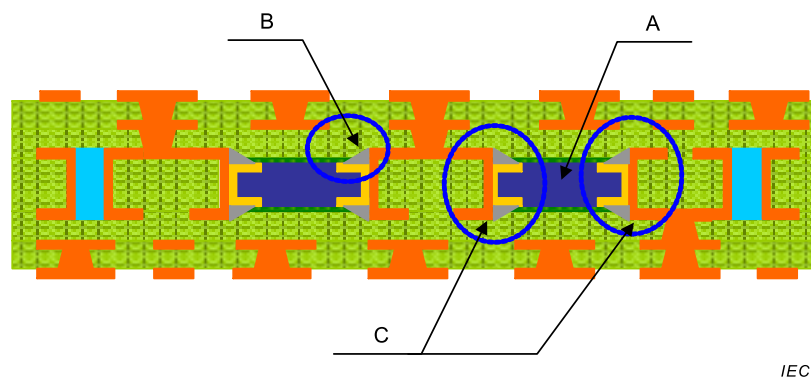
Figure 16 – Connexion de résine conductrice et intégration de l'appareil actif



Légende

A	Appareil passif
B	Adhésif conducteur

Figure 17 – Connexion de résine conductrice et intégration de l'appareil actif de type carré



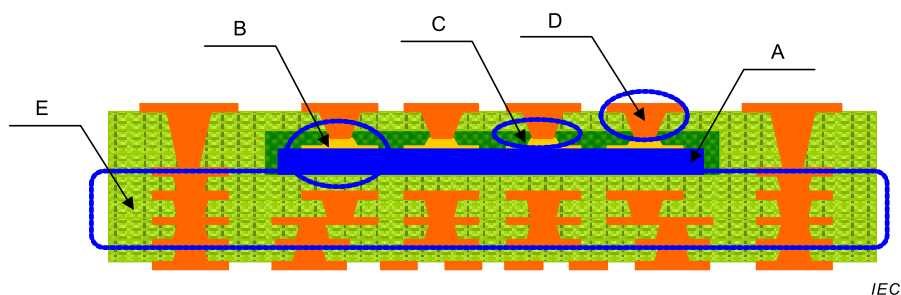
Légende

A	Appareil passif
B	Soudure
C	Deux orifices

Figure 18 – Connexion soudée dans l'orifice et intégration de l'appareil passif

5.4 Intégration d'appareils à l'aide de trous de liaison

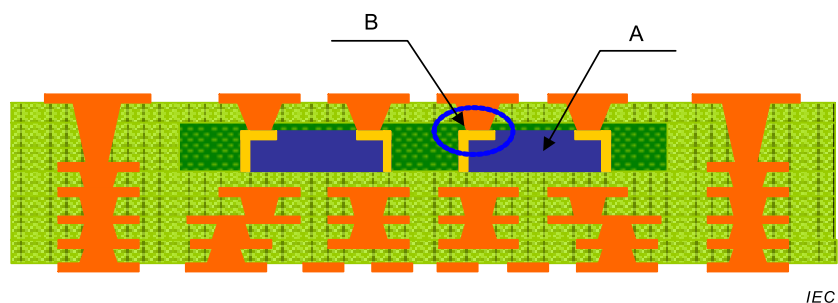
La Figure 19 à la Figure 27 montrent différents cas d'intégration d'appareils utilisant des trous de liaison.



Légende

A	Appareil actif
B	Intégré avec les terminaux vers le haut
C	Cuivre de placage - raccordement
D	Trou de liaison plaqué en cuivre
E	Base

Figure 19 – Connexion par placage de cuivre après intégration de l'appareil actif

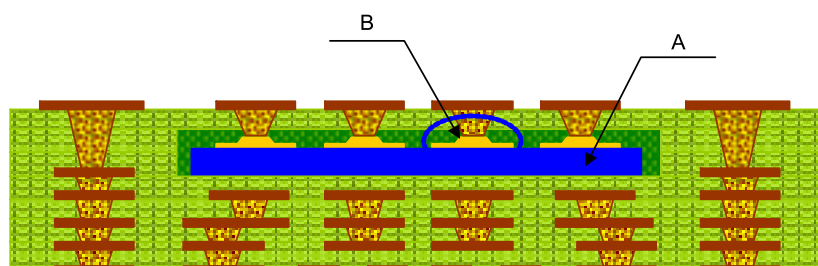


IEC

Légende

A	Appareil passif
B	Cuivre de placage - raccordement

Figure 20 – Connexion par placage de cuivre après intégration de l'appareil actif de type carré

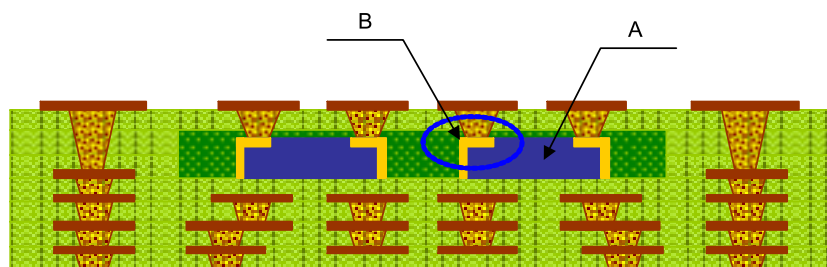


IEC

Légende

A	Appareil actif
B	Pâte conductrice - raccordement

Figure 21 – Connexion de pâte conductrice après intégration de l'assemblage de l'appareil actif

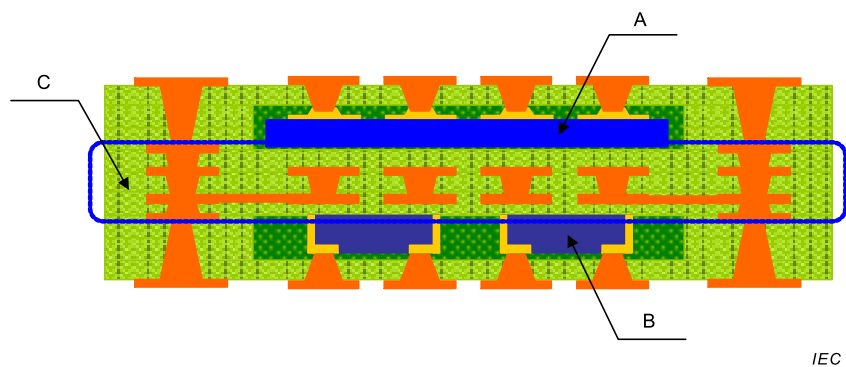


IEC

Légende

A	Appareil passif
B	Pâte conductrice - raccordement

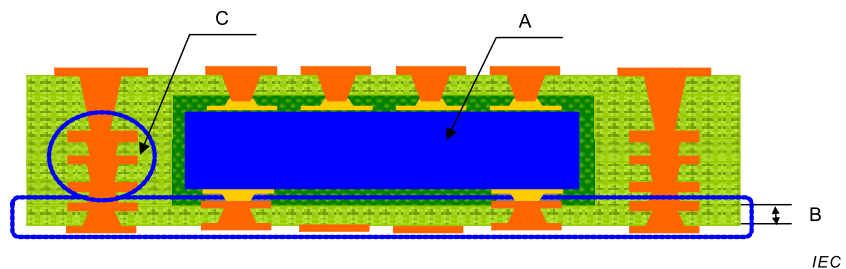
Figure 22 – Connexion de pâte conductrice après intégration de la puce de l'appareil actif de type carré



Légende

A	Appareil actif
B	Appareil passif
C	Base

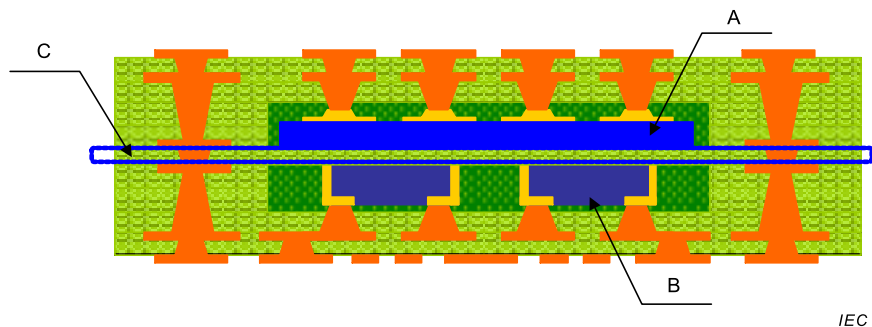
Figure 23 – Substrat avec appareil(s) intégré(s) pour l'intégration de l'appareil dans plusieurs couches



Légende

A	Appareil actif
B	Base
C	Couche conductrice dans la couche d'intégration

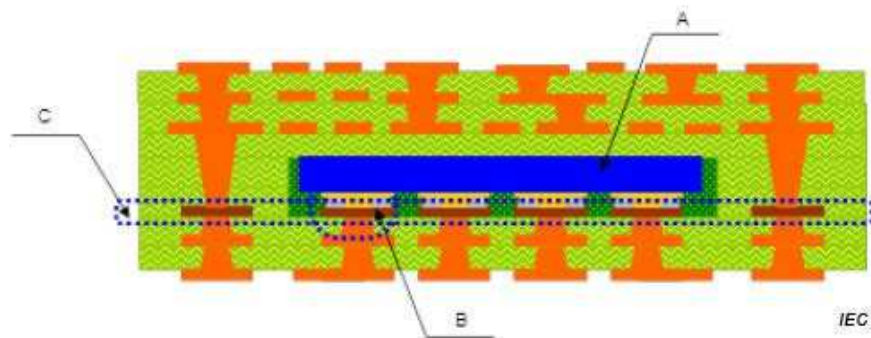
Figure 24 – Intégration d'appareils sur plusieurs couches



Légende

A	Appareil actif
B	Appareil passif
C	Base (isolant)

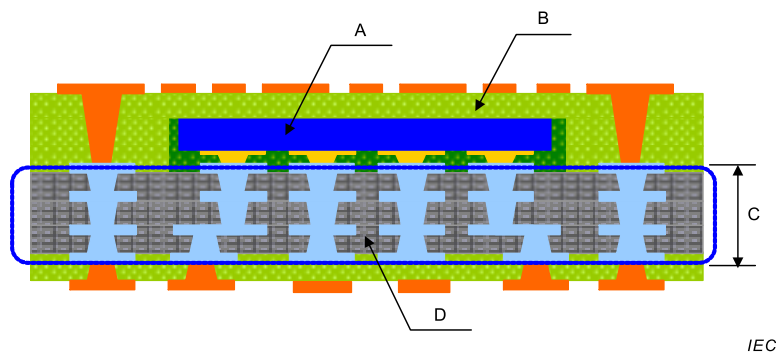
Figure 25 – Substrat à base de résine



Légende

A	Appareil actif
B	Soudure
C	Base (feuille de cuivre)

Figure 26 – Conducteur et feuille métallique/de cuivre comme substrat de base



Légende

A	Appareil actif
B	Composé de moulage
C	Substrat céramique
D	Base

Figure 27 – Substrat avec appareil(s) intégré(s) qui utilise des substrats céramiques intégrant l'appareil passif comme substrat de base – deuxième type

6 Désignation de chaque section

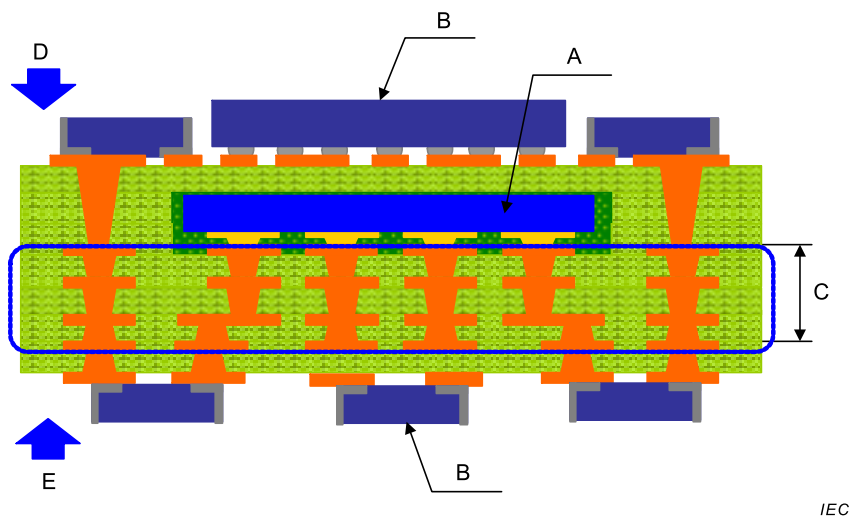
6.1 Généralités

La structure d'une carte avec appareil(s) intégré(s) est décrite en 5.2. Les positions et les noms des parties d'une carte sont spécifiés ici pour comprendre, d'un point de vue technique, la construction et la structure d'une carte avec appareil(s) intégré(s) afin d'établir une compréhension commune de la conception et/ou de la production de cartes.

6.2 Définition générale des surfaces supérieure et inférieure

La surface supérieure d'une carte avec appareil(s) intégré(s) est définie comme le côté sur lequel se trouvent le plus de terminaux électriques (plages). La surface inférieure est définie comme le côté à partir duquel une carte est connectée à une carte à câblage imprimé, ci-après appelée carte mère, tel qu'illustré dans la Figure 29. Même lorsque le côté répondant à la précédente définition compte davantage de terminaux d'E/S (plages) que la surface supérieure, il est toujours considéré comme la surface inférieure. La Figure 28 montre une carte avec appareil(s) intégré(s) terminée et la Figure 29 montre une section de la carte avec appareil(s)

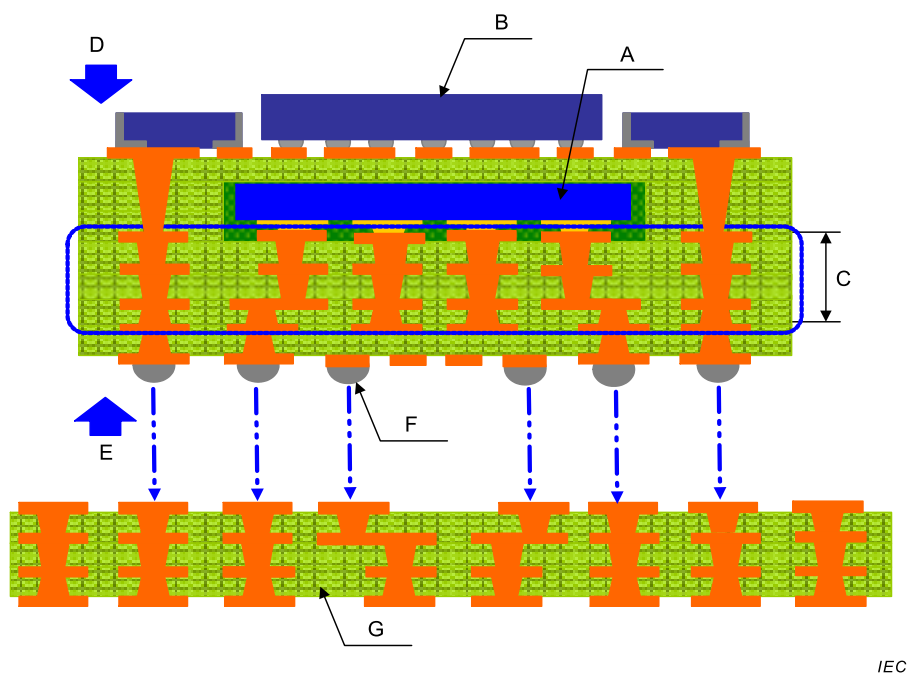
intégré(s) terminée montée sur une carte mère. L'utilisateur et le fournisseur peuvent définir autrement les surfaces supérieure et inférieure, même de façon différente de la définition donnée ici.



Légende

A	Composant intégré	D	Surface supérieure
B	Appareil monté en surface	E	Surface inférieure
C	Base		

Figure 28 – Définition des surfaces supérieure et inférieure



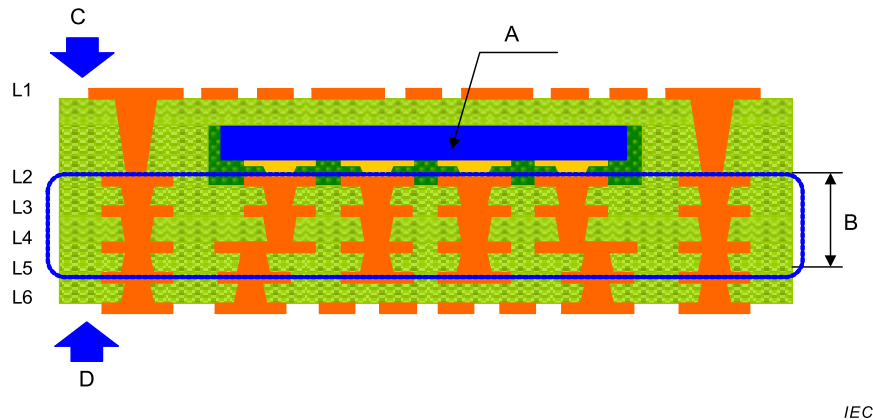
Légende

A	Composant intégré	E	Surface inférieure
B	Appareil monté en surface	F	Terminal de connexion (BGA ou LGA)
C	Base	G	Circuit imprimé (carte mère)
D	Surface supérieure		

Figure 29 – Définition des surfaces supérieure et inférieure (montage d'une carte mère)

6.3 Désignation des couches et position d'interconnexion

Les noms et les symboles des couches dans une carte avec appareil(s) intégré(s) sont illustrés à la Figure 30. Chaque couche est numérotée L1, L2 à L6 (dans le cas de 6 couches) à partir de la surface supérieure. Le numéro indique la position de la couche par rapport à la surface supérieure.



IEC

Légende

A	Composant intégré	C	Surface supérieure
B	Base	D	Surface inférieure

Figure 30 – Noms des couches dans la connexion de plage

Dans le cas d'une connexion de trou de liaison, la position des terminaux de connexion de l'appareil intégré diffère du numéro de la couche proche. Le symbole du composant et les positions de connexion sont définis comme illustré à la Figure 31 afin de clarifier les positions d'interconnexion de l'appareil intégré et de ses terminaux électriques par rapport à la conception de construction, à la conception de motif, à la fabrication de la carte et l'assemblage jisso.

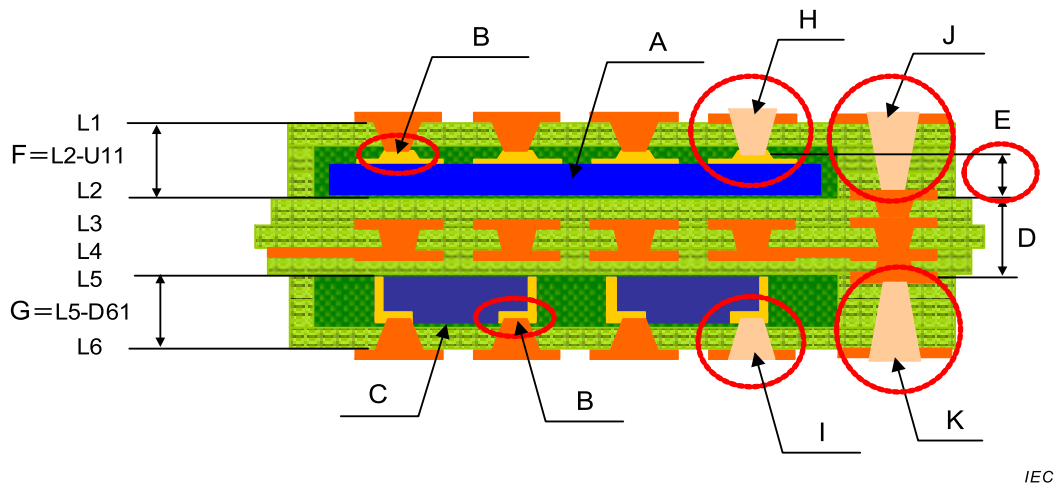
Il est recommandé d'utiliser les symboles et les noms du composant comme illustré dans un schéma électrique pour utiliser 2 à 4 indications. La position de l'interconnexion dans le cas d'une liaison de puce ou du montage d'un appareil intégré à un appareil peut être exprimée par l'utilisation d'un autre nom en plus du nom de la couche à laquelle l'appareil est intégré.

La surface d'un appareil est orientée vers le haut. Utiliser vers le haut (U, upward) lorsque les terminaux de connexion sont sur la surface tournée vers le haut et vers le bas (D, downward) lorsque les terminaux sont sur la surface tournée vers le bas.

Un numéro à trois chiffres est utilisé si plusieurs composants sont intégrés et/ou si plusieurs terminaux de connexion se trouvent dans la même couche. Le chiffre de gauche indique le numéro de la couche de connexion et le chiffre de droite indique la position de couche des composants intégrés. Si plusieurs couches sont concernées, les numéros 1, 2 indiquent les couches tournées vers le haut à partir du haut et les numéros 1, 2 à partir du bas indiquent les couches tournées vers le bas à partir du bas. Le deuxième numéro peut être omis si une couche ne compte qu'un seul composant intégré. Voir ci-dessous l'exemple de la Figure 31.

La Figure 31 illustre des informations complémentaires sur la position d'interconnexion. L'appareil actif est monté sur la couche L2 et connecté à la première couche vers le haut. Dans ce cas, le nom de la couche d'interconnexion est noté L2-U11. Le dernier chiffre, 1, indique le numéro du composant intégré. Les composants passifs montés sur la couche L5 sont connectés à L6 vers le bas. Dans ce cas, le nom de la couche d'interconnexion est noté L5-D61.

Une couche virtuelle est utilisée comme couche conductrice virtuelle et comme points de connexion. Pour procéder à la conception de la connexion de terminal d'un appareil intégré, on commence par établir les données de connexion et de percement de trou A et B, puis les données de connexion et de percement de trou C et D pour L2 et L5 (dans le cas de la structure ci-dessus). Le paramètre de terminal peut être omis si une connexion de trou de liaison et les positions des terminaux d'appareil intégrés et de la couche de conduction sont les mêmes.

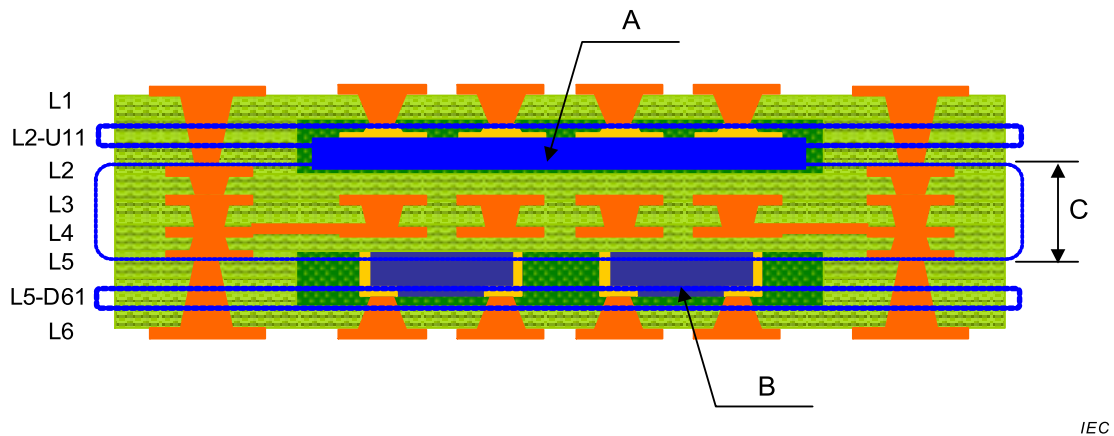


Légende

A	Appareil actif intégré	G	Nom de la couche entre L5 et L6
B	Terminal de connexion	H	Données de machinerie et connexion de L1 à une couche virtuelle (L2-U11)
C	Appareil passif intégré	I	Données de machinerie et connexion de L1 à L2
D	Base	J	Données de machinerie et connexion de L6 à une couche virtuelle (L5-D61)
E	Position terminale	K	Données de machinerie et connexion de L6 à L5
F	Nom de la couche entre L1 et L2		

Figure 31 – Informations complémentaires relatives à la position d'interconnexion

La Figure 32 représente la position d'interconnexion. L'appareil actif (xxxx) est monté sur la couche L2 et connecté à la première couche vers le haut. Dans ce cas, le nom de la position d'interconnexion est noté xxxx-L2-U11. Les composants passifs (yyyy) montés sur la couche L5 sont connectés à L6 vers le bas. Dans ce cas, le nom de la position d'interconnexion est noté yyyy-L5-D61.



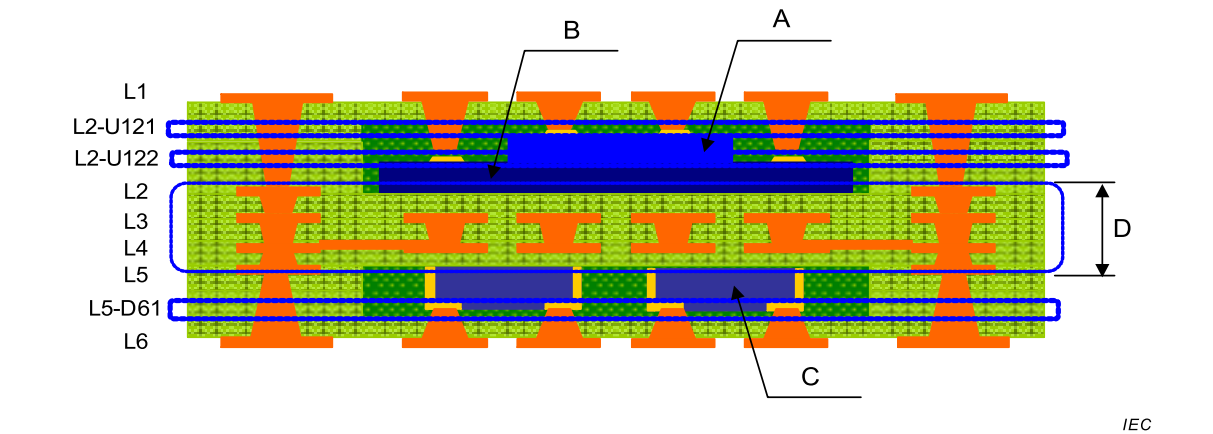
Légende

A	Appareil actif intégré
B	Appareil passif intégré
C	Base

Figure 32 – Noms des couches dans la connexion de trou de liaison [I]

La Figure 33 représente un cas d'empilage de puces. L'appareil actif 2 (xxx2) est monté sur la couche L2 et l'appareil actif 1 (xxx1) est empilé sur l'appareil actif 2. Tous deux sont connectés

à la couche L1 vers le haut. Dans ce cas, le nom de la position d'interconnexion de l'appareil actif 2 est noté xxx2-L2-U122. Le nom de la position d'interconnexion de l'appareil actif 1 est noté xxx1-L2-U121. Le deuxième chiffre en partant de la droite (2) indique le numéro de l'appareil intégré.

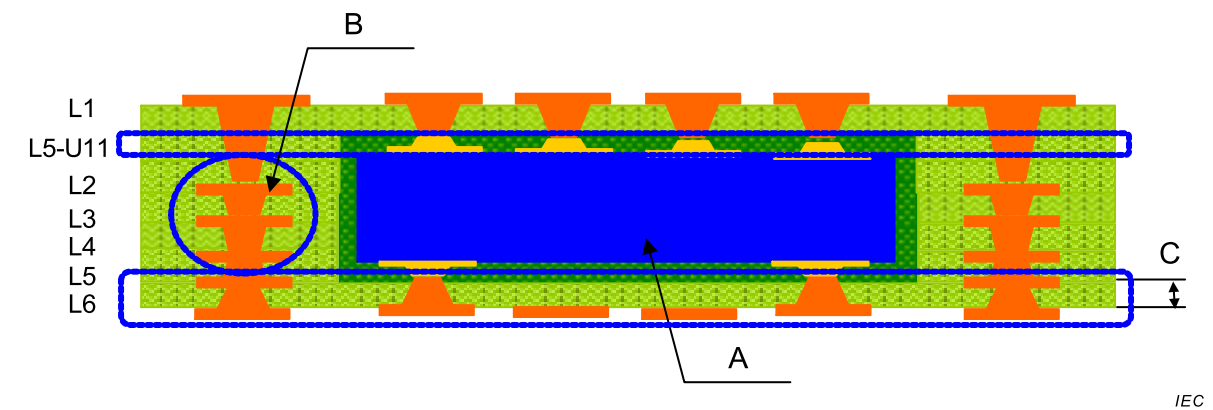


Légende

A	Appareil actif intégré 1	C	Appareil passif intégré
B	Appareil actif intégré 2	D	Base

Figure 33 – Noms des couches dans la connexion de trou de liaison [II]

La Figure 34 montre la position d'interconnexion d'un appareil actif ayant des plages de connexion multicouche. L'appareil actif (xxxx) est monté sur et connecté à la couche L5 et les plages situées sur le côté opposé sont connectées à la couche L1 vers le haut. Dans ce cas, le nom de la position d'interconnexion de l'appareil actif est donc noté xxxx-L5-U11.



Légende

A	Appareil actif intégré
B	Couche conductrice dans la couche d'intégration
C	Base

Figure 34 – Noms des couches dans la connexion de trou de liaison [III]

Le contenu de la Figure 31 à la Figure 34 est résumé dans le Tableau 5.

Tableau 5– Noms des couches de la carte avec appareil(s) intégré(s)

Exemple	Appareil intégré				Intégration et connexion de l'appareil intégré					
	Appareil	Tiret	Numéro du composant	Tiret	Couche	Tiret	Direction du terminal	Couche	Nombre de composants	
									N°	Couche
Figure 31	Actif	-	A12	-	L2	-	U	1	1	Omettre
	Passif	-	1	-	L5	-	D	6	1	Omettre
Figure 32	Actif	-	A13	-	L2	-	U	1	1	Omettre
	Passif	-	2	-	L5	-	D	6	1	Omettre
Figure 33	Actif	-	A13	-	L2	-	U	1	2	1
	IPD	-	4	-	L2	-	U	1	2	2
	Condensateur	-	1	-	L5	-	D	6	1	Omettre
Figure 34	IPD, etc.	-	12	-	L2	-	U	1	1	Omettre
		-	B1	-	L6	-	D	6	1	Omettre

Des informations sur les composants intégrés sont nécessaires dans la conception de la carte intégrée.
Par exemple, dans la Figure 31, la position d'interconnexion de l'appareil actif A12 est notée A12-L2-U11.

6.4 Définitions de l'épaisseur de la couche isolante, de l'espace du conducteur et de la distance de connexion entre le terminal et le conducteur

6.4.1 Généralités

L'épaisseur de la couche isolante et de l'espace du conducteur de chaque couche est spécifiée en fonction de l'épaisseur de chaque couche.

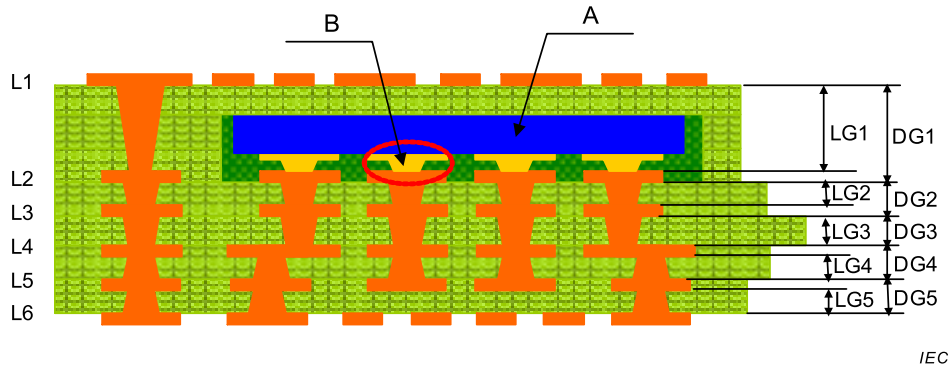
- L'épaisseur de la couche isolante est définie comme l'épaisseur d'une couche. L'épaisseur de l'isolation n'est pas l'épaisseur de chaque couche isolante réalisée mais l'épaisseur de toutes les couches utilisées (ou réalisées).
- L'espace du conducteur est l'épaisseur de l'isolateur entre la couche conductrice (motif) et la couche du conducteur avant.
- La distance entre l'électrode et le conducteur est l'épaisseur d'une couche isolante présente entre les terminaux d'un composant intégré et le conducteur situé en face, applicable à une interconnexion de trou de liaison.
- Les noms suivants sont utilisés pour chaque section:
 - épaisseur de couche isolante DG1 (espace diélectrique);
 - espace du conducteur LG1 (espace de la couche);
 - espace électrode/conducteur EG11 (espace intégré à l'appareil).

Les chiffres pour 1) et 2) indiquent le nombre de couches; 3) concerne la couche conductrice pour le numéro de gauche et les composants intégrés à la première étape et à la deuxième étape pour le numéro de droite. Voir 6.3 pour la définition des étapes (couches).

L'épaisseur de la couche isolante, l'espace conducteur et l'espace électrode/conducteur sont illustrés aux Figure 35 et Figure 36. Des informations complémentaires sur l'épaisseur de la couche isolante, l'espace conducteur et l'espace électrode/conducteur sont illustrées aux Figure 37 et Figure 38.

6.4.2 Epaisseur de la couche isolante, espace du conducteur et espace électrode/conducteur dans la connexion de plage

La Figure 35 représente la définition de l'épaisseur de la couche isolante, de l'espace du conducteur et de l'espace électrode/conducteur. L'espace du conducteur et l'espace diélectrique de la couche isolante correspondante sont notés respectivement LG et DG. De plus, le nombre suivant les abréviations indique le numéro de couche.



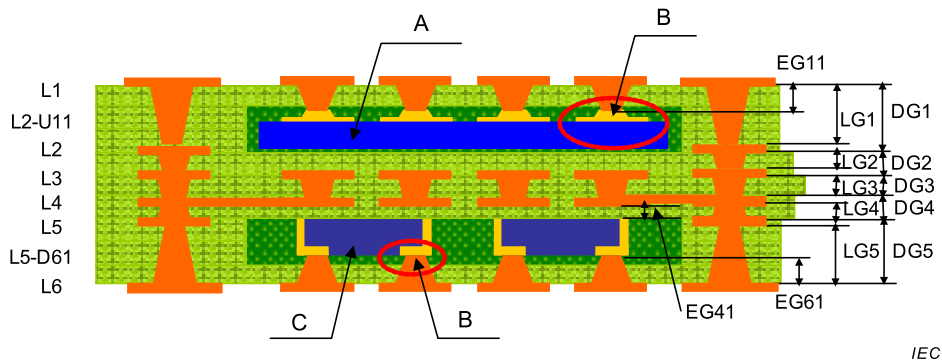
Légende

A	Appareil intégré	B	Electrode (terminal de connexion)
---	------------------	---	-----------------------------------

Figure 35 – Définition de l'épaisseur de la couche isolante et de l'espace conducteur dans la connexion de plage

6.4.3 Epaisseur de la couche isolante, espace du conducteur et espace électrode/conducteur dans la connexion de trou de liaison

La Figure 36 représente la définition de l'espace d'électrode dans la connexion de trou de liaison. L'espace d'électrode est noté EG et les nombres suivant l'abréviation représentent la connexion à la couche conductrice 1 à partir d'un composant intégré.



Légende

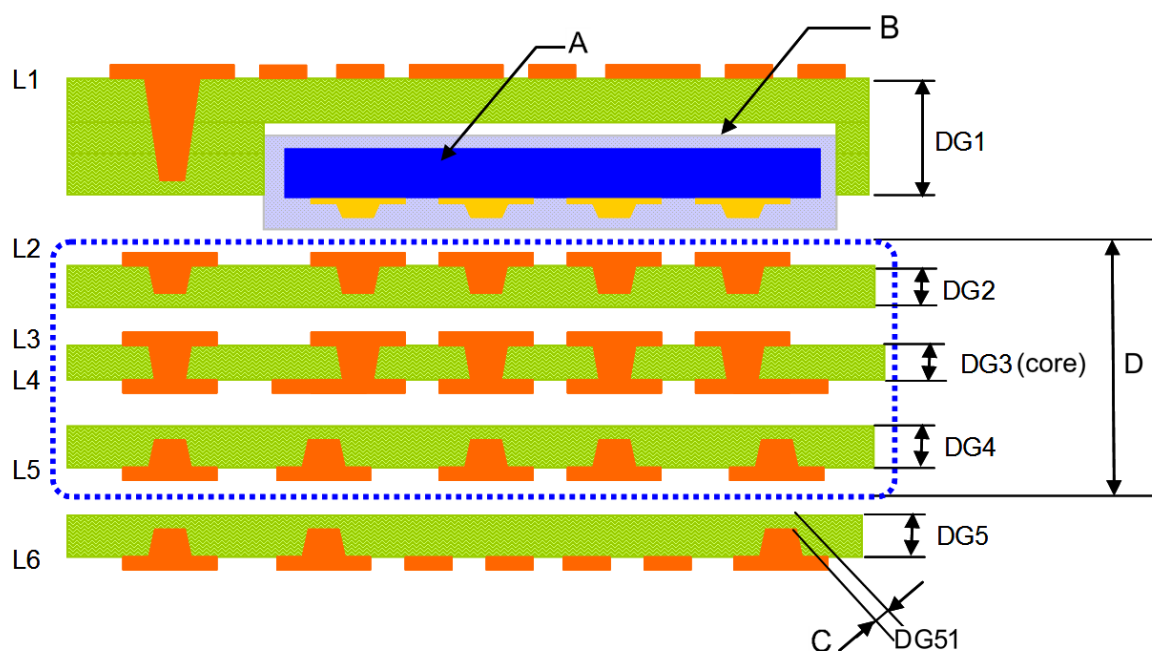
A	Appareil actif intégré	C	Appareil passif intégré
B	Electrode (terminal de connexion)		

Figure 36 – Définition de l'espace d'électrode dans la connexion de trou de liaison

6.5 Informations complémentaires

6.5.1 Informations complémentaires pour la couche isolante

La Figure 37 représente la structure de la couche isolante avant la stratification. L'appareil actif est intégré à la couche isolante DG1. DG51 indique l'épaisseur minimale de la couche isolante DG5.



IEC

Légende

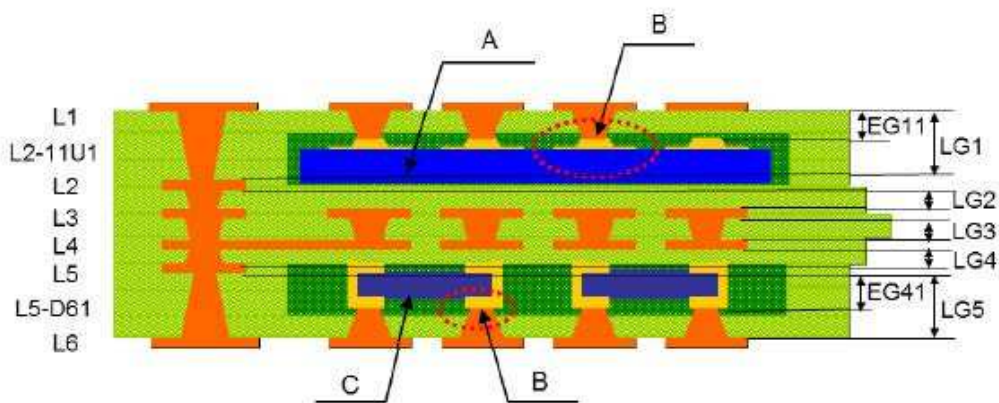
A	Appareil actif intégré	C	Intégration du conducteur dans la couche de connexion, DG51
B	Intégration dans la couche de connexion, DG1	D	Base

Figure 37 – Illustration supplémentaire pour l'épaisseur de la couche isolante

6.5.2 Informations complémentaires pour l'espace du conducteur et l'espace électrode/conducteur

La Figure 38 illustre l'espace du conducteur et l'espace électrode/conducteur. EG11 représente l'espacement d'isolation entre les plages non attachées des appareils actifs intégrés au conducteur de la couche extérieure.

EG41 indique l'espacement d'isolation entre L4 et L5.



IEC

Légende

A	Appareil actif intégré	C	Appareil passif intégré
B	Electrode (terminal de connexion)		

Figure 38 – Illustration complémentaire pour l'espace du conducteur et l'espace électrode/conducteur

Bibliographie

IEC 60068-2 (toutes les parties), *Essais d'environnement – Partie 2: Essais*

IEC 61249 (toutes les parties), *Matériaux pour circuits imprimés et autres structures d'interconnexion*

IEC 62421:2007, *Techniques d'assemblage des composants électroniques – Modules électroniques*

IEC 62878-1-1, *Substrat avec appareil(s) intégré(s) – Partie 1-1: Spécification générique – Méthodes d'essai*¹

IEC TS 62878-2-3, *Substrat avec appareil(s) intégré(s) – Partie 2-3: Directives – Guide de conception*

IEC TS 62878-2-4, *Substrat avec appareil(s) intégré(s) – Partie 2-4: Directives – Groupes d'éléments d'essai (TEG)*

JIS C 5603, *Terms and definition in printed wiring boards* (disponible en anglais seulement)

JPCA-TD01-2008, *Terms and definitions in electronic circuits* (disponible en anglais seulement)

JPCA – BU01 – 2007, *Build-up wiring board (Terms and test methods)* (disponible en anglais seulement)

¹ A publier.

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

3, rue de Varembé
PO Box 131
CH-1211 Geneva 20
Switzerland

Tel: + 41 22 919 02 11
Fax: + 41 22 919 03 00
info@iec.ch
www.iec.ch