

TECHNICAL REPORT

RAPPORT TECHNIQUE



Documentation on design automation subjects – The Bird's-eye View of Design Languages (BVDL)

**Documentation sur les sujets concernant l'automatisation de la conception –
Langages BVDL (Bird's-eye View of Design Languages)**





THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2013 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembé
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

Useful links:

IEC publications search - www.iec.ch/searchpub

The advanced search enables you to find IEC publications by a variety of criteria (reference number, text, technical committee,...).

It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available on-line and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 30 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary (IEV) on-line.

Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Liens utiles:

Recherche de publications CEI - www.iec.ch/searchpub

La recherche avancée vous permet de trouver des publications CEI en utilisant différents critères (numéro de référence, texte, comité d'études,...).

Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

Just Published CEI - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications de la CEI. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 30 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (VEI) en ligne.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

TECHNICAL REPORT

RAPPORT TECHNIQUE



Documentation on design automation subjects – The Bird's-eye View of Design Languages (BVDL)

**Documentation sur les sujets concernant l'automatisation de la conception –
Langages BVDL (Bird's-eye View of Design Languages)**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX

S

ICS 25.040

ISBN 978-2-8322-1028-4

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	3
INTRODUCTION.....	5
1 Scope.....	6
2 Structure and content of the Bird's-eye View of Design Languages.....	8
2.1 Structure of the Bird's-eye View of Design Languages	8
2.2 Chart of design processes.....	9
2.3 Table of "Electronic system design"	10
2.4 Table of "SoC design"	10
2.5 Table of "Mixed-signal verification" and analog block design".....	11
2.6 Table of "Characterization and IP preparation"	12
2.7 Reading the Bird's-eye View of Design Languages	13
2.7.1 General	13
2.7.2 Case 1): Multiple marks in one design object.....	13
2.7.3 Case 2): Multiple marks in the same design objects in the different processes	14
3 Use case of the Bird's-eye View of Design Languages.....	14
3.1 Case 1): Investigation of consistency of flow.....	14
3.2 Case 2): Evolution of language and standardization	15
3.3 Case 3): Emergence of new technology	15
4 The Bird's-eye View of Design Languages (BVDL), version 1.0	15
4.1 Design processes	15
4.2 Electronic system design	16
4.3 SoC design	17
4.4 Mixed-signal verification and analog block design	20
4.5 Characterization and IP preparation.....	21
Figure 1 – Electronic design ecosystem	7
Figure 2 – Chart and table of BVDL	8
Figure 3 – Structure of the table.....	9
Figure 4 – Chart of design processes.....	9
Figure 5 – "Electronic system design" table.....	10
Figure 6 – Part of "SoC design" table	11
Figure 7 – Part of "Mixed-signal verification and analog block design" table	12
Figure 8 – "Characterization and IP preparation" table	13
Figure 9 – Multiple marks in one design object.....	14
Figure 10 – Multiple marks in the same design objects in the different processes	14
Figure 11 – Chart of design processes.....	15

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**DOCUMENTATION ON DESIGN AUTOMATION SUBJECTS –
THE BIRD'S-EYE VIEW OF DESIGN LANGUAGES (BVDL)**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

The main task of IEC technical committees is to prepare International Standards. However, a technical committee may propose the publication of a technical report when it has collected data of a different kind from that which is normally published as an International Standard, for example "state of the art".

IEC 62856, which is a technical report, has been prepared by IEC technical committee 91: Electronics assembly technology:

The text of this technical report is based on the following documents:

Enquiry draft	Report on voting
91/1085/DTR	91/1101/RVC

Full information on the voting for the approval of this technical report can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION

The automation of design and manufacturing technologies in electronic industries has been evolving world-wide for over three decades with remarkable development speed. Electronic design automation (EDA) technology enables the conceptualization, implementation and validation of electronic systems, that is, transforms the ideas and objectives of the system designers into manufacturable and testable representations in a cost-effective way. It is classified into three key categories such as design methodologies, design libraries and design tools. Standardization involves computer-sensible representations throughout the overall design processes which integrate design libraries and design tools to build a design ecosystem.

In the semiconductor industry EDA technologies have been substantially contributing to the unprecedented industry growth for three decades. To emerging new product lines such as microcontroller, microprocessor, ASIC, FPGA, memories, analog and mixed-signal and System on a chip (SoC) they have been continuously providing a wide range of solutions to meet critical requirements on design productivity enhancement and design quality improvement.

The EDA technical committee (EDA-TC) was formed in JEITA in 1990 in order to take initiatives for international EDA standardization in Japan. Since then, it has been contributing design language standardization such as EDIF, VHDL, Verilog HDL, Delay and Power Calculation (DPC), System C, System Verilog and Power Format, which led to forming the new working group at which experts from the industry and academia were invited and to work with IEC TC93, IEEE DASC, Accellera, Open SystemC Initiatives (OSCI) and others. After having been active for over two decades the need was felt for a bird's-eye view of the existing tens of design languages, and to enhance or develop them in order to set the strategy towards international EDA standardization. EDA-TC initiated the project in early 2009 to develop the Bird's-eye View of Design Languages (BVDL) spreadsheet documentation. It developed the first version in March 2010, in order to have an important participation of design technology experts from the semiconductor industry and academia. It finalized the BVDL documentation combined with the spreadsheet as a JEITA technical report in March 2011.

DOCUMENTATION ON DESIGN AUTOMATION SUBJECTS – THE BIRD’S-EYE VIEW OF DESIGN LANGUAGES (BVDL)

1 Scope

The BVDL originally aims to make full use of planning and decision-making on EDA standardization activities for a technical expert as well as a manager in JEITA. It facilitates the understanding of the various design languages to show their positioning and features. Also it provides easy overviews of each design language for a newcomer to the EDA standards community and/or for a designer as a user of an EDA design ecosystem. Especially for a design language developer that aims to directly join design language development and voting for standardization, it provides metrics to check for duplication among similar languages, consistency to develop the design ecosystem and future challenges for design languages.

EDA standards provide a mechanism to define common semantics for electronic design ecosystems among various design tools depicted in Figure 1. The state-of-the-art standards are classified into hardware description languages, hardware verification languages, electronic system level design languages, library formats, design constrain formats, interface formats with manufacturing and testing, design data exchange formats, data models and application procedure interfaces (API), etc. Therefore they are generally called standard design languages in a narrow sense. The semiconductor industry has been facing new design complexity barriers and is today facing unprecedented complexities brought by the convergence of product features in terms of silicon process technology, system technology, high gate count and embedded software incorporation. This new design complexity requires integrated EDA solutions and at the same time impacts design ecosystem and standard design languages as well. So a new design language development or new features enhancement to an existing design language is needed. As a result tens of design languages, which might be classified into de jure standard language, de facto standard language, forum standard language and common language used in some community, are developed, enhanced or actually used in the industries, academia and communities world-wide.

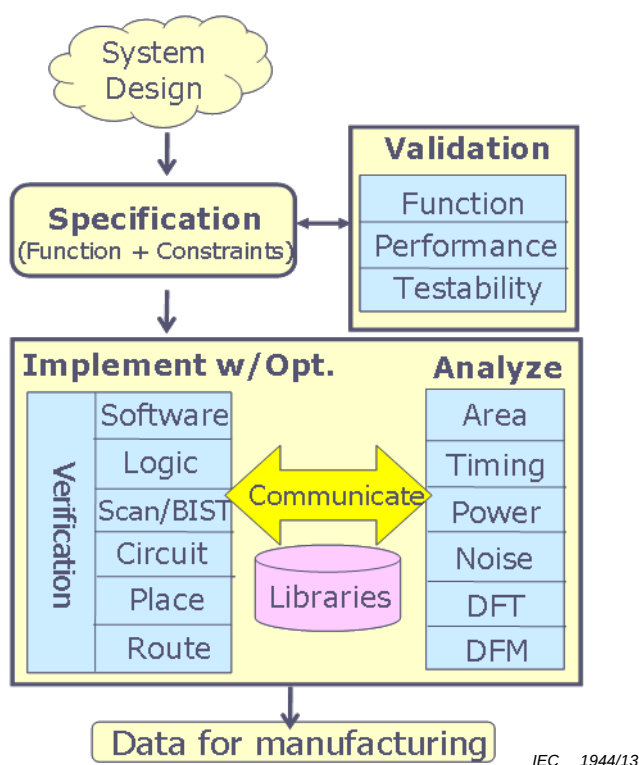


Figure 1 – Electronic design ecosystem

This technical report describes features for existing design languages, as well as for enhancing and newly developing design languages belonging to the defined design processes of System on a chip (SoC) which ranges from system level design, SoC design implementation and verification, IP block creation and analog block design down to interface data preparation for manufacturing. These simplified design processes might not become obsolete despite the remarkable speed of the evolution of electronic design automation and seem easier to understand for a non-EDA expert.

Thirty-three design languages have been chosen and each feature of their latest version as of March 2011 is reflected in this report:

UML
 Esterel
 Rosetta
 SystemC
 SystemC-AMS
 IBIS
 CITI
 TouchStone
 BSDI
 System Verilog
 VHDL
 Verilog HDL
 UPF
 CPF

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printed.

The design processes which belong to each major design process are listed in the four tables. Each table has a structure which makes it suitable to recognize the positions and features of the design languages. The design languages which are grouped according to design flow are in the columns of the tables. Design objects are in the rows of the tables. The design objects are what designers design in the design processes. For example, they are hardware description,

verification description, design constraint, and so on. They are grouped into “object groups” which represent the category. The tables have marks which show the positions and features of the languages. One language may appear in only one column or may appear in several columns (see Figure 3).

[illegible]

Figure 3 – Structure of the table

2.2 Chart of design processes

In 2.2, the content of the chart of design processes is explained (see Figure 4).

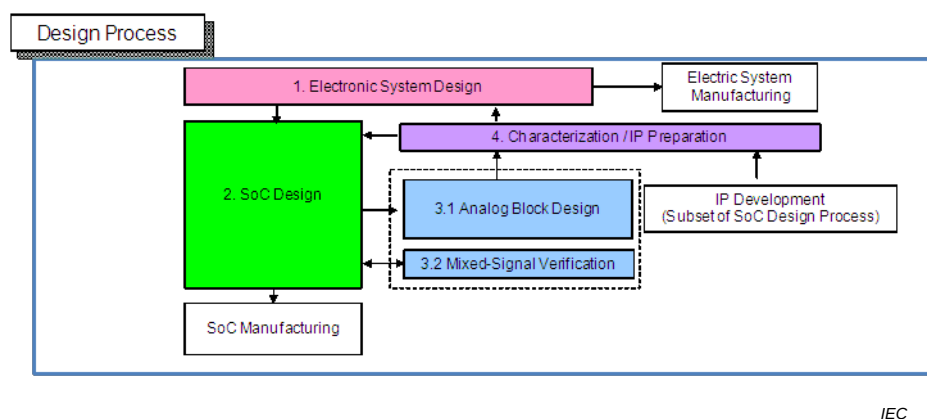


Figure 4 – Chart of design processes

In Figure 4, the four major design processes, “Electronic system design”, “SoC design”, “Mixed-signal verification and analog block design”, and “Characterization and IP preparation” are defined.

The “Electronic system design” process is a design process to develop electronic systems. In the design process, system requirements are analysed and then the system specifications are defined. Printed wiring boards, packages, system architectures, and algorithms are implemented according to the specifications.

The “SoC design” process is a design process to develop Systems on a chip (SoCs). They are designed according to the specifications, system architectures, and algorithms which are

designed in the “Electronic system design” process. In the BVDL, only the digital parts of SoC designs are chosen. Although SoCs include analog circuits, the design processes of analog circuits are considered in the “Analog block design” process.

The “Analog block design” process is a design process to develop analog blocks. They are provided to the SoC design process as IPs through the “Characterization and IP preparation” process. In the “Mixed-signal verification” process, interfaces between digital parts and analog parts in SoC are verified.

In the “Characterization and IP preparation” process, digital IPs and analog IPs are prepared. These IPs are provided to the other design processes.

2.3 Table of “Electronic system design”

In 2.3, the content of the “Electronic system design” table is explained (see Figure 5).

BVDL		Design Process									
		PWB (Printed Wiring Board) Design, Package Design									
		Architecture Design, Algorithm Design									
1. Electronic System Design		Requirement Analysis, Specification Definition									
		Design Language	UML	Extend	Rosetta	SystemC	SystemC-AMS	EHS	CTT	Touch Stone	BSDL
Description Objects		IEEE X		P1773	P1899	1855		-			1149.1b
Object Group	Objects	IEC #						82014			-
Electronic System	Structure		X		X	X	X				
Electronic System	Logical Behavior & Function		X	X	X	X	X				
Electronic System	Logical Behavior & Function - Extended for AMS				X	X	X				
Electronic System	Performance & Characteristics		X		X	X	X				
Electronic System	Performance & Characteristics-Extended for AMS										
Electronic System	Verification Environment		X	-	X	X	X				
Electronic System	Verification Environment -Extended for AMS						X				
SoC Hardware	I/O Buffer Information							X			
SoC Testing	Boundary Scan Circuits										X
Device Characteristics	Device Characteristics (S-Parameter, etc.)								X	X	

IEC 1948/13

Figure 5 – “Electronic system design” table

The columns show the design processes in the “Electronic system design” major design process. The design processes are printed wiring board and package designs, architecture and algorithm designs, and requirement analyses and specifications definition. The design languages related to the design processes are listed in the columns.

The rows show design objects which are designed in the design processes in the columns. They are structures, logical behaviors and functions, performances and characteristics, verification environments, I/O buffer information, boundary scan circuits, and device characteristics. Their granularity should be small enough to make clear the difference between languages.

The design objects are grouped into four object groups: electronic system, SoC hardware, SoC testing, and device characteristics. The design objects, structures, logical behaviors and functions, performances and characteristics, and verification environments belong to the electronic system object group. The design object I/O buffer information belongs to the SoC hardware object group. The design object boundary scan circuits belongs to the SoC testing object group. The design object device characteristics belongs to the device characteristics object group.

2.4 Table of “SoC design”

In 2.4, the content of the “SoC design” table is explained (see Figure 6).

[illegible]

Figure 6 – Part of “SoC design” table

The columns show the design processes in the “Soc design” major design process. The design processes are high-level designs and verifications, RTL designs and verifications, logic synthesis, logic verifications, place and route, sign-off verification, and design manufacturing interface. The design languages related to the design processes are listed in the columns.

The rows show design objects which are designed in the design processes in the columns. They are structures, logical behaviors and functions, gate-level circuits, timing constraints, power structures, floor plans, place and route data, layout data, test benches, properties, assertions, functional coverage, transactors, test patterns, random verifications, logic and circuit simulation results, parasitic wire capacitance and resistance, wire end point coordinations, LVS netlist, delay time, boundary scan circuits, test data, core tests, and on-chip scan compression structures. Their granularity should be small enough to make clear the difference between languages.

The design objects are grouped into four object groups: SoC hardware, functional verification, intermediate data between EDA tools, and SoC testing. In each object group, the design objects are as follows:

In the SoC hardware object group: structures, logical behaviors and functions, gate-level circuits, timing constraints, power structures, floor plans, place-and-route data, and layout data; in the functional verification object group: test benches, properties, assertions, functional coverage, transactors, test patterns, and random verifications; in the intermediate data between EDA tools object group: logic and circuit simulation results, parasitic wire capacitances and resistances, wire end point coordinations, LVS netlists, and delay time; and in the SoC testing object group: boundary scan circuits, test data, core tests, and on-chip scan compression structures.

2.5 Table of “Mixed-signal verification” and analog block design”

In 2.5, the content of the “Mixed-signal verification and analog block design” is explained (see Figure 7).

EPM		Design Process											
		Mixed-Signal Verification											
3.2 Mixed-Signal Verification		Post-Layout Circuit Verification											
3.1 Analog Block Design		Layout Design											
		Transistor-Level Circuit Design											
		Functional Design, Architecture Design											
		Design Language	Verilog-A	Verilog-AMS	Verilog-AMS	SystemC	PSDE	Transistors	CTT	Open Access	DCI II	QASIS	SystemC
Description Objects		IEEE #	-	-	078.1-199	-	-	-	-	-	-	-	-
Object Group		EC #	-	-	-	-	-	-	-	-	-	-	-
SoC Hardware	Structure		X	X	X								
SoC Hardware	Logical Behavior & Function			X	X								
SoC Hardware	Logical Behavior & Function – Extended for AMS			X	X								
SoC Hardware	Analog Behavior & Function		X	X	X								
SoC Hardware	Gate-Level Circuit		X	X	X								
SoC Hardware	Transistor-Level Circuit		X	X	X	X							X
SoC Hardware	Timing Constraints												
SoC Hardware	Power Structure												
SoC Hardware	Floor plan												
SoC Hardware	Place-and-Route Data									X			
SoC Hardware	Layout Data										X	X	
Functional Verification	Test Bench		X	X	X								
Functional Verification	Test Bench – Extended for AMS		X	X	X								
Functional Verification	Property												
Functional Verification	Assertion												
Functional Verification	Functional Coverage												
Functional Verification	Transactor												
Functional Verification	Test Pattern			X	X								
Functional Verification	Random Verification												
Intermediate Data between EDA tools	Logic & Circuit Simulation Results						X						
Intermediate Data between EDA tools	Parasitic Wire Capacitance									X			
Intermediate Data between EDA tools	Parasitic Wire Resistance									X			
Intermediate Data between EDA tools	Wire End Point Coordination									X			
Intermediate Data between EDA tools	LVS Netlist					X							X
Intermediate Data between EDA tools	Delay Time									X			
Device Characteristics	Device Characteristics (S-Parameter, etc.)							X	X				

IEC 1950/13

IEC 1950/13

Figure 7 – Part of “Mixed-signal verification and analog block design” table

The columns show the design processes in the “Mixed-signal verification and analog block design” major design process. The design processes are analog functional designs, architecture designs, transistor-level circuit designs, layout designs, post-layout circuit verifications, and mixed-signal verifications. The design languages related to the design processes are listed in the columns.

The rows show design objects which are designed in the design processes in the columns. They are structures, logical behaviors and functions, logical behaviors and functions (extended for AMS), analog behaviors and functions, gate-level circuits, transistor-level circuits, timing constraints, power structures, floor plans, place-and-route data, layout data, test benches (also extended for AMS), properties, assertions, functional coverage, transactors, test patterns, random verifications, logic and circuit simulation results, parasitic wire capacitances and resistances, wire end point coordinations, LVS netlists, delay time, and device characteristics. Their granularity should be small enough to make clear the difference between languages.

The design objects are grouped into four design groups: SoC hardware, functional verification, intermediate data between EDA tools, and device characteristics. In each design group, the design objects are as follows:

In the SoC hardware design group: structures, logical behaviors and functions, logical behaviors and functions (extended for AMS), analog behaviors and functions, gate-level circuits, transistor-level circuits, timing constraints, power structures, floor plans, place-and-route data, and layout data; in the functional verification object group: test benches (also extended for AMS), properties, assertions, functional coverage, transactors, test patterns, and random verifications; in the intermediate data between EDA tools object group: logic and circuit simulation results, parasitic wire capacitances and resistances, wire end point coordinations, LVS netlists, and delay time; and in the device characteristics object group: device characteristics.

2.6 Table of “Characterization and IP preparation”

In 2.6, the content of the “Characterization and IP preparation” is explained (see Figure 8).

BVDL		Design Process									
4. Characterization IP Preparation	IP Model Preparation										
	Characterization										
		Design Language	SystemVerilog	Verilog	VHDL	LLP	CO 9.1	DA 8.8	Library	CDL	#-YAC
Description Objects		IEEE 8	1800	1364	1076						1885
Object Group		EC 8	12580	11891-4	12268						
Library, Component-model	Logic Library Model		X	X	X						
Library, Component-model	Library Model for Place-and-Route Tools					X					
Library, Component-model	Layout Data						X	X			
Library, Component-model	Delay Calculation Model								X		
Library, Component-model	LVS Netlist									X	
IP	IP Metadata										X

IEC 1951/13

Figure 8 – “Characterization and IP preparation” table

The columns show the design processes in the “Characterization and IP preparation” major design process. The design processes are characterization and IP model preparation. The design languages related to the design processes are listed in the columns.

The rows show design objects which are designed in the design processes in the columns. They are logic library models, library models for place-and-route tools, layout data, delay calculation models, LVS netlists, and IP metadata. Their granularity should be small enough to make clear the difference between languages.

The design objects are grouped into two object group: libraries and component-models, and IP. In each object group, the design objects are as follows:

In the libraries and component-models object group: logic library models, library model for place-and-route tools, layout data, delay calculation models, and LVS netlists; and in the IP object group, IP metadata.

2.7 Reading the Bird's-eye View of Design Languages

2.7.1 General

In 2.7, what you can read from the BVDL is explained.

2.7.2 Case 1): Multiple marks in one design object

In the case where more than one language is marked in one design object in one design process, you can read that these languages are used to develop the same design objects in the same design process. In the example of Figure 9, in the “RTL design and verification” design process, the design languages, SystemVerilog, Verilog, and VHDL are used to write “Logical behavior and function” objects.

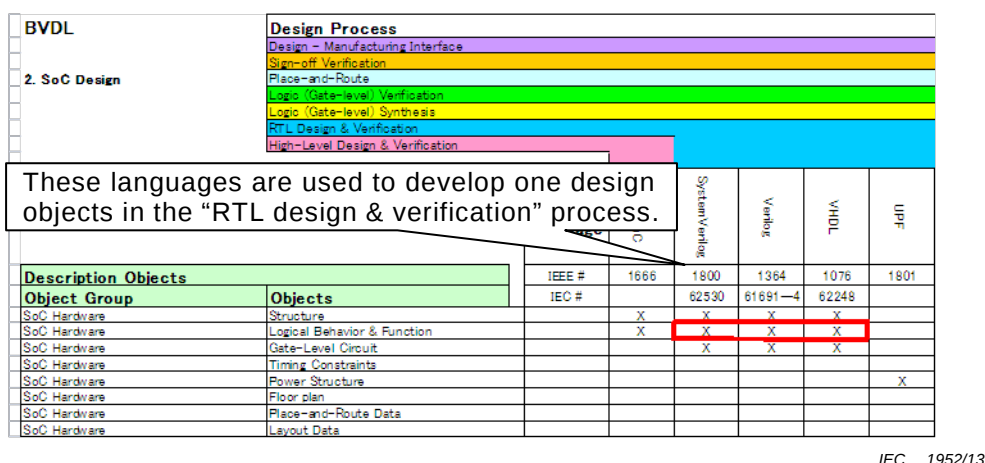


Figure 9 – Multiple marks in one design object

2.7.3 Case 2): Multiple marks in the same design objects in the different processes

In the case where one language is marked in the same design objects in different design processes, you can read that one language is used to develop the same design objects in the different design processes. In the example of Figure 10, Verilog is used to express the same objects, “Structure”, “Logical behavior and function”, and “Gate-level circuit” design objects in four different design processes such as “RTL design and verification”, “Logic (gate-level) synthesis”, “Logic (gate-level) verification”, and “Place-and-route” design processes.

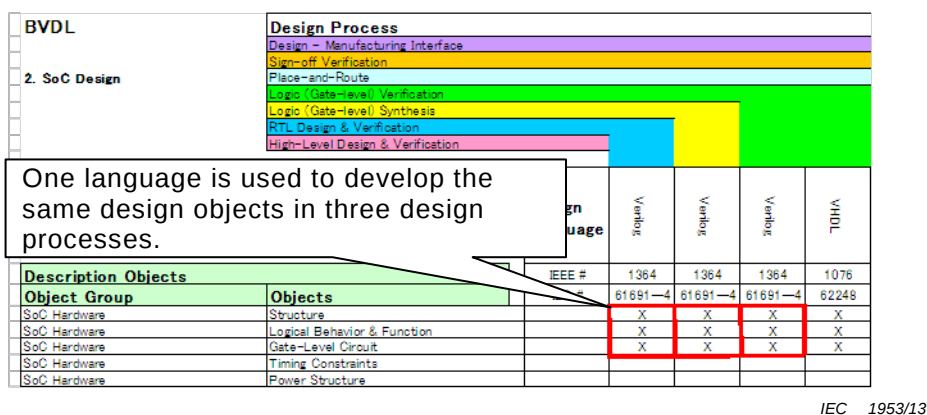


Figure 10 – Multiple marks in the same design objects in the different processes

3 Use case of the Bird's-eye View of Design Languages

3.1 Case 1): Investigation of consistency of flow

When you focus on the marks of one language in the different design processes, you can recognize its continuance or discontinuance in a design flow. From this recognition, you can make clear the problems that emerge from the fact that one language is used to design the same objects in the different processes, and the requirements for design languages from the design flow view.

3.2 Case 2): Evolution of language and standardization

Marks in the BVDL will change through the evolution of design languages and design processes. By keeping track of the changes of the mark in the BVDL, you can recognize the changes in roles of languages. These data can help make decisions on activities about standardization.

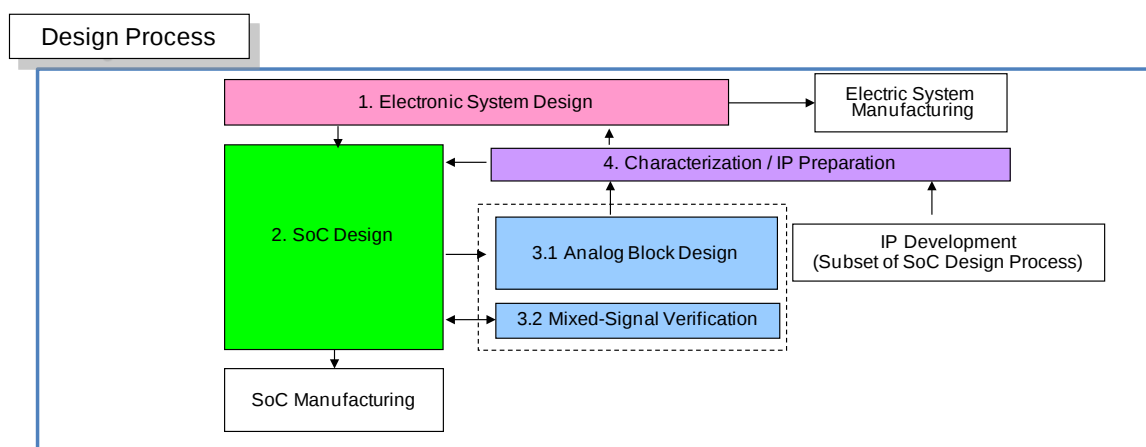
3.3 Case 3): Emergence of new technology

The design processes in the BVDL are to be changed when new technologies emerge. In this case, new design languages may be added in the BVDL. When marking the new BVDL, you can recognize the roles of new languages and consistency of flow. These recognitions can help make decisions on activities about standardization.

4 The Bird's-eye View of Design Languages (BVDL), version 1.0

4.1 Design processes

According to the design process as illustrated in Figure 11, four spreadsheets, “Electronic system design”, “SoC design”, “Mixed-signal verification and analog block design”, and “Characterization and IP preparation”, are shown in 4.2, 4.3, 4.4 and 4.5 respectively.



IEC 1954/13

Figure 11 – Chart of design processes

4.2 Electronic system design

BVDL		Design Process									
		PWB (Printed Wiring Board) Design - Package Design									
		Architecture Design - Algorithm Design									
1. Electronic System Design		Requirement Analysis, Specification Definition									

4.3 SoC design

BVDL																			
Design Process																			
Design - Manufacturing Interface																			
Sign-off Verification																			
Place-and-Route																			
Logic (Gate-level) Verification																			
Logic (Gate-level) Synthesis																			
RTL Design & Verification																			
High-Level Design & Verification																			

BVDL

Design Process	
Design - Manufacturing Interface	
Sign-off Verification	
Place-and-Route	
Logic (Gate-level) Verification	
Logic (Gate-level) Synthesis	
RTL Design & Verification	
High-Level Design & Verification	

2. SoC Design

Description Objects		Design Language		SystemVerilog	Verilog	VHDL	SDC	UPF	CPF	FSDb	SystemVerilog	Verilog	VHDL	SDC	UPF	CPF	Open Access	SDF	GDS II	OASIS
Object Group	Objects	IEEE #	IEC #	1800	62530	61691-4	1076	1801	1801	-	1800	61691-4	1076	62248	1801			1497		
SoC Hardware	Structure																			
SoC Hardware	Logical Behavior & Function																			
SoC Hardware	Gate-Level Circuit																			
SoC Hardware	Timing Constraints																			
SoC Hardware	Power Structure																			
SoC Hardware	Floor plan																			
SoC Hardware	Place-and Route Data																			
SoC Hardware	Layout Data																			
Functional Verification	Test Bench																			
Functional Verification	Property																			
Functional Verification	Assertion																			
Functional Verification	Functional Coverage																			
Functional Verification	Transaction																			
Functional Verification	Test Pattern																			
Functional Verification	Random Verification																			
Intermediate Data between EDA tools	Logic & Circuit Simulation Results																			
Intermediate Data between EDA tools	Parasitic Wire Capacitance																			
Intermediate Data between EDA tools	Parasitic Wire Resistance																			
Intermediate Data between EDA tools	Wire End Point Coordination																			
Intermediate Data between EDA tools	LVS Netlist																			
Intermediate Data between EDA tools	Delay Time																			
SoC Testing	Boundary Scan Circuits																			
SoC Testing	Test Data																			
SoC Testing	Core Test																			
SoC Testing	On-chip scan compression structure																			

BVDL

2. SoC Design

BVDL		Design Process																			
2. SoC Design		Design - Manufacturing Interface																			
		Sign-off Verification																			
		Place and Route																			
		Logic (Gate-level) Verification																			
		Logic (Gate-level) Synthesis																			
		RTL Design & Verification																			
		High-Level Design & Verification																			
Description Objects		Design Language																			
		IEEE #	1800	1364	1076	VHDL	SDC	UPF	CPF	DSPF	SPEF	SPF	Open Access	SDF	CDL	GDS II	OASIS	GDS II	OASIS	WGL	
Object Group	Objects	IEC #	62530	61691-4	62248																
SoC Hardware	Structure		X	X	X																
SoC Hardware	Logical Behavior & Function		X	X	X																
SoC Hardware	Gate-Level Circuit		X	X	X																
SoC Hardware	Timing Constraints		X	X	X																
SoC Hardware	Power Structure					X	X														
SoC Hardware	Floor plan																				
SoC Hardware	Place-and-Route Data															X	X				
SoC Hardware	Layout Data																				
Functional Verification	Test Bench		X	X	X																
Functional Verification	Property		X																		
Functional Verification	Assertion		X																		
Functional Verification	Functional Coverage		X																		
Functional Verification	Transaction		X																		
Functional Verification	Test Pattern		X	X	X																
Functional Verification	Random Verification		X																		
Intermediate Data between EDA tools	Logic & Circuit Simulation Results												X	X	X						
Intermediate Data between EDA tools	Parasitic Wire Capacitance										X	X	X	X							
Intermediate Data between EDA tools	Parasitic Wire Resistance											X	X	X							
Intermediate Data between EDA tools	Wire End Point Coordination												X								
Intermediate Data between EDA tools	LVS Netlist												X								
Intermediate Data between EDA tools	Delay Time												X								
SoC Testing	Boundary Scan Circuits																			X	
SoC Testing	Test Data																			X	
SoC Testing	Core Test																			X	
SoC Testing	On-chip scan compression structure																			X	

4.4 Mixed-signal verification and analog block design

BVDL	Design Process													
	Mixed-Signal Verification													
3.2 Mixed-Signal Verification 3.1 Analog Block Design	Post-Layout Circuit Verification													
	Layout Design													
	Transistor-Level Circuit Design													
	Analog Functional Design, Architecture Design													
Description Group	Object Group	Design Language	IEEE #											
			IEC #											
SoC-Hardware	Structure													
	Logical Behavior & Function													
SoC-Hardware	Logical Behavior & Function - Extended for AMS													
SoC-Hardware	Analog Behavior & Function													
SoC-Hardware	Gate-Level Circuit													
SoC-Hardware	Transistor-Level Circuit													
SoC-Hardware	Timing Constraints													
SoC-Hardware	Power Structure													
SoC-Hardware	Floor plan													
SoC-Hardware	Place-and-Route Data													
SoC-Hardware	Layout Data													
Functional Verification	Test Bench - Extended for AMS													
Functional Verification	Property													
Functional Verification	Assertion													
Functional Verification	Functional Coverage													
Functional Verification	Transaction													
Functional Verification	Test Pattern													
Functional Verification	Random Verification													
Intermediate Data between EDA tools	Logic & Circuit Simulation Results													
Intermediate Data between EDA tools	Parasitic Wire Capacitance													
Intermediate Data between EDA tools	Parasitic Wire Resistance													
Intermediate Data between EDA tools	Wire End Point Coordination													
Intermediate Data between EDA tools	LVS Netlist													
Intermediate Data between EDA tools	Delay Time													
Device Characteristics	Device Characteristics (S-Parameter, etc.)													

4.5 Characterization and IP preparation

BVDL	Design Process											
	IP Model Preparation											
4. Characterization IP Preparation	Characterization											

SOMMAIRE

AVANT-PROPOS	23
INTRODUCTION.....	25
1 Domaine d'application	26
2 Structure et contenu des langages BVDL.....	29
2.1 Structure des langages BVDL	29
2.2 Diagramme des processus de conception	30
2.3 Tableau du processus de conception "Electronic system design"	31
2.4 Tableau du processus de conception "SoC design"	31
2.5 Tableau du processus de conception "Mixed-signal verification" and analog block design"	32
2.6 Tableau du processus de conception "Characterization and IP preparation"	34
2.7 Lecture des langages BVDL	34
2.7.1 Généralités	34
2.7.2 Cas 1): Marques multiples dans un objet de conception.....	34
2.7.3 Cas 2): Marques multiples dans les mêmes objets de conception dans les processus différents.....	35
3 Cas d'utilisation des langages BVDL	35
3.1 Cas 1): Examen de la cohérence du flux	35
3.2 Cas 2): Evolution du langage et de la normalisation	36
3.3 Cas 3): Emergence d'une nouvelle technologie	36
4 Bird's-eye View of Design Languages (BVDL), version 1.0	36
4.1 Processus de conception	36
4.2 Processus de conception "Electronic system design"	37
4.3 Processus de conception "SoC design"	38
4.4 Processus de conception "Mixed-signal verification and analog block design"	41
4.5 Processus de conception "Characterization and IP preparation"	42
Figure 1 – Ecosystème de conception électronique	27
Figure 2 – Diagramme et tableau des langages BVDL	29
Figure 3 – Structure du tableau.....	29
Figure 4 – Diagramme des processus de conception	30
Figure 5 – Tableau du processus de conception "Electronic system design"	31
Figure 6 – Partie du tableau du processus de conception "SoC design"	32
Figure 7 – Partie du tableau du processus de conception "Mixed-signal verification and analog block design".....	33
Figure 8 – Tableau du processus de conception "Characterization and IP preparation"	34
Figure 9 – Marques multiples dans un objet de conception	35
Figure 10 – Marques multiples dans les mêmes objets de conception dans les processus différents	35
Figure 11 – Diagramme des processus de conception	36

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DOCUMENTATION SUR LES SUJETS CONCERNANT L'AUTOMATISATION DE LA CONCEPTION – LANGAGES BVDL (BIRD'S-EYE VIEW OF DESIGN LANGUAGES)

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de brevet. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La tâche principale des comités d'études de la CEI est l'élaboration des Normes internationales. Toutefois, un comité d'études peut proposer la publication d'un rapport technique lorsqu'il a réuni des données de nature différente de celles qui sont normalement publiées comme Normes internationales, cela pouvant comprendre, par exemple, des informations sur l'état de la technique.

La CEI 62856, qui est un rapport technique, a été établie par comité d'études 91 de la CEI: Techniques d'assemblage des composants électroniques.

Le texte du présent rapport technique est issu des documents suivants:

Projet d'enquête	Rapport de vote
91/1085/DTR	91/1101/RVC

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de ce rapport technique.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "*colour inside*" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

INTRODUCTION

L'automatisation de la conception et des technologies de fabrication dans les industries électroniques évolue dans le monde entier depuis plus de trois décennies avec une vitesse de développement remarquable. Les techniques de conception assistée par ordinateur (EDA¹) permettent la conceptualisation, la mise en œuvre et la validation des systèmes électroniques, c'est-à-dire, qu'elles transforment les idées et les objectifs des concepteurs de systèmes en représentations pouvant être fabriquées et soumises aux essais de façon rentable. Elle se subdivise en trois catégories principales à savoir les méthodologies de conception, les bibliothèques de conception et les outils de conception. La normalisation implique des représentations interprétables par un ordinateur tout au long des processus globaux de conception qui intègrent des bibliothèques de conception et des outils de conception pour construire un écosystème de conception.

Les techniques de conception assistée par ordinateur contribuent de manière substantielle à la croissance sans précédent de l'industrie des semiconducteurs depuis trois décennies. Elles ont fourni sans discontinuer aux nouvelles lignes de produits émergents comme les microcontrôleurs, les microprocesseurs, les ASIC, les FPGA, les mémoires, les signaux analogiques et mixtes et le Système sur puce (SoC²) une large gamme de solutions pour satisfaire aux exigences relatives au renforcement de la productivité et de la qualité de conception.

Le comité technique EDA (EDA-TC) a été formé au sein de la JEITA en 1990 au Japon afin de prendre des initiatives de normalisation internationale en matière d'EDA. Depuis lors, il a œuvré dans la normalisation des langages de conception tels que l'EDIF, le VHDL, le Verilog HDL, le Delay and Power Calculation (DPC), le System C, le System Verilog et le Power Format, ce qui a conduit à la formation du nouveau groupe de travail auquel ont été invités les experts de l'industrie et du milieu universitaire et pour collaborer avec le CE 93 de la CEI, l'IEEE DASC, Accellera, les Open SystemC Initiatives (OSCI) et d'autres. Après plus de deux décennies d'activité, le besoin s'est fait sentir de disposer d'une vue d'ensemble des dizaines de langages de conception existants et de les étendre et de les développer dans la perspective d'une stratégie vers une normalisation EDA internationale. Début 2009, le TC EDA a lancé le projet de développer la documentation sur feuilles de calcul des langages BVDL. Le groupe a développé la première version en mars 2010, pour avoir une participation importante d'experts en technologie de la conception issus de l'industrie des semiconducteurs et du milieu universitaire. Il a finalisé la documentation du BVDL combinée avec la feuille de calcul sous la forme d'un rapport technique de la JEITA en mars 2011.

¹ EDA = *electronic design automation*.

² SoC = *System on a chip*.

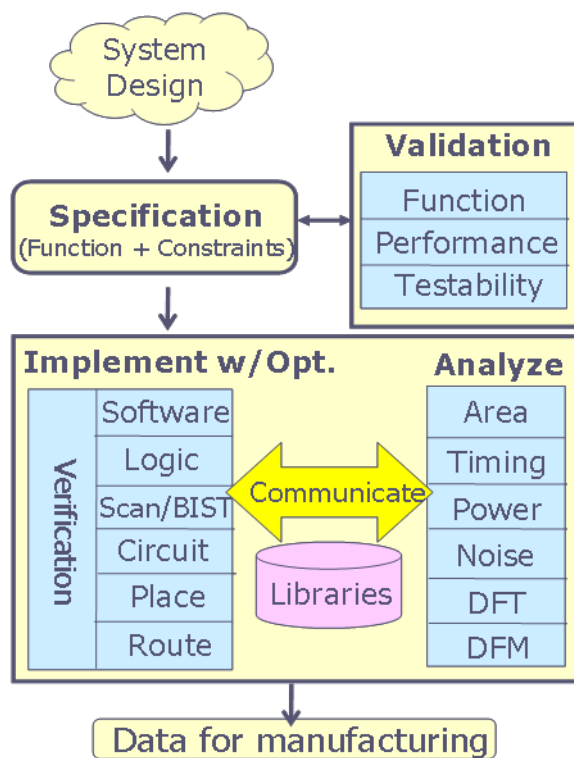
DOCUMENTATION SUR LES SUJETS CONCERNANT L'AUTOMATISATION DE LA CONCEPTION – LANGAGES BVDL (BIRD'S-EYE VIEW OF DESIGN LANGUAGES)

1 Domaine d'application

Les langages BVDL sont à l'origine destinés à utiliser pleinement la planification et la prise de décision relatives à des activités de normalisation EDA pour un expert technique ainsi que pour un manager au sein de la JEITA. Il facilite effectivement la compréhension des différents langages pour montrer leur positionnement et leurs caractéristiques. En outre, il fournit des vues d'ensemble commodées de chaque langage de conception pour un nouvel arrivant dans la communauté des normes EDA et/ou pour un concepteur comme utilisateur d'un écosystème de conception EDA. Notamment, il fournit à un développeur de langage de conception qui souhaite participer directement au développement du langage de conception et voter pour la normalisation, les mesures pour vérifier les duplications entre langages similaires, la cohérence pour développer l'écosystème de conception et les défis futurs pour les langages de conception.

Les normes EDA fournissent un mécanisme pour définir la sémantique commune pour des écosystèmes de conception électronique parmi différents outils de conception représentés à la Figure 1. Les normes sur l'état de la technique sont classées en langages de description du matériel, en langages de vérification du matériel, en langages de conception au niveau du système électronique, en formats de bibliothèque, en formats de contraintes de conception, en formats d'interface avec la fabrication et les essais, en formats d'échange de données de conception, en modèles de données et en interfaces de procédure d'application (API³), etc. Par conséquent, elles sont généralement appelées "langages de conception normalisés", dans un sens étroit. L'industrie des semiconducteurs a été confrontée à de nouveaux obstacles de complexité de la conception et fait face aujourd'hui à des complexités sans précédent dues à la convergence des caractéristiques des produits en termes de technologie de transformation du silicium, de technologie des systèmes, de nombre élevé de portes et d'incorporation de logiciels intégrés. Cette nouvelle complexité de la conception exige des solutions d'EDA intégrées et, en même temps, a un impact également sur l'écosystème de la conception et les langages de conception normalisés. Par conséquent, il est nécessaire de développer un nouveau langage de conception ou de renforcer par de nouvelles caractéristiques un langage de conception existant. Le résultat est que des dizaines de langages de conception, qui pourraient être classés en langages normalisés de jure, de facto, de forum et en langage commun utilisé dans une communauté donnée, sont mis au point, renforcés ou réellement utilisés dans les industries, le milieu universitaire et différentes communautés dans le monde.

³ API = application procedure interfaces.



IEC 1944/13

Légende

Anglais	Français
System design	Conception du système
Specification (function+constraints)	Spécification (fonction + contraintes)
Validation	Validation
Function	Fonction
Performance	Performance
Testability	Testabilité
Implementation w/ option	Mise en œuvre avec option
Analyze	Analyse
Software	Logiciel
Logic	Logique
Scan/BIST	Balayage/BIST
Circuit	Circuit
Place	Placement
Route	Routage
Verification	Vérification
Communicate	Communiquer
Libraries	Bibliothèques
Analyse	Analyse
Area	Zone
Timing	Synchronisation
Power	Puissance
Noise	Bruit
DFT	DFT
DFM	DFM
Data for manufacturing	Données pour la fabrication

Figure 1 – Ecosystème de conception électronique

Le présent rapport technique décrit des caractéristiques pour des langages de conception existants, ainsi que pour améliorer et renouveler des langages de conception qui appartiennent aux processus de conception définis du Système sur puce (SoC) allant de la conception au niveau système, de la mise en œuvre et de la vérification SoC, de la création de bloc IP et de la conception de bloc analogique jusqu'à la préparation des données d'interface pour la fabrication. Ces processus de conception simplifiés pourraient ne pas devenir obsolètes malgré l'évolution très rapide de la conception assistée par ordinateur et semblent plus faciles à comprendre pour quelqu'un qui n'est pas un expert en EDA.

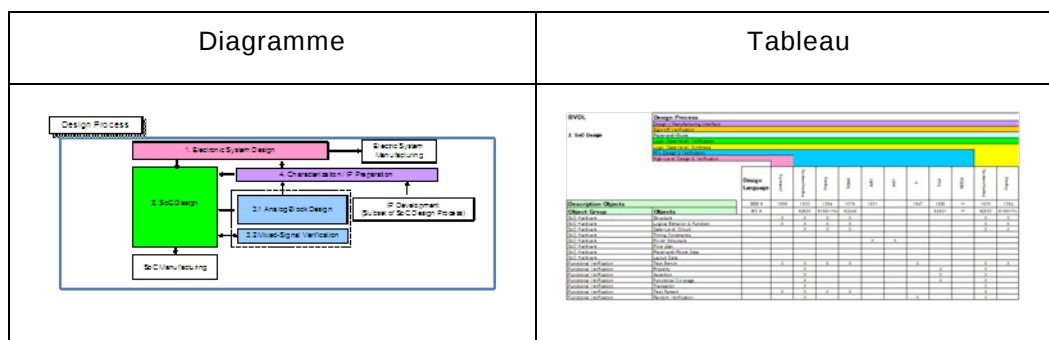
Trente-trois langages de conception sont choisis et la dernière version de chaque langage est reprise dans le présent rapport, à la date de mars 2011:

UML
Esterel
Rosetta
SystemC
SystemC-AMS
IBIS
CITI
TouchStone
BSDL
System Verilog
VHDL
Verilog HDL
UPF
CPF
elanguage
PSL
FSDB
SDC
DEF
Open Access
SDF
GDS II
OASIS
STIL
WGL
Verilog-A
Verilog-AMS
SPICE
VHDL-AMS
LEF
Liberty
CDL
IP-XACT.

2 Structure et contenu des langages BVDL

2.1 Structure des langages BVDL

Le paragraphe 2.1, décrit la structure globale des langages BVDL. Les langages BVDL sont constitués par un diagramme et quatre Tableaux (voir la Figure 2).



IEC 1945/13

Figure 2 – Diagramme et tableau des langages BVDL

L'objet des langages BVDL est de représenter les positions et les caractéristiques des langages de conception dans les processus de conception. Pour permettre leur reconnaissance, les processus de conception majeurs sont définis et les processus de conception sont classés en quatre processus à savoir "Electronic system design", "SoC design", "Mixed-signal verification and analog block design", et "Characterization and IP preparation". Le diagramme des langages BVDL montre les relations entre les principaux processus de conception.

Les processus de conception qui appartiennent à chaque processus de conception majeur sont énumérés dans les quatre tableaux. Chaque tableau a une structure qui permet de reconnaître les positions et les caractéristiques des langages de conception. Les langages de conception qui sont regroupés selon le flux de conception sont indiqués dans les colonnes des tableaux. Les objets de conception sont indiqués dans les lignes des tableaux. Les objets de conception sont ce que les concepteurs conçoivent dans les processus de conception. Par exemple, ce sont la description de matériel, la description de vérification, la contrainte de conception, et ainsi de suite. Ils sont regroupés en "groupes d'objets" qui représentent la catégorie. Les tableaux ont des marques qui montrent les positions et les caractéristiques des langages. Un langage peut apparaître dans une seule colonne ou peut apparaître dans plusieurs colonnes (voir la Figure 3).

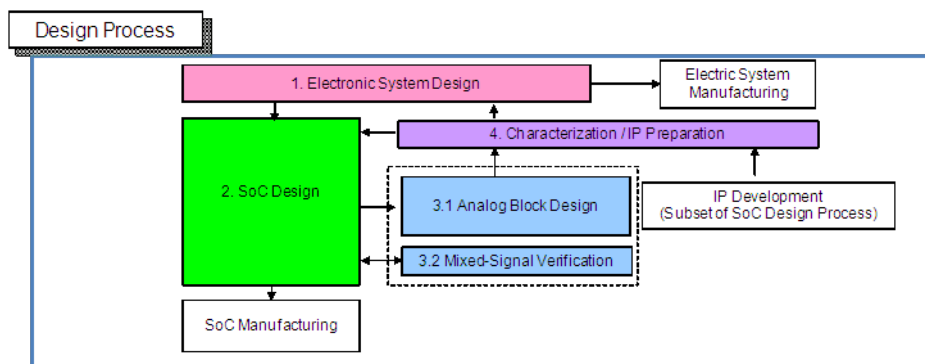
[illegible]

IEC 1946/13

Figure 3 – Structure du tableau

2.2 Diagramme des processus de conception

Le paragraphe 2.2 explique le contenu du diagramme des processus de conception (voir la Figure 4).



Légende

Anglais	Français
Design process	Processus de conception
Electronic system design	Conception de systèmes électroniques
Electric system manufacturing	Fabrication de systèmes électriques
Characterization/ IP preparation	Caractérisation/préparation d'IP
SoC design	Conception de SoC
Analog block design	Conception de blocs analogiques
IP development (subset of SoC design process)	Développement d'IP (sous-ensemble du processus "de conception de SoC")
Mixed-signal verification	Vérification de signaux mixtes
SoC manufacturing	Fabrication de SoC

Figure 4 – Diagramme des processus de conception

La Figure 4 définit les quatre processus de conception majeurs, "Electronic system design", "SoC design", "Mixed-signal verification and analog block design", et "Characterization and IP preparation".

Le processus "Electronic system design" est un processus de conception pour développer des systèmes électroniques. Dans le processus de conception, des exigences de système sont analysées et ensuite les caractéristiques de système sont définies. Les cartes imprimées, les boîtiers, les architectures des systèmes et les algorithmes sont mis en œuvre conformément aux spécifications.

Le processus "SoC design" est un processus de conception utilisé pour développer les systèmes sur puce (SoC). Ceux-ci sont conçus selon les spécifications, les architectures de système, et les algorithmes qui sont conçus dans le processus "Electronic system design". Dans les langages BVDL, seules les parties numériques des conceptions SoC sont choisies. Bien que les SoC intègrent des circuits analogiques, les processus de conception des circuits analogiques sont pris en compte dans le processus "Analog block design".

Le processus "Analog block design" est un processus de conception pour mettre au point les blocs analogiques. Ceux-ci sont fournis au processus de conception de SoC sous la forme d'IP par l'intermédiaire du processus "Characterization and IP preparation". Dans le processus "Mixed-signal verification", les interfaces entre les parties numériques et les parties analogiques dans le SoC sont vérifiées.

Dans le processus "Characterization and IP preparation", des IP numériques et des IP analogiques sont préparés. Ces IP sont fournis aux autres processus de conception.

2.3 Tableau du processus de conception "Electronic system design"

Dans paragraphe 2.3, le contenu du tableau "Electronic system design" est expliqué (voir Figure 5).

IPVDL		Design Process									
		PWB (Printed Wiring Board) Design, Package Design									
		Architecture Design, Algorithm Design									
I. Electronic System Design		Requirement Analysis, Specification Definition									
		Design Language	UML	Extens	Rostra	SystemC	SystemC-AMS	EDS	CHT	TouchStone	BSOL
Description Objects		IEEE #		P1778	P1899	1855		-			1149.1b
Object Group		EC #						82014			-
Electronic System	Structure		X		X	X	X				
Electronic System	Logical Behavior & Function		X	X	X	X	X				
Electronic System	Logical Behavior & Function - Extended for AMS						X				
Electronic System	Performance & Characteristics		X		X	X	X				
Electronic System	Performance & Characteristics-Extended for AMS						X				
Electronic System	Verification Environment		X	-	X	X	X				
Electronic System	Verification Environment -Extended for AMS						X				
SoC Hardware	I/O Buffer Information							X			
SoC Testing	Boundary Scan Circuits										X
Device Characteristics	Device Characteristics (S-Parameter, etc.)								X	X	

IEC 1948/13

Figure 5 – Tableau du processus de conception "Electronic system design"

Les colonnes montrent les processus de conception dans le processus de conception majeur "Electronic system design". Les processus de conception concernent des conceptions de cartes imprimées et des conceptions de boîtiers, des conceptions d'architectures et d'algorithmes, et des analyses d'exigences et la définition de spécifications. Les langages de conception relatifs aux processus de conception sont énumérés dans les colonnes.

Les lignes montrent les objets de conception qui sont conçus dans les processus de conception placés dans les colonnes. Il s'agit de structures, de comportements logiques et de fonctions, de performances et de caractéristiques, d'environnements de vérification, d'informations de tampons E/S, de circuits de balayage de limites et de caractéristiques de dispositifs. Il convient que leur granularité soit suffisamment fine pour rendre nette la différence entre les langages.

Les objets de conception sont regroupés en quatre groupes d'objets, à savoir système électronique, matériel SoC, essais SoC, et caractéristiques des dispositifs. Les objets de conception structures, comportements logiques et fonctions, performances et caractéristiques et environnements de vérification, appartiennent au groupe d'objets "système électronique". L'objet de conception informations de tampon E/S appartient au groupe d'objets "matériel SoC". L'objet de conception circuits de balayage de limites, appartient au groupe d'objets "essais SoC". L'objet de conception caractéristiques des dispositifs, appartient au groupe d'objets "caractéristiques de dispositifs".

2.4 Tableau du processus de conception "SoC design"

Dans paragraphe 2.4, le contenu du tableau "SoC design" est expliqué (voir Figure 6).

BVDL		Design Process													
		Design - Manufacturing Interface													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													
		Design - Verification													

IPMIL		Design Process											
		Mixed-Signal Verification											
3.3 Mixed-Signal Verification		Post-Layout Circuit Verification											
3.1 Analog Block Design		Analog Design											
		Transistor-Level Circuit Design											
		7+17 Functional Design, Architecture Design											
		Design Language	Verilog-A	Verilog-AHS	Verilog-AMS	SPICE	PSDE	Transistors	CTT	Open Access	DCS II	QASIS	SPICE
Description Objects		IEEE #	-	-	078.1-199	-	-	-	-	-	-	-	-
Object Group		EC #	-	-	-	-	-	-	-	-	-	-	-
SoC Hardware	Structure		X	X	X								
SoC Hardware	Logical Behavior & Function			X	X								
SoC Hardware	Logical Behavior & Function - Extended for AMS			X	X								
SoC Hardware	Analog Behavior & Function		X	X	X								
SoC Hardware	Data-Level Circuit		X	X	X								
SoC Hardware	Transistor-Level Circuit		X	X	X	X							X
SoC Hardware	Timing Constraints												
SoC Hardware	Power Structure												
SoC Hardware	Floor plan												
SoC Hardware	Place-and-Route Data									X			
SoC Hardware	Layout Data										X	X	
Functional Verification	Test Bench		X	X	X								
Functional Verification	Test Bench - Extended for AMS		X	X	X								
Functional Verification	Property												
Functional Verification	Assertion												
Functional Verification	Functional Coverage												
Functional Verification	Transactor												
Functional Verification	Test Pattern			X	X								
Functional Verification	Random Verification												
Intermediate Data between EDA tools	Logic & Circuit Simulation Results						X						
Intermediate Data between EDA tools	Parasitic Wire Capacitance									X			
Intermediate Data between EDA tools	Parasitic Wire Resistance									X			
Intermediate Data between EDA tools	Wire End Point Coordination									X			
Intermediate Data between EDA tools	LVS Netlist					X							X
Intermediate Data between EDA tools	Delay Time									X			
Device Characteristics	Device Characteristics (S-Parameter, etc.)							X	X				

IEC 1950/13

Figure 7 – Partie du tableau du processus de conception “Mixed-signal verification and analog block design”

Les colonnes montrent les processus de conception dans le processus de conception majeur “Mixed-signal verification and analog block design”. Les processus de conception concernent les conceptions fonctionnelles analogiques, les conceptions d'architectures, les conceptions de circuits au niveau transistor, les conceptions de dispositions, les vérifications de circuit après disposition, et les vérifications de signaux mixtes. Les langages de conception relatifs aux processus de conception sont énumérés dans les colonnes.

Les lignes montrent les objets de conception qui sont conçus dans les processus de conception placés dans les colonnes. Ce sont les structures, les fonctions et comportements logiques, les fonctions et comportements logiques (étendus pour l'AMS), les fonctions et comportement analogiques, les circuits au niveau porte, les circuits au niveau transistor, les contraintes de temps, les structures de puissance, les plans d'implantation, les données de placement et de routage, les données de disposition, les bancs d'essai (également étendus pour l'AMS), les propriétés, les assertions, la couverture fonctionnelle, les parties prenantes de transaction, les schémas d'essai, les vérifications aléatoires, les résultats de simulation logique et de circuits, les résistances et capacités parasites des fils, les coordinations de points d'extrémité de fils, les listes d'interconnexions LVS, les temps de retard, et les caractéristiques de dispositifs. Il convient que leur granularité soit suffisamment fine pour rendre nette la différence entre les langages.

Les objets de conception sont regroupés en quatre groupes de conception: matériel SoC, vérification fonctionnelle, données intermédiaires entre outils EDA, et caractéristiques de dispositifs. Dans chaque groupe de conception, les objets de conception sont les suivants:

Dans le groupe de conception "matériel SoC": les structures, les comportements logiques et les fonctions, les comportements logiques et les fonctions (étendus pour l'AMS), les fonctions et comportements analogiques, les circuits au niveau porte, les circuits au niveau transistor, les contraintes de temps, les structures de puissance, les plans d'implantation, les données de placement et de routage, et les données de disposition; dans le groupe d'objets "vérification fonctionnelle": les bancs d'essai (également étendus pour l'AMS), les propriétés, les assertions, la couverture fonctionnelle, les parties prenantes de transaction, les schémas d'essai, et les vérifications aléatoires; dans le groupe d'objets "données intermédiaires entre outils EDA": les résultats de simulation logique et de circuits, les résistances et capacités parasites des fils, les coordinations de points d'extrémité de fils, les listes d'interconnexions LVS, et les temps de retard; et dans le groupe d'objets "caractéristiques de dispositifs": les caractéristiques de dispositifs.

2.6 Tableau du processus de conception “Characterization and IP preparation”

Le paragraphe 2.6 explique le contenu du processus de conception “Characterization and IP preparation” (voir Figure 8).

BVDL		Design Process									
4. Characterization		IP Model Preparation									
IP Preparation		Characterization									
		Design Language	SystemVerilog	Verilog	VHDL	ASP	OS 11	CARB	Library	OSL	IP-ACOT
Description Objects		IEEE #	8000	1394	1075						885
Object Group	Objects	EO #	8250	6181-4	6226						
Library, Component-model	Logic Library Model		X	X	X						
Library, Component-model	Library Model for Place-and-Route Tools					X					
Library, Component-model	Layout Data						X	X			
Library, Component-model	Delay Calculation Model								X		
Library, Component-model	LVS Refact									X	
IP	IP Metadata										X

IEC 1951/13

Figure 8 – Tableau du processus de conception “Characterization and IP preparation”

Les colonnes montrent les processus de conception dans le processus de conception majeur “Characterization and IP preparation”. Les processus de conception concernent la caractérisation et l'établissement de modèle IP. Les langages de conception relatifs aux processus de conception sont énumérés dans les colonnes.

Les lignes montrent les objets de conception qui sont conçus dans les processus de conception placés dans les colonnes. Ce sont les modèles de bibliothèques logiques, les modèles de bibliothèques pour les outils de placement et de routage, les données de disposition, les modèles de calcul de retard, les listes d'interconnexion LVS et les métadonnées IP. Il convient que leur granularité soit suffisamment fine pour rendre nette la différence entre les langages.

Les objets de conception sont regroupés en deux groupes d'objets: librairies et modèles de composants, et IP. Dans chaque groupe d'objets, les objets de conception sont les suivants:

Dans le groupe d'objets "librairies et modèles de composants": les modèles de bibliothèques logiques, le modèle de bibliothèques pour les outils de placement et routage, les données de disposition, les modèles de calculs de retard, et les listes d'interconnexions LVS; et dans le groupe d'objets IP: les métadonnées IP.

2.7 Lecture des langages BVDL

2.7.1 Généralités

Le paragraphe 2.7 explique ce qui peut être lu en langages BVDL.

2.7.2 Cas 1): Marques multiples dans un objet de conception

Dans le cas où plus d'un langage est marqué dans un objet de conception, dans un processus de conception, on peut lire que ces langages sont utilisés pour mettre au point les mêmes objets de conception dans le même processus de conception. Dans l'exemple de la Figure 9, dans le processus de conception “RTL design and verification”, les langages de conception, SystemVerilog, Verilog, et VHDL sont utilisés pour écrire les objets “Logical behavior and function”.

The diagram illustrates the design process flow and the use of languages for design objects. The process flow is shown as a sequence of steps: Design - Manufacturing Interface, Sign-off Verification, Place-and-Route, Logic (Gate-level) Verification, Logic (Gate-level) Synthesis, RTL Design & Verification, and High-Level Design & Verification. The languages used for design objects are SystemVerilog, Verilog, VHDL, and UPL. The design objects are categorized into Description Objects and Object Groups. The languages are used for different stages of the design process: SystemVerilog for High-Level Design & Verification, Verilog for RTL Design & Verification, VHDL for Logic (Gate-level) Synthesis, and UPL for Logic (Gate-level) Verification.

Design Process

- Design - Manufacturing Interface
- Sign-off Verification
- Place-and-Route
- Logic (Gate-level) Verification
- Logic (Gate-level) Synthesis
- RTL Design & Verification
- High-Level Design & Verification

Design Objects

Description Objects	Objects	IEC #	SystemVerilog	Verilog	VHDL	UPL
Object Group			1666	1800	1364	1076
SoC Hardware	Structure		62530	61691	62248	
SoC Hardware	Logical Behavior & Function		X	X	X	X
SoC Hardware	Gate-Level Circuit		X	X	X	X
SoC Hardware	Timing Constraints					
SoC Hardware	Power Structure					X
SoC Hardware	Floor plan					
SoC Hardware	Place-and-Route Data					
SoC Hardware	Layout Data					

Ces langages sont utilisés pour des objets de conception dans le processus "RTL Design & Verification".

Figure 9 – Marques multiples dans un objet de conception

2.7.3 Cas 2): Marques multiples dans les mêmes objets de conception dans les processus différents

Dans le cas où un langage est marqué dans les mêmes objets de conception dans des processus de conception différents, on peut lire qu'un langage est utilisé pour mettre au point les mêmes objets de conception dans les processus de conception différents. Dans l'exemple de la Figure 10, le langage Verilog est utilisé pour exprimer les mêmes objets, "Structure", "Logical behavior and function", et les objets de conception "Gate-level circuit" dans quatre processus de conception différents tels que les processus de conception "RTL design and verification", "Logic (gate-level) synthesis", "Logic (gate-level) verification", et "Place-and-route".

The diagram illustrates the design process flow. On the left, a vertical list of design stages is shown: BVDL, Design Process, Design - Manufacturing Interface, Sign-off Verification, Place-and-Route, Logic (Gate-level) Verification, Logic (Gate-level) Synthesis, RTL Design & Verification, and High-Level Design & Verification. To the right, a horizontal bar represents the design process, divided into three colored segments: blue (representing BVDL), yellow (representing Design Process), and green (representing Design - Manufacturing Interface). A callout box points to the Design Process segment, stating: "Un langage est utilisé pour mettre au point les mêmes objets de conception dans trois processus de conception." Below this, a table shows the mapping of design objects to different design processes.

Description Objects	IEEE #	Verilog	Verilog	Verilog	VHDL
Object Group		61691-4	61691-4	61691-4	62248
SoC Hardware		X	X	X	X
SoC Hardware		X	X	X	X
SoC Hardware		X	X	X	X
SoC Hardware					
SoC Hardware					
SoC Hardware					

Figure 10 – Marques multiples dans les mêmes objets de conception dans les processus différents

3 Cas d'utilisation des langages BVDL

3.1 Cas 1): Examen de la cohérence du flux

Lorsque l'attention est focalisée sur les marques d'un langage dans les processus de conception différents, on peut reconnaître la continuité ou la discontinuité dans un flux de conception. À partir de cette reconnaissance, on peut résoudre les problèmes qui découlent du fait qu'un seul langage est utilisé pour concevoir les mêmes objets dans des processus différents, et les exigences pour les langages de conception à partir de la vue du flux de conception.

3.2 Cas 2): Evolution du langage et de la normalisation

Les marques dans les langages BVDL changeront avec l'évolution des langages de conception et des processus de conception. En gardant la trace des modifications de la marque dans les langages BVDL, on peut reconnaître les modifications dans les rôles des langages. Ces données peuvent aider à prendre des décisions sur des activités relatives à la normalisation.

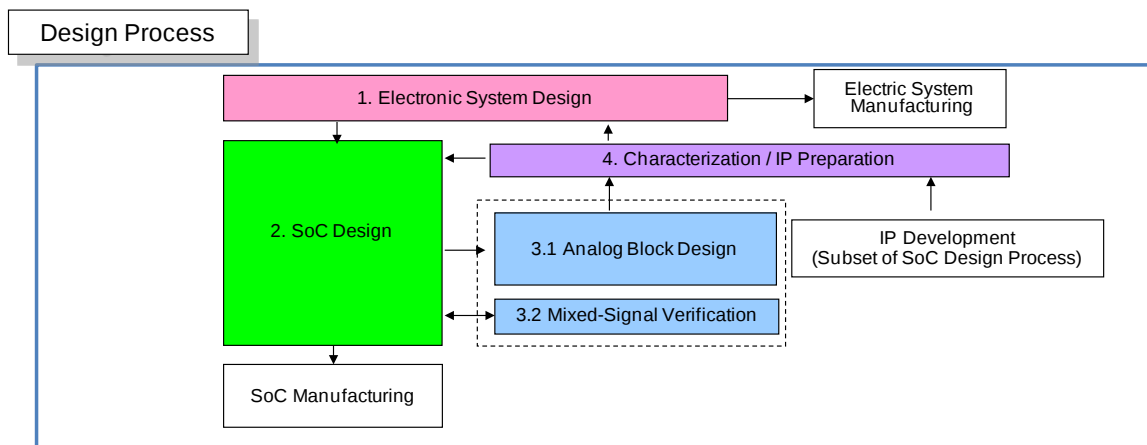
3.3 Cas 3): Emergence d'une nouvelle technologie

Les processus de conception en langages BVDL doivent être modifiés lorsque de nouvelles technologies émergent. Dans ce cas, de nouveaux langages de conception peuvent être ajoutés dans les langages BVDL. Lorsqu'on marque les nouveaux langages BVDL, on peut reconnaître les rôles des nouveaux langages et la cohérence du flux. Ces données peuvent aider à prendre des décisions sur des activités relatives à la normalisation.

4 Bird's-eye View of Design Languages (BVDL), version 1.0

4.1 Processus de conception

Conformément au processus de conception illustré à la Figure 11, quatre feuilles de calcul, "Electronic system design", "SoC design", "Mixed-signal verification and analog block design", et "Characterization and IP preparation", sont représentées en 4.2, 4.3, 4.4 et 4.5 respectivement.



IEC 1954/13

Figure 11 – Diagramme des processus de conception

4.2 Processus de conception “Electronic system design”

[illegible]

4.3 Processus de conception "SoC design"

BVDL

Design Process	
Design - Manufacturing Interface	
Sign-off Verification	
Place-and-Route	
Logic (Gate-level) Verification	
Logic (Gate-level) Synthesis	
RTL Design & Verification	
High-Level Design & Verification	

2. SoC Design

Description Objects		Design Language												CPF				
Object Group	Objects	IEEE #	IEC #	SystemC	SystemVerilog	Verilog	VHDL	UPF	CPF	e	PSL	FSDB	SystemVerilog	Verilog	VHDL	SDC	UPF	CPF
SoC Hardware	Structure																1801	
SoC Hardware	Logical Behavior & Function																	
SoC Hardware	Gate-Level Circuit			X	X	X	X						X	X	X			
SoC Hardware	Timing Constraints				X	X	X						X	X	X			
SoC Hardware	Power Structure							X	X							X		
SoC Hardware	Floor plan																X	
SoC Hardware	Place-and-Route Data																	
SoC Hardware	Layout Data			X	X	X	X			X	X		X	X	X			
Functional Verification	Test Bench				X	X	X			X	X		X	X				
Functional Verification	Property				X					X	X		X					
Functional Verification	Assertion				X					X	X		X					
Functional Verification	Functional Coverage				X					X	X		X					
Functional Verification	Transactor				X					X	X		X					
Functional Verification	Test Pattern			X	X	X	X			X	X		X	X				
Functional Verification	Random Verification				X					X			X	X				
Intermediate Data between EDA tools	Logic & Circuit Simulation Results											X						
Intermediate Data between EDA tools	Parasitic Wire Capacitance																	
Intermediate Data between EDA tools	Parasitic Wire Resistance																	
Intermediate Data between EDA tools	Wire End Point Coordination																	
Intermediate Data between EDA tools	LVS Netlist																	
Intermediate Data between EDA tools	Delay Time																	
SoC Testing	Boundary Scan Circuits																	
SoC Testing	Test Data																	
SoC Testing	Core Test																	
SoC Testing	On-chip scan compression structure																	

BVDL

2. SoC Design

BVDL																				
Design Process																				
Design - Manufacturing Interface																				
Sign-off Verification																				
Place-and-Route																				
Logic (Gate-level) Verification																				
Logic (Gate-level) Synthesis																				
RTL Design & Verification																				
High-Level Design & Verification																				
Description Objects		Design Language																		
Object Group	Objects	IEEE #	1800	1364	1076	SDC	UPF	CPF	FSDb	SystemVerilog	Verilog	VHDL	SDC	UPF	CPF	DEF	Open Access	SDF	GDS II	OASIS
		IEC #	62530	61691—4	62248		1801		-	1800	1364	1076		1801		-		1497		
SoC Hardware	Structure		X	X	X				-	62530	61691—4	62248								
SoC Hardware	Logical Behavior & Function		X	X	X					X	X	X								
SoC Hardware	Gate-Level Circuit		X	X	X					X	X	X				X				
SoC Hardware	Timing Constraints		X	X	X	X				X	X	X								
SoC Hardware	Power Structure						X	X					X	X						
SoC Hardware	Floor plan															X	X			
SoC Hardware	Place-and-Route Data															X	X			
SoC Hardware	Layout Data		X	X	X					X	X	X					X		X	
Functional Verification	Test Bench		X							X										
Functional Verification	Property		X							X										
Functional Verification	Assertion		X							X										
Functional Verification	Functional Coverage		X							X										
Functional Verification	Transactor		X							X										
Functional Verification	Test Pattern		X							X		X								
Functional Verification	Random Verification		X							X										
Intermediate Data between EDA tools	Logic & Circuit Simulation Results								X								X			
Intermediate Data between EDA tools	Parasitic Wire Capacitance																X			
Intermediate Data between EDA tools	Parasitic Wire Resistance																X			
Intermediate Data between EDA tools	Wire End Point Coordination																X			
Intermediate Data between EDA tools	LVS Netlist																	X		
Intermediate Data between EDA tools	Delay Time																			
Intermediate Data between EDA tools	Boundary Scan Circuits																			
SoC Testing	Test Data																			
SoC Testing	Core Test																			
SoC Testing	On-chip scan compression structure																			

BVDL

2. SoC Design

BVDL																				
Design Process																				
Design - Manufacturing Interface																				
Sign-off Verification																				
Place-and-Route																				
Logic (Gate-level) Verification																				
Logic (Gate-level) Synthesis																				
RTL Design & Verification																				
High-Level Design & Verification																				

4.4 Processus de conception “Mixed-signal verification and analog block design”

BVDL		Design Process																											
		Mixed-Signal Verification																											

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

3, rue de Varembé
PO Box 131
CH-1211 Geneva 20
Switzerland

Tel: + 41 22 919 02 11
Fax: + 41 22 919 03 00
info@iec.ch
www.iec.ch