



Edition 1.0 2016-02

INTERNATIONAL STANDARD

NORME INTERNATIONALE



Printed boards – Part 20: Printed circuit boards for high-brightness LEDs

Cartes imprimées – Partie 20: Cartes de circuits imprimés destinées aux LED à haute luminosité





THIS PUBLICATION IS COPYRIGHT PROTECTED Copyright © 2016 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

IEC Catalogue - webstore.iec.ch/catalogue

The stand-alone application for consulting the entire bibliographical information on IEC International Standards, Technical Specifications, Technical Reports and other documents. Available for PC, Mac OS, Android Tablets and iPad.

IEC publications search - www.iec.ch/searchpub

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing 20 000 terms and definitions in English and French, with equivalent terms in 15 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

65 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Catalogue IEC - webstore.iec.ch/catalogue

Application autonome pour consulter tous les renseignements bibliographiques sur les Normes internationales, Spécifications techniques, Rapports techniques et autres documents de l'IEC. Disponible pour PC, Mac OS, tablettes Android et iPad.

Recherche de publications IEC - www.iec.ch/searchpub

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne de termes électroniques et électriques. Il contient 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans 15 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

65 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.





Edition 1.0 2016-02

INTERNATIONAL STANDARD

NORME INTERNATIONALE



Printed boards – Part 20: Printed circuit boards for high-brightness LEDs

Cartes imprimées – Partie 20: Cartes de circuits imprimés destinées aux LED à haute luminosité

INTERNATIONAL ELECTROTECHNICAL COMMISSION

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

ICS 31.180

ISBN 978-2-8322-3152-4

Warning! Make sure that you obtained this publication from an authorized distributor. Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.

Registered trademark of the International Electrotechnical Commission

CONTENTS

FC	DREWO	RD	6
1	Scop	e	8
2	Norm	native references	8
3	Term	is, definitions and abbreviations	8
	3.1	Terms and definitions	8
	3.2	Abbreviations	8
4	Class	sification and class of the printed circuit board for high-brightness LEDs	9
5	Desig	gn rules and allowance	10
	5.1	Panel and board sizes	10
	5.1.1	Board size	10
	5.1.2	Allowance of dimensions	11
	5.1.3	Perforation and slit	11
	5.1.4	V-cut	12
	5.2	Total board thickness	13
	5.3	Holes	14
	5.3.1	Insertion holes and vias	14
	5.3.2	Datum hole	16
	5.3.3	Assembly hole (a through-hole without wall plating)	16
	5.4	Conductor	17
	5.4.1	Width of conductor pattern and its allowance	17
	5.4.2	Distance between conductors and its allowance	17
	5.4.3	Thickness of the insulating layer	18
	5.5	Printed contact	18
	5.5.1	Allowance of the distance between the centers of two adjacent printed contacts	18
	5.5.2	Allowance of the terminal width of printed contacts	19
	5.5.3	Shift of the center of printed contacts on front and back sides of a board	19
	5.6	Land pattern	20
	5.6.1	Allowance of the distance between the centers of two lands	20
	5.6.2	Allowance of the width of a land	20
	5.6.3	Land diameter and its allowance for BGA/CSP	21
	5.7	Fiducial mark and mark for component positioning	22
	5.7.1	Typical form and size of the fiducial mark	22
	5.7.2	Dimensional allowance of fiducial mark and component positioning mark	23
	5.7.3	Position allowance of the component positioning mark	23
6	5.8 Quali	Interlayer connection – Copper plating ity	23
0	6 1	Gap between conductor and the wall of a companent insertion held or a via	24
	6.2	Positional deviation between conductor layers of a multilayer board	24
	63	Minimum land width	24
	6.4	Surface treatment	27
	641	Gold plating for printed contact	25
	6.4.2	Other surface treatment	
	6.5	Defects of solder resist	
	6.6	Symbol mark	28
	6.6.1	General	28

6.6.2	Conductor surface	28
6.6.3	Between conductors	28
6.6.4	Defects within insulating layers	29
6.6.5	Routing and drilling	30
6.6.6	Conductor pattern	30
6.7 La	nd	30
6.8 La	nd of a land pattern	31
6.9 De	fects in a land for BGA/CSP mounting	32
6.10 Pr	nted contact	32
7 Perform	ance and test methods	34
7.1 Re	sistance of conductors	34
7.2 Cu	rrent proof of conductor and plated through hole	35
7.3 Ob	servation of component mountings and vias	36
7.3.1	Observation with standard conditions	36
7.3.2	Observation after thermal shock test	38
8 Marking	, packaging and storage	39
8.1 Ma	Irking on a product	39
8.2 Ma	Irking on the package	39
8.3 Pa	ckaging and storage	40
8.3.1	Packaging	40
8.3.2	Storage	40
Annex A (info	ormative) Classification and class of the PCB for high-brightness LEDs	41
Bibliography		46
Figure 1 – Ex	ample of a classification and its application	10
Figure 2 – Bo	pard arrangement in a panel	11
Figure 3 – Di	stances from the datum point to perforation and slit	12
Figure 4 – Di	stance from the datum point to the V-cut	12
Figuro 5 Al	lowance of position off set of V cuts on front and back surfaces	12
	ND beard with symbol mark colder resist, connect fail and plating	40
	WB board with symbol mark, solder resist, copper foil and plating	13
Figure 7 – Po	ositions of component insertion holes	15
Figure 8 – Di	stance between the wall of a hole and the board edge	15
Figure 9 – W	all of a hole and the minimum designed spacing to the inner conductor	16
Figure 10 – V	Vidth of finished conductor	17
Figure 11 – [Distance between conductor and board edge	18
Figure 12 – 1	hickness of the insulating layer	18
-		

Figure 22 – Exposure of conductor	26
Figure 23 – Minimum land with caused by the shift of solder resist	27
Figure 24 – Overlap, smear and shift of solder resist	27
Figure 25 – Examples of smear or blur	28
Figure 26 – Example of measling	29
Figure 27 – Examples of crazing	29
Figure 28 – Conductor nicks	30
Figure 29 – Conductor residue	30
Figure 30 – Land	31
Figure 31 – Defects in a land of a land pattern	31
Figure 32 – Defects in BGA/CSP mounting lands	32
Figure 33 – Areas to be checked for defects of a printed contact	33
Figure 34 – Defects in a printed contact	33
Figure 35 – Relations between resistance and width, thickness and temperature of a conductor	35
Figure 36 – Relationship between current, conductor width and thickness and temperature rise	36
Figure 37 – Defect on a plating of a component hole	37
Figure 38 – Resin smear	38
Figure 39 – Corner crack	38
Figure 40 – Barrel crack	39
Figure 41 – Foil crack	39
Figure A.1 – Relation between thermal conductive parameter and heat transfer coefficient parameter	42
Table 1 – Application and classification	9
Table 2 – Panel dimensions	11
Table 3 – Allowance of dimensions	11
Table 4 – Allowance of the distances from the datum point to perforation and slit	12
Table 5 – Allowance of the distance from the datum point to the center of the V-cut	13
Table 6 – Total thickness and its allowance	14
Table 7 – Allowance of holes for component insertion	14
Table 8 – Position allowance of component insertion holes	15
Table 9 – Distance between the wall of a hole and board edge	16
Table 10 – Minimum clearance between the wall of a hole and the inner layer conductor	16
Table 11 – Allowance of conductor width	17
Table 12 – Allowance of the distance between conductors	18
Table 13 – Allowance of terminal width of a printed contact	
Table 14 Allowance of terminal width of a printed contact	19
	19 20
Table 14 – Allowance of the width of a land of a land pattern	19 20 21
Table 14 – Allowance of the width of a land of a land pattern Table 15 – Allowance of the width of a land of a land pattern Table 16 – Land diameter and its allowance for BGA/CSP	19 20 21 22

Table 18 – Shapes and sizes of typical fiducial marks and component positioning	
marks	23
Table 19 – Minimum thickness of copper plating	23
Table 20 – Minimum thickness of copper plating	24
Table 21 – Minimum land width	27
Table 22 – Overlap, smear and shift of solder resist over a fool print	28
Table 23 – Allowance of the area of a defect, remaining width and protrusion of a land	31
Table 24 – Defect of a land of a land pattern	32
Table 25 – Defects in BGA/CSP mounting lands	32
Table 26 – Defects in a printed contact	34
Table 27 – Specification and test methods of resistance of conductors	34
Table 28 – Specification and test methods of current proof	35
Table 29 – Allowance in horizontal sectioning	38
Table A.1 – Relation between thermal conductive parameter and heat transfer	
coefficient parameter	42
Table A.2 – Related test methods	43

INTERNATIONAL ELECTROTECHNICAL COMMISSION

PRINTED BOARDS –

Part 20: Printed circuit boards for high-brightness LEDs

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62326-20 has been prepared by IEC technical committee 91: Electronics assembly technology.

This first edition cancels and replaces the IEC/PAS 62326-20 published in 2011, and constitutes a technical revision.

This edition includes the following significant technical changes with respect to the previous edition:

- a) this edition focuses on the technical content of the printed circuit board for high-brightness LEDs;
- b) the figures related to the printed circuit board for high-brightness LEDs have been refined.

The text of this standard is based on the following documents:

FDIS	Report on voting
91/1311/FDIS	91/1330/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

A list of all parts in the IEC 62326 series, published under the general title *Printed boards*, can be found on the IEC website.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC website under "http://webstore.iec.ch" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

PRINTED BOARDS -

Part 20: Printed circuit boards for high-brightness LEDs

1 Scope

This part of IEC 62326 specifies the properties of the printed circuit board (hereafter described as PCB) for high-brightness LEDs. Many aspects of the PCB for high-brightness LEDs are identical with those of ordinary PCBs, therefore, some aspects of this standard also describe general aspects.

2 Normative references

The following documents, in whole or in part, are normatively referenced in this document and are indispensable for its application. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60194, Printed board design, manufacture and assembly – Terms and definitions

IEC 61189-3:2007, Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 3: Test methods for interconnection structures (printed boards)

IEC 61249-2-6, Materials for printed boards and other interconnecting structures – Part 2-6: Reinforced base materials, clad and unclad – Brominated epoxide non-woven/woven E-glass reinforced laminated sheets of defined flammability (vertical burning test), copper-clad

IEC 61249-2-7, Materials for printed boards and other interconnecting structures – Part 2-7: Reinforced base materials clad and unclad – Epoxide woven E-glass laminated sheet of defined flammability (vertical burning test), copper-clad

IEC 62878-1-1, Device embedded substrate – Part 1-1: Generic specification – Test methods

3 Terms, definitions and abbreviations

3.1 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 60194 apply.

3.2 Abbreviations

AABUS As Agreed Between User amd Supplier

- BGA Ball Grid Array
- CCL Copper Clad Laminate
- COB Chip On Board
- CSP Chip size package
- HID High Intensity Discharge
- LED Light Emitting Diode
- PCB Printed Circuit Board

PWB Printed Wiring Board

4 Classification and class of the printed circuit board for high-brightness LEDs

The PCB for high-brightness LEDs specified in this standard shall satisfy the specifications A to C in Table 1 and Figure 1 in the following way. The materials used in the materials of PWB are not specified, however, they shall be agreed between user and supplier (hereafter referred to as AABUS) depending on the application area of the boards in question. Figure 1 gives an example of classification and their application by base materials, for printed circuit boards for high-brightness LEDs and final products.

Primary classification (thermal conductivity)	Definition	Secondary classification (insulation property)	Definition	Thermal conductivity parameter	Heat transfer parameter	Thermal impedance										
				W/(mK)	W/(m ² K)	(Km²/W)										
		I	No specification													
	Standard	Ш	Electric strength													
A	boards		<1 000 V	<1	<10											
		111	Electric strength													
			≥1 000 V													
	Thermal conductive boards	Ι	No specification			Thermal impedance can										
		Thermal conductive boards	Thermal conductive boards	Thermal	Thermal	Thermal	Thermal	Thermal	Thermal	Thermal	Thermal	П	Electric strength			be calculated from the measurement
В					<1,000 V	≥1	<10	of thermal								
			111	Electric strength			and the inverse heat transfer									
			\geq 1 000 V			parameter.										
			I	No specification												
	High thermal C conductive boards	High thermal II C conductive boards		Electric strength												
С			C conductive	conductive boards	<1 000 V	≥1	≥10									
				Electric strength												
			≥1 000 V													

Table 1 – Application and classification

Heat radiation		Α			В			С	
	Resi IEC IEC 6024	n type subs 60249-2-6 9-2-7 (CEN	strate and 1-3, FR-4)	Res (w	in type sut ith therma	ostrate I via)			
Classification by base materials	Flexib	le type sub	ostrate	High 1	hermal cor esin substr	nductive ate	Metal	core subs	trate
							Metal	base subs	strate
							Ceram	ic type sub	ostrate
	C	onventiona	I substrate	for discret	e type elec	stronic compor	ients moun	ted boards	
Classification by printed circuit boards					Sub	strate for semi	conductor p	backage	
						Substrate for	Chip on Bo	ard	
	Lamp fo	or assistant	t lighting						
				Substit	ution for hal	ogen lamp			
					Substitutior	n for			
Classification by				fl	uorescent	lamp			
final products						Substitution fo	r filament la	amp	
						Stree	t lamp		
							Subs	titution for	HID
Insulation class	Ι	II	III	I	Π	III	Ι	II	III
									IEC

Figure 1 – Example of a classification and its application

5 Design rules and allowance

5.1 Panel and board sizes

5.1.1 Board size

NOTE Indications on board size are added for reference only.

The size of the board of the product $(a \times b)$ illustrated in Figure 2.

should be selected so that the boards can be arranged efficiently within a panel with a size as specified in Table 2. These dimensions are given for information only. Or, a proper panel with a size given in Table 2 shall be selected so as to satisfy the required efficient arrangement of the boards.



Key

Board size of the product: $a \times b$

Space between board and panel edges: c_1 , c_2 , c_3 , c_4

Space between boards: e_1 , e_2

Figure 2 – Board arrangement in a panel

Table 2 – Panel dimension

Size of a CCL	Division					
panel	4	6	8	9		
1 000 × 1 000	500 × 500	333 × 500	250 × 500	333 × 333		
1,000 × 1,200	500 × 600	333 × 600	200 × 500	222 × 400		
1 000 × 1 200	500 × 800	400 × 500	300 × 300	533 × 400		
Dimensions are in millimetres.						

5.1.2 Allowance of dimensions

The allowance of dimensions of a board or a panel is given in Table 3.

Table 3 – Allowance of dimensions

Length mm	Allowance
≤100	±0,2 mm
>100	Add 0,1 mm for each 50 mm exceeding a length of 100 mm.

5.1.3 Perforation and slit

The perforation and slits are shown in Figure 3. The allowances of the distances from the datum point to the center of the cut of the perforation and slit is given in Table 4.



- 12 -



Table 4 – Allowance of the distances from the datum point to perforation and slit

Distances from the datum point to perforation and slit mm	Allowance
≤100	±0,2 mm
>100	Add 0,1 mm for each 50 mm beyond a length of 100 mm.

5.1.4 V-cut

The V-cut is shown in Figure 4 and Figure 5. The allowance of the distance from the reference datum to the center of the V-cut (g_1 to g_4) is given in Table 5. The allowance of the deviation of the position of the V-cut on the front and back planes is 0,2 mm, and the allowance of the uncut thickness of the board is the sum of the allowance of the board thickness ±0,1 mm.



Figure 4 – Distance from the datum point to the V-cut

– 13 –



IEC

Figure 5 – Allowance of position off-set of V-cuts on front and back surfaces

Distance from the datum point to the center of the V-cut mm	Allowance
≤100	±0,2 mm
>100	Add 0,1 mm for each 50 mm exceeding a length over 100 mm

Table 5 – Allowance of the distance from the datum point to the center of the V-cut

5.2 Total board thickness

The allowance of the total board thickness (t) and symbol marks as shown in Figure 6 is given in Table 6.



Figure 6 – PWB board with symbol mark, solder resist, copper foil and plating

Total thickness (center value of the final board) t	Allowance
03<+05	+0,10
$0,3 \leq l < 0,3$	-0,05
$0,5 \le t < 0,8$	±0,10
$0,8 \le t < 1,10$	±0,15
1,10 ≤ <i>t</i> < 1,40	±0,17
$1,40 \le t < 2,00$	±0,19
$t \ge 2,00$	±10 %
Dimensions are in millimetres.	

Table 6 – Total thickness and its allowance

- 14 -

5.3 Holes

5.3.1 Insertion holes and vias

The following applies to insertion holes and vias for components.

a) Allowance of component insertion holes

The allowance of component insertion holes is given in Table 7. The allowance given in this table is not applicable to vias (through-hole vias, buried vias and blind vias). The allowance of through-holes with a diameter less than 0,6 mm for insertion of a component and holes for press-fit of a component is to be AABUS.

ltem		Allowance		
Distant through halo	$0,6 \le t < 2,0$	±0,10		
Plated through-hole	<i>t</i> ≥ 2,0	±0,15		
Non-plated through-hole		±0,10		
Dimensions are in millimetres.				

b) Position of a hole for component insertion

The center of a hole for component insertion should be at the cross point of the grid for pattern design including the complementary grid lines used. The allowance of a component insertion hole position, $\left(\begin{vmatrix} \rightarrow \\ j \end{vmatrix}\right)$, the deviation from the designed position with respect to the datum point as shown in Figure 7, is given in Table 8.



Figure 7 – Positions of component insertion holes

Table 8 – Po	sition allowance	of com	ponent in	sertion	holes
		01 00111			

Longer dimension of rectangular board	Allowance	
mm		
≤400	0,10 mm	
>400	For a board exceeding 400 mm, add 0,05 mm for each additional 100 mm.	

c) Distance from the board edge to the wall of a hole

The distance from the board edge to the wall of a hole (d) is shown in Figure 8. The distance (d) between the walls of a through-hole before plating and of a hole for component insertion shall be larger than 1,0 mm. The distance for a press-fit hole shall be in accordance with Table 9.



Figure 8 – Distance between the wall of a hole and the board edge

 Table 9 – Distance between the wall of a hole and board edge

ltem	Distance (j) between a component hole before plating and the via wall (d)	
HDI PWB	\leq 1,0 mm and also longer than the board thickness (<i>t</i>)	
Standard PWB	\leq 1,5 mm and also longer than the board thickness (<i>t</i>)	

d) Minimum clearance between the wall of a hole and the inner conductor

The minimum clearance between the wall of a hole and the inner conductor (k) as illustrated in Figure 9 shall be 0,325 mm in accordance with Table 10. If the distance 0,325 mm is guaranteed in the design of the pattern, the minimum separation is guaranteed.

Item		Minimum clearance between hole wall and the inner layer conductor (k) mm		
		Standard value	Minimum value	
	Component hole	0,5	0,25	
	Via	0,30		
Standard DWP	Component hole	0,5	0.20	
Standard PWD	Via	0,35	0,30	







5.3.2 Datum hole

The allowance of a datum hole shall be $\pm 0,05$ mm, or $^{+0,10}_{-0,00}$ mm. A through hole without wall plating shall be used as a datum hole.

5.3.3 Assembly hole (a through-hole without wall plating)

The following requirements apply.

a) Allowance of an assembly hole

The allowance of an assembly hole shall be $\pm 0,10$ mm.

b) Allowance of the position of an assembly hole
 The allowance of the position of an assembly hole shall be in accordance with Table 8 of

5.3.1 b).

c) Distance between an assembly hole and the board edge

The distance between an assembly hole and the board edge shall be larger than 2,0 mm. In case the distance is less than 2,0 mm, the distance shall be agreed between user and supplier.

d) The distance between an assembly hole and the inner conductor

The distance between the wall of an assembly hole and the inner conductor shall be larger than 1,0 mm.

5.4 Conductor

5.4.1 Width of conductor pattern and its allowance

The allowance of the formed conductor width (w), as illustrated in Figure 10, shall be in accordance with the allowances as given on Table 11. The allowance of the finished conductor pattern specifically designed for impedance control shall be AABUS.

Conductor thickness (<i>t</i>)	Allowance	Conductor width for reference	
50 ≤ <i>t</i> < 75	±25	15 to 20	
75 ≤ <i>t</i> < 100	±30	20 to 40	
100 ≤ <i>t</i> < 300	±50	30 to 50	
<i>t</i> ≥ 300	±100	40 to 70	
	±150	70	
Thick copper foil circuits	±200	105	
	±300	140	
The conductor thickness is the copper foil thickness plus the thickness of plated			

 Table 11 – Allowance of conductor width

The conductor thickness is the copper foil thickness plus the thickness of plated copper.

Dimensions are in micrometres.



Figure 10 – Width of finished conductor

5.4.2 Distance between conductors and its allowance

The distance between the conductor and board edge is illustrated in Figure 11. The allowance of the distance between conductors (h) shall be in as given in Table 12. The allowance of the finished conductor pattern specifically designed for impedance control shall be AABUS.

Conductor thickness (<i>h</i>)	Allowance	Conductor width for reference	
$50 \leq h < 75$	±25	15 to 20	
$75 \le h < 100$	±30	20 to 40	
$100 \le h < 300$	±50	30 to 50	
<i>h</i> ≥300	±100	40 to 70	
The conductor thickness is the conner foil thickness plus the thickness of plated			

Table 12 – Allowance of the distance between conductors

- 18 -

The conductor thickness is the copper foil thickness plus the thickness of plate copper.

Dimensions are in micrometres.



Key

m is the conductor spacing

n is the conductor pitch

Figure 11 – Distance between conductor and board edge

5.4.3 Thickness of the insulating layer

The thickness of an insulating layer (t) is illustrated in Figure 12.



IEC

NOTE In case the surface of copper foil is roughened, the thickness of the base material is the minimum distance applicable to the substrate.

Figure 12 – Thickness of the insulating layer

5.5 Printed contact

5.5.1 Allowance of the distance between the centers of two adjacent printed contacts

The allowance of the distance between the centers of two adjacent printed contacts (p, p_n) as illustrated in Figure 13 shall be $\pm 0,10$ mm. Add 0,01 mm for each additional 20 mm in case the distance between the centers of terminals exceeds 100 mm.



- 19 -



5.5.2 Allowance of the terminal width of printed contacts

The allowance of the terminal width of printed contacts (w) as illustrated in Figure 14 is specified in Table 13.



IEC

Figure 14 – Terminal width of a printed contact

Table 13 -	 Allowance of 	terminal	width	of a	printed	contact
------------	----------------------------------	----------	-------	------	---------	---------

Terminal width w	Allowance	
≤1,0	±0,05	
>1,0	±0,10	
Dimensions are in millimetres.		

5.5.3 Shift of the center of printed contacts on front and back sides of a board

The allowance of the shift of the center of printed contacts on front and back sides of a board (q) as illustrated in Figure 15 shall be $\pm 0,20$ mm.



- 20 -

on front and back sides of a board

5.6 Land pattern

5.6.1 Allowance of the distance between the centers of two lands

The allowance of the distance between the centers of two adjacent lands (S_1) and of two adjacent parallel lands (S) as illustrated in Figure 16 is specified in Table 14.



Figure 16 – Land pattern

Table 14 – Allowance of terminal width of a printed contact

Distance between centers	Allowance mm
S ₁	±0,03
S	±0,05

5.6.2 Allowance of the width of a land

The allowance of the width of a land of a land pattern (w) as illustrated in Figure 17 is specified in Table 15. The allowance for a land narrower than 0,15 mm shall be AABUS.



- 21 -

IEC

Figure 17 – Land width of a land pattern

Table 15 –	Allowance	of the	width	of a	land	of a	land	pattern

Land width w	Allowance	
$0,15 < w \le 0,35$	±0,04	
<i>w</i> > 0,35	±0,06	
Dimensions are in millimetres.		

5.6.3 Land diameter and its allowance for BGA/CSP

The allowance of land diameter for BGA/CSP is specified in a) and b) below.

a) The pattern is shown in Figure 18. The allowance of the land diameter (*d*) of BGA/CSP made of conductor only is given in Table 16.



Figure 18 – Land diameter of BGA/CSP formed of a conductor only

Item	Allowance of land diameter mm	Conductor thickness ^a µm	
HDI PWB	+0,02 -0,03	20 to 30	
Standard PWB	+0,03 -0,05	30 to 50	
^a Dimensions are given for reference.			

Table 16 – Land diameter and its allowance for BGA/CSP

- 22 -

b) The pattern is shown in Figure 19. The allowance of the land diameter (*d*) of BGA/CSP formed at the opening of solder resist is given in Table 17.

Table 17 – Allowance of the land diameter (*d*) of BGA/CSP formed at the opening of solder resist

Itom	Allowance
item	mm
HDI PWB	±0,03
Standard PWB	±0,05



Figure 19 – Land diameter (*d*) of BGA/CSP formed at the opening of solder resist

5.7 Fiducial mark and mark for component positioning

5.7.1 Typical form and size of the fiducial mark

The mark for component positioning in Figure 20 is specified in Table 18.



- 23 -

Figure 20 – Examples of fiducial mark and component positioning mark

Table 18 – Shapes	and sizes	of typical	fiducial	marks
and comp	onent po	sitioning n	narks	

ltem	Shape	Diameter
		mm
Fiducial and component positioning marks	Circle	1,0

5.7.2 Dimensional allowance of fiducial mark and component positioning mark

The dimensional allowance of fiducial mark and component positioning mark, as illustrated in Figure 20, is ± 0.1 mm.

5.7.3 **Position allowance of the component positioning mark**

The farthest land pattern from the mark (u_1, u_2) , as illustrated in Figure 20, shall be $\pm 0,05$ mm.

5.8 Interlayer connection – Copper plating

The minimum thickness of copper plating on the wall of via and component insertion holes is given in Table 19.

Board thickness, or layer thickness mm	Minimum thickness of copper plating µm
t >2,4	Thickness shall be AABUS
1,0 < <i>t</i> ≤ 2,4	15
0,5 < <i>t</i> ≤ 1,0	12
$t \ge 0,5$	10
The measurement shall be made by optical observation deviation is not taken into consideration.	of a microsectioned vertical cross-section. Local surface

Table 19 – Minimum thickness of copper plating

6 Quality

6.1 Gap between conductor and the wall of a component insertion hole or a via

The gap between the conductor and the wall of a component insertion hole or via, or the gap between the inner conductor and the wall of a hole shall be larger than 0,13 mm.

- 24 -

6.2 Positional deviation between conductor layers of a multilayer board

The deviation of conductor layers of a multilayer board shall satisfy the conditions specified in 5.5.3, 6.1, and 6.3.

6.3 Minimum land width

The minimum land width on the most outer layer (w_1) caused by the shift of land and the hole, and the minimum land width on an inner layer (w_2) are specified in Table 20 (see also Figure 21).

	Minimum land width mm			
	At the joint of land and conductor	$w_1 \ge 0,03$		
Minimum land width on outer layer w_1^{b}	Other area	$ heta \leq 90^\circ$		
	Case of non-conductive component insertion hole	$w_1 \ge 0,05$		
Minimum land width an innar lavar	At the joint of land and conductor	$w_2 \ge 0,03$		
Minimum land width on inner layer w ₂	Others (except laser drilled hole) ^d	$ heta \leq 90$		
^a Regardless of the shape of a land.				
^b Includes the thickness of through-hole plating.				
^c Does not include the thickness of through-hole plating.				
^d No break of inner land is allowed for a laser drilled hole.				

Table 20 – Minimum thickness of copper plating



IEC

Figure 21 a – Minimum land width on the outer layer



Figure 21 b – Minimum land width on the inner layer with a plated through-hole



Figure 21 c –Allowable area of land break Figure 21 – Minimum land width

6.4 Surface treatment

6.4.1 Gold plating for printed contact

The gold plating for printed contact is generally plated of hard gold on the nickel plating.

a) Nickel plating

The thickness of nickel plating on a printed contact shall be more than 2,0 μ m.

b) Gold plating

The hard gold shall be used for plating on a printed contact with a plating thickness of more than 0,1 $\mu\text{m}.$

6.4.2 Other surface treatment

The details of other surface treatments including gold flush plating and solder coating depend on the methods for interconnection (such as soldering or wire bonding). These details shall be AABUS.

6.5 Defects of solder resist

The following requirements apply.

- a) The defects in a land for BGA/CSP shall be in accordance with 5.6.3.
- b) Solder resist shall not have scratch, peeling, pin-hole, or foreign material. It shall not have any bubble extending to two conductors.
- c) Exposure of the conductor after the application of solder resist shall be in conformance with the illustrations in Figure 22.



Figure 22 – Exposure of conductor

d) The minimum land width caused by the shift of solder resist (*w*) on the land on the outer conductor layer of PWB used for component insertion as illustrated in Figure 23 shall be in accordance with the specification given in Table 21.



- 27 -

IEC

Figure 23 – Minimum land with caused by the shift of solder resist

Table 21 – Minimum land width

ltem	Minimum land width	
Facing the component	To the edge of a hole	
Facing the solder	Shall be larger than 0,03 mm	
	The area effective for soldering shall be larger than 70 %.	

e) The overlap, smear and shift of solder resist on a land (width direction (v) and length direction (x)) on the outer conductor layer of PWB used for component insertion as illustrated in Figure 24 shall comply with the specification given in Table 22. The displacement in case the solder resist is designed to cover the entire land pattern, as illustrated in Figure 24 b, shall be AABUS.





Figure 24 b – Overlap and smear of solder resist

Figure 24 – Overlap, smear and shift of solder resist

ltem	Overlap, smear and shift		
nem	mm		
Width (v)	≤0,05		
Longitudinal (x)	≤0,05		

Table 22 – Overlap, smear and shift of solder resist over a fool print

- 28 -

f) The overlap, smear and shift of solder resist on a ball-land or a land for wire-bonding shall not exist unless the solder resist is designed to cover a land.

6.6 Symbol mark

6.6.1 General

The following are the focusing points for symbol marks in general.

a) A printed legend shall not have smear or blur affecting readability of the mark as illustrated in Figure 25.





IEC

Figure 25 – Examples of smear or blur

- b) A legend shall be printed more than 0,2 mm away from a via land, a through hole land, or a land pattern.
- c) A legend with a height (*h*) of less than 1,5 mm may not be legible to identify the mark as a letter or a mark (except for Chinese characters). An example of the height of a legend mark is shown below.

Remark 1: The line width of thicker than 0,15 mm for a legend is recommended.

Remark 2: A legend should be applied directly on the conductor pattern, or completely away from the conductor.



6.6.2 Conductor surface

There shall be no swell, wrinkle, crack, separation of conductor from the substrate, nor a metal fracture at an edge of a conductor. There shall be no colour change that may cause a defect in assembly, fouling nor foreign material on the conductor surface. The exposure of the bare conductor, treated with plating, a surface treatment or that is coated, is not allowed.

6.6.3 Between conductors

There shall be no foreign material that bridges two conductors and may cause an insulation problem.

6.6.4 Defects within insulating layers

Defects within the insulating layers are listed below.

a) Measling and crazing

There shall be no measling nor crazing that overlaps conductors, holes for component insertion or between vias. Examples of measling and crazing are illustrated in Figure 26 and Figure 27.



Figure 26 – Example of measling



Figure 27 – Examples of crazing

b) Delamination, swell and void

There shall not be delamination nor swell and stacked voids that may result in a reliability problem of a product in a multilayer board.

c) Inclusion of foreign materials

There shall be no foreign material or no imperfection such as delamination that may result in a problem in the assembly process.

6.6.5 Routing and drilling

Cracks caused by press machining of routing and hole drilling, and haloing shall be AABUS.

- 30 -

6.6.6 Conductor pattern

Defects on the conductor pattern are listed below.

a) Conductor nick

The width of a conductor nick (w) as illustrated in Figure 28 shall be less than 30 % of the final conductor width, and the length (l) less than the width of the conductor pattern.



Figure 28 – Conductor nicks

b) Residue of conductor in conductor gaps

The width (w) of a residue of conductor between conductors, as illustrated in Figure 29 (protrusion or residue in etching), shall be less than 30 % of the final separation of conductors, or, less than 0,30 mm. The length of a residue (l) shall be less than the final separation of the conductor.



Figure 29 – Conductor residue

6.7 Land

The allowance of the area, remaining width (w_1, w_2) , and protrusion (y) of a defect caused by a missing part of a land, as illustrated in Figure 30, shall comply with the specification given in Table 23.

– 31 –







Figure 30 a – Width of a remaining land Figure 30 b – Widths of a remaining land and edge to the conductor

Figure 30 c - Land protrusion

Figure 30 – Land

Table 23 – Allowance of the area of a defect, remaining width and protrusion of a land

Item		Area of a defect, remaining width and land protrusion	
Ratio of the missing area to the area of a land		≤20 %	
Remaining width resulting from a defect of a land		No defect shall reach to the wall of a hole	
		More than 70 % of the final conductor width	
Protrusion	у	As specified in 6.6.6 b) – Width of residue in the conductor gap w .	

6.8 Land of a land pattern

The width (w) and the length (l_1 , l_2) of a defect in a land, as illustrated in Figure 31, shall comply with the specification given in Table 24. The maximum number of defects in a land shall be no more than one.





Figure 31 a – Nick and protrusion

Figure 31 b – Pin-hole

Figure 31 – Defects in a land of a land pattern

		Width of completed land of a land pattern <i>w</i> mm				
lte	em					
		<0,8	≥0,8			
Creek and protrucion	Width w	Less than 20 % of w	≤0,15			
Crack and protrusion	Length l ₁	Less than 50 % of L				
Pinhole (longe	er dimension <i>l</i> ₂)	Less than 20 % of w	≤0,15			
The protrusion shall satisfy the minimum separation between a neighbouring conductor specified in 5.4.2.						

Table 24 – Defect of a land of a land pattern

- 32 -

6.9 Defects in a land for BGA/CSP mounting

The defects in a land for BGA/CSP mounting as illustrated in Figure 32 shall comply with what is given in Table 25, and shall not exceed 1 for one land.



Figure 32 a – Chipping and protrusion

Figure 32 b – Pin-hole

Figure 32 – Defects in BGA/CSP mounting lands

Item	Defects in BGA/CSP mounting lands				
Chipping and protrusion Effective land area shall be over 80 % of the designed area.					
Pin holes (long diameter l_2) There shall be no pin hole showing the insulation layer.					
The length of protrusion shall satisfy the minimum separation between conductors (see 5.4.2).					

6.10 Printed contact

The allowance of the defects in the areas ① and ② of a printed contact (see Figure 34) that is to be electrically connected as illustrated in Figure 33 shall comply with the specification given Table 26.



- 33 -

Figure 33 – Areas to be checked for defects of a printed contact





Figure 34 b – Pin hole

Figure 34 – Defects in a printed contact

14	Area					
Item	Area (1)		Area ②			
Exposure of underlying plating (Ni, Co, etc.)	No defect is allowed that may affect the relia	ability of a product				
Swell and separation of plated film						
Hit trace	No trace larger than 0,2 dia. is allowed	No trace larger than 0,5 dia. is allowed				
Scratch	No scratch larger than a width of 0,1 is allowed	No scratch larger than a width of 0,5 is allowed				
Lump protrusion	No protrusion larger than a width of 0,1 dia.	is allowed				
	$l_1 \leq 0, 1 \ L \ w \leq 0, 1 \ W$	$l_1 \leq 0, 2L \ w \leq 0, 2W$				
Crack and protrusion illustrated in	l_1 shall be smaller than 1,0, and w shall be smaller than 0,2	I_1 shall be smaller than 2,0, and w shall be smaller than 0,3				
Figure 34, <i>l</i> ₁ , w	The protrusion shall satisfy the minimum separation between a neighbouring conductor specified in 5.4.2.					
Pin hole (longer		0,05 dia. ≤ <i>l</i> ₂ ≤ 0,10 dia.	One defect per terminal and less than 10 % of the total terminal			
dimension I_2) illustrated in Figure 34	There shall be no pin hole	0,10 dia. < <i>l</i> ₂ ≤ 0,20 dia.	One defect per terminal and less than 2 % of the total terminal			
		$l_2 > 0,20$ dia.	No pin hole allowed			
Colour change	No colour change that affect the performance of a product is allowed					
The defects for printed contacts not electrically connected are considered as defects in the area in Figure 33 for the entire contacts. The specification given in Table 26 for such an area is applicable to these contacts.						

Table 26 – Defects in a printed contact

- 34 -

Dimensions are in millimetres.

7 Performance and test methods

7.1 Resistance of conductors

Specification and test methods of conductor resistance are given in Table 27.

The relations between resistance and width, thickness and temperature of conductor are illustrated in Figure 35.

Table $21 - 3pecification and test methods of resistance of conductor$	Table 2	27 – S	pecification	and test	methods	of	resistance	of	conductors
--	---------	--------	--------------	----------	---------	----	------------	----	------------

Item		Specification	Test method		
Resistance of conductors	Conductor	Resistance value is AABUS. The relations between resistance and width, thickness and	As per 10.12 of IEC 61189-3:2007		
	Plated through-hole	temperature of a conductor are shown in Figure 35 as a reference.	As per 10.13 of IEC 61189-3:2007		


- 35 -



Figure 35 – Relations between resistance and width, thickness and temperature of a conductor

7.2 Current proof of conductor and plated through hole

Specification and test methods of resistance of current proof are given in Table 28.

The relationship between current, conductor width and thickness and temperature rise are illustrated in Figure 36.

Table 28 –	Specification	and test methods	of current proof
------------	---------------	------------------	------------------

Item		Specification	Test method
Current proof	Conductor	AABUS.	IEC 62878-1-1
	Plated through- hole	The relations between current and width, thickness and temperature of a conductor are shown in Figure 36 as a reference.	

Conductor width (mm)

2,5

1,5

1,2 1,0

0,8

0,6

0,5

0,4

0,3

0,2

0,15 0.1

0,3

 $\Delta t = 50^{\circ} \text{C}$

 $\Delta t = 75^{\circ}C$

 $\Delta t = 100^{\circ} \text{C}$

15

IEC



Figure 36 a – Conductor thickness is 18 µm





2 3 4 6 8 10

Current A

0,5 0,70,9 1,21,5

 $\Delta t = 10^{\circ} \text{C}$

 $\Delta t = 20^{\circ} \text{C}$

 $\Delta t = 30^{\circ} \text{C}$

 $\Delta t = 40^{\circ} \text{C}$



Figure 36 c – Conductor thickness is 70 μm



Figure 36 – Relationship between current, conductor width and thickness and temperature rise

7.3 Observation of component mountings and vias

7.3.1 Observation with standard conditions

The holes and vias (*d*) shall satisfy the following specifications when observed by a naked eye, using a magnifying glass or by means of microsectioning.

a) The holes for component insertion shall be satisfactory for lead insertion and following soldering.

The size of a lack of plating on the wall of a hole as illustrated in Figure 37 shall be less than 25 % of the circumference of a hole (l_1) and less than 25 % of the thickness direction of the board (l_2) . The number of holes with defects shall be less than 5 % of the total number of holes.





 $l_1 \leq 0,25 \times \pi \times d$ $l_2 \leq 0,25 \times t$

Figure 37 – Defect on a plating of a component hole

- b) Vias for electrical connection between conductor layers. Vias are for electrical connections. Neither defect in via formation nor defect in electric conduction (plating or filling of metal paste) shall be allowed and shall comply with the specifications 11 and 12 in Table 29.
- c) Resin smear: The allowance in the vertical microsection of resin smear as illustrated in Figure 38 shall comply with the following equation. The allowance in the horizontal microsection of a smear shall be as specified in Table 29.

 $l_1, l_2 > 1/3 t$, and $l_1 + l_2 > t$

- l_1, l_2 : Effective thickness of an inner layer excluding resin smear (μ m).
- *t*: Thickness of the inner layer relevant to resin smear (μ m).



IEC

Figure 38 a – Vertical microsection



- 38 -

Figure 38 b – Horizontal microsection

Figure 38 – Resin smear

Table 29 – Allowance in horizontal sectioning

HDI PWB	Less than 10 % of hole circumference
Standard PWB	Less than 25 % of hole circumference

7.3.2 Observation after thermal shock test

The specimens for the thermal shock test described in Annex A shall be observed by microsectioning as specified in 12.9 of IEC 61189-3:2007 (Microsectioning), and shall comply with the following specification.

a) Corner crack, parallel crack and foil crack

The allowance in the vertical microsection of resin smear as illustrated in Figure 39, Figure 40 and Figure 41 shall comply with the following formula.

 $l_1, l_2 > 1/3t$, and $l_1 + l_2 > t$

- l_1, l_2 : Effective thickness of copper foil for each side excluding resin smear (μ m).
- *t*: Total thickness of copper foil when there is no defect that can be considered as such (μm) .



11

Figure 39 – Corner crack



IEC

Figure 40 – Barrel crack



IEC



8 Marking, packaging and storage

8.1 Marking on a product

Marking on a product shall be AABUS. The marking should include the following items.

- a) Name of the product and/or lot number
- b) Producer or its code
- c) Date of production

8.2 Marking on the package

Marking on a product shall be AABUS. The marking should include the following items.

- a) Name of the product and/or lot number
- b) Number of products in a package
- c) Date of production
- d) Producer or its code

8.3 Packaging and storage

8.3.1 Packaging

Packaging of a product should protect product damages such as scratches, and also should protect from moisture.

– 40 –

8.3.2 Storage

Storage of PWB shall be stored in a place where they can be protected from damage due to moisture.

Annex A

(informative)

Classification and class of the PCB for high-brightness LEDs

The study of thermal conductive parameters and heat transfer coefficient parameters indicate that the classification of PCB for high-brightness LEDs has become possible using these parameters.

Using thermal conductive parameter, resin-based PCB for high-brightness LEDs can be classified into two categories as follows:

- a) resin-based PCB for high-brightness LEDs having the thermal conductive parameter with more than 1 W/mK;
- b) resin-based PCB for high-brightness LEDs having the thermal conductive parameter with less than 1 W/mK.

In addition, using the heat transfer coefficient parameter (W/m²K), the further classifications as follows have become possible:

- c) heat transfer coefficient parameter of resin-based PCB for high-brightness LEDs, less than 10 W/m²K;
- d) heat transfer coefficient parameter of metal or ceramic-based PCB for high-brightness LEDs, more than 10 W/m²K.

Figure A.1 and Table A.1 indicate the detailed information on the classification and class of the PCB for high-brightness LEDs based upon the thermal conductive parameter and heat transfer coefficient parameter.



- 42 -

Figure A.1 – Relation between thermal conductive parameter and heat transfer coefficient parameter

Table A.1 – Relation between thermal conductive parameter and heat transfer coefficient parameter

(Mapping by zone) Heat transfer coefficient parameter tems (W/(m²K))

Items		(W/(m ² K))	
		<10	10≤
Thermal conductive parameter	<1	А	-
(W/(mK))	1≤	В	С

Table A.2 lists related test method standards.

Test	Name of test and equipment	IEC	ISO
	Test methods for electrical materials, interconnection structures and assemblies – Part 2: Test methods for materials for interconnection structures	IEC 61189-2	
	Test methods for electrical materials, printed boards and other interconnection strucures and assemblies – Part 3:Test methods for interconnection structures (printed boards)	IEC 61189-3	
Environmental tests	Environmental testing – Part 1: General and guidance	IEC 60068-1	
	Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 1: General test methods and methodology	IEC 61189-1	
	Testing condition and environment for plastics		ISO 291
Visual test and micro- sectioning	IEC 61198-3		
Dimensions	IEC 61189-3		
	Venire gauge		ISO 6906
			ISO 3599
	Micrometer		ISO 3611
	Height gauge	—	—
	Precision plate		ISO 8512-1
	Gan gauge		150 8512-2
Electrical tests	IEC 61189-3		
Conductor resistance	IEC 61189-3	3E12	
Withstand current	IEC 61189-3	3E12	
Withstand voltage	IEC 61189-3	3509 3510	
		3E09, 3E10	
		3E09, 3E10	
	IEC 61189-3	3E03, SETO	
		3E05, surface layer	
Circuit isolation and	JEC 61189-3	3E01 isolation	
conductivity		3E02 continuity	
Mechanical tests	IEC 61189-3		
Peel strength	IEC 61189-3	3M01_standard	
		atmosphere	
Peeling strength of land without plated land hole	IEC 61189-3	3M07	
Pulling strength of plated- through hole for component mounting	IEC 61189-3	3M03	
Pulling strength of land pattern land	IEC 61189-3	3M07	
Adhesivity of plating	IEC 61189-3	3M01	

Table A.2 – Related test methods

Test	Name of test and equipment	IEC	ISO
Pressure sensitive tape		3M01	
Adhesive tape and sheet		—	ISO 29862
			ISO 29863
			ISO 29864
Adhesivity of solder resist	IEC 61189-3	3M01	
Cross out tost	IEC 61189-3	IEC 61189-3	ISO 2409
Brossuro consitivo tano		IEC 61189-3	—
Adhesive tane and sheet		_	ISO 29862
Autesive tape and sheet			ISO 29863
			ISO 29864
Carbon steel cutter knife			ISO 4957
Coated film hardness	IEC 61189-3	3M01	
(solder resist and legend)	Paint test, general (scratch hardness)		ISO 15184
	Pencil, colour pencil and lead used		ISO 9180
	Polishing paper		ISO 3366
			ISO 21948
Environmental tests	IEC 61189-3		
High temperature	Environmental testing –	IEC 60068-2-2	
	IEC 60068-2-2: Test B: Dry heat		
Low temperature	IEC 60068-2-1: Test A: Cold	IEC 60068-2-1	
Thermal shock (high and	IEC 61189-3	3N01 to 3N05	
low temperatures)	IEC 60068-2-14: Test N: Change of temperature	IEC 60068-2-14	
	IEC 60068-2-30: Test Db: Damp heat, cyclic (12 h + 12 h cycle)	IEC 60068-2-30	
	IEC 60068-2-38: Test Z/AD: Composite temperature/ humidity cyclic test	IEC 60068-2-38	
Resistance to humidity	IEC 61189-3	3N06	
	IEC 60068-2-78: Test Cab: Damp heat, steady state	IEC 60068-2-78	
Migration	IEC/TR 62866 Ed.1	3E20	_
	IEC 60068-2-66: Test Cx: Damp heat, steady state (unsaturated pressurized vapour)	IEC 60068-2-66	
	Flux for soldering		ISO 9455
Vibration	IEC 60068-2-53: Tests and guidance – Combined climatic (temperature/humidity) and dynamic (vibration/shock) tests	IEC 60068-2-53	
	IEC 60068-2-6: Test Fc: Vibration (sinusoidal)	IEC 60068-2-6	
	IEC 60068-2-64: Test Fh: Vibration, broadband random and guidance	IEC 60068-2-64	
	IEC 60068-2-80: Test Fi: Vibration – Mixed mode	IEC 60068-2-80	
	Surface mounting technology – Environmental and endurance test methods for surface mount solder joint IEC 62137-1-3 Cyclic drop test	IEC 62137-1-3	
Drop shock	IEC 62137-1-4: Cyclic bending test	IEC 62137-1-4	_

IEC 62326-20:2016 © IEC 2016 - 45 -

Test	Name of test and equipment	IEC	ISO
Bending	IEC 60068-2-21: Test U: Robustness of terminations and integral mounting devices	IEC 60068-2-21	_
Screwing			·
Chemical tests	IEC 61189-3		
Flammability	IEC 61189-3	3C03 (to be revised)	
Resistance to chemicals	IEC 61189-3	3C04	
Solderability	IEC 60068-2-58: Test Td: Test methods for solderability, resistance to dissolution of metallization and to soldering heat of surface mounting devices	IEC 60068-2-58	
	Attachment materials for electronic assembly – Part 1-1: Requirement for soldering fluxes for high-quality interconnections in electronic assemblies	IEC 61190-1-1	ISO 9453 ISO 9454-1 ISO 9445-1
	IEC 61190-1-2: Requirements for soldering pastes	IEC 61190-1-2	
	IEC 61190-1-3: Requirements for electronic grade solder alloys and fluxed and non-fluxed solid solder	IEC 61190-1-3	
	IEC 61189-11: Measurement of melting temperature and melting temperature ranges of solder alloys	IEC 61189-11	
	Rosin	—	—
	Propanol		ISO 6353-3
	Ethanol		ISO 6353-2
Resistance to soldering heat	IEC 60068-2-20: Test T: Test methods for solderability and resistance to soldering heat of devices with leads	IEC 60068-2-20	
	IEC 60068-2-58: Test Td: Test methods for solderability, resistance to dissolution of metallization and to soldering heat of surface mounting devices (SMD)	IEC 60068-2-58	
	IEC 60068-2-20: Test T: Test methods for solderability and resistance to soldering heat of devices with leads	IEC 60068-2-20	
Thermal resistance of solder resist and legend	IEC 61189-3	IEC 61189-3	

Bibliography

IEC 60068-1, Environmental testing – Part 1: General and guidance

IEC 60068-2-1, Environmental testing – Part 2-1: Tests – Test A: Cold

IEC 60068-2-2, Environmental testing – Part 2-2: Tests – Test B: Dry heat

IEC 60068-2-6, Environmental testing – Part 2-6: Tests – Test Fc: Vibration (sinusoidal)

IEC 60068-2-20, Environmental testing – Part 2-20: Tests – Test T: Test methods for solderability and resistance to soldering heat of devices with leads

IEC 60068-2-21, Environmental testing – Part 2-21: Test U: Robustness of terminations and integral mounting devices

IEC 60068-2-30, Environmental testing – Part 2-30: Tests – Test Db: Damp heat, cyclic (12 h + 12 h cycle)

IEC 60068-2-38, Environmental testing – Part 2-38: Tests – Test Z/AD: Composite temperature/humidity cyclic test

IEC 60068-2-53, Environmental testing – Part 2-53: Tests and guidance – Combined climatic (temperature/humidity) and dynamic (vibration/shock) tests

IEC 60068-2-58, Environmental testing – Part 2-58: Tests – Test Td: Test methods for solderability, resistance to dissolution of metallization and to soldering heat of surface mounting devices (SMD)

IEC 60068-2-64, Environmental testing – Part 2-64: Tests – Test Fh: Vibration, broadband random and guidance

IEC 60068-2-66, Environmental testing – Part 2-66: Test methods – Test Cx: Damp heat, steady state (unsaturated pressurized vapour)

IEC 60068-2-78, Environmental testing – Part 2-78: Test Cab: Damp heat, steady state

IEC 60068-2-80, Environmental testing – Part 2-80: Tests – Test Fi: Vibration – Mixed mode

IEC 61189-1, Test methods for electrical materials, interconnection structures and assemblies – Part 1: General test methods and methodology

IEC 61189-2, Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 2: Test methods for materials for interconnection structures

IEC 61189-11, Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 11: Measurement of melting temperature or melting temperature ranges of solder alloys

IEC 61189-3-913, Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 3-913: Test method for thermal conductivity of printed circuit boards for high-brightness LEDs

IEC 61190-1-1, Attachment materials for electronic assembly – Part 1-1: Requirements for soldering fluxes for high-quality interconnections in electronics assembly

IEC 62326-20:2016 © IEC 2016 - 47 -

IEC 61190-1-2, Attachment materials for electronic assembly – Part 1-2: Requirements for soldering pastes for high-quality interconnects in electronics assembly

IEC 61190-1-3, Attachment materials for electronic assembly – Part 1-3: Requirements for electronic grade solder alloys and fluxed and non-fluxed solid solders for electronic soldering applications

IEC 61249-2-8, Materials for printed boards and other interconnecting structures – Part 2-8: Reinforced base materials clad and unclad – Modified brominated epoxide woven fibreglass reinforced laminated sheets of defined flammability (vertical burning test), copper-clad

IEC 62137-1-3, Surface mounting technology – Environmental and endurance test methods for surface mount solder joint – Part 1-3: Cyclic drop test

IEC 62137-1-4, Surface mounting technology – Environmental and endurance test methods for surface mount solder joint – Part 1-4: Cyclic bending test

IEC 62326-1, Printed boards – Generic specification

IEC 62326-4, Printed boards – Part 4: Rigid multilayer printed boards with interlayer connections – Sectional specification

IEC TR 62866:2014, Electrochemical migration in printed wiring boards and assemblies – Mechanisms and testing

ISO 291, Plastics – Standard atmospheres for conditioning and testing

ISO 2409, Paints and varnishes – Cross-cut test

ISO 3366, Coated abrasives – Abrasive rolls

ISO 3599, Vernier callipers reading to 0,1 and 0,05 mm (withdrawn)

ISO 3611, Geometrical product specifications (GPS) – Dimensional measuring equipment: Micrometers for external measurements – Design and metrological characteristics

ISO 4957, Tool steels

ISO 6353-2, Reagents for chemical analysis – Part 2: Specifications – First series

ISO 6353-3, Reagents for chemical analysis – Part 3: Specifications – Second series

ISO 6906, *Vernier callipers reading to 0,02 mm* (withdrawn)

ISO 8512-1, Surface plates – Part 1: Cast iron

ISO 8512-2, Surface plates – Part 2: Granite

ISO 9180, Black leads for wood-cased pencils – Classification and diameters

ISO 9445-1, Continuously cold-rolled stainless steel – Tolerances on dimensions and form – Part 1: Narrow strip and cut lengths

ISO 9453, Soft solder alloys – Chemical compositions and forms

ISO 9454-1, Soft soldering fluxes – Classification and requirements – Part 1: Classification, labelling and packaging

ISO 9455 (all parts), Soft soldering fluxes – Test methods

ISO 13385-1, Geometrical product specifications (GPS) – Dimensional measuring equipment – Part 1: Callipers; Design and metrological characteristics

ISO 15184, Paints and varnishes – Determination of film hardness by pencil test

ISO 21948, Coated abrasives – Plain sheets

ISO 29862, Self adhesive tapes – Determination of peel adhesion properties

ISO 29863, Self adhesive tapes – Measurement of static shear adhesion

ISO 29864, Self adhesive tapes – Measurement of breaking strength and elongation at break

Convight International Electrotechnical Commission

SOMMAIRE

A١	/ANT-P	ROPOS	54
1	Dom	aine d'application	56
2	Réfé	rences normatives	56
3	Term	es, définitions et abréviations	56
	3.1	Termes et définitions	56
	3.2	Abréviations	56
4	Class Iumir	sification et classe des cartes de circuits imprimés destinées aux LED à haute nosité	57
5	Règle	es de conception et tolérance	58
	5.1	Dimensions du panneau et des cartes	58
	5.1.1	Dimensions de la carte	58
	5.1.2	Tolérance des dimensions	59
	5.1.3	Perforations et fentes	59
	5.1.4	Coupe en V	60
	5.2	Epaisseur totale de la carte	61
	5.3	Trous	62
	5.3.1	Trous d'insertion et trous de liaison	62
	5.3.2	I rou de référence	65
	5.3.3	I rou d'assemblage (trou traversant sans parois metallisees)	65
	5.4	Conducteur	65
	5.4.1	Distance entre les conductours et telérance	CO
	54.2	Engissour de la couche isolante	00
	55	Contact imprimé	07
	551	Tolérance de distance entre les centres de deux contacts imprimés	
	0.0.1	adjacents	67
	5.5.2	Tolérance de largeur des bornes des contacts imprimés	68
	5.5.3	Décalage du centre des contacts imprimés sur les plans avant et arrière d'une carte	68
	5.6	Zone de report	69
	5.6.1	Tolérance de distance entre les centres de deux pastilles	69
	5.6.2	Tolérance de largeur des pastilles	69
	5.6.3	Diamètre des pastilles et tolérance pour BGA/CSP	70
	5.7	Repère conventionnel et repère de positionnement des composants	71
	5.7.1	Forme et dimensions types du repère conventionnel	71
	5.7.2	Tolérance de dimension du repère conventionnel et du repère de positionnement des composants	72
	5.7.3	Tolérance de position du repère de positionnement des composants	72
	5.8	Connexion entre couches – Métallisation en cuivre	72
6	Qual	ité	73
	6.1	Espacement entre le conducteur et la paroi d'un trou d'insertion de composants ou d'un trou de liaison	73
	6.2	Ecart de position entre les couches conductrices d'une carte multicouche	73
	6.3	Largeur de pastille minimale	73
	6.4	Traitements de surface	74
	6.4.1	Métallisation en or d'un contact imprimé	74
	6.4.2	Autres traitements de surface	75

0.5	Defauts d'épargne de brasure	
6.6	Marque de symbole	77
6.6	1 Généralités	77
6.6	2 Surface du conducteur	77
6.6	3 Entre les conducteurs	78
6.6	4 Défauts dans les couches isolantes	78
6.6	5 Routage et perçage	79
6.6	6 Impression conductrice	79
6.7	Pastille	80
6.8	Pastille d'une zone de report	80
6.9	Défauts dans une pastille pour un montage BGA/CSP	81
6.10	Contact imprimé	81
7 Per	formances et méthodes d'essai	83
7.1	Résistance des conducteurs	83
7.2	Epreuve de courant d'un conducteur et d'un trou traversant métallisé	84
7.3	Observation du montage des composants et des trous de liaison	85
7.3	1 Observation dans des conditions normalisées	85
7.3	2 Observation après l'essai de choc thermique	87
8 Mai	quage, emballage et stockage	88
8.1	Marquage d'un produit	
8.2	Marquage d'un emballage	88
8.3	Emballage et stockage	
8.3	1 Emballage	
83	2 Stockage	89
0.0		
Annexe	A (informative) Classification et classe des cartes PCB pour LED à haute	00
Annexe Iuminosi	A (informative) Classification et classe des cartes PCB pour LED à haute té	90
Annexe luminosi Bibliogra	A (informative) Classification et classe des cartes PCB pour LED à haute té	90
Annexe Iuminosi Bibliogra	A (informative) Classification et classe des cartes PCB pour LED à haute té	90
Annexe Iuminosi Bibliogra	A (informative) Classification et classe des cartes PCB pour LED à haute té aphie – Exemple de classification et de son application	90 95
Annexe luminosi Bibliogra Figure 1 Figure 2	A (informative) Classification et classe des cartes PCB pour LED à haute té aphie – Exemple de classification et de son application – Disposition des cartes sur un panneau	
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3	 A (informative) Classification et classe des cartes PCB pour LED à haute té – Exemple de classification et de son application – Disposition des cartes sur un panneau – Distance entre le point de référence et les perforations et les fentes 	
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4	 A (informative) Classification et classe des cartes PCB pour LED à haute té – Exemple de classification et de son application – Disposition des cartes sur un panneau – Distance entre le point de référence et les perforations et les fentes – Distance entre le point de référence et la coupe en V 	
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4 Figure 5	 A (informative) Classification et classe des cartes PCB pour LED à haute té	
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4 Figure 5 arrière	 A (informative) Classification et classe des cartes PCB pour LED à haute té	
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4 Figure 5 arrière Figure 6	 A (informative) Classification et classe des cartes PCB pour LED à haute té - Exemple de classification et de son application - Disposition des cartes sur un panneau - Distance entre le point de référence et les perforations et les fentes - Distance entre le point de référence et la coupe en V - Tolérance d'écart de position des coupes en V pour les plans avant et - Carte de circuit imprimé avec margue de symbole, épargne de brasure, 	
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4 Figure 5 arrière Figure 6 feuille de	 A (informative) Classification et classe des cartes PCB pour LED à haute té	
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4 Figure 5 arrière Figure 6 feuille de Figure 7	 A (informative) Classification et classe des cartes PCB pour LED à haute té	
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4 Figure 5 arrière Figure 6 feuille de Figure 7 Figure 8	 A (informative) Classification et classe des cartes PCB pour LED à haute té	90 95 58 59 60 61 61 61 63 64
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 3 Figure 4 Figure 5 arrière Figure 6 feuille de Figure 7 Figure 8 Figure 8	 A (informative) Classification et classe des cartes PCB pour LED à haute té	90 95
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4 Figure 5 arrière Figure 6 feuille de Figure 7 Figure 8 Figure 9 conducte	 A (informative) Classification et classe des cartes PCB pour LED à haute té	90 95 58 59 60 61 61 61 63 64 65
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4 Figure 5 arrière Figure 6 feuille de Figure 7 Figure 8 Figure 9 conducte Figure 1	 A (informative) Classification et classe des cartes PCB pour LED à haute té	90 95
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4 Figure 5 arrière Figure 6 feuille de Figure 7 Figure 8 Figure 8 Figure 9 conducte Figure 1 Figure 1	 A (informative) Classification et classe des cartes PCB pour LED à haute té aphie Exemple de classification et de son application Disposition des cartes sur un panneau. Distance entre le point de référence et les perforations et les fentes Distance entre le point de référence et la coupe en V. Tolérance d'écart de position des coupes en V pour les plans avant et Carte de circuit imprimé avec marque de symbole, épargne de brasure, e cuivre et métallisation Distance entre la paroi d'un trou et l'extrémité de la carte. Paroi d'un trou et espacement de conception minimal par rapport au eur intérieur. 1 – Distance entre le conducteur et l'extrémité de la carte. 	
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4 Figure 5 arrière Figure 6 feuille de Figure 7 Figure 8 Figure 9 conducte Figure 1 Figure 1 Figure 1	 A (informative) Classification et classe des cartes PCB pour LED à haute té	
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4 Figure 5 arrière Figure 6 feuille de Figure 7 Figure 8 Figure 8 Figure 9 conducte Figure 1 Figure 1 Figure 1 Figure 1 Figure 1 Figure 1	 A (informative) Classification et classe des cartes PCB pour LED à haute té. aphie Exemple de classification et de son application. Disposition des cartes sur un panneau. Distance entre le point de référence et les perforations et les fentes Distance entre le point de référence et la coupe en V. Tolérance d'écart de position des coupes en V pour les plans avant et Carte de circuit imprimé avec marque de symbole, épargne de brasure, e cuivre et métallisation Positions d'un trou d'insertion de composants. Distance entre la paroi d'un trou et l'extrémité de la carte. Paroi d'un trou et espacement de conception minimal par rapport au eur intérieur. 0 - Largeur du conducteur fini	90 95 58 59 60 60 61 61 61 63 64 65 66 66 67 68
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4 Figure 5 arrière Figure 6 feuille de Figure 7 Figure 8 Figure 9 conducte Figure 1 Figure 1 Figure 1 Figure 1	 A (informative) Classification et classe des cartes PCB pour LED à haute té	90 95 95
Annexe luminosi Bibliogra Figure 1 Figure 2 Figure 3 Figure 4 Figure 5 arrière Figure 6 feuille du Figure 7 Figure 8 Figure 8 Figure 9 conducto Figure 1 Figure 1 Figure 1 Figure 1 Figure 1	 A (informative) Classification et classe des cartes PCB pour LED à haute té	90 95 58 59 60 60 61 61 61 63 64 63 64 65 66 67 67 68 68

Figure 16 – Zone de report	69
Figure 17 – Largeur des pastilles d'une zone de report	70
Figure 18 – Diamètre des pastilles pour les BGA/CSP formés exclusivement d'un conducteur	70
Figure 19 – Diamètre des pastilles (<i>d</i>) pour les BGA/CSP formés à l'ouverture de l'épargne de brasure	71
Figure 20 – Exemples de repère conventionnel et de repère de positionnement des composants	72
Figure 21 – Largeur de pastille minimale	74
Figure 22 – Exposition du conducteur	75
Figure 23 – Largeur de pastille minimale provoquée par le décalage de l'épargne de brasure	76
Figure 24 – Chevauchement, coulure et décalage de l'épargne de brasure	76
Figure 25 – Exemples de coulure ou d'élément flou	77
Figure 26 – Exemple de blanchiment au croisement des fibres	78
Figure 27 – Exemple de délabrement	78
Figure 28 – Entaille de conducteur	79
Figure 29 – Résidu de conducteur	79
Figure 30 – Pastille	80
Figure 31 – Défauts dans une pastille d'une zone de report	80
Figure 32 – Défauts dans des pastilles pour un montage BGA/CSP	81
Figure 33 – Zones d'un contact imprimé qui doivent faire l'objet d'une recherche de défauts	82
Figure 34 – Défauts dans un contact imprimé	82
Figure 35 – Relations entre la résistance, la largeur, l'épaisseur et la température d'un conducteur	84
Figure 36 – Relation entre le courant, la largeur et l'épaisseur du conducteur, ainsi que l'échauffement	85
Figure 37 – Défauts sur la métallisation d'un trou de composant	86
Figure 38 – Coulée de résine	87
Figure 39 – Fissure sur l'angle	87
Figure 40 – Fissure sur le fût	88
Figure 41 – Fissure sur la feuille	88
Figure A.1 – Relation entre le paramètre de conductivité thermique et le paramètre de coefficient de transfert thermique	91
Tableau 1 – Application et classification	57
Tableau 2 – Dimensions des panneaux	59
Tableau 3 – Tolérance des dimensions	59
Tableau 4 – Tolérance de distance entre le point de référence et les perforations et les fentes	60
Tableau 5 – Tolérance de distance entre le point de référence et le centre de la coupe en V61	
Tableau 6 – Epaisseur totale et tolérance	62
Tableau 7 – Tolérance relative aux trous d'insertion de composants	62
Tableau 8 – Tolérance de position d'un trou d'insertion de composants	63

Tableau 9 – Distance entre la paroi d'un trou et l'extrémité de la carte	64
Tableau 10 – Espace libre minimal entre la paroi d'un trou et le conducteur de la couche intérieure	64
Tableau 11 – Tolérance de largeur du conducteur	66
Tableau 12 – Tolérance de distance entre les conducteurs	66
Tableau 13 – Tolérance de distance entre les centres de deux pastilles	68
Tableau 14 – Tolérance de distance entre les centres de deux pastilles	69
Tableau 15 – Tolérance de largeur des pastilles d'une zone de report	70
Tableau 16 – Diamètre des pastilles et tolérance pour les BGA/CSP	71
Tableau 17 – Tolérance de diamètre des pastilles (d) pour les BGA/CSP formés àl'ouverture de l'épargne de brasure	71
Tableau 18 – Formes et dimensions des repères types conventionnels et depositionnement des composants	72
Tableau 19 – Epaisseur minimale de la métallisation en cuivre	72
Tableau 20 – Epaisseur minimale de la métallisation en cuivre	73
Tableau 21 – Largeur de pastille minimale	76
Tableau 22 – Chevauchement, coulure et décalage de l'épargne de brasure sur unesimulation d'impression	77
Tableau 23 – Tolérance de largeur restante et de saillie d'une pastille dont la zone comporte un défaut	80
Tableau 24 – Défauts dans une pastille d'une zone de report	81
Tableau 25 – Défauts dans des pastilles pour un montage BGA/CSP	81
Tableau 26 – Défauts dans un contact imprimé	83
Tableau 27 – Spécification et méthodes d'essai relatives à la résistance des conducteurs	84
Tableau 28 – Spécification et méthodes d'essai relatives à l'épreuve de courant	85
Tableau 29 – Tolérance relative à la section horizontale	87
Tableau A.1 – Relation entre le paramètre de conductivité thermique et le paramètrede coefficient de transfert thermique	91
Tableau A.2 – Méthodes d'essai associées	91

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

CARTES IMPRIMÉES –

Partie 20: Cartes de circuits imprimés destinées aux LED à haute luminosité

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC entre autres activités publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 62326-20 a été établie par le comité d'études 91 de l'IEC: Techniques d'assemblage des composants électroniques.

Cette première édition annule et remplace l'IEC/PAS 62326-20 parue en 2011 et constitue une révision technique.

Cette édition inclut les modifications techniques majeures suivantes par rapport à l'édition précédente:

- a) la présente édition se concentre sur le contenu technique des cartes de circuits imprimés destinées aux diodes électroluminescentes (LED) à haute luminosité;
- b) les figures relatives aux cartes de circuits imprimés destinées aux LED à haute luminosité ont été affinées.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
91/1311/FDIS	91/1330/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Une liste de toutes les parties de la série IEC 62326, publiées sous le titre *Cartes imprimées*, peut être consultée sur le site web de l'IEC.

Cette publication a été rédigée selon les Directives ISO/IEC, Partie 2.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "http://webstore.iec.ch" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

CARTES IMPRIMÉES -

Partie 20: Cartes de circuits imprimés destinées aux LED à haute luminosité

1 **Domaine d'application**

La présente partie de l'IEC 62326 spécifie les propriétés des cartes de circuits imprimés (ci-après dénommées PCB, Printed Circuit Board) destinées aux LED à haute luminosité. Les PCB destinées aux LED à haute luminosité partagent avec les PCB ordinaires de nombreux aspects. Certains aspects d'ordre général sont donc décrits dans la présente norme.

2 **Références normatives**

Les documents suivants sont cités en référence de manière normative, en intégralité ou en partie, dans le présent document et sont indispensables pour son application. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60194, Conception, fabrication et assemblage des cartes imprimées – Termes et définitions

IEC 61189-3:2007, Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 3: Méthodes d'essai des structures d'interconnexion

IEC 61249-2-6, Matériaux pour circuits imprimés et autres structures d'interconnexion -Partie 2-6: Matériaux de base renforcés, plaqués et non plaqués - Feuilles stratifiées renforcées en verre de type E époxyde bromé tissé/non tissé, d'inflammabilité définie (essai de combustion verticale), plaquées cuivre

IEC 61249-2-7, Matériaux pour circuits imprimés et autres structures d'interconnexion -Partie 2-7: Matériaux de base renforcés, plaqués et non plaqués – Feuille stratifiée tissée de verre E avec de la résine époxyde, d'inflammabilité définie (essai de combustion verticale), plaquée cuivre

IEC 62878-1-1, Substrat avec appareil(s) intégré(s) – Partie 1-1: Spécification générique – Méthodes d'essai

3 Termes, définitions et abréviations

Termes et définitions 3.1

Pour les besoins du présent document, les termes et définitions de l'IEC 60194 s'appliquent.

3.2 Abréviations

AABUS Accord entre l'utilisateur et le fournisseur (As Agreed Between User and Supplier)

BGA Boîtier matriciel à billes (Ball Grid Array)

- CCL Stratifié plaqué cuivre (Copper clad laminate)
- COB Puce sur carte (Chip On Board)

- CSP Boîtier-puce (*Chip Size Package*)
- DHI Décharge à haute intensité (HID, *High Intensity Discharge*)
- LED Diode électroluminescente (*Light Emitting Diode*)
- PCB Carte de circuit imprimé (*Printed Circuit Board*)
- PWB Carte à câblage imprimé (*Printed Wiring Board*)

4 Classification et classe des cartes de circuits imprimés destinées aux LED à haute luminosité

Les PCB pour LED à haute luminosité spécifiées dans la présente norme doivent satisfaire aux spécifications des classes A à C décrites au Tableau 1 et à la Figure 1 comme indiqué ci-après. Les matériaux utilisés pour les cartes à câblage imprimé (PWB, Printed Wiring Board) ne sont pas spécifiés, mais ils doivent toutefois faire l'objet d'un accord entre l'utilisateur et le fournisseur (AABUS, As Agreed Between User and Supplier) en fonction de la zone d'application des cartes considérées. La Figure 1 est un exemple de classification et d'application en fonction des matériaux de base, PCB pour LED à haute luminosité et produits finaux.

Classification principale (conductivité thermique)	Définition	Classification secondaire (propriété d'isolement)	Définition	Paramètre de conductivité thermique	Paramètre de transfert thermique	Impédance thermique	
				W/(mK)	W/(m ² K)	(Km²/W)	
		Ι	Aucune spécification				
	Cartes	П	Rigidité électrique				
A	normalisées		<1 000 V	<1	<10	L'impédance thermique peut être calculée à partir de la mesure de la conductivité thermique et du	
			Rigidité électrique				
			\geq 1 000 V				
	Cartes à conductivité thermique	I	Aucune spécification	≥1	<10		
		11	Rigidité électrique				
В			<1,000 V				
		· - · · · · · · · · · · ·		111	Rigidité électrique		
			≥1 000 V			inversé.	
		I	Aucune spécification				
	Cartes à		Rigidité électrique	≥1	≥10		
С	thermique		<1 000 V				
	elevee		Rigidité électrique				
			\geq 1 000 V				

Tableau	1 –	Application	et	classification
---------	-----	-------------	----	----------------

IEC 62326-20:2016 © IEC 2016

Rayonnement thermique		А			В			С	
	Su IE IEC 612	bstrat en rés C 61249-2-6 49 2-7 (CEM	sine 5 et -3, FR 4)	Substrat en résine (avec trou de liaison thermique) Substrat en résine à conductivité thermique élevée					
Classification par matériaux de base	Substr	at de type	souple			Substrat à noyau métallique		nétallique	
							Substrat	t à base m	étallique
							Substr	at en céra	mique
	Substra	at conventi	onnel pour	les cartes	montées s	ur des pièces e	électroniqu	es de type	discret
Classification par cartes de circuits électroniques				Substrat pour boîtie			er semi-conducteur		
				Su	ıbstrat pou	r puce sur cart	e (COB, Cł	nip on Boa	rd)
Classification par	Lamp	e pour écla d'assistanc	airage e	Subs li Subs re lar	stitut de lan ampe halog titut de lan emplaceme npe fluores	npe pour gène npe pour ent de scente			
produits finaux				Substitut de lampe po			pour lampe à filament		
				Lampadaire					
							Substit rempla f	tut de lamp cement de luorescent	pe pour e lampe e
Classe d'isolement	I	II	III	Ι	II	III	Ι	II	III
									150

Figure 1 – Exemple de classification et de son application

5 Règles de conception et tolérance

5.1 Dimensions du panneau et des cartes

5.1.1 Dimensions de la carte

NOTE Les informations concernant les dimensions de la carte sont données à titre de référence seulement.

Il convient de sélectionner les dimensions de la carte du produit $(a \times b)$ présenté à la Figure 2 de manière à ce que les cartes puissent être disposées de manière optimale sur un panneau qui dispose des dimensions spécifiées au Tableau 2. Ces dimensions sont données à titre d'information seulement. Sinon, un panneau approprié avec les dimensions indiquées au Tableau 2 doit être sélectionné afin de satisfaire aux exigences de disposition optimale des cartes.



Légende

Dimension de la carte du produit: $a \times b$

Espace entre les extrémités de la carte et du panneau: c_1 , c_2 , c_3 , c_4

Espace entre les cartes: e_1 , e_2

Figure 2 – Disposition des cartes sur un panneau

Dimensions du	Division						
panneau CCL	4	6	8	9			
1 000 × 1 000	500 × 500	333 × 500	250 × 500	333 × 333			
4 000 4 000	500 × 600	333 × 600	000 500	000 400			
1 000 × 1 200		400 × 500	300 × 500	333 × 400			

Tableau 2 – Dimensions des panneaux

5.1.2 Tolérance des dimensions

La tolérance des dimensions pour une carte ou un panneau est donnée au Tableau 3.

Tableau 3 – Tolérance des dimensions

Longueur	Tolóranco				
mm	Tolerance				
100	±0,2 mm				
100	Pour une longueur supérieure à 100 mm, ajouter 0,1 mm tous les 50 mm.				

5.1.3 **Perforations et fentes**

La Figure 3 présente les perforations et les fentes. Les tolérances de distance entre le point de référence et le centre de la coupe des perforations et des fentes sont données au Tableau 4.



- 60 -



Tableau 4 – Tolérance 🤅	de distance entre le point
de référence et les pe	erforations et les fentes

Distance entre le point de référence et les perforations et les fentes	Tolérance	
mm		
≤100	±0,2 mm	
>100	Pour une longueur supérieure à 100 mm, ajouter 0,1 mm tous les 50 mm.	

5.1.4 Coupe en V

La coupe en V est présentée à la Figure 4 et à la Figure 5. La tolérance de distance entre le point de référence et le centre de la coupe en V (g_1 à g_4) est donnée au Tableau 5. La tolérance d'écart de position de la coupe en V pour les plans avant et arrière est de 0,2 mm. La tolérance d'épaisseur totale de la carte est la somme de la tolérance d'épaisseur de la carte $\pm 0,1$ mm.



Figure 4 – Distance entre le point de référence et la coupe en V



IEC



Tableau 5 – Tolérance de distance entre le point de référence et le centre de la coupe en V

Distance entre le point de référence et le centre de la coupe en V	Tolérance
	±0,2 mm
>100	Pour une longueur supérieure à 100 mm, ajouter 0,1 mm tous les 50 mm

5.2 Epaisseur totale de la carte

La tolérance d'épaisseur totale de la carte (*t*) et ses marques de symboles sont présentées à la Figure 6 et données au Tableau 6.



Figure 6 – Carte de circuit imprimé avec marque de symbole, épargne de brasure, feuille de cuivre et métallisation

Epaisseur totale (valeur centrale de la carte finale) <i>t</i>	Tolérance
	+0,10
$0,3 \leq l < 0,3$	-0,05
$0,5 \le t < 0,8$	±0,10
$0,8 \le t < 1,10$	±0,15
1,10 ≤ <i>t</i> < 1,40	±0,17
$1,40 \le t < 2,00$	±0,19
$t \ge 2,00$	±10 %
Dimensions en millimètres.	

Tableau 6 – Epaisseur totale et tolérance

- 62 -

5.3 Trous

5.3.1 Trous d'insertion et trous de liaison

Les points suivants s'appliquent aux trous d'insertion et trous de liaison des composants.

a) Tolérance relative aux trous d'insertion de composants

La tolérance relative aux trous d'insertion de composants est donnée au Tableau 7. La tolérance donnée dans ce tableau n'est pas applicable aux trous de liaison (traversants, enterrés et borgnes). La tolérance relative aux trous traversants d'un diamètre inférieur à 0,6 mm destinés à l'insertion d'un composant et aux trous destinés à l'insertion à la presse d'un composant doit être AABUS.

Tableau 7 – Tolérance relative aux trous d'insertion de composar	าts
--	-----

Elément		Tolérance		
Trou trovoroant mátalliaá	$0,6 \le t \le 2,0$	±0,10		
	$t \ge 2,0$	±0,15		
Trou traversant non métallisé		±0,10		
Dimensions en millimètres.				

b) Position d'un trou d'insertion de composants

Il convient que le centre d'un trou d'insertion de composants se situe au point de croisement avec la grille de conception du motif d'impression, y compris les lignes de grilles complémentaires utilisées. Le Tableau 8 donne la tolérance de position d'un trou d'insertion de composants $\binom{|\rightarrow|}{j}$, ainsi que l'écart de la position de conception par rapport au point de référence comme présenté à la Figure 7.





Figure 7 – Positions d'un trou d'insertion de composants

Tableau 8 –	Tolérance de	position d	l'un trou d	l'insertion (de composants
I alling a d					ao oompooanto

Dimension plus longue d'une carte rectangulaire	Tolérance		
mm			
≤400	0,10 mm		
>400	Pour une longueur de carte supérieure à 400 mm, ajouter 0,05 mm tous les 100 mm supplémentaires.		

c) Distance entre l'extrémité de la carte et la paroi d'un trou

La distance entre l'extrémité de la carte et la paroi d'un trou (d) est présentée à la Figure 8. La distance (d) entre les parois d'un trou traversant avant métallisation et d'un trou d'insertion de composants doit être supérieure à 1,0 mm. En cas de trou d'insertion à la presse, la distance doit être conforme au Tableau 9.



- 64 -

Figure 8 – Distance entre la paroi d'un trou et l'extrémité de la carte

Tableau 9 – Distance entre l	a paroi d'un trou et l'	'extrémité de la carte
------------------------------	-------------------------	------------------------

Elément	Distance (j) entre un trou de composant avant métallisation et la paroi du trou de liaison (d)
Carte PWB HDI (HighDensity Interconnect)	\leq 1,0 mm, mais également supérieure à l'épaisseur de la carte (t)
Carte PWB normalisée	\leq 1,5 mm, mais également supérieure à l'épaisseur de la carte (t)

d) Espace libre minimal entre la paroi d'un trou et le conducteur intérieur

L'espace libre minimal entre la paroi d'un trou et le conducteur intérieur (k) comme présenté à la Figure 9 doit être de 0,325 mm. Si cette distance de 0,325 mm est garantie lors de la conception du motif d'impression, la séparation minimale est alors assurée.

Tableau 10 – Espace libre minimal entre la paroi d'un trou et le conducteur de la couche intérieure

Elément		Espace libre minimal entre la paroi d'un trou et le conducteur de la couche intérieure (k)			
		Valeur normalisée	Valeur minimale		
	Trou de composant	0,5	0.25		
Carle PWB HDI	Trou de liaison	0,30	0,25		
Carta DWP normaliaáo	Trou de composant	0,5	0.20		
Carte PWB normalisee	Trou de liaison	0,35	0,30		



- 65 -

Figure 9 – Paroi d'un trou et espacement de conception minimal par rapport au conducteur intérieur

5.3.2 Trou de référence

La tolérance relative au trou de référence doit être $\pm 0,05$ mm ou $^{+0,10}_{-0,00}$ mm. Un trou traversant sans paroi métallisée doit être utilisé comme trou de référence.

5.3.3 Trou d'assemblage (trou traversant sans parois métallisées)

Les exigences suivantes s'appliquent.

a) Tolérance relative au trou d'assemblage

La tolérance relative au trou d'assemblage doit être ±0,10 mm.

b) Tolérance de position d'un trou d'assemblage

La tolérance de position d'un trou d'assemblage doit être conforme au Tableau 8 de 5.3.1 b.

c) Distance entre un trou d'assemblage et l'extrémité de la carte

La distance entre un trou d'assemblage et l'extrémité de la carte doit être supérieure à 2,0 mm. Dans le cas où la distance est inférieure à 2,0 mm, la distance doit être AABUS.

d) Distance entre un trou d'assemblage et le conducteur intérieur

La distance entre la paroi d'un trou d'assemblage et le conducteur intérieur doit être supérieure à 1,0 mm.

5.4 Conducteur

5.4.1 Largeur de l'impression conductrice et tolérance

La tolérance de largeur du conducteur formé (w) comme présentée à la Figure 10 doit être conforme à celles données au Tableau 11. La tolérance de l'impression conductrice finie spécifiquement conçue pour le contrôle d'impédance doit être AABUS.

Epaisseur du conducteur (<i>t</i>)	Tolérance	Largeur du conducteur à titre de référence			
50 ≤ <i>t</i> < 75	±25	15 à 20			
75 ≤ <i>t</i> < 100	±30	20 à 40			
100 ≤ <i>t</i> < 300	±50	30 à 50			
<i>t</i> ≥ 300	±100	40 à 70			
	±150	70			
Circuits dotés de feuilles de cuivre épaisses	±200	105			
	±300	140			
L'épaisseur du conducteur correspond à la somme de l'épaisseur de la feuille de cuivre et de celle du cuivre métallisé.					
Dimensions en micromètres.					

Tableau 11 – Tolérance de largeur du conducteur

- 66 -



Figure 10 – Largeur du conducteur fini

5.4.2 Distance entre les conducteurs et tolérance

La distance entre les conducteurs et l'extrémité de la carte est présentée à la Figure 11. La tolérance de distance entre les conducteurs (h) doit être conforme au Tableau 12. La tolérance de l'impression conductrice finie spécifiquement conçue pour le contrôle d'impédance doit être AABUS.

Epaisseur du conducteur (<i>h</i>)	Tolérance	Largeur du conducteur à titre de référence			
$50 \le h < 75$	±25	15 à 20			
$75 \le h < 100$	±30	20 à 40			
$100 \le h < 300$	0 ±50 30 à 50				
$h \ge 300$	±100	40 à 70			
L'épaisseur du conducteur correspond à la somme de l'épaisseur de la feuille de cuivre et de celle du cuivre métallisé.					
Dimensions en micromètres.					

Tableau 12 –	Tolérance	de	distance	entre	les	conducteurs
		_				



Légende

m est la distance entre conducteurs *n* est le pas de conducteur

Figure 11 – Distance entre le conducteur et l'extrémité de la carte

5.4.3 Epaisseur de la couche isolante

L'épaisseur de la couche isolante (*t*) est présentée à la Figure 12.



IEC

NOTE En cas de rugosité de la surface de la feuille de cuivre, l'épaisseur du matériau de base correspond à la distance minimale applicable au substrat.

Figure 12 – Epaisseur de la couche isolante

5.5 Contact imprimé

5.5.1 Tolérance de distance entre les centres de deux contacts imprimés adjacents

Comme présentée à la Figure 13, la tolérance de distance entre les centres de deux contacts imprimés adjacents (p, p_n) doit être ±0,10 mm. Pour une distance entre les centres des bornes supérieures à 100 mm, ajouter 0,01 mm tous les 20 mm supplémentaires.



- 68 -



5.5.2 Tolérance de largeur des bornes des contacts imprimés

La tolérance de largeur des bornes des contacts imprimés (*w*) comme présentés à la Figure 14 est spécifiée au Tableau 13.



Figure 14 – Largeurs des bornes des contacts imprimés

Tableau 13 – Tolérance de distance entre les centres de deux pastilles

Largeur des bornes	Tolérance		
w	Toterance		
≤1,0	±0,05		
>1,0	±0,10		
Dimensions en millimètres.			

5.5.3 Décalage du centre des contacts imprimés sur les plans avant et arrière d'une carte

Comme présentée à la Figure 15, la tolérance de décalage du centre des contacts imprimés sur les plans avant et arrière d'une carte (q) doit être ±0,20 mm.



- 69 -

Figure 15 – Décalage du centre des contacts imprimés sur les plans avant et arrière d'une carte

5.6 Zone de report

5.6.1 Tolérance de distance entre les centres de deux pastilles

La tolérance de distance entre les centres de deux pastilles adjacentes (S_1) et de deux pastilles parallèles adjacentes (S) comme présentée à la Figure 16 est donnée au Tableau 14.



Figure 16 – Zone de report

Tableau	14 –	Tolérance	de	distance	entre	les	centres	de	deux	pastilles

Distance entre les centres	Tolérance mm
S ₁	±0,03
S	±0,05

5.6.2 Tolérance de largeur des pastilles

La tolérance de largeur des pastilles d'une zone de report (w) comme présentée à la Figure 17 est donnée au Tableau 15. La tolérance des pastilles dont l'étroitesse est inférieure à 0,15 mm doit être AABUS.



- 70 -

Figure 17 – Largeur des pastilles d'une zone de report

Largeur des pastilles w	Tolérance
$0,15 < w \le 0,35$	±0,04
<i>w</i> > 0,35	±0,06
Dimensions en millimètres.	

⊺ableau 15 – Tolérance	e de largeur	des pastilles	d'une zone	de report
------------------------	--------------	---------------	------------	-----------

5.6.3 Diamètre des pastilles et tolérance pour BGA/CSP

La tolérance de diamètre des pastilles pour BGA/CSP est spécifiée en a) et en b) ci-dessous.

a) La zone de report est présentée à la Figure 18. La tolérance de diamètre des pastilles (*d*) pour les BGA/CSP formés exclusivement d'un conducteur est donnée au Tableau 16.



IEC

Figure 18 – Diamètre des pastilles pour les BGA/CSP formés exclusivement d'un conducteur
Elément	Tolérance de diamètre des pastilles mm	Epaisseur du conducteur ^a µm
Carte PWB HDI	+0,02 -0,03	20 à 30
Carte PWB normalisée	+0,03 -0,05	30 à 50
^a Les dimensions sont données à titre de référence.		

Tableau 16 – Diamètre des pastilles et tolérance pour les BGA/CSP

b) La zone de report est présentée à la Figure 19. La tolérance de diamètre des pastilles (*d*) pour les BGA/CSP formés à l'ouverture de l'épargne de brasure est donnée au Tableau 17.

Tableau 17 – Tolérance de diamètre des pastilles (*d*) pour les BGA/CSP formés à l'ouverture de l'épargne de brasure

Elément	Tolérance mm
Carte PWB HDI	±0,03
Carte PWB normalisée	$\pm 0,05$



IEC

Figure 19 – Diamètre des pastilles (*d*) pour les BGA/CSP formés à l'ouverture de l'épargne de brasure

5.7 Repère conventionnel et repère de positionnement des composants

5.7.1 Forme et dimensions types du repère conventionnel

Le repère de positionnement des composants présenté à la Figure 20 est spécifié au Tableau 18.



- 72 -

Figure 20 – Exemples de repère conventionnel et de repère de positionnement des composants

Tableau 18 – Formes et dimensions des repères types conventionnels et de positionnement des composants

Elément	Forme	Diamètre mm
Repère conventionnel et repère de positionnement des composants	Cercle	1,0

5.7.2 Tolérance de dimension du repère conventionnel et du repère de positionnement des composants

Comme présentée à la Figure 20, la tolérance de dimension du repère conventionnel et du repère de positionnement des composants est $\pm 0,1$ mm.

5.7.3 Tolérance de position du repère de positionnement des composants

Comme présentée à la Figure 20, la zone de report la plus éloignée du repère (u_1, u_2) doit être ±0,05 mm.

5.8 Connexion entre couches – Métallisation en cuivre

L'épaisseur minimale de la métallisation en cuivre sur la paroi du trou de liaison et des trous d'insertion de composants est donnée au Tableau 19.

Epaisseur de la carte ou de la couche mm	Epaisseur minimale de la métallisation en cuivre µm
<i>t</i> > 2,4	L'épaisseur doit être AABUS
1,0 < <i>t</i> ≤ 2,4	15
$0,5 < t \le 1,0$	12
$t \ge 0,5$	10

Tableau 19 – Epaisseur minimale de la métallisation en cuivre

La mesure doit être effectuée par observation optique d'une coupe transversale verticale en microsection. L'écart de surface local n'est pas pris en considération.

6 Qualité

6.1 Espacement entre le conducteur et la paroi d'un trou d'insertion de composants ou d'un trou de liaison

L'espacement entre le conducteur et la paroi d'un trou d'insertion de composants ou d'un trou de liaison ou l'espacement entre le conducteur intérieur et la paroi d'un trou doit être supérieur à 0,13 mm.

6.2 Ecart de position entre les couches conductrices d'une carte multicouche

L'écart entre les couches conductrices d'une carte multicouche doit satisfaire aux conditions spécifiées en 5.5.3, en 6.1 et en 6.3.

6.3 Largeur de pastille minimale

La largeur de pastille minimale sur la couche la plus à l'extérieur (w_1) provoquée par le décalage de la pastille et du trou, ainsi que la largeur de pastille minimale sur une couche intérieure (w_2) sont spécifiées au Tableau 20 (voir aussi Figure 21).

Elément ^a		Largeur de pastille minimale mm
	Au point de jonction de la pastille et du conducteur	w ₁ ≥ 0,03
Largeur de pastille minimale sur la couche extérieure w. b	Autres zones	$ heta \leq 90^\circ$
	Cas d'un trou d'insertion de composant non conducteur	$w_1 \ge 0,05$
Largeur de pastille minimale	Au point de jonction de la pastille et du conducteur	$w_2 \ge 0,03$
sur la couche intérieure w ₂ ^c	Autres zones (sauf trous percés au laser) ^d	$ heta \leq 90$
^a Indépendamment de la forme de la pastille.		
^b Inclut l'épaisseur de la métallisation du trou traversant.		
^c N'inclut pas l'épaisseur de la métallisation du trou traversant.		
^d Aucune rupture de pastille intérieure n'est permise pour un trou percé au laser.		

Tableau 20 – Epaisseur minimale de la métallisation en cuivre



Figure 21 a – Largeur de pastille minimale sur la couche extérieure



Figure 21 b - Largeur de pastille minimale sur la couche intérieure avec un trou traversant métallisé



Figure 21 c – Zone admissible de rupture de pastille

Figure 21 – Largeur de pastille minimale

6.4 Traitements de surface

6.4.1 Métallisation en or d'un contact imprimé

La métallisation en or d'un contact imprimé consiste généralement en une métallisation en or durci superposée à la métallisation en nickel.

a) Métallisation en nickel

L'épaisseur de la métallisation en nickel sur un contact imprimé doit être supérieure à 2,0 $\mu m.$

b) Métallisation en or

L'or durci doit être utilisé pour la métallisation d'un contact imprimé. L'épaisseur de la métallisation est supérieure à 0,1 $\mu m.$

IEC 62326-20:2016 © IEC 2016 - 75 -

6.4.2 Autres traitements de surface

Les détails relatifs aux autres traitements de surface, notamment la métallisation en or incrusté et le revêtement de brasure, dépendent des méthodes d'interconnexion (par exemple, brasage ou liaison filaire). Ces détails doivent être AABUS.

6.5 Défauts d'épargne de brasure

Les exigences suivantes s'appliquent.

- a) Les défauts sur une pastille pour les BGA/CSP doivent être conformes à 5.6.3.
- b) L'épargne de brasure ne doit pas présenter de rayure, d'arrachement, de microperforation, ni de matériau étranger. Elle ne doit pas présenter de bulles qui s'étendent jusqu'à deux conducteurs.
- c) L'exposition du conducteur après l'application de l'épargne de brasure doit être conforme aux illustrations de la Figure 22.





d) La largeur de pastille minimale provoquée par le décalage de l'épargne de brasure (w) sur la pastille de la couche conductrice extérieure de la carte PWB utilisée pour l'insertion de composants, comme présentée à la Figure 23, doit être conforme aux spécifications données au Tableau 21.



- 76 -



Tableau 21 - Large	ur de pastille minimale
--------------------	-------------------------

Elément	Largeur de pastille minimale	
Face au composant	Jusqu'à l'extrémité d'un trou	
Face à la brasure	Doit être supérieure à 0,03 mm	
	La zone effective de brasage doit être supérieure à 70 %.	

e) Le chevauchement, la coulure et le décalage de l'épargne de brasure sur une pastille (sens de la largeur (v) et sens de la longueur (x)) sur la couche conductrice extérieure de la carte PWB utilisée pour l'insertion de composants, comme présentés à la Figure 24, doivent être conformes aux spécifications données au Tableau 22. Si l'épargne de brasure du boîtier est conçue pour couvrir la totalité de la zone de report, comme présentée à la Figure 24 b, le déplacement doit être AABUS.









Elément	Chevauchement, coulure et décalage mm
Largeur (v)	≤0,05
Dimension longitudinale (x)	≤0,05

Tableau 22 – Chevauchement, coulure et décalage de l'épargne de brasure sur une simulation d'impression

 f) Une pastille pour bille ou pour liaison filaire ne doit pas présenter de chevauchement, de coulure, ni de décalage de l'épargne de brasure, sauf si cette dernière est conçue pour couvrir une pastille.

6.6 Marque de symbole

6.6.1 Généralités

Les points suivants se concentrent sur les marques de symboles en général:

a) Une légende imprimée ne doit pas comporter de coulure ou d'élément flou qui affecte la lisibilité de la marque, comme présentée à la Figure 25.





IEC

Figure 25 – Exemples de coulure ou d'élément flou

- b) Une légende doit être imprimée à une distance de plus de 0,2 mm de la pastille d'un trou de liaison, de la pastille d'un trou traversant ou d'une zone de report.
- c) Une légende dont la hauteur (*h*) est inférieure à 1,5 mm peut ne pas être lisible pour identifier des lettres ou des marques (excepté pour les caractères chinois). Un exemple de hauteur d'une marque de légende est donné ci-dessous.

Remarque 1: Pour une légende, il convient d'utiliser une largeur de ligne d'une épaisseur supérieure à 0,15 mm.

Remarque 2: Il convient d'appliquer une légende directement sur l'impression conductrice ou de totalement l'éloigner du conducteur.



6.6.2 Surface du conducteur

L'extrémité d'un conducteur ne doit pas présenter de gonflement, de pli, de fissure, de séparation du conducteur du substrat, ni de fracture métallique. La surface du conducteur ne doit présenter aucune modification de couleur qui peut causer un défaut dans l'assemblage, aucune obstruction ni aucun matériau étranger. L'exposition du conducteur nu traité avec métallisation, traitement de surface ou revêtement n'est pas permise.

6.6.3 Entre les conducteurs

Aucun matériau étranger ne doit relier deux conducteurs et ne peut engendrer un problème d'isolement entre les conducteurs.

6.6.4 Défauts dans les couches isolantes

Les défauts des couches isolantes sont énumérés ci-dessous:

a) Blanchiment et délabrement

Il ne doit avoir aucun blanchiment au croisement des fibres ni délabrement qui chevauche les conducteurs, les trous d'insertion de composants ou qui se situe entre les trous de liaison. Des exemples de blanchiment au croisement des fibres et de délabrement sont donnés à la Figure 26 et à la Figure 27.



Figure 26 – Exemple de blanchiment au croisement des fibres



Figure 27 – Exemple de délabrement

b) Décollement interlaminaire, gonflement et vide

Il ne doit se produire aucun décollement interlaminaire, gonflement ou vide empilé qui peut entraîner un problème de fiabilité d'un produit dans une carte multicouche.

c) Inclusion de matériaux étrangers

Les couches isolantes ne doivent comporter aucun matériau étranger ni aucune imperfection, par exemple, un décollement interlaminaire, qui peut provoquer un problème au cours du processus d'assemblage.

6.6.5 Routage et perçage

Les fissures causées par l'usinage par presse lors du routage et du perçage de trous, ainsi que le halo, doivent être AABUS.

6.6.6 Impression conductrice

Les défauts de l'impression conductrice sont énumérés ci-dessous:

a) Entaille de conducteur

La largeur d'une entaille de conducteur (w) comme présentée à la Figure 28 doit être inférieure à 30 % de la largeur finale du conducteur. La longueur (l) doit être inférieure à la largeur de l'impression conductrice.



Figure 28 – Entaille de conducteur

b) Résidu de conducteur dans les espacements de conducteur

La largeur (w) d'un résidu de conducteur dans les espacements de conducteur comme présentée à la Figure 29 (saillie ou résidu de gravure) doit être inférieure à 30 % de la séparation finale du conducteur ou à 0,30 mm. La longueur d'un résidu (l) doit être inférieure à la séparation finale du conducteur.



Figure 29 – Résidu de conducteur

6.7 Pastille

Comme présentée à la Figure 30, la tolérance de largeur restante (w_1, w_2) et de saillie (y) de la zone comportant un défaut provoqué par l'absence d'une partie d'une pastille doit satisfaire aux spécifications données au Tableau 23.



Figure 30 a - Largeur de la pastille restante

de la pastille restante et de l'extrémité du conducteur

Figure 30 – Pastille

Figure 30 c - Saillie de la pastille

Tableau 23 – Tolérance de largeur restante et de saillie d'une pastille dont la zone comporte un défaut

Elément		Largeur restante et saillie d'une pastille dont la zone comporte un défaut
Rapport entre la zone manquante et la zone d'une pastille		≤20 %
Largeur restante à la suite du défaut d'une pastille	^w 1	Aucun défaut ne doit atteindre la paroi d'un trou
	^w 2	Plus de 70 % de la largeur finale du conducteur
Saillie	у	Comme spécifié en 6.6.6 b) – Largeur de résidu dans les espacements de conducteur <i>w</i> .

6.8 Pastille d'une zone de report

La largeur (w) et la longueur (l_1, l_2) d'un défaut sur une pastille, comme présentées à la Figure 31, doivent satisfaire aux spécifications données au Tableau 24. Il ne doit pas y avoir plus d'un défaut dans une pastille.



Figure 31 a - Entaille et saillie

Figure 31 b – Microperforation

Figure 31 – Défauts dans une pastille d'une zone de report

Elément		Largeur de la pastille compl	létée d'une zone de report <i>w</i>	
		mm		
		<0,8	≥0,8	
Fissure et saillie	Largeur w	Moins de 20 % de w	≤0,15	
	Longueur I ₁	Moins de 50 % de L		
Microperforation (dimension plus longue l_2)		Moins de 20 % de w	≤0,15	
La saillie doit satisfaire à la distance de séparation minimale avec un conducteur adjacent spécifiée en 5.4.2.				

Tableau 24 – Défauts dans une pastille d'une zone de report

6.9 Défauts dans une pastille pour un montage BGA/CSP

Comme présentés à la Figure 32, les défauts dans une pastille pour un montage BGA/CSP doivent être conformes aux spécifications données au Tableau 25 et une pastille ne doit pas présenter plus de 1 défaut.





Figure 32 a – Eclatement et saillie

Figure 32 b – Microperforation

Tableau 25 – Défauts dans des pastilles pour un montage BGA/CSP

Elément	Défauts dans des pastilles pour un montage BGA/CSP	
Eclatement et saillie	La zone effective de la pastille doit être supérieure à 80 % de la zone de conception	
Microperforations (diamètre long l_2)	La couche isolante ne doit présenter aucune microperforation	
La longueur de la saillie doit satisfaire à la distance de séparation minimale entre les conducteurs (voir 5.4.2).		

6.10 Contact imprimé

La tolérance de défauts dans les zones ① et② d'un contact imprimé (voir Figure 34) qui doit être connecté électriquement de la manière représentée à la Figure 33 doit satisfaire aux spécifications données au Tableau 26.



– 82 –

Figure 33 – Zones d'un contact imprimé qui doivent faire l'objet d'une recherche de défauts



Figure 34 a – Fissure et saillie



Figure 34 b – Microperforation

Figure 34 – Défauts dans un contact imprimé

Elément	Zone		
Element	Zone ①	Zone ②	
Exposition de la métallisation sous-jacente (Ni, Co, etc.)	Aucun défaut ne peut affecter la fiabilité d'u	n produit	
Gonflement et séparation de la couche métallisée			
Trace d'impact	Aucune trace supérieure à 0,2 dia. n'est permiseAucune trace supérieure à 0,5 dia. n'est permise		
Rayure	Aucune rayure dont la largeur est supérieure à 0,1 n'est permise	Aucune rayure dont la largeur est supérieure à 0,5 n'est permise	
Saillie de masse	Aucune saillie dont la largeur est supérieure à 0,1 dia. n'est permise		
	$l_1 \le 0, 1 \ L \ w \le 0, 1 W$	$l_1 \leq 0.2L \ w \leq 0.2W$	
Fissure et saillie, présentées à la	l_1 doit être inférieur à 1,0 et w doit être inférieur à 0,2	I_1 doit être inférieur à 2,0 et w doit être inférieur à 0,3	
La saillie doit satisfaire à la distance de séparation minimale avec un conduct adjacent spécifiée en 5.4.2			ec un conducteur
Microperforation (dimension la plus longue l ₂) présentée à la Figure 34	Il ne doit y avoir aucune microperforation	0,05 dia. ≤ <i>l</i> ₂ ≤ 0,10 dia.	Un défaut par borne et moins de 10 % de la borne totale
		0,10 dia. < <i>l</i> ₂ ≤ 0,20 dia.	Un défaut par borne et moins de 2 % de la borne totale
		l₂ > 0,20 dia.	Aucune microperforation permise
Modification de couleur	Modification de couleurAucune modification de couleur susceptible d'affecter les performances d'un produit n'est autorisée		
Les défauts relatifs aux contacts imprimés non connectés électriquement sont considérés comme des défauts dans la zone présentée à la Figure 33 pour l'ensemble des contacts. Les spécifications données au Tableau 26 pour une zone de ce type sont applicables à ces contacts.			

Tableau 26 – Défauts dans un contact imprimé

Dimensions en millimètres.

7 Performances et méthodes d'essai

7.1 Résistance des conducteurs

La spécification et les méthodes d'essai relatives à la résistance des conducteurs sont données au Tableau 27.

Les relations entre la résistance, la largeur, l'épaisseur et la température d'un conducteur sont présentées à la Figure 35.

Elément Spécification Méthode d'essai Résistance des Conducteur Conformément à 10.12 dans La valeur de la résistance l'IEC 61189-3:2007 est AABUS. Les relations entre la conducteurs résistance, la largeur, l'épaisseur et Trou Conformément à 10.13 dans la température d'un conducteur sont traversant I'IEC 61189-3:2007 présentées à la Figure 35 à titre de métallisé référence.





Figure 35 – Relations entre la résistance, la largeur, l'épaisseur et la température d'un conducteur

7.2 Epreuve de courant d'un conducteur et d'un trou traversant métallisé

La spécification et les méthodes d'essai relatives à la résistance de l'épreuve de courant sont données au Tableau 28.

Les relations entre le courant, la largeur et l'épaisseur du conducteur, ainsi que l'échauffement sont présentées à la Figure 36.

Tableau 27 – Spécification et méthodes d'essai relatives à la résistance des conducteurs

Elément		Spécification	Méthode d'essai
Epreuve de	Conducteur	AABUS.	IEC 62878-1-1
courant	Trou traversant métallisé	Les relations entre le courant, la largeur, l'épaisseur et la température d'un conducteur sont présentées à la Figure 36 à titre de référence.	

Tableau 28 – Spécification et méthodes d'essai relatives à l'épreuve de courant



Figure 36 a – L'épaisseur du conducteur est de 18 μm



Figure 36 c – L'épaisseur du conducteur est de 70 µm



Figure 36 b – L'épaisseur du conducteur est de 35 μm



Figure 36 d – L'épaisseur du conducteur est de 105 μm

Figure 36 – Relation entre le courant, la largeur et l'épaisseur du conducteur, ainsi que l'échauffement

7.3 Observation du montage des composants et des trous de liaison

7.3.1 Observation dans des conditions normalisées

Les trous et les trous de liaison (d) doivent satisfaire aux spécifications suivantes lorsqu'ils sont observés à l'œil nu, à l'aide d'une loupe ou en microsection.

a) Les trous d'insertion de composants doivent être satisfaisants pour les opérations ultérieures d'insertion de connexions et de brasage.

La dimension de la métallisation qui manque sur la paroi d'un trou comme présenté à la Figure 37 doit être inférieure à 25 % de la circonférence d'un trou (l_1) et inférieure à 25 % du sens de l'épaisseur de la carte (l_2) . Le nombre de trous qui présentent des défauts doit être inférieur à 5 % du nombre total de trous.



- 86 -

Figure 37 – Défauts sur la métallisation d'un trou de composant

- b) Trous de liaison pour la connexion électrique entre les couches conductrices. Les trous de liaison sont destinés aux connexions électriques. Aucun défaut dans la formation des trous de liaison ni dans la conduction électrique (métallisation ou remplissage de pâte métallique) ne doit être permis. Tous les défauts doivent satisfaire aux spécifications 11 et 12 du Tableau 29.
- c) Coulée de résine: Dans la microsection verticale, la tolérance de coulée de résine comme présentée à la Figure 38 doit satisfaire à l'équation ci-après. Dans la microsection horizontale, la tolérance de coulée de résine doit être comme spécifiée au Tableau 29.

$$l_1, l_2 > 1/3 t, l_1 l_2 > t$$

- l_1, l_2 : Epaisseur effective d'une couche intérieure, sans tenir compte de la coulée de résine (μ m).
- *t*: Epaisseur de la couche intérieure relative à la coulée de résine (µm).



IEC

Figure 38 a – Microsection verticale



Figure 38 b – Microsection horizontale

Figure 38 – Coulée de résine

Tableau 29 – Tolérance relative à la section horizontale

Carte PWB HDI	Moins de 10 % de la circonférence du trou
Carte PWB normalisée	Moins de 25 % de la circonférence du trou

7.3.2 Observation après l'essai de choc thermique

Les éprouvettes pour l'essai de choc thermique décrit à l'Annexe A doivent être observées en microsection comme spécifié en 12.9 de l'IEC 61189-3 (Microsection) et doivent satisfaire à la spécification ci-après.

a) Fissure sur l'angle, fissure parallèle et fissure sur la feuille

Dans la microsection verticale, la tolérance de coulée de résine comme présentée de la Figure 39 à la Figure 41 doit satisfaire à la formule ci-après.

 $l_1, l_2 > 1/3t, l_1 l_2 > t$

- l_1, l_2 : Epaisseur effective de la feuille de cuivre pour chaque côté, sans tenir compte de la coulée de résine (μ m).
- *t*: Epaisseur totale de la feuille de cuivre lorsqu'il n'existe aucun défaut qui peut être considéré comme tel (µm).



Figure 39 – Fissure sur l'angle



- 88 -

IEC

Figure 40 – Fissure sur le fût



IEC

Figure 41 – Fissure sur la feuille

8 Marquage, emballage et stockage

8.1 Marquage d'un produit

Le marquage d'un emballage doit être AABUS. Il convient d'inclure les éléments suivants dans le marquage.

- a) Nom du produit et/ou numéro de lot
- b) Nom ou code du fournisseur
- c) Date de production

8.2 Marquage d'un emballage

Le marquage d'un emballage doit être AABUS. Il convient d'inclure les éléments suivants dans le marquage.

- a) Nom du produit et/ou numéro de lot
- b) Nombre de produits dans l'emballage
- c) Date de production
- d) Nom ou code du fournisseur

8.3 Emballage et stockage

8.3.1 Emballage

Il convient que l'emballage d'un produit le protège de dégâts, par exemple les rayures, ainsi que de l'humidité.

8.3.2 Stockage

Le stockage des cartes PWB doit être effectué dans un endroit où les produits peuvent être protégés contre l'humidité.

Annexe A

- 90 -

(informative)

Classification et classe des cartes PCB pour LED à haute luminosité

L'étude des paramètres de conductivité thermique et des paramètres de coefficient de transfert thermique a révélé que la classification des cartes PCB pour LED à haute luminosité peut désormais s'effectuer avec ces paramètres.

L'utilisation du paramètre de conductivité thermique des cartes PCB à base de résine pour LED à haute luminosité peut être divisée en deux catégories comme suit:

- a) cartes PCB à base de résine pour LED à haute luminosité dont le paramètre de conductivité thermique est supérieur à 1 W/mK;
- b) cartes PCB à base de résine pour LED à haute luminosité dont le paramètre de conductivité thermique est inférieur à 1 W/mK.

En outre, l'utilisation du paramètre de coefficient de transfert thermique (W/m²K) permet d'obtenir les classifications supplémentaires suivantes:

- c) cartes PCB à base de résine pour LED à haute luminosité dont le paramètre de coefficient de transfert thermique est inférieur à 10 W/m²K;
- cartes PCB à base de métal ou céramique pour LED à haute luminosité dont le paramètre de coefficient de transfert thermique est supérieur à 10 W/m²K.

La Figure A.1 et le Tableau A.1 donnent des informations détaillées relatives à la classification et à la classe des cartes PCB pour LED à haute luminosité en fonction du paramètre de conductivité thermique et du paramètre de coefficient de transfert thermique.



- 91 -

Paramètre de coefficient de transfert de chaleur (W/m²k)

IEC

Figure A.1 – Relation entre le paramètre de conductivité thermique et le paramètre de coefficient de transfert thermique

Tableau A.1 – Relation entre le paramètre de conductivité thermique et le paramètre de coefficient de transfert thermique

(mapping par zone)

Eléments		Paramètre de coefficient de transfert thermique (W/(m ² K))	
		10	10
Paramètre de conductivité thermique	1	A	_
(W/(mK))	1	В	С

Le Tableau A.2 répertorie les normes relatives aux méthodes d'essai associées.

Tableau A.2 – Méthodes d'essai associées

Essai	Nom de l'essai et équipement	IEC	ISO
	Méthodes d'essais pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 2: Méthodes d'essai des matériaux pour structures d'interconnexion	IEC 61189-2	

Essai	Nom de l'essai et équipement	IEC	ISO
	Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 3: Méthodes d'essai des structures d'interconnexion (cartes imprimées)	IEC 61189-3	
Essais environnementaux	Essais d'environnement – Partie 1:Généralités et lignes directrices	IEC 60068-1	
	Méthodes d'essai pour les matériaux électriques, les structures d'interconnexion et les ensembles – Partie 1: Méthodes d'essai générales et méthodologie	IEC 61189-1	
	Plastiques – Atmosphères normales de conditionnement et d'essai		ISO 291
Essai visuel et microsection	IEC 61198-3		
Dimensions	IEC 61189-3		
	Pied à coulisse		ISO 6906
			ISO 3599
	Micromètre		ISO 3611
	Toise	-	-
	Plaque de précision		ISO 8512-1 ISO 8512-2
	Jauge d'espacement	_	_
Essais électriques	IEC 61189-3		I
Résistance des conducteurs	IEC 61189-3	3E12	
Courant de tenue	IEC 61189-3	3E15	
Tension de tenue	IEC 61189-3	3E09, 3E10	
Tension alternative	IEC 61189-3	3E09, 3E10	
Tension continue	IEC 61189-3	3E09, 3E10	
Résistance d'isolement	IEC 61189-3	3E03, couche de surface	
		3E05, intercouches	
Isolement et conductivité	IEC 61189-3	3E01, isolement	
du circuit		3E02, continuité	
Essais mécaniques	IEC 61189-3		
Résistance au pelage	IEC 61189-3	3M01, atmosphère normalisée	
Résistance au pelage de la pastille sans trou de pastille métallisé	IEC 61189-3	3M07	
Résistance à l'arrachement du trou traversant métallisé pour le montage des composants	IEC 61189-3	3M03	
Résistance à l'arrachement d'une pastille de la zone de report	IEC 61189-3	3M07	
Adhésivité de la	IEC 61189-3	3M01	

IEC 62326-20:2016 © IEC 2016 - 93 -

Essai	Nom de l'essai et équipement	IEC	ISO
métallisation		3M01	-
Bande sensible à la pression		-	ISO 29862
Ruban et feuille adhésifs			ISO 29863
			ISO 29864
Adhésivité de l'épargne de brasure et de la légende	IEC 61189-3	3M01	
Essai de course	IEC 61189-3	IEC 61189-3	ISO 2409
transversale		IEC 61189-3	-
Bande sensible à la		-	ISO 29862
pression			ISO 29863
Ruban et feuille adhésifs			ISO 29864
Cutter en acier galvanisé			ISO 4957
Dureté de la couche à	IEC 61189-3	3M01	
revetement (epargne de brasure et légende)	Essai de peinture, général (dureté face aux rayures)		ISO 15184
	Crayon, couleur de crayon et plomb utilisé		ISO 9180
	Papier de polissage		ISO 3366
			ISO 21948
Essais environnementaux	IEC 61189-3		
Haute température	Essais d'environnement –	IEC 60068-2-2	
	IEC 60068-2-2: Essai B: Chaleur sèche		
Basse température	IEC 60068-2-1: Essai A: Froid	IEC 60068-2-1	
Choc thermique (hautes et	IEC 61189-3	3N01 à 3N05	
basses températures)	IEC 60068-2-14: Essai N: Variation de température	IEC 60068-2-14	
	IEC 60068-2-30: Essai Db: Essai cyclique de chaleur humide (cycle de 12 h + 12 h)	IEC 60068-2-30	
	IEC 60068-2-38: Essai Z/AD: Essai cyclique composite de température et d'humidité	IEC 60068-2-38	
Résistance à l'humidité	IEC 61189-3	3N06	
	IEC 60068-2-78: Essai Cab: Chaleur humide, essai continu	IEC 60068-2-78	
Migration	IEC/TR 62866 Ed. 1	3E20	-
	IEC 60068-2-66: Essai Cx: Chaleur humide, essai continu (vapeur pressurisée non saturée)	IEC 60068-2-66	
	Flux de brasage		ISO 9455
Vibrations	IEC 60068-2-53: Essais et guide – Essais combinés climatiques (température/humidité) et dynamiques (vibrations/chocs)	IEC 60068-2-53	
	IEC 60068-2-6: Essai Fc: Vibrations (sinusoïdales)	IEC 60068-2-6	
	IEC 60068-2-64: Essai Fh: Vibrations aléatoires à large bande et guide	IEC 60068-2-64	
	IEC 60068-2-80: Essai Fi: Vibration – Mode mixte	IEC 60068-2-80	

Essai	Nom de l'essai et équipement	IEC	ISO
	Technique de montage en surface – Méthodes d'essais d'environnement et d'endurance des joints brasés montés en surface – IEC 62137-1-3 Essai de chute cyclique	IEC 62137-1-3	
Chute et choc	IEC 62137-1-4: Essai de flexion cyclique	IEC 62137-1-4	_
Flexion	IEC 60068-2-21: Essai U: Robustesse des sorties et des dispositifs de montage incorporés	IEC 60068-2-21	_
Vissage			
Essais chimiques	IEC 61189-3		
Inflammabilité	IEC 61189-3	3C03 (à réviser)	
Résistance aux produits chimiques	IEC 61189-3	3C04	
Brasabilité	IEC 60068-2-58: Essai Td: Méthodes d'essai de la soudabilité, résistance de la métallisation à la dissolution et résistance à la chaleur de brasage des dispositifs pour montage en surface	IEC 60068-2-58	
	Matériaux utilisés pour la fabrication et l'assemblage d'ensembles électroniques de cartes imprimées – Partie 1:Matériaux de fixation pour les assemblages électroniques	IEC 61190-1-1	ISO 9453 ISO 9454-1 ISO 9445-1
	IEC 61190-1-2: Exigences relatives aux pâtes à braser pour les interconnexions de haute qualité	IEC 61190-1-2	
	IEC 61190-1-3: Exigences relatives aux alliages à braser de catégorie électronique et brasures solides fluxées et non fluxées	IEC 61190-1-3	
	IEC 61189-11: Mesure de la température de fusion ou des plages de températures de fusion des alliages à braser	IEC 61189-11	
	Colophane	-	_
	Propanol		ISO 6353-3
	Ethanol		ISO 6353-2
Résistance à la chaleur de brasage	IEC 60068-2-20: Essai T: Méthodes d'essai de la brasabilité et de la résistance à la chaleur de brasage des dispositifs à broches	IEC 60068-2-20	
	IEC 60068-2-58: Essai Td: Méthodes d'essai de la soudabilité, résistance de la métallisation à la dissolution et résistance à la chaleur de brasage des composants pour montage en surface	IEC 60068-2-58	
	IEC 60068-2-20: Essai T: Méthodes d'essai de la brasabilité et de la résistance à la chaleur de brasage des dispositifs à broches	IEC 60068-2-20	
Résistance thermique de l'épargne de brasure et des légendes	IEC 61189-3	IEC 61189-3	

Bibliographie

IEC 60068-1, Essais d'environnement – Partie 1: Généralités et lignes directrices

IEC 60068-2-1, Essais d'environnement – Partie 2-1: Essais – Essai A: Froid

IEC 60068-2-2, Essais d'environnement – Partie 2-2: Essais – Essai B: Chaleur sèche

IEC 60068-2-6, Essais d'environnement – Partie 2-6: Essais – Essai Fc: Vibrations (sinusoïdales)

IEC 60068-2-20, Essais d'environnement – Partie 2-20: Essais – Essai T: Méthodes d'essai de la brasabilité et de la résistance à la chaleur de brasage des dispositifs à broches

IEC 60068-2-21, Essais d'environnement – Partie 2-21: Essais – Essai U: Robustesse des sorties et des dispositifs de montage incorporés

IEC 60068-2-30, Essais d'environnement – Partie 2-30: Essais – Essai Db: Essai cyclique de chaleur humide (cycle de 12 h + 12 h)

IEC 60068-2-38, Essais d'environnement – Partie 2-38: Essais – Essai Z/AD: Essai cyclique composite de température et d'humidité

IEC 60068-2-53, Essais d'environnement – Partie 2-53: Essais et guide – Essais combinés climatiques (température/humidité) et dynamiques (vibrations/chocs)

IEC 60068-2-58, Essais d'environnement – Partie 2-58: Essais – Essai Td: Méthodes d'essai de la soudabilité, résistance de la métallisation à la dissolution et résistance à la chaleur de brasage des composants pour montage en surface (CMS)

IEC 60068-2-64, Essais d'environnement – Partie 2-64: Essais – Essai Fh: Vibrations aléatoires à large bande et guide

IEC 60068-2-66, Essais d'environnement – Partie 2: Méthodes d'essai – Essai Cx: Essai continu de chaleur humide (vapeur pressurisée non saturée)

IEC 60068-2-78, Essais d'environnement – Partie 2-78: Essais – Essai Cab: Chaleur humide, essai continu

IEC 60068-2-80, Essais d'environnement – Partie 2-80: Essais – Essai Fi: Vibration – Mode mixte

IEC 61189-1, Méthodes d'essai pour les matériaux électriques, les structures d'interconnexion et les ensembles – Partie 1: Méthodes d'essai générales et méthodologie

IEC 61189-2, Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 2: Test methods for materials for interconnection structures (disponible en anglais seulement)

IEC 61189-11, Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 11: Mesure de la température de fusion ou des plages de températures de fusion des alliages à braser

IEC 61189-3-913, Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 3-913: Méthodes d'essai pour la conductivité thermique des circuits imprimés pour les LED à forte luminosité

IEC 61190-1-1 Matériaux de fixation pour les assemblages électroniques – Partie 1-1: Exigences relatives aux flux de brasage pour les interconnexions de haute qualité dans les assemblages de composants électroniques

IEC 61190-1-2 Matériaux de fixation pour les assemblages électroniques – Partie 1-2: Exigences relatives aux pâtes à braser pour les interconnexions de haute qualité dans les assemblages de composants électroniques

IEC 61190-1-3, Matériaux de fixation pour les assemblages électroniques – Partie 1-3: Exigences relatives aux alliages à braser de catégorie électronique et brasures solides fluxées et non fluxées pour les applications de brasage électronique

IEC 61249-2-8, Matériaux pour circuits imprimés et autres structures d'interconnexion – Partie 2-8: Matériaux de base renforcés, plaqués et non plaqués – Feuilles stratifiées renforcées en tissu de fibres de verre époxyde bromé modifié, d'inflammabilité définie (essai de combustion verticale), plaquées cuivre

IEC 62137-1-3, Technologie de montage en surface – Méthodes d'essais d'environnement et d'endurance des joints brasés montés en surface – Partie 1-3: Essai de chute cyclique

IEC 62137-1-4, Technologie de montage en surface – Méthodes d'essais d'environnement et d'endurance des joints brasés montés en surface – Partie 1-4: Essai de flexion cyclique

IEC 62326-1, Cartes imprimées – Partie 1: Spécification générique

IEC 62326-4, Cartes imprimées – Partie 4: Cartes imprimées multicouches rigides avec connexions intercouches – Spécification intermédiaire

IEC TR 62866:2014, Migration électrochimique dans les cartes à circuits imprimés et assemblages – Mécanismes et essais

IEC 62878-1-1, Substrat avec appareil(s) intégré(s) – Partie 1-1: Spécification générique – Méthodes d'essai

ISO 291, Plastiques – Atmosphères normales de conditionnement et d'essai

ISO 2409, *Peintures et vernis – Essai de quadrillage*

ISO 3366, Abrasifs appliqués – Rouleaux abrasifs

ISO 3599, *Pieds à coulisse à vernier au 1/10 et au 1/20 mm* (annulée)

ISO 3611, Spécification géométrique des produits (GPS) – Equipement de mesurage dimensionnel: Micromètres d'extérieur – Caractéristiques de conception et caractéristiques métrologiques

ISO 4957, Aciers à outils

ISO 6353-2, Réactifs pour analyse chimique – Partie 2: Spécifications – Première série

ISO 6353-3, Réactifs pour analyse chimique – Partie 3: Spécifications – Deuxième série

ISO 6906, *Pieds à coulisse à vernier au 1/50 mm* (annulée)

ISO 8512-1, Marbres de traçage et de contrôle – Partie 1: Marbres en fonte

IEC 62326-20:2016 © IEC 2016 - 97 -

ISO 8512-2, Marbres de traçage et de contrôle – Partie 2: Marbres en roche

ISO 9180, Mines graphite pour crayons à papier – Classification et diamètres

ISO 9445-1, Acier inoxydable laminé à froid en continu – Tolérances sur les dimensions et la forme – Partie 1: Bandes étroites et feuillards coupés à longueur

ISO 9453, Alliages de brasage tendre – Compositions chimiques et formes

ISO 9454-1, Flux de brasage tendre – Classification et caractéristiques – Partie 1: Classification, marquage et emballage

ISO 9455 (toutes les parties), Flux de brasage tendre – Méthodes d'essai

ISO 13385-1, Spécification géométrique des produits (GPS) – Equipement de mesurage dimensionnel – Partie 1: Pieds à coulisse, caractéristiques de conception et caractéristiques métrologiques

ISO 15184, Peintures et vernis – Détermination de la dureté du feuil par l'essai de dureté crayon

ISO 21948, Produits abrasifs appliqués – Feuilles simples

ISO 29862, Rubans auto-adhésifs – Détermination des caractéristiques du pouvoir adhésif linéaire

ISO 29863, Rubans auto-adhésifs – Mesurage du pouvoir adhésif tangentiel

ISO 29864, Rubans auto-adhésifs – Mesurage de la résistance à la rupture et de l'allongement à la rupture

Convight International Electrotechnical Commission

Convight International Electrotechnical Commission

INTERNATIONAL ELECTROTECHNICAL COMMISSION

3, rue de Varembé PO Box 131 CH-1211 Geneva 20 Switzerland

Tel: + 41 22 919 02 11 Fax: + 41 22 919 03 00 info@iec.ch www.iec.ch

al Electrotochr