



Edition 2.0 2012-10

INTERNATIONAL STANDARD

NORME INTERNATIONALE



High-voltage switchgear and controlgear – Part 101: Synthetic testing

Appareillage à haute tension – Partie 101: Essais synthétiques





THIS PUBLICATION IS COPYRIGHT PROTECTED Copyright © 2012 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur. Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

> 11 00

EC Central Office	Tel.: +41 22 919 02
CH-1211 Geneva 20	info@iec.ch
Switzerland	www.iec.ch

About the IEC

3

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

Useful links:

IEC publications search - www.iec.ch/searchpub

The advanced search enables you to find IEC publications by a variety of criteria (reference number, text, technical committee,...).

It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available on-line and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 30 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary (IEV) on-line.

Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Liens utiles:

Recherche de publications CEI - www.iec.ch/searchpub

La recherche avancée vous permet de trouver des publications CEI en utilisant différents critères (numéro de référence, texte, comité d'études,...).

Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

Just Published CEI - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications de la CEI. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 30 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (VEI) en ligne.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.





Edition 2.0 2012-10

INTERNATIONAL STANDARD

NORME INTERNATIONALE



High-voltage switchgear and controlgear – Part 101: Synthetic testing

Appareillage à haute tension – Partie 101: Essais synthétiques

INTERNATIONAL ELECTROTECHNICAL COMMISSION

COMMISSION ELECTROTECHNIQUE INTERNATIONALE



ICS 29.130.10

ISBN 978-2-83220-421-4

Warning! Make sure that you obtained this publication from an authorized distributor. Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.

 Registered trademark of the International Electrotechnical Commission Marque déposée de la Commission Electrotechnique Internationale

CONTENTS

FOI	REWO	DRD		7		
1	Scop	e		9		
2	Norm	ative re	ferences	9		
3	Term	s and d	efinitions	9		
4	Synth	netic tes	ting techniques and methods for short-circuit breaking tests	11		
	4.1 Basic principles and general requirements for synthetic breaking test					
		method	ds	11		
		4.1.1	General	11		
		4.1.2	High-current interval	12		
		4.1.3	Interaction Interval	Z1		
	10	4.1.4 Syntho	High-voltage interval	IS		
	4.2		Current injection methods	۲۹		
		4.2.1	Voltage injection method	14		
		423	Duplicate circuit method (transformer or Skeats circuit)	15		
		424	Other synthetic test methods	10		
	43	Three-	phase synthetic test methods	16		
5	Svntł	netic tes	sting techniques and methods for short-circuit making tests			
Ţ	5 1	Basic r	principles and general requirements for synthetic making test methods	19		
	0.1	5.1.1	General	19		
		5.1.2	High-voltage interval	19		
		5.1.3	Pre-arcing interval	19		
		5.1.4	Latching interval and fully closed position	20		
	5.2	Synthe	tic test circuit and related specific requirements for making tests	20		
		5.2.1	General	20		
		5.2.2	Test circuit	20		
		5.2.3	Specific requirements	20		
6	Spec relate	ific requ ed to the	irements for synthetic tests for making and breaking performance e requirements of 6.102 through 6.111 of IEC 62271-100:2008	21		
Anr	nex A	(informa	ative) Current distortion	42		
Anr	nex B	(informa	ative) Current injection methods	58		
Anr	nex C	(informa	ative) Voltage injection methods	62		
Anr	nex D	(informa	ative) Skeats or duplicate transformer circuit	65		
Anr test	nex E is	(normat	ive) Information to be given and results to be recorded for synthetic	68		
Anr	nex F	(normat	ive) Synthetic test methods for circuit-breakers with opening resistors	69		
Anr	nex G	、 (information)	ative) Synthetic methods for capacitive-current switching	76		
Anr	nex H	(inform	ative) Re-ignition methods to prolong arcing	88		
Anr	nex I (normati	ve) Reduction in di/dt and TRV for test duty T100a	91		
Anr	nex J ((informa	tive) Three-phase synthetic test circuits	100		
Anr	nex K	(normat	ive) Test procedure using a three-phase current circuit and one			
volt Anr	age c	ircuit (normat	ive) Solitting of test duties in test series taking into account the	107		
ass	ociate	ed TRV	for each pole-to-clear	127		
Anr	nex M	(norma	tive) Tolerances on test quantities for type tests	147		

Annex N (informative)	Typical test circuits for metal-enclosed and dead tank circuit-
Annex O (informative)	Combination of current injection and voltage injection methods160
Bibliography	

Figure 1 – Interrupting process – Basic time intervals	33
Figure 2 – Examples of evaluation of recovery voltage	34
Figure 3 – Equivalent surge impedance of the voltage circuit for the current injection method	35
Figure 4 – Making process – Basic time intervals	36
Figure 5 – Typical synthetic making circuit for single-phase tests	37
Figure 6 – Typical synthetic making circuit for out-of-phase	38
Figure 7 – Typical synthetic make circuit for three-phase tests ($k_{pp} = 1,5$)	39
Figure 8 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100s with $k_{pp} = 1,5$	40
Figure 9 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100a with $k_{pp} = 1,5$	41
Figure A.1 – Direct circuit, simplified diagram	49
Figure A.2 – Prospective short-circuit current	49
Figure A.3 – Distortion current	49
Figure A.4 – Distortion current	50
Figure A.5 – Simplified circuit diagram	51
Figure A.6 – Current and arc voltage characteristics for symmetrical current	52
Figure A.7 – Current and arc voltage characteristics for asymmetrical current	53
Figure A.8 – Reduction of amplitude and duration of final current loop of arcing	54
Figure A.9 – Reduction of amplitude and duration of final current loop of arcing	55
Figure A.10 – Reduction of amplitude and duration of final current loop of arcing	56
Figure A.11 – Reduction of amplitude and duration of final current loop of arcing	57
Figure B.1 – Typical current injection circuit with voltage circuit in parallel with the test circuit-breaker	59
Figure B.2 – Injection timing for current injection scheme with circuit B.1	60
Figure B.3 – Examples of the determination of the interval of significant change of arc voltage from the oscillograms	61
Figure C.1 – Typical voltage injection circuit diagram with voltage circuit in parallel with the auxiliary circuit-breaker (simplified diagram)	63
Figure C.2 – TRV waveshapes in a voltage injection circuit with the voltage circuit in parallel with the auxiliary circuit-breaker	64
Figure D.1 – Transformer or Skeats circuit	66
Figure D.2 – Triggered transformer or Skeats circuit	67
Figure F.1 – Test circuit to verify thermal re-ignition behaviour of the main interrupter	73
Figure F.2 – Test circuit to verify dielectric re-ignition behaviour of the main interrupter	73
Figure F.3 – Test circuit on the resistor interrupter	74
Figure F.4 – Example of test circuit for capacitive current switching tests on the main interrupter	75

Figure F.5 – Example of test circuit for capacitive current switching tests on the resistor interrupter	'5
Figure G.1 – Capacitive current circuits (parallel mode)7	9
Figure G.2 – Current injection circuit	0
Figure G.3 – LC oscillating circuit	1
Figure G.4 – Inductive current circuit in parallel with LC oscillating circuit	2
Figure G.5 – Current injection circuit, normal recovery voltage applied to both terminals of the circuit-breaker	3
Figure G.6 – Synthetic test circuit (series circuit), normal recovery voltage applied to both sides of the test circuit breaker	34
Figure G.7 – Current injection circuit, recovery voltage applied to both sides of the circuit-breaker	5
Figure G.8 – Making test circuit	6
Figure G.9 – Inrush making current test circuit	67
Figure H.1 – Typical re-ignition circuit diagram for prolonging arc-duration8	9
Figure H.2 – Combined Skeats and current injection circuits	9
Figure H.3 – Typical waveforms obtained during an asymmetrical test using the circuit in Figure H.29	00
Figure J.1 – Three-phase synthetic combined circuit10	12
Figure J.2 – Waveshapes of currents, phase-to-ground and phase-to phase voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic combined circuit)3
Figure J.3 – Three-phase synthetic circuit with injection in all phases for $k_{nn} = 1,510$)4
Figure J.4 – Waveshapes of currents and phase-to-ground voltages during a three- phase synthetic test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic circuit with injection in all phases)4
Figure J.5 – Three-phase synthetic circuit for terminal fault tests with $k_{pp} = 1,3$ (current injection method))5
Figure J.6 – Waveshapes of currents, phase-to-ground and phase-to-phase voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,3$) performed according to the three-phase synthetic circuit shown in Figure J.5)5
Figure J.7 - TRV voltages waveshapes of the test circuit described in Figure J.510	6
Figure K.1 – Example of a three-phase current circuit with single-phase synthetic injection	8
Figure K.2 – Representation of the testing conditions of Table K.1	9
Figure K.3 – Representation of the testing conditions of Table K.2	:0
Figure K.4 – Representation of the testing conditions of Table K.3	:1
Figure K.5 – Representation of the testing conditions of Table K.4	2
Figure K.6 – Representation of the testing conditions of Table K.5	:3
Figure K.7 – Representation of the testing conditions of Table K.6	:4
Figure K.8 – Representation of the testing conditions of Table K.7	:5
Figure K.9 – Representation of the testing conditions of Table K.8	:6
Figure L.1 – Graphical representation of the test shown in Table L.6	7
Figure L.2 – Graphical representation of the test shown in Table L.7	8
Figure N.1 – Test circuit for unit testing (circuit-breaker with interaction due to gas circulation)15	51

Figure N.2 – Half-pole testing of a circuit-breaker in test circuit given by Figure N.1 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure	152
Figure N.3 – Synthetic test circuit for unit testing (if unit testing is allowed as per 6.102.4.2 of IEC 62271-100:2008)	153
Figure N.4 – Half-pole testing of a circuit-breaker in the test circuit of Figure N.3 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure	154
Figure N.5 – Capacitive current injection circuit with enclosure of the circuit-breaker energized	155
Figure N.6 – Capacitive synthetic circuit using two power-frequency sources and with the enclosure of the circuit-breaker energized	156
Figure N.7 – Capacitive synthetic current injection circuit – Example of unit testing on half a pole of a circuit-breaker with two units per pole – Enclosure energized with d.c. voltage source	157
Figure N.8 – Symmetrical synthetic test circuit for out-of-phase switching tests on a complete pole of a circuit-breaker	158
Figure N.9 – Full pole test with voltage applied to both terminals and the metal enclosure	159
Figure O.1 – Example of combined current and voltage injection circuit with application of full test voltage to earth	161
Figure O.2 – Example of combined current and voltage injection circuit with separated application of test voltage	162

Table 1 – Test circuits for test duties T100s and T100a	17
Table 2 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,5$	17
Table 3 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,3$	18
Table 4 – Test parameters during three phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,2$	18
Table 5 – Synthetic test methods for test duties T10, T30, T60, T100s, T100a, SP,DEF, OP and SLF	31
Table I.1 – Last loop di/dt reduction for 50 Hz for $k_{pp} = 1,3$ and 1,5	91
Table I.2 – Last loop di/dt reduction for 50 Hz for $k_{pp} = 1,2$	92
Table I.3 – Last loop di/dt reduction for 60 Hz for $k_{pp} = 1,3$ and 1,5	93
Table I.4 – Last loop di/dt reduction for 60 Hz for $k_{pp} = 1,2$	94
Table I.5 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,3$ and $f_r = 50$ Hz	95
Table I.6 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,3$ and $f_r = 60$ Hz	96
Table I.7 – Corrected TRV values for the first pole-to-clear for k_{pp} = 1,5 and f_r = 50 Hz	97
Table I.8 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,5$ and $f_r = 60$ Hz	98
Table I.9 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,2$ and $f_r = 50$ Hz	98
Table I.10 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,2$ and $f_r = 60$ Hz	99
Table K.1 – Demonstration of arcing times for $k_{pp} = 1,5$	108
Table K.2 – Alternative demonstration of arcing times for $k_{pp} = 1,5$	109
Table K.3 – Demonstration of arcing times for $k_{pp} = 1,3$	110
Table K.4 – Alternative demonstration of arcing times for $k_{pp} = 1,3$	111
- PP	

Table K.5 – Demonstration of arcing times for $k_{pp} = 1,5$.112
Table K.6 – Alternative demonstration of arcing times for $k_{pp} = 1,5$.113
Table K.7 – Demonstration of arcing times for $k_{pp} = 1,3$. 114
Table K.8 – Alternative demonstration of arcing times for $k_{pp} = 1,3$.115
Table K.9 – Procedure for combining k_{pp} = 1,5 and 1,3 during test-duties T10, T30, T60 and T100s(b)	. 116
Table K.10 – Procedure for combining k_{DD} = 1,5 and 1,3 during test-duty T100a	.117
Table L.1 – Test procedure for $k_{pp} = 1,5$. 129
Table L.2 – Test procedure for $k_{pp} = 1,3$. 130
Table L.3 – Simplified test procedure for $k_{pp} = 1,3$. 131
Table L.4 – Test procedure for $k_{pp} = 1,2$. 132
Table L.5 – Simplified test procedure for $k_{pp} = 1,2$. 133
Table L.6 – Test procedure for asymmetrical currents in the case of $k_{pp} = 1,5$.134
Table L.7 – Test procedure for asymmetrical currents in the case of $k_{pp} = 1,3$. 135
Table L.8 – Test procedure for asymmetrical currents in the case of $k_{pp} = 1, 2, \dots, n$.136
Table L.9 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1.5$, $f_r = 50$ Hz	. 139
Table L.10 – Required test parameters for different asymmetrical conditions in the case of a $k_{pp} = 1.3$, $f_{f} = 50$ Hz	. 140
Table L.11 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1.2$, $f_r = 50$ Hz	. 141
Table L.12 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1.5$, $f_r = 60$ Hz	. 142
Table L.13 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1.3$, $f_r = 60$ Hz	. 143
Table L.14 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1, 2, f_r = 60$ Hz	. 144
Table L.15 – Procedure for combining k_{pp} = 1,5 and 1,3 during test-duties T10, T30, T60 and T100s(b)	. 145
Table L.16 – Procedure for combining $k_{pp} = 1,5$ and 1,3 during test-duty T100a	.146
Table M.1 – Tolerances on test quantities for type tests (1of 2)	. 148

INTERNATIONAL ELECTROTECHNICAL COMMISSION

HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR -

Part 101: Synthetic testing

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with an IEC Publication.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62271-101 has been prepared by subcommittee 17A: High-voltage switchgear and controlgear, of IEC technical committee 17: Switchgear and controlgear.

This second edition cancels and replaces the first edition published in 2006 and its Amendment 1 published in 2010. It constitutes a technical revision.

This edition includes the following significant technical changes with respect to the first edition:

- addition of the new rated voltages of 1 100 kV and 1 200 kV;
- revision of Annex F regarding circuit-breakers with opening resistors;
- alignment with the second edition of IEC 62271-100:2008 and its Amendment 1 (2012).

The text of this standard is based on the first edition of IEC 62271-101 and the following documents:

FDIS	Report on voting		
17A/1015/FDIS	17A/1024/RVD		

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

This publication shall be read in conjunction with IEC 62271-100, published in 2008, to which it refers. The numbering of the subclauses of Clause 6 is the same as in IEC 62271-100. However, not all subclauses of IEC 62271-100 are addressed; merely those where synthetic testing has introduced changes.

A list of all the parts in the IEC 62271 series, under the general title *High-voltage switchgear* and controlgear, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "http://webstore.iec.ch" in the data related to the specific publication. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR –

Part 101: Synthetic testing

1 Scope

This part of IEC 62271 mainly applies to a.c. circuit-breakers within the scope of IEC 62271-100. It provides the general rules for testing a.c. circuit-breakers, for making and breaking capacities over the range of test duties described in 6.102 to 6.111 of IEC 62271-100:2008, by synthetic methods.

It has been proven that synthetic testing is an economical and technically correct way to test high-voltage a.c. circuit-breakers according to the requirements of IEC 62271-100 and that it is equivalent to direct testing.

The methods and techniques described are those in general use. The purpose of this standard is to establish criteria for synthetic testing and for the proper evaluation of results. Such criteria will establish the validity of the test method without imposing restraints on innovation of test circuitry.

2 Normative references

The following documents, in whole or in part, are normatively referenced in this document and are indispensable for its application. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 62271-100:2008, *High-voltage switchgear and controlgear – Part 100: Alternating current circuit-breakers*

Amendment 1:2012

3 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 62271-100, as well as the following, apply.

3.1

direct test

test in which the applied voltage, the current and the transient and power-frequency recovery voltages are all obtained from a circuit having a single-power source, which may be a power system or special alternators as used in short-circuit testing stations or a combination of both

3.2

synthetic test

test in which all of the current, or a major portion of it, is obtained from one source (current circuit), and in which the applied voltage and/or the recovery voltages (transient and power frequency) are obtained wholly or in part from one or more separate sources (voltage circuits)

3.3

test circuit-breaker

circuit-breaker under test

SEE: 6.102.3 of IEC 62271-100:2008.

3.4

auxiliary circuit-breaker

circuit-breaker forming part of a synthetic test circuit used to put the test circuit-breaker into the required relation with various circuits

3.5

current circuit

that part of the synthetic test circuit from which all or the major part of the power-frequency current is obtained

3.6

voltage circuit

that part of the synthetic test circuit from which all or the major part of the applied voltage and/or recovery voltage is obtained

3.7

prospective current (of a circuit and with respect to a circuit-breaker) current that would flow in the circuit if each pole of the test and auxiliary circuit-breakers were replaced by a conductor of negligible impedance

[SOURCE: IEC 60050-441:1984, 441-17-01, modified]

3.8

actual current

current through the test circuit-breaker (prospective current modified by the arc voltage of the test and auxiliary circuit-breakers)

3.9

distortion current

calculated current equal to the difference between the prospective current and the actual current

3.10

post-arc current

current which flows through the arc gap of a circuit-breaker when the current and arc voltage have fallen to zero and the transient recovery voltage has begun to rise

3.11

current-injection method

synthetic test method in which the voltage circuit is applied to the test circuit-breaker before power-frequency current zero

3.12

initial transient making current

ІТМС

transient current which flows through the circuit-breaker at the moment of voltage breakdown prior to the initiation of current from the current circuit during making

3.13

injected current

current supplied by the voltage circuit of a current injection circuit when it is connected to the circuit-breaker under test

3.14

voltage-injection method

synthetic test method in which the voltage circuit is applied to the test circuit-breaker after power frequency current zero

3.15

reference system conditions

conditions of an electrical system having the parameters from which the rated and test values of IEC 62271-100 are derived

3.16

time delay of making device

t_m

time interval, during synthetic making test, between the instant of breakdown of the applied voltage and the initiation of current from the current circuit

3.17

minimum clearing time

sum of the minimum opening time, minimum relay time (0,5 cycle), and the minimum arcing time at current interruption after the minor loop of the first-pole-to-clear, during test duty T100a only, as declared by the manufacturer

NOTE This definition should be used only for the determination of the test parameters during short-circuit breaking tests according to test duty T100a.

[SOURCE: 3.7.159 of IEC 62271-100:2008]

3.18

pre-strike

voltage breakdown between the contacts during a making operation which initiates current flow

4 Synthetic testing techniques and methods for short-circuit breaking tests

4.1 Basic principles and general requirements for synthetic breaking test methods

4.1.1 General

Any particular synthetic method chosen for testing shall adequately stress the test circuitbreaker. Generally, the adequacy is established when the test method meets the requirements set forth in the following subclauses.

A circuit-breaker has two basic positions: closed and open. In the closed position a circuitbreaker conducts full current with negligible voltage drop across its contacts. In the open position it conducts negligible current but with full voltage across the contacts. This defines the two main stresses, the current stress and the voltage stress, which are separated in time.

If closer attention is paid to the voltage and current stresses during the interrupting process (Figure 1), three main intervals can be recognized:

High-current interval

The high-current interval is the time from contact separation to the start of the significant change in arc voltage. The high-current interval precedes the interaction and high-voltage intervals.

Interaction interval

The interaction interval is the time from the start of the significant change in arc voltage prior to current zero to the time when the current including the post-arc current, if any, ceases to flow through the test circuit-breaker (see also Clause B.2).

High-voltage interval

The high-voltage interval is the time from the moment when the current including the postarc current, if any, ceases to flow through the test circuit-breaker to the end of the test.

4.1.2 High-current interval

During the high-current interval the test circuit-breaker shall be stressed by the test circuit in such a way that the starting conditions for the interaction interval, within tolerances to be specified, are the same as under reference system conditions.

In synthetic test circuits the ratio of the power-frequency voltage of the current circuit to the arc voltage is low in comparison with tests at reference system conditions due to:

- the voltage of the current circuit being a fraction of the system voltage;
- the fact that the arc voltages of the test circuit-breaker and of the auxiliary circuit-breaker are added.

As a result the duration of the current loop and the peak value of the current will be reduced. This distortion of the current is outlined in Annex A.

Considerations with respect to the arc energy released in the test circuit-breaker lead to a maximum permissible influence in terms of tolerances on two characteristic values of the shape of the current, i.e. current-peak value and current-loop duration (see Annex A).

The tolerance on the amplitude and the power frequency of the prospective breaking current is given in 6.103.2 and 6.104.3 of IEC 62271-100:2008. Therefore, the following conditions concerning the actual current through the test circuit-breaker shall be met:

- for symmetrical testing the current amplitude and final loop duration shall not be less than 90 % of the required values based on rated current;
- for asymmetrical testing, the current amplitude and final loop duration shall be between 90 % and 110 % of the required values, based on rated current and time constant (see Tables 15 to 22 of IEC 62271-100:2008).

Adjustment measures:

The amplitude and duration of the last current loop may be adjusted by several means, such as

- increasing or decreasing of the r.m.s. value of the short-circuit test current,
- changing of the frequency of the test current,
- using pre-tripping or delayed tripping,
- changing the instant of current initiation (initial d.c. component).

4.1.3 Interaction interval

During the interaction interval, the short-circuit current stress changes into high-voltage stress and the circuit-breaker performance can significantly influence the current and voltages in the circuit. As the current decreases to zero, the arc voltage may rise to charge parallel capacitance and distort current passing through the arc. After the current zero the post-arc conductivity may result in additional damping of the transient recovery voltage and thus influence the voltage across the circuit-breaker and the energy supplied to the ionized contact gap. The interaction between the circuit and the circuit-breaker immediately before and after current zero (i.e. during the interaction interval) is of extreme importance to the interrupting process.

During the interaction interval, the current and voltage waveforms shall be the same for a synthetic test as under reference system conditions (see 3.15), taking into account the possible deviations of the current and voltage from the prospective values due to the interaction between the circuit-breaker and the circuit.

The interaction interval presents the critical time for the thermal failure mode of the circuitbreaker. Therefore, it is of extreme importance that the shape and magnitude of the prospective transient recovery voltage (TRV) corresponds to that associated with the prospective current of the relevant test duty.

The above implies strict requirements for the test circuit. The requirements are given for the current injection method in 4.2.1 and for the voltage injection method in 4.2.2.

Depending on the test circuit used, the interaction between circuit and test circuit-breaker may be disturbed by the behaviour of the auxiliary circuit-breaker during the critical interval around current zero.

The arc voltage of the auxiliary circuit-breaker should be less than or equal to the arc voltage of the test circuit-breaker.

If an auxiliary circuit-breaker with a higher arc voltage is used, a higher power-frequency voltage of the current circuit may be necessary.

4.1.4 High-voltage interval

During the high-voltage interval, the gap of the test circuit-breaker is stressed by the recovery voltage.

The prospective TRV shall comply with the requirements of 4.102, 4.105, 4.106 and 6.104.5 of IEC 62271-100:2008.

Suitable methods for determining the prospective TRV in synthetic test circuits can be selected from Annex F of IEC 62271-100:2008.

The impedance of the voltage circuit shall be low enough to give clear evidence of breakdown, if any.

If the test circuit-breaker is fitted with opening resistors, a special procedure may be necessary (see Annex F).

If the TRV is obtained from more than one source the overall waveshape should not show any appreciable discontinuity.

In principle, the power-frequency recovery voltage for the basic short-circuit test duties should preferably be a.c. and shall equate with the requirements of 6.104.7 of IEC 62271-100:2008. In synthetic testing, the recovery voltage is supplied from a voltage circuit, either directly or in series with the current circuit. This gives an a.c. voltage, or a combined a.c. and d.c. voltage, or a d.c. voltage, which in most cases decays due to the limited energy of the voltage source. It may thus not be possible to maintain the recovery voltage for at least 0.3 s as specified in 6.104.7 of IEC 62271-100:2008. Deviations from the specified recovery voltage are acceptable if the following conditions are met:

- The instantaneous value of the recovery voltage during a period equal to 1/8 of a cycle of the rated frequency of the circuit-breaker shall be not less than the equivalent instantaneous value of the power-frequency recovery voltage specified in 6.104.7 of IEC 62271-100:2008 which, for a test with symmetrical current, starts with a minimum peak value of $0.95 \times k_{pp} \times U_r \sqrt{2} / \sqrt{3}$

where

 k_{pp} is the first pole-to-clear factor;

 $U_{\rm r}$ is the rated voltage of the circuit-breaker.

- Whether an exponentially decaying d.c., an a.c. or a combined a.c. and d.c. recovery voltage is used, its instantaneous value (for d.c.) or its peak value (for a.c. or combined a.c. and d.c.) should in principle be kept as close as possible to $U_r \sqrt{2} / \sqrt{3}$ and in any case shall not fall below $0.5 U_r \sqrt{2} / \sqrt{3}$ in less than 0.1 s.
- If an exponentially decaying d.c. or a combined a.c. and d.c. recovery voltage imposes an inappropriate stress on the circuit-breaker compared to that due to the specified a.c. recovery voltage in reference system conditions, then a more appropriate circuit may be used taking into account 6.104.7 of IEC 62271-100:2008 and also the limits stated above.
- Figure 2 gives some examples for evaluation of the recovery voltage.

4.2 Synthetic test circuits and related specific requirements for breaking tests

4.2.1 Current injection methods

These methods can be described in terms of general principles as follows (see Annex B):

- the current from the voltage circuit is superimposed on the power-frequency current through the test circuit-breaker prior to the interaction interval;
- the auxiliary circuit-breaker interrupts the power-frequency current from the current circuit prior to the interaction interval.

If any device with breaking capability interrupts the current through the test circuit-breaker at the same time as the test circuit-breaker, the method is not a valid current injection method and shall not be used to test the thermal behaviour of the test circuit-breaker.

During the interaction interval, the test circuit-breaker is exposed to the voltage of the voltage circuit having an impedance which is representative of the reference system conditions. This explains the validity of current injection methods. Several current injection methods are known but only the conditions for parallel current injection are given below since this method is used by the majority of the test laboratories. The following conditions shall be met:

- a) TRV waveshape circuit
 - 1) The shape and magnitude of the prospective TRV shall comply with the specified values.
 - 2) Ideally the equivalent surge impedance Z_h (see Figure 3) shall be equal to (du/dt)/(di/dt)during the interaction interval. du/dt is the rate of rise of the specified transient recovery voltage and di/dt is the rate of decrease of the specified short-circuit current.
 - 3) The combination of the stray and lumped capacitance C_{dh} in parallel with Z_h gives rise to the delay time $t_d = Z_h \times C_{dh}$.
- b) Inductance of the voltage circuit

The value of the inductance of the voltage circuit shall be between 1,0 and 1,5 times the inductance derived from the equivalent power-frequency voltage divided by the prospective current.

c) Frequency of the injected current and the injection timing

The frequency of the injected current shall preferably be of the order of 500 Hz with a lower limit of 250 Hz and an upper limit of 1 000 Hz.

In order to prevent undue influence on the waveshape of the power-frequency current, the lower limit of the frequency of the injected current is 250 Hz.

The maximum frequency of the injected current is determined by the interval of significant change of arc voltage, the interval for which shall be smaller than the time for which the arc is fed only by the injected current. To achieve this, the period of the injected frequency should be at least four times the interval of significant change of arc voltage (see Annex B).

The initiation of the injected current shall be adjusted such that the time, during which the test circuit-breaker is fed only by the injected current, is not more than a quarter of the period of the injected current frequency with a maximum of 500 μ s.

Attention should be paid to the possible overstressing of the circuit-breaker if the time that the test circuit-breaker is fed by the injected current only is less than 200 μ s.

d) Waveshape of the injected current

The prospective rate of decrease (di/dt) of the injected current at current zero shall correspond to that of the prospective power-frequency current.

The injected current shall be practically free of superimposed oscillations for a time not less than 100 μ s before current zero.

4.2.2 Voltage injection method

Several voltage injection methods are known but only series voltage injection is described here in general terms as follows (see also Annex C):

- the voltage from the voltage circuit is applied to the test circuit-breaker after the interaction interval;
- a capacitor in parallel with the auxiliary circuit-breaker is used to apply the recovery voltage to the test circuit-breaker;
- during the high-current and interaction intervals, the test circuit-breaker is exposed to the current circuit only.

The voltage injection method shall not be used to check the thermal behaviour of the circuitbreaker.

For example in the case of short-line fault tests, in addition to the voltage injection circuit supplying the source side TRV, a current injection circuit which is connected to the line-side terminal of the test circuit-breaker shall be used to supply the line-side transient voltage.

When used for tests relating to the dielectric behaviour of the circuit-breaker, the following conditions shall be met:

- the auxiliary circuit-breaker should have an arc voltage less than or equal to that of the test circuit-breaker (see 4.1.3);
- the voltage circuit shall be designed in such a manner as to allow detection of re-ignitions or re-strikes, should they occur.

Therefore, the capacitance across the auxiliary circuit-breaker shall be at least 20 times the capacitance in parallel with the test circuit-breaker. Care should be taken to avoid undue distortion of the current before power-frequency current zero;

- no pause shall be introduced by the combining of the current circuit and the voltage circuit.

4.2.3 Duplicate circuit method (transformer or Skeats circuit)

This method can be described in terms of general principles as follows (see also Annex D):

- the current and voltage are supplied from the same source;
- the a.c. recovery voltage is supplied from a step-up transformer, the primary of which is connected to the current circuit;
- the recovery voltage is applied to the test circuit-breaker through an impedance (normally a resistance).

The auxiliary circuit-breaker interrupts the current prior to the test circuit-breaker by a short time interval (usually about 10 μ s). During this short interval the value of d*i*/d*t* of the current in the test circuit-breaker is decreased.

The Skeats circuit is therefore not valid for tests where attention is paid to the thermal failure mode of the test circuit-breaker. It is suitable for testing the dielectric behaviour of a circuit-breaker and can be used for making tests.

The Skeats circuit can easily be adapted to supply full voltage stresses in two (or more) operations e.g. at both closing and opening in a CO operation, at both openings in an O - t - CO operation or even at consecutive current zeros in an opening operation. See Annex D.

4.2.4 Other synthetic test methods

Other methods may proven to be correct and advantageous for testing of circuit-breakers with specific characteristics or for testing of a circuit-breaker for specific performance. Even though these methods are not covered by this standard, they can be used subject to understanding of their application and agreement between the manufacturer and the user.

Methods concerning metal enclosed, and dead tank circuit-breakers should take into account the recommendations of Annex O of IEC 62271-100:2008.

General requirements for circuit-breakers with opening resistors are given in Annex R of IEC 62271-100:2008, Amendment 1. A method available for testing circuit-breakers having opening resistors is reported in Annex F.

4.3 Three-phase synthetic test methods

Three-phase synthetic test methods shall be applied for testing of circuit-breakers which can not be tested single pole as per 6.102.4.1 of IEC 62271-100:2008. They can also be used as an alternative to single phase synthetic tests if relevant. Short-circuit test sequences T10, T30 and T60 may in any case be performed in single-phase test circuits.

To ensure that the appropriate stresses in the interrupting element and those between poles and, if relevant, to the enclosure are applied, the following general requirements shall be fulfilled:

- a) full three-phase current shall be supplied to the three-pole circuit-breaker under test;
- b) information about the required test circuits for test duties T100s and T100a is given in Table 1;
- c) the test parameters for each pole-to-clear are given in Tables 2 through 4;
- d) all the above stresses preferably should be applied in the same test. If this is impossible, a multi-part testing procedure may be necessary;
- e) to avoid changing the connection of the high-voltage circuit to the circuit-breaker between the tests of each test sequence, the first-pole-to-clear is allowed to be kept in the same phase during the whole sequence, taking into account the requirements of 6.105.1 of IEC 62271-100:2008.

	T1	00s	T100a			
k _{pp}	First-pole-to-clear	Other poles	First-pole-to-clear	Other poles		
1,5	Application of synthetic circuits of 4.2.1 or 4.2.2 at all operations	Application of synthetic circuits of 4.2.1, 4.2.2 or 4.2.3 at all operations	Application of synthetic circuits of 4.2.1 or 4.2.2 for at least two operations. The third operation can be tested with 4.2.3	Application of synthetic circuit 4.2.1 or 4.2.2 at least to the operation with major extended loop and longest arcing time		
1,2 or 1,3	Application of synthetic circuits of 4.2.1 or 4.2.2 for at least two operations. The third operation can be tested with 4.2.3	Application of synthetic circuits of 4.2.1 through 4.2.3 at all operations. At the second pole-to- clear at the operation with the longest arcing time application of synthetic circuits of 4.2.1 or 4.2.2 only	Application of synthetic circuits of 4.2.1 or 4.2.2 for at least two operations. The third operation can be tested with 4.2.3	Application of synthetic circuits of 4.2.1 through 4.2.3 at all other operations. At the second pole-to- clear at the operation with the major extended loop and longest arcing time application of synthetic circuits of 4.2.1 or 4.2.2 only		
k _{pp} first-pole-to-clear factor.						
Voltage injection is only permitted if there are no ITRV requirements, or if these requirements are covered by SLF testing.						

Table 1 – Test circuits for test duties T100s and T100a

Table 2 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1.5$

TRV peak in %			Recovery	du/dt	di/dt	Phase	
		At instant of first-pole-to- clear	At instant of second and third-pole- to-clear	p.u.	%	%	°
Phases	А	100	-	1	100	100	-
	В	0	58	1	70	87	90
	С	0	58	1	70	87	90
Between	A – B	100	58	1,732			
pnases	B – C	0	115	1,732			
	A – C	100	58	1,732			

TRV peak first pole-to-clear: $u_c = k_{af} \times k_{pp} \times U_r \times \sqrt{2}/\sqrt{3}$ (= 100 %).

1 p.u. = $U_r \times \sqrt{2}/\sqrt{3}$.

The first-pole-to-clear is in phase A.

Test parameters are calculated based on earthing arrangements in circuits as described in IEC 62271-306 (to be published).

TRV peak in %			Recovery	du/dt	di/dt	Phase	
		At instant of first-pole-to- clear	At instant of second and third-pole- to-clear	peak p.u.	%	%	°
Phases	А	100	- / -	1	100	100	-
	В	0	- / 77	1	70	57	120
	С	0	98 / -	1	95	89	77
Between	A – B	100	- / 91	1,732			
phases	B – C	0	98 / 98	1,732			
	A – C	100	89 / -	1,732			
TRV peak firs	st nole-to-cle	par: $u = k \times k \times k$	$U \times \sqrt{2}/\sqrt{3} (= 100)$	%)			

Table 3 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,3$

pole-to-clear: $u_c = k_{af} \times k_{pp} \times U_r \times \sqrt{2}/\sqrt{3}$ (= 100 %)

1 p.u. = $U_r \times \sqrt{2}/\sqrt{3}$

The first-pole-to-clear is in phase A.

The second-pole-to-clear is in phase C.

Test parameters are calculated based on earthing arrangements in circuits as described in IEC 62271-306 (to be published).

Table 4 – Test parameters during three phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,2$

TRV peak in %				Recovery	du/dt	di/dt	Phase
		At instance of first- phase-to- clear	At instance of second and third- phase-to- clear	voltage peak p.u.	%	%	o angle
Phases	А	100	- / -	1	100	100	-
	В	0	- / 83 ^a	1	83 ^{a)}	75 ^{a)}	120 ^{a)}
	С	0	95 / -	1	95	92	71
Between phases	A – B	100	- / 124	1,732			
	B – C	0	95 / 126	1,732			
	A – C	100	105 / -	1,732			

TRV peak first pole : $u_{\rm c}$ = $k_{\rm af}$ \times $k_{\rm pp}$ \times $U_{\rm r}$ \times $\sqrt{2}$ / $\sqrt{3}$

1 p.u. = $U_r \times \sqrt{2} / \sqrt{3}$

The first-pole-to-clear is in phase A

The second-pole-to-clear is in phase C

^a Test parameters for the last-pole-to-clear are given for reference (see Table 1)

Test parameters are calculated based on earthing arrangements in circuits as described in IEC 62271-306 (to be published).

5 Synthetic testing techniques and methods for short-circuit making tests

5.1 Basic principles and general requirements for synthetic making test methods

5.1.1 General

During a closing operation onto a short-circuit, the circuit-breaker contact gap is subjected to the applied voltage as per 6.104.1 of IEC 62271-100:2008. After the moment of breakdown the circuit-breaker is subjected to the making current as per 6.104.2.1 of IEC 62271-100:2008. In a synthetic test circuit the applied voltage is supplied by a separate voltage circuit and the short-circuit current is supplied by a current circuit at reduced voltage. This latter is connected to the circuit-breaker immediately after breakdown of the contact gap by means of a fast making device, e.g. a triggered spark gap.

Any particular synthetic method chosen for testing shall adequately stress the test circuitbreaker. Generally the adequacy is established when the test method meets the requirements set forth in the following subclauses.

Prior to making, a circuit-breaker withstands the rated phase-to-earth voltage applied across its terminals: during making, it carries the rated short-circuit current. If closer attention is paid to the voltage and current stresses during the making test (see Figure 4) three main intervals can be recognized:

High-voltage interval

The high-voltage interval is the time from the commencement of the test, with the circuitbreaker in the open position, to the moment of breakdown across the contact gap;

- Pre-arcing interval

The pre-arcing interval is the time, during the closing stroke of the circuit-breaker, from the moment of breakdown across the contact gap to the touching of the contacts;

Latching interval

The latching interval is the time, during the closing stroke of the circuit-breaker, from the touching of the contacts to the moment when the contacts reach the fully closed (latched) position.

5.1.2 High-voltage interval

During this interval the circuit-breaker shall be stressed by the test circuit in such a way that the starting conditions for the pre-arcing interval, within the tolerances to be specified, are the same as the following reference system conditions:

- the applied voltage shall comply with the requirement set forth in 6.104.1 of IEC 62271-100:2008;
- the phase relationship between the applied voltage and the short-circuit current shall correspond to the rated power factor of the test circuit within the tolerances given in 6.103.1 of IEC 62271-100:2008.

5.1.3 Pre-arcing interval

During pre-arcing the circuit-breaker is subjected to electrodynamic forces due to the current and to deteriorating effects due to arc-energy. The current is composed of three components:

- the initial transient making current (ITMC);
- the d.c. and a.c. components of the short-circuit current.

Two typical cases may occur depending on the moment of closing:

 breakdown occurs near the crest of the applied voltage establishing an almost symmetrical current. Pre-arc energy and ITMC are relatively high; breakdown occurs near zero of the applied voltage establishing an asymmetrical current.
 Pre-arc energy and ITMC are negligible.

5.1.4 Latching interval and fully closed position

During these intervals the circuit-breaker has to close in presence of the electrodynamic forces due to the current and contact friction forces. Therefore during these intervals the making current shall comply with 4.103 of IEC 62271-100:2008.

5.2 Synthetic test circuit and related specific requirements for making tests

5.2.1 General

The test circuit and specific requirements shall fulfil requirement a) of 6.104.2.1 of IEC 62271-100:2008.

5.2.2 Test circuit

The test circuit is made up with two circuits, namely the current and the voltage circuit. Typical circuits showing voltage and current waveshapes are given in Figures 5 and 6 for single-phase and Figure 7 for three-phase:

- the voltage circuit supplies
 - the applied voltage during the high-voltage interval,
 - the ITMC during the pre-arcing interval, by the discharge of the ITMC-circuit;
- the current circuit supplies the making current during the pre-arcing, and latching intervals.

5.2.3 Specific requirements

During a synthetic making test, the phase relationship between the applied test voltage and the short-circuit current depends on the following parameters:

- power factor (cos φ) of the current circuit;
- phase displacement (β) between U_{cs} and U_{h} (if U_{h} is an a.c. voltage source);
- time delay of making device (t_m) .

The condition of the correct making operation is fulfilled when:

 β + t_m' + (90 - φ) \leq 27° in the case that U_h is an a.c. voltage and t_m is as short as possible but in any case not longer than 300 µs

where $t_m' = (t_m / T) \times 360^\circ$ (with T = 20 ms for 50 Hz and T = 16,7 ms for 60 Hz).

The high-voltage circuit $U_{\rm h}$ may be an a.c. source, a d.c. source or a combination of both.

 β may be negative if the voltage $U_{\rm h}$ is obtained by a separate source.

The injected current supplied by the voltage circuit shall ensure pre-arcing until the breakdown of the fast make gap. Therefore, the time constant of the ITMC circuit shall be long enough to ensure current flow during the time delay of the making device.

6 Specific requirements for synthetic tests for making and breaking performance related to the requirements of 6.102 through 6.111 of IEC 62271-100:2008

Subclauses 6.102 through 6.111 of IEC 62271-100:2008 are also applicable for synthetic testing. However, in some cases special techniques are necessary. These cases are outlined in the following subclauses. The numbering of the subclauses corresponds to that of IEC 62271-100:2008.

Annex O of IEC 62271-100:2008 gives guidelines for the testing of metal-enclosed and dead tank circuit-breakers.

6.102.4.2 Unit testing

Subclause 6.102.4.2 of IEC 62271-100:2008 is applicable with the following addition.

For the application of the synthetic test methods to one or more units of a circuit-breaker, the requirements of 6.102.4.2 of IEC 62271-100:2008 are applicable. In the case of metalenclosed or dead tank circuit-breakers, Annex N gives details of some typical test circuits and Annex O of IEC 62271-100:2008 outlines appropriate testing guidelines.

6.102.4.2.3 Requirements for unit testing

For verifying insulation performance of metal enclosed circuit-breakers between live parts and enclosures, an additional test shall be performed with:

- the rated short-circuit current interrupted by all units under condition of maximum arcing time;
- the corresponding voltage applied between the incoming terminal and the tank for both duties T100s and T100a.

A single breaking operation is sufficient to demonstrate this performance. The circuit-breaker may be reconditioned before this additional test.

6.102.4.3 Multi-part testing

Opening operations of circuit-breakers with closing resistors require no special testing techniques since the closing resistor will not influence the test circuit.

The closing resistors can only be tested in a direct circuit that provides the correct current and voltage stresses from a single power source.

During the synthetic making tests it is necessary to remove the closing resistor in order to obtain the correct short-circuit current stresses and pre-arcing conditions in the main interrupter.

If all the TRV and/or the recovery voltage requirements cannot be met simultaneously, multipart testing may be used taking into account 6.102.4.3 of IEC 62271-100:2008.

When multi-part testing is performed to verify only the recovery voltage it is not necessary to establish the minimum arcing time once again.

6.102.10 Demonstration of arcing times

The basic requirements to be met are given in 6.102.10 of IEC 62271-100:2008.

In order to be able to perform synthetic tests on the same basis as direct tests, normally it will be necessary to apply special re-ignition methods to prolong the arcing of the test circuit-

breaker through the necessary number of zeros of the power-frequency current. See Annex H for re-ignition methods to prolong arcing.

The "step-by-step" method described in Annex H is the method used on most synthetic tests. The method is considered to be a sufficiently close approximation of the direct testing procedure.

The arcing is prolonged by means of thermal re-ignitions. As this method makes it possible to force the test circuit-breaker to re-ignite in all conditions, special care shall be taken not to re-ignite the circuit-breaker at the instant of a current zero when the circuit-breaker can clear. For this purpose it is necessary to determine, for each terminal fault, short-line fault and out-of-phase test duty, the minimum arcing time of the circuit-breaker. At least two breaking tests, one clearance and one re-ignition, are necessary for this determination.

The clearance at the minimum arcing time is the first valid breaking operation. The other test is performed to demonstrate that a re-ignition at an early current zero would take place between the arcing contacts. This reignition test shall not be the last in a test duty.

The extra tests necessary to demonstrate correct behaviour at early current zeros will usually contribute insignificantly to contact wear, etc., due to the short arcing times. Therefore, no reconditioning should be necessary because of these tests.

The re-ignition(s) obtained when determining the minimum arcing time do(es) not indicate a failure of the circuit-breaker. However, it is important to establish that this re-ignition has taken place between the arcing contacts only. When using a current injection method, the interruption of the injected current a few loops after the re-ignition is often a useful means for the judgement. Thorough inspection of screens, arcing and main contacts, etc., should also be made to verify correct behaviour.

6.102.10.1 Three-phase tests

Depending on the test circuit used, the test procedures given here may not cover the conditions of the 3rd pole-to-clear for solidly earthed systems ($k_{pp} = 1,3$). For this case the same procedures may be applied, with the manufacturer's consent, by combining the TRV and di/dt parameters for the 2nd pole-to-clear and the arcing time corresponding to the 3rd pole-to-clear. Alternatively, an additional test may be performed with the TRV, di/dt and the maximum arcing time corresponding to the 3rd pole-to-clear.

For alternative testing procedures of multi-enclosure type circuit-breakers with operating mechanism characteristics that require three-phase current, see Annex K.

6.102.10.1.1 Test duties T10, T30, T60, T100s, T100s(b), OP1 and OP2

The test procedure is as follows:

For convenience of testing, the pole in phase A is kept as the first-pole-to-clear.

First the minimum arcing time and correct re-ignition behaviour are established. This is done by changing the setting of the tripping impulse in steps of 18° (possibly this has to be repeated several times). After having done so, the setting of the control of the tripping impulse has to be advanced by approximately 40°, starting from the shortest arcing time at which the circuit-breaker cleared. For the last test, the setting of the control of the tripping impulse has to be advanced by approximately 20°, starting from the shortest arcing time at which the circuit-breaker cleared:

- first valid breaking operation: $t_{arc min}$, minimum arcing time in phase A;
- re-ignition test: $t_{\text{arc reig}} = t_{\text{arc min}} 18^\circ$, re-ignition in phase A;
- second valid breaking operation: $t_{max} = t_{arc min} + 40^\circ$, longest arcing time in phase A;

- third valid breaking operation: $t_{med} = t_{arc min} + 20^\circ$, medium arcing time in phase A.

The first valid breaking operation and re-ignition test consist of single opening operations. The second and third valid breaking operations are carried out as part of the rated operating sequence. If the rated operating sequence is CO-15s-CO the third valid breaking operation is not required (see 6.102.10 of IEC 62271-100:2008).

For comparison with the arcing time settings used in three-phase direct tests, see Figure 8.

6.102.10.1.2 Test duty T100a

The test procedure is as follows:

All tests consist of single opening operations.

In order to simplify the test procedure, the pole in phase A is kept as the first-pole-to-clear, but the pole in phase C will be subjected to increased electrical wear. In order to obtain similar electrical wear on the poles of phases B and C, the tests can be performed by exchanging the poles of phases B and C for the third valid breaking operation.

First the minimum arcing time (first valid breaking operation) and re-ignition behaviour are established with the major extended loop occurring in phase C. This is done by changing the setting of the tripping impulse in steps of 18° (possibly this has to be repeated several times).

The second valid breaking operation is carried out with the required asymmetry changed to phase A, hence both the initiation of short-circuit current and the setting of the tripping impulse shall be advanced by 60° with reference to the re-ignition test.

The third valid breaking operation is set with the required asymmetry in phase C. The initiation of the short-circuit current is delayed by 60° while the tripping impulse is advanced by 10°, with reference to the second valid breaking operation.

- First valid breaking operation: tarc min
 - minimum arcing time in phase A,
 - required asymmetry conditions in phase C;
- Re-ignition test: $t_{arc reig} = t_{arc min} 18^{\circ}$
 - re-ignition in phase A,
 - required asymmetry conditions in phase C;
- Second valid breaking operation: *t*arc max major in the first-pole-to-clear
 - both the initiation of the short-circuit current and the setting of the tripping impulse advanced by 60°, with reference to t_{arc reig},
 - required asymmetry conditions in phase A;
- Third valid breaking operation: tarc max major extended
 - maximum arcing time in phase A,
 - required asymmetry conditions in phase C;
 - initiation of the short-circuit current delayed by 60° and the setting of the tripping impulse advanced by 10°, with reference to $t_{arc max major}$.

The order of the tests given is for convenience only.

For comparison with the arcing time settings used in three-phase direct tests, see Figure 9.

The second and third valid breaking operations can be interchanged as follows:

- Second valid breaking operation: tarc max major extended
 - maximum arcing time in phase A,
 - required asymmetry conditions in phase C,
 - the setting of the tripping impulse advanced by 70°, with reference to $t_{arc reig}$;
- Third valid breaking operation: t_{arc max major} in the first-pole-to-clear:
 - initiation of short-circuit current advanced by 60° and the setting of the tripping impulse delayed by 10° with reference to t_{arc max major extended};
 - required asymmetry conditions in phase A.

Since some circuit-breakers will not clear after a major loop, a test is still valid if the circuitbreaker interrupts at the subsequent minor loop.

For some types of circuit-breaker, it may appear that for the third valid test ($t_{arc\ max\ major\ extended}$), the minor loop of current at the previous current zero could already be cleared in phase B. This is not verified in the above described procedure, but can be checked by delaying both the initiation of short-circuit and the setting of the tripping impulse by 60°, with reference to $t_{arc\ max\ major\ extended}$. Hence, if clearance occurs at the previous minor loop, the third valid test may be repeated with a shorter arcing time depending on the arcing time at which the circuit-breaker will not clear this minor loop of current.

6.102.10.2 Single-phase tests in substitution for three-phase conditions

The procedures as described in 6.102.10.2 of IEC 62271-100:2008 are applicable.

6.102.10.2.5 Splitting of test-duties in test series, taking into account the associated TRV for each pole-to-clear

The procedures as described in 6.102.10.2.5 of IEC 62271-100:2008 are applicable and the test procedure for synthetic testing is given in Annex L.

6.104.5.4 Test-duty T30

For rated voltages up to and including 72,5 kV it may be difficult to meet the small values of t_3 . The shortest time which can be met should be used, but not less than the values specified in Table 13 of IEC 62271-100:2008. The values used shall be stated in the test report.

6.104.5.5 Test-duty T10

For rated voltages up to and including 72,5 kV it may be difficult to meet the small values of t_3 . The shortest time which can be met should be used, but not less than the values specified in Table 13 of IEC 62271-100:2008. The values used shall be stated in the test report.

6.106 Basic short-circuit test-duties

The basic requirements are given in 6.106 of IEC 62271-100:2008. The synthetic test methods are given in Table 5.

Abbreviations used in 6.106 and Table 5 are given below.

- Cd Closing operation in a direct circuit at the voltage of the current source which can be less than the voltage specified in 6.104.1 of IEC 62271-100:2008
- Cs Closing operation with specified parameters in a synthetic circuit
- Cd_{asy} Closing operation against the rated short-circuit making current according to 6.104.2 of IEC 62271-100:2008 in a direct circuit at conditions described under Cd
- Cs_{svm} Closing operation against a symmetrical current equal to the rated short-circuit

breaking current, carried out at the required applied voltage in a synthetic circuit

- Od Breaking operation at the voltage of the current source only and with the specified breaking current
- Os Breaking operation with specified parameters in a synthetic circuit
- *t* Time interval between operations (0,3 s or 3 min depending on the rated operating sequence)
- *t*['] Time interval between operations (3 min)
- *t*" Time interval between operations (15 s)
- SP Single-phase test as defined in 6.108 of IEC 62271-100:2008
- DEF Double earth fault test as defined in 6.108 of IEC 62271-100:2008

NOTE Due to the characteristics of synthetic testing it may be difficult to comply with the specified time intervals of the rated operating sequence. See 6.105.1 of IEC 62271-100:2008.

In order to comply with all test requirements, it may be necessary to make more operations than specified in the normal test duty. In such cases the circuit-breaker may be reconditioned and the test duty repeated.

6.106.1 Test-duty T10

Several procedures may be used to perform the rated operating sequence synthetically with the specified parameters (see Table 5).

6.106.2 Test-duty T30

Several procedures may be used to perform the rated operating sequence synthetically with the specified parameters (see Table 5).

6.106.3 Test-duty T60

Several procedures may be used to perform the rated operating sequence synthetically with the specified parameters (see Table 5).

6.106.4 Test-duty T100s

Several procedures may be used to perform the rated operating sequence synthetically with the specified parameters (see Table 5), as follows.

6.106.4.1 Time constant of the d.c. component of the test circuit equal to the specified value

One of the following methods shall be used when the time constant of the test circuit is equal to the specified value used for the rated short-circuit breaking current as defined by 4.101.2 of IEC 62271-100:2008.

Method 1

The preferred procedure is to carry out the complete rated operating sequence as follows:

$$Os - t - Cs Os - t' - CsOs or$$

$$CsOs - t'' - CsOs$$

with one Cs meeting requirement a) and the other Cs meeting requirement b) of 6.104.2.1 of IEC 62271-100:2008.

Method 2

The procedure is to carry out the complete rated operating sequence as follows:

Os followed by

 $Od - t - Cs_{sym}Os - t' - Cd_{asy}Os$ or

 $Cs_{sym}Od - t'' - Cd_{asy}Os$

with Od having the same minimum arcing time condition as the previous Os and Cd_{asy} meeting requirement b) of 6.104.2.1 of IEC 62271-100:2008.

The purpose of the first Os is

- to comply with the requirement to have the specified number of breaking operations at the specified values,
- to provide the necessary information to enable the control of the tripping impulse to be set for the relevant requirements during the subsequent operating sequence. This enables the minimum arcing time conditions to be established, as if direct tests were performed at specified values. These conditions have to be reproduced during the Od operation in the subsequent operating sequence.

The purpose of the Cs_{sym} is to meet requirement a) of 6.104.2.1 of IEC 62271-100:2008; closing against a symmetrical current as a result of the pre-arcing commencing at the peak of the applied voltage.

Method 3

The procedure is to carry out the complete rated operating sequence as follows:

 Cs_{sym} and Os followed by Od - t - CdOs - t' - CdOs or CdOd - t" - CdOs

with Od having the same minimum arcing time condition as the previous Os and one of the two Cd's meeting requirement b) of 6.104.2.1 of IEC 62271-100:2008.

The purpose of the first Os is

- to comply with the requirement to have the specified number of breaking operations at the specified values,
- to provide the necessary information to enable the control of the tripping impulse to be set for the relevant requirements during the subsequent operating sequence. This enables the minimum arcing time conditions to be established, as if direct tests were performed at specified values. These conditions have to be reproduced during the Od operation in the subsequent operating sequence.

The purpose of the Cs_{sym} is to meet requirement a) of 6.104.2.1 of IEC 62271-100:2008; closing against a symmetrical current as a result of the pre-arcing commencing at the peak of the applied voltage.

6.106.4.2 Time constant of the d.c. component of the test circuit less than the specified value

One of the following methods shall be used when the time constant of the test circuit is less than the specified value used for the rated short-circuit breaking current according to 4.101.2 of IEC 62271-100:2008.

Method 1

The procedure is to carry out the complete rated operating sequence as follows:

 Cd_{asy} and Os followed by $Od - t - Cs_{sym}Os - t' - CdOs$ or $Cs_{svm}Od - t'' - CdOs$

with Od having the same minimum arcing time condition as the previous Os and Cd_{asy} meeting requirement b) of 6.104.2.1 of IEC 62271-100:2008.

The purpose of the first Os is

- to comply with the requirement to have the specified number of breaking operations at the specified values,
- to provide the necessary information to enable the control of the tripping impulse to be set for the relevant requirements during the subsequent operating sequence. This enables the minimum arcing time conditions to be established, as if direct tests were performed at specified values. These conditions have to be reproduced during the Od operation in the subsequent operating sequence.

The purpose of the Cs_{sym} is to meet requirement a) of 6.104.2.1 of IEC 62271-100:2008; closing against a symmetrical current as a result of the pre-arcing commencing at the peak of the applied voltage.

Method 2

The procedure is to carry out the complete rated operating sequence as:

 Cd_{asy} , Cs_{sym} and Os followed by Od - t - CdOs - t' - CdOs or CdOd - t'' - CdOs

with Od having the same minimum arcing time condition as the previous Os and Cd_{asy} meeting requirement b) of 6.104.2.1 of IEC 62271-100:2008.

The purpose of the first Os is

- to comply with the requirement to have the specified number of breaking operations at the specified values,
- to provide the necessary information to enable the control of the tripping impulse to be set for the relevant requirements during the subsequent operating sequence. This enables the minimum arcing time conditions to be established, as if direct tests were performed at specified values. These conditions have to be reproduced during the Od operation in the subsequent operating sequence.

The purpose of the Cs_{sym} is to meet requirement a) of 6.104.2.1 of IEC 62271-100:2008; closing against a symmetrical current as a result of the pre-arcing commencing at the peak of the applied voltage.

6.106.4.3 Time constant of the d.c. component of the test circuit greater than the specified value

One of the following methods shall be used when the time constant of the test circuit is greater than the specified value used for the rated short-circuit breaking current according to 4.101.2 of IEC 62271-100:2008.

Method 1

The procedure is to carry out the complete rated operating sequence as follows:

Os followed by

 $Od - t - Cs_{sym}Os - t' - Cd_{asy}Os$ or

 $Cs_{sym}Od - t'' - Cd_{asy}Os$

with Od having the same minimum arcing time condition as the previous Os and Cd_{asy} , meeting requirement b) of 6.104.2.1 of IEC 62271-100:2008.

The purpose of the first Os is

- to comply with the requirement to have the specified number of breaking operations at the specified values,
- to provide the necessary information to enable the control of the tripping impulse to be set for the relevant requirements during the subsequent operating sequence. This enables the minimum arcing time conditions to be established, as if direct tests were performed at specified values. These conditions have to be reproduced during the Od operation in the subsequent operating sequence.

The purpose of the Cs_{sym} is to meet requirement a) of 6.104.2.1 of IEC 62271-100:2008, closing against a symmetrical current as a result of the pre-arcing commencing at the peak of the applied voltage.

Method 2

The procedure is to carry out the complete rated operating sequence as follows:

Cs_{sym} and Os followed by

Od - t - CdOs - t' - CdOs or

CdOd - t'' - CdOs

with Od having the same minimum arcing time condition as the previous Os and one of the two Cd meeting requirement b) of 6.104.2.1 of IEC 62271-100:2008.

The purpose of the first Os is

 to comply with the requirement to have the specified number of breaking operations at the specified values, - to provide the necessary information to enable the control of the tripping impulse to be set for the relevant requirements during the subsequent operating sequence. This enables the minimum arcing time conditions to be established, as if direct tests were performed at specified values. These conditions have to be reproduced during the Od operation in the subsequent operating sequence.

The purpose of the Cs_{sym} is to meet requirement a) of 6.104.2.1 of IEC 62271-100:2008, closing against a symmetrical current as a result of the pre-arcing commencing at the peak of the applied voltage.

6.106.5 Test-duty T100a

Three breaking operations shall be made as specified in 6.106.5 of IEC 62271-100:2008 (see Table 5).

During tests with asymmetrical current both di/dt and the TRV are modified due to the d.c. component. In synthetic tests these modifications have to be pre-arranged as follows:

a) Depending on the required d.c. time constant, the following asymmetry criteria have to be fulfilled as given below and in 6.106.6 of IEC 62271-100:2008.

Required values of the peak short-circuit current and loop duration shall be in accordance with the values of Tables 15 through 22 of IEC 62271-100:2008.

Criteria for actual values are given in 4.1.2.

The required asymmetry level at current zero should be used to calculate the applicable di/dt and TRV.

When a voltage injection method is used, the criteria regarding the di/dt at current zero may be disregarded.

b) Reduction of di/dt at current zero

The reduction of di/dt may be obtained for current injection methods by reducing the charging voltage of the voltage circuit.

The corresponding corrected values can be found in Tables 15 through 22 of IEC 62271-100:2008 for the first-pole-to-clear condition and in Tables I.1 through I.4 for the second pole-to-clear condition in the phase having the full asymmetrical current.

- c) Correction of TRV
 - 1) Simplified method

For TRVs with time t_2 or t_3 not exceeding 500 μ s, a simplified method can be used.

The charging voltage of the synthetic circuit should be set to obtain the most onerous test parameters. For tests on the minor loop it is u_c , and for the major loop di/dt.

2) For TRVs with time t_2 exceeding 500 μ s, other corrections and/or circuit modifications have to be used. For the required prospective TRV values see Tables I.5 through I.10.

Different test circuits for major and minor loops may be needed in order to realise the required values. A test with one single test circuit may over-stress the circuit-breaker and requires the consent of the manufacturer.

d) Correction of recovery voltage

When a test is made for clearance at the end of a major loop, the reduced recovery voltage will adequately cover the first quarter loop of the recovery voltage (of an equivalent direct test).

For clearance at the end of a minor loop of current, the reduced recovery voltage will not cover reference system conditions since in the system the power-frequency recovery voltage continues to rise after the onset of the TRV.

Together with the symmetrical test duties, the evidence is sufficient to prove the performance of the circuit-breaker.

6.108 Single-phase and double-earth fault tests

The basic test requirements are given in 6.108 of IEC 62271-100:2008. The test method is shown in Table 5.

6.109 Short-line fault (SLF) tests

The basic test requirements are given in 6.109 of IEC 62271-100:2008.

The test methods for SLF tests are shown in Table 5.

The final current loop before clearing shall have an amplitude equal to the test current times $\sqrt{2}$ with a tolerance of ±10 % including the provisions of 4.1.2.

For short-line fault synthetic testing, the parameters of the short-line fault circuit shall be those given in 4.105 of IEC 62271-100:2008 and the line circuit shall be in the current-carrying circuit during the whole interaction interval.

With current injection circuits, the short-line fault circuit may be connected in series with the voltage circuit and its inductance is added to $L_{\rm h}$, as shown in Figure B.1.

The presence of the short-line fault circuit in the voltage circuit may cause oscillations to be superimposed on the injected current wave. These oscillations should be damped out (to satisfy d) of 4.2.1), so as not to affect the current during the interval of significant change of arc voltage or at least 100 μ s before current zero.

A resistance may be connected in series with the TRV shaping circuit. In most cases this resistance, selected to control the initial rate of rise of recovery voltage, is sufficient to supply the necessary damping.

NOTE 1 If, for short-line fault tests, the line is connected to the same side of the test circuit-breaker as the voltage circuit impedance, special attention is given to voltage distribution and measurement of prospective TRV.

If an extra capacitance is used to adjust the time delays as per 6.109.3 of IEC 62271-100:2008, care should be taken as to where to apply this capacitance:

- when using a line side capacitance, it shall be connected across the line section of the test circuit to simulate the same conditions as in direct tests;
- when using a source side capacitance, it shall be connected across the source section of the voltage circuit.

A capacitance across the circuit-breaker is normally considered as being part of the test object. In certain cases it may be necessary to apply additional capacitance across the circuit-breaker to adjust the time delay of the test circuit.

NOTE 2 A capacitance across the auxiliary circuit-breaker influences the time delay and is considered as being part of the delay capacitance of the test circuit.

According to 6.109.5 of IEC 62271-100:2008, short-line fault tests may also be made with current injection circuit based on reduced power frequency voltage, the provisions of 6.109.3 of IEC 62271-100:2008 being relaxed.

These provisions shall be met as well as possible and, for the transient recovery voltage at least up to three times the specified time of the first line side peak.

For applicability of this method refer to 6.109.5 of IEC 62271-100:2008.

NOTE 3 It is recognized that the requirements of 4.2.1 b) on the inductance of the voltage circuit is in accordance with equivalent direct circuit with reduced power.

6.110 Out-of-phase making and breaking tests

The basic requirements are given in 6.110 of IEC 62271-100:2008.

The test methods for OP1 and OP2 are given in Table 5.

Tituus, Tituua, SP, DEF, OP and SLF						
Test duty	Synthetic test		Rated operating sequence			
	Subclause	Method	O - t - CO - t' - CO t = 0.3 s or 3 min t' = 3 min	$\begin{array}{c} CO - t^{"} - CO \\ t^{"} = 15 \text{ s} \end{array}$		
T10, T30 and T60		1	$Os - t - (Cd)Os - t' - (Cd)Os^{a}$	(Cd)Os - t" - (Cd)Os a		
	6.106.1 to 6.106.3	2	Os Od - t - (Cd)Os - t' -(Cd)Os a	Os (Cd)Od – <i>t</i> " – (Cd)Os ^a		
T100s		1	Os - t - CsOs - t' - CsOs	CsOs – t" – CsOs		
	6.106.4.1 time constant of the	2	Os Od - t - Cs _{sym} Os - t' - Cd _{asy} Os	Os Cs _{sym} Od – <i>t</i> " – Cd _{asy} Os		
	test circuit equal to the specified value	3	Cs_{sym} Os Od - t - CdOs - t' - CdOs d	Cs _{sym} Os CdOd – <i>t</i> " – CdOs ^d		
	6.106.4.2 time constant of the	1	Cd_{asy} Os Od - t - Cs _{sym} Os - t' - CdOs b	Cd _{asy} Os Cs _{sym} Od – <i>t</i> " – CdOs ^b		
	d.c. component of the test circuit less than the specified value	2	Cd_{asy} Cs_{sym} Os $Od - t - CdOs - t' - CdOs$ ^b	Cd _{asy} Cs _{sym} Os CdOd – <i>t</i> " – CdOs ^b		
	6.106.4.3 time constant of the	1	$Os Od - t - Cs_{sym}Os - t' - Cd_{asy}Os^{C}$	Os Cs _{sym} Od – t" – Cd _{asy} Os ^C		
	d.c. component of the test circuit greater than the specified value	2	Cs_{sym} Os Od - t - CdOs - t' - CdOs C, d	Cs _{sym} Os CdOd – <i>t</i> " – CdOs ^{C, d}		

Os - t' - Os - t' - Os

 $Os - t - (Cd)Os - t' - (Cd)Os^{a}$

 $Od - t - (Cd)Os - t' - (Cd)Os^{a}$

Os

Os

Table 5 – Synthetic test methods for test duties T10, T30, T60, T100s, T100a, SP, DEF, OP and SLF

^a (Cd) is a closing operation as Cd, which may be carried out under no-load conditions.

1

2

1

2

^b Due to the smaller time constant of the d.c. component of the test circuit with respect to the specified value used for the rated short-circuit breaking current, the symmetrical value of the current during Cd_{asy} will need to be greater than the rated value. During the Cd for the same reason, the current peak, already demonstrated during Cd_{asy} will be smaller than the rated short-circuit making current.

(Cd)Os, Os, Os ^a

Os, Os, Os Cs_{sym}Os, Os, Os

Cs_{sym}

^c Due to the larger time constant of the d.c. component of the test circuit with respect to the specified value used for the rated short-circuit, the current peak during the asymmetrical closing can be larger than the rated short-circuit making current. A peak current reduction circuit can be used or the closing operation may be controlled by use of point on wave control, to obtain the required rated short-circuit making current. The use of point-on-wave control is subject to the consent of the manufacturer.

d One of the two Cd's shall be Cd_{asy.}

T100a

SP and

DEF

SLF

OP1

OP2

6.106.5

6.108

6.109

6.110

6.110

6.111 Capacitive current switching tests

The basic requirements are given in 6.111 of IEC 62271-100:2008.

For metal-enclosed and dead tank circuit-breakers, typical test circuits are given in Annex N and additional guidelines are given in Annex O of IEC 62271-100:2008.

6.111.2 General

A test circuit with a 50 Hz current circuit may be used to prove the capacitive current switching capability for a rating of 60 Hz, provided that the recovery voltage fulfils the 60 Hz requirements (see Note 4 of 6.111.2 of IEC 62271-100:2008). The setting of the contact separation should be based on the frequency of the current source. However, the minimum arcing time is determined by changing the setting of the contact separation on opening by periods of approximately 6° based on the rated frequency of the circuit-breaker under test.

6.111.3 Characteristics of supply circuits

When the characteristics of the test circuit do not meet the requirements of 6.111.3 of IEC 62271-100:2008, the prospective recovery voltage specified in 6.111.10 of IEC 62271-100:2008 shall be applied.

The effects of current chopping, as described in Clause G.6, may modify the recovery voltage during the capacitive-current switching tests.

6.111.7 Test voltage

For single-phase synthetic capacitive current switching tests, the test voltage specified for direct tests in 6.111.7 of IEC 62271-100:2008 shall be applied.

Examples of synthetic capacitive-current switching circuits are given in Annex G.



Key

i	breaking current	<i>t</i> ₂
и	power-frequency voltage	t_3
ua	arc voltage	$t_2 - t_1$
TRV	transient recovery voltage	$t_3 - t_2$
i _{PA}	post-arc current	After t ₃
t ₁	instant of contact separation	

start of significant change in arc voltage
instant of cessation of post-arc current
high-current interval
interaction interval
high-voltage interval

Figure 1 – Interrupting process – Basic time intervals



Key

~

- recovery voltage with exponential decrement across the circuit-breaker during a synthetic test
- power-frequency recovery voltage of the first extinguishing pole in the equivalent direct test, e.g. first-pole-to-clear factor $k_{\rm pp}$ = 1,3 2
- power-frequency recovery voltage after interruption of currents in all three poles in the equivalent direct test ო
- point to which the recovery-voltage (1) shall not fall below the specified value (2) ጚ ч
 - point below which the recovery-voltage (1) shall not fall during a synthetic test
- power frequency period

Ы

Figure 2 – Examples of evaluation of recovery voltage


- U_{h} charging voltage of voltage circuit
- L_h inductance of voltage circuit
- Z_{h} equivalent surge impedance
- C_{dh} capacitance for time delay of voltage circuit
- S_t test circuit-breaker

Figure 3 – Equivalent surge impedance of the voltage circuit for the current injection method



- instant of contact touch
- instant of reaching fully closed position

Figure 4 – Making process – Basic time intervals

 t_1

 t_2

power-frequency voltage

dielectric closing characteristic

и

 u_{d}





u _{cs}	voltage of current circuit	u _{vs}	voltage of voltage circuit
СН	making device (triggered spark gap)	i _h	initial transient making current (ITMC)
i	power-frequency current supplied by current circuit	i _t	current in the test circuit-breaker
St	test circuit-breaker	t _m	time delay of making device

Figure 5 – Typical synthetic making circuit for single-phase tests



making device (triggered spark gap)	i _t	current in the test circuit-breaker
power-frequency current supplied by current circuit	u _t	test voltage across test circuit-breaker

S_t test circuit-breaker

i

Figure 6 – Typical synthetic making circuit for out-of-phase



$u_{cs1}, u_{cs2}, u_{cs3}$	voltage of current circuit	u _{h1} , u _{h2} , u _{h3}	applied voltage
i_1, i_2, i_3	current supplied by the current circuit	CH_1 , CH_2 , CH_3	making device
i_{t1}, i_{t2}, i_{t3}	current through the test object	St	test circuit-breaker
i _{h1} , i _{h2} , i _{h3}	initial transient making current (ITMC)	t _m	time delay of making device

Figure 7 – Typical synthetic make circuit for three-phase tests (k_{pp} = 1,5)



NOTE 1 I_A , I_B , I_C : currents in phases A, B and C, respectively.

NOTE 2 The solid horizontal bar is the minimum arcing time.

Figure 8 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100s with $k_{pp} = 1,5$



NOTE 1 I_A , I_B , I_C : currents in phases A, B and C, respectively. NOTE 2 The solid horizontal bar is the minimum arcing time.

Figure 9 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100a with $k_{pp} = 1.5$

Annex A (informative)

Current distortion

A.1 General

Current distortion is a well known factor that should be considered during synthetic testing. Clauses A.2, A.3 and A.4 give a basic analysis using simplified methods. In practice digital calculations by computers may be more appropriate where various arc voltage waveshapes can be introduced.

A.2 Current distortion immediately prior to current zero

The interaction interval begins when the arc voltage starts to change significantly as the current approaches zero. The change of the arc voltage during this time influences the shape and the rate-of-change of the current immediately before current zero.

This deviation from the prospective current curve is caused by the distortion current, which mainly flows in the low time constant impedance, taking into account all parameters of the actual circuit.

The particular way in which the current approaches zero is responsible for the physical conditions of the medium between the arcing contacts of a circuit-breaker at current zero. The major interaction between circuit and circuit-breaker is caused by the arc voltage charging and discharging capacitances and influencing di/dt just before zero.

In a simplified circuit, as in Figure A.1 representing a short-circuit in service or a direct test, the voltage u supplies an arc current i with the appropriate arc voltage u_a . Parallel to the arc is a capacitor C.

If it is assumed that the arc voltage $u_a = 0$, then a prospective short-circuit current i_p (see Figure A.2) will flow through the arc, the magnitude and waveshape of this current being determined by the inductance *L*, the voltage *u*, the frequency of this voltage and the moment of current initiation.

If it is assumed that the supply voltage u = 0 and that an arc voltage exists, then the arc voltage will produce a current flow. This current i_d (see Figure A.3) is the distortion current, which will flow partly as i_{dL} through the inductance *L*, and partly as i_{dC} through the capacitance *C*. For this condition, the following equations apply:

$$u_{a} - L \times \frac{d}{dt} (i_{dL}) = 0$$

 $C \frac{d}{dt}(u_a) - i_{dC} = 0$

and

From these, the following equation for i_d can be obtained:

$$i_{d} = i_{dL} + i_{dC} = \frac{1}{L} \int u_{a} dt + C \times \frac{d}{dt} (u_{a})$$

If both of the voltages, u and u_a are present (see Figure A.4), then the resulting actual current is given by:

 $i = i_{p} - i_{d}$

A.3 Current distortion during the high-current interval

A.3.1 General

During this interval, the arc voltage generates a distortion current i_d , in the circuit. i_d is superimposed on the total current.

By comparison with the prospective current, the resulting arc current exhibits distortion in four physical aspects: current amplitude, loop duration, arc-energy and di/dt.

To evaluate the influence of the arc voltage it is sufficient, in practice, to consider the current amplitude and the loop duration.

As a first approximation, two different arc voltage characteristics can be considered, namely:

- a) a constant arc voltage $u_a = U_a$
- b) a linearly rising arc voltage $u_a = S \times t$

Since the current through the capacitor C (see Figure A.1) will be small during this period of arcing, the simplified diagram of Figure A.5 is adequate.

A.3.2 Distortion during one loop of arcing related to a symmetrical current

The following equations are derived, where the resistance in Figure A.5 is neglected since the effect of this during the single loop is negligible. Some results are given in Figure A.8 and A.9.

Calculations are made based on the characteristics shown in Figure A.6 and A.7.

$\hat{u} = \omega L \times \hat{i}_{p}$	peak value of voltage of current circuit
îp	peak value of prospective current
î	peak value of actual current (reduced by arc voltage)
t _m	instant of peak value î

- a) Ratio of current amplitudes
 - for constant arc voltage:

$$\frac{\hat{t}}{\hat{t}_{p}} = \sin(\omega \times t_{m}) - \frac{U_{a}}{\hat{u}} \times \omega t_{m}$$

- for linearly rising arc voltage:

$$\frac{\hat{t}}{\hat{t}_{\rm D}} = \sin\left(\omega \times t_{\rm m}\right) - \frac{S\omega}{2\,\hat{u}}\,t_{\rm m}^2$$

- b) Actual current loop duration T₁ (reduced by arc voltage)
 - for constant arc voltage

$$\sin(\omega T)_1 = \frac{U_a \,\omega}{\hat{u}} T_1$$

for linearly rising arc voltage:

$$\sin(\omega T)_1 = \frac{S\omega}{2\,\hat{u}} T_1^2$$

In Figure A.8 and A.9 relative reduction of current amplitude $\Delta i/\hat{i}_p$ and current loop duration $\Delta t/T_p$ are given as a function of ratio U_a/\hat{u} for a constant arc voltage and of ratio $S \times T_a/2 \times \hat{u}$ for a linearly rising arc voltage, respectively, where:

$$\Delta i = \hat{i}_{\mathsf{p}} - \hat{i},$$

$$\Delta t = T_{\rm p} - T_{\rm 1}$$

 $T_{\rm p}$ = prospective current loop duration

 T_a = actual arcing time ($T_a = T_1$ for one loop of arcing, see Figures A.6 and A.7).

A.3.3 Distortion in general case

The distortion currents in the case of both symmetrical and asymmetrical currents including more than one loop of arcing are obtained by the following equations which are applicable for the case of constant and linearly rising arc voltages. These calculations are based on a circuit as in Figure A.5 where the L/R time constant of the supply impedance is introduced. The p.u. prospective current is given by:

$$i_{\rm p}/\hat{i}_{\rm p} = \sin\left(\omega t + \omega t_1 - \varphi\right) - \sin\left(\omega t_1 - \varphi\right) \times {\rm e}^{-\frac{R}{L}t}$$

where

t time coordinate counting from the instant of current initiation;

- t₁ time interval between the beginning of the positive voltage loop and current initiation;
- φ arctan $\frac{\omega L}{R}$ for symmetrical current $\varphi = \omega t_{1.}$

The per unit distortion currents are

 $i_{\rm d}/\hat{i}_{\rm p} = C$ for the first loop of arcing,

 $i_{\rm d}/\hat{i}_{\rm p}$ = D-E for the second loop of arcing,

 $i_{\rm d}/\hat{i}_{\rm p} = D - F + G$ for the third loop of arcing,

where C, D, E, F and G are defined as follows:

a) for constant arc voltage:

$$C = \frac{M}{\cos\varphi} \left[1 - e^{-\frac{R}{L}(t-t_{\rm CS})} \right]$$
$$D = \frac{M}{\cos\varphi} \left[1 - e^{-\frac{R}{L}(t_0'-t_{\rm CS})} \right] e^{-\frac{R}{L}(t-t_0')}$$
$$E = \frac{M}{\cos\varphi} \left[1 - e^{-\frac{R}{L}(t-t_0')} \right]$$
$$F = \frac{M}{\cos\varphi} \left[1 - e^{-\frac{R}{L}(t_0'-t_0')} \right] e^{-\frac{R}{L}(t-t_0')}$$
$$G = \frac{M}{\cos\varphi} \left[1 - e^{-\frac{R}{L}(t-t_0')} \right]$$

where

 $M = \frac{U_a}{\hat{u}}$ = the ratio between the arc voltage and the peak value of the power-frequency voltage

$$\cos\varphi = \frac{R}{\sqrt{R^2 + (\omega L)^2}}$$

 t_{cs} = instant of contact separation

 t_0', t_0'' = instants at the end of each current loop

b) for linearly rising arc voltage:

$$C = \frac{M}{\cos\varphi} \left[(t - t_{\rm CS}) - \frac{L}{R} (1 - e^{-\frac{R}{L}(t - t_{\rm CS})}) \right]$$

$$D = \frac{M}{\cos\varphi} \left[(t_0' - t_{\rm CS}) - \frac{L}{R} (1 - e^{-\frac{R}{L}(t_0' - t_{\rm CS})}) \right] e^{-\frac{R}{L}(t - t_0')}$$

$$E = \frac{M}{\cos\varphi} \left[(t - t_0') - \frac{L}{R} (1 - e^{-\frac{R}{L}(t - t_0')}) + (t_0' - t_{\rm CS}) \times (1 - e^{-\frac{R}{L}(t - t_0')}) \right]$$

$$F = \frac{M}{\cos\varphi} \left[(t_0'' - t_0') - \frac{L}{R} (1 - e^{-\frac{R}{L}(t_0'' - t_0')}) + (t_0' - t_{\rm CS}) \times (1 - e^{-\frac{R}{L}(t_0'' - t_0')}) \right] e^{-\frac{R}{L}(t - t_0'')}$$

$$G = \frac{M}{\cos\varphi} \left[(t - t_0'') - \frac{L}{R} (1 - e^{-\frac{R}{L}(t - t_0'')}) + (t_0'' - t_{\rm CS}) \times (1 - e^{-\frac{R}{L}(t_0'' - t_0')}) \right]$$

where

$$M = \frac{S \times T_{a}}{2\,\hat{u}}$$

Relative reductions of current amplitudes and loop durations related to the last arcing loop for some typical cases are given in Figures A.8 to A.11.

For symmetrical current, values are given for constant arc voltage as a function of ratio U_a/\hat{u} in Figure A.8 and for linearly rising arc voltage as a function of the ratio $S \times T_a/2\hat{u}$ in Figure A.9. For asymmetrical current the corresponding results are given in Figures A.10 and A.11.

For arcing times, three typical values, i.e. for 1, 2 and 2,5 loops, are introduced. In the case of asymmetrical current contact parting positions have been selected starting about 1,5 cycles after current initiation.

The modifying of arc voltage is much dependent on not only arc voltage but also arcing time and current asymmetry, therefore an exact evaluation for each case is necessary.

NOTE In order to be able to compare the curves relevant to either type of arcing, suitable values have been chosen for the arc voltages: the value at the last current zero for linearly rising arc voltage is twice the value U_a for the constant arc voltage.

A.4 Examples of estimation of the parameters of the distorted current

A.4.1 General

In the following, some examples of application of the methods of evaluation of the distorted current shown in the preceding Clauses A.2 and A.3 are given for the single pole test of a 123 kV circuit-breaker.

For the synthetic test examples, equal arc voltages and contact parting positions of both the test and the auxiliary circuit-breaker are assumed.

A.4.2 Symmetrical current test

A.4.2.1 Constant arc voltage

Direct test

Rated voltage	$U_{\rm r}$ = 123 kV
Single pole test voltage	$U_{\rm t} = \frac{123 \times 1,3}{\sqrt{3}} = 92 \rm kV$
Mean value of constant arc voltage (last loop)	$U_{a} = 1 \text{ kV}$
Therefore:	$\frac{U_{a}}{\hat{u}} = \frac{1}{92 \times \sqrt{2}} = 0,0077$
by calculation for one loop of arcing (see A.3.2):	$\frac{\Delta i}{\hat{i}_{\rm p}} = -1.2\%$
and	$\frac{\Delta t}{T_{\rm p}} = -0,7\%$
Synthetic test	
Current circuit voltage	$U_1 = 31 \text{ kV}$
Mean value of constant arc voltage (test and auxiliary circuit- breaker, last loop)	$U_{as} = 2U_a = 2 \text{ kV}$
therefore:	$\frac{U_{\rm as}}{\hat{u}} = \frac{2}{31 \times \sqrt{2}} = 0,046$
from Figure A.8 for one loop of arcing	$\frac{\Delta_{\rm i}}{\hat{i}_{\rm p}} = -7\%$
and:	$\frac{\Delta t}{T_{\rm p}} = -4,5\%$
A.4.2.2 Linearly rising arc voltage	

Direct test

Single pole test voltage

62271-101 © IEC:2012

Linearly rising arc voltage	$\frac{ST_a}{2} = 3 \mathrm{kV}$
therefore:	$\frac{S T_{a}}{2 \hat{u}} = \frac{3}{92 \sqrt{2}} = 0,023$
from Figure A.9 for one loop of arcing	$\frac{\Delta i}{\hat{i}_{p}} = -1,7\%$
and	$\frac{\Delta t}{T_{\rm p}} = -2,2\%$
Synthetic test	
Current circuit voltage	$U_1 = 31 \text{ kV}$ as above
Linearly rising arc voltage (test and auxiliary circuit-breaker)	$\frac{ST_a}{2} = 2 \times 3 \mathrm{kV} = 6 \mathrm{kV}$
therefore:	$\frac{ST_{a}}{2\hat{u}} = \frac{6}{31\sqrt{2}} = 0,137$
from Figure A.9 for one loop of arcing	$\frac{\Delta i}{\hat{i}_{\rm p}} = -10\%$
and	$\frac{\Delta t}{T_{\rm p}} = -11,2\%$

In the first example, the tolerances on the amplitude and the duration of the power-frequency current loop, according to 4.1, should not be exceeded during the actual synthetic test. This depends, however, on the decrement of the a.c. component of the current being negligible.

In the second example, the current circuit voltage has to be increased or other measures as described in 4.1 have to be taken because the tolerance on the loop duration is exceeded. Whilst tolerance on the current amplitude is apparently not exceeded, it might be exceeded in practice where there is likely to be some decrement of the a.c. component of the prospective current.

A.4.3 Asymmetrical current test

If the arc voltage is approximately constant or linearly rising, the curves in Figures A.10 and A.11 can be used. The method of evaluation is similar to the one outlined for the symmetrical case. For example in case of constant arc voltage:

Direct test

Single pole test voltage	$u_{t} = \frac{123 \times 1.3}{\sqrt{3}} = 92 \text{kV}$ (as above)
Constant arc voltage	$U_a = 1 \text{ kV}$
therefore:	$\frac{U_a}{\hat{u}} = \frac{1}{92 \times \sqrt{2}} = 0,007\ 7$

for contact parting at around 1,5 cycles after current initiation and one loop of arcing	$\frac{\Delta i}{\hat{i}_{\rm p}} = -1\%$
and:	$\frac{\Delta t}{T_{\rm p}} = -0.6\% \text{ (Figure A.10)}$
Synthetic test	
Current circuit voltage	$U_1 = 14,2 \text{ kV}$
Constant arc voltage (test and auxiliary circuit-breakers)	$U_{a} = 2 \text{ kV}$
therefore:	$\frac{U_{a}}{\hat{u}} = \frac{2}{14,2 \sqrt{2}} = 0,10$
for the same situation as above:	$\frac{\Delta i}{\hat{i}_{\rm p}} = -12,6\%$
and	$\frac{\Delta t}{T_{\rm p}} = -8.0$ % (Figure A.10)

The actual arc voltage may not follow one of the simplified characteristics. In such a case the current reduction during the synthetic test can be measured from actual oscillograms or calculated. The actual current of the direct test which is required to establish the synthetic test driving voltage can only be calculated.

For circuit-breakers having relatively low arc voltage (e.g. $u_a = 2 \% U_1$), the modifying effect of the arc voltage on the current in the system or in the direct circuit is negligible. Therefore the specified prospective current is assumed as reference current.

NOTE If the opening of the auxiliary circuit-breaker is delayed in relation to the opening of the test circuit-breaker, or if an auxiliary circuit-breaker with a lower arc voltage is used, then its influence on the breaking current will be smaller than that of the test circuit-breaker.



Figure A.1 – Direct circuit, simplified diagram



Figure A.2 – Prospective short-circuit current



Figure A.3 – Distortion current

Key to Figures A.1, A.2 and A.3

и	voltage supplying the direct circuit	С	capacitance of the full power direct circuit, together with <i>L</i> controlling the transient recovery-voltage of the circuit
u _a	arc voltage of circuit-breaker	St	circuit-breaker
L	inductance of the full power direct circuit, together with <i>u</i> controlling the short-circuit current	i	actual current
i _p	prospective short-circuit current	i _{dL}	distortion current through L
i _{dC}	distortion current through C		



и	voltage supplying the direct circuit	i _{dC}	distortion current through C
^u a	arc voltage of circuit-breaker	i	actual current
i _p	prospective short-circuit current	i _{dL}	distortion current through L

Figure A.4 – Distortion current



и	voltage supplying the direct circuit	R	resistance of the direct circuit
u _a	arc voltage of circuit-breaker	i	actual current

L inductance of the full power direct circuit, together with *u* controlling the short-circuit current

Figure A.5 – Simplified circuit diagram





loop duration of the actual current

Figure A.6 – Current and arc voltage characteristics for symmetrical current







For symmetrical current and constant arc-voltage

- ① 1 loop of arcing
- 2 loops of arcing
- 3 2,5 loops of arcing
- See Figure A.6.

 $\Delta i / \hat{i}_{p}$ relative reduction of current amplitude

 u_a/\hat{u} ratio of arc voltage to supply voltage

 $\Delta t/T_{\rm p}$ relative reduction of duration of current loop

Figure A.8 – Reduction of amplitude and duration of final current loop of arcing



For symmetrical current and linearly rising arc-voltage

- 1 1 loop of arcing
- 2 2 loops of arcing
- 2,5 loops of arcing 3

See Figure A.6.

Key

 $\Delta i / \hat{i}_{p}$ relative reduction of current amplitude

 u_{a}/\hat{u} ratio of arc voltage to supply voltage

 $\Delta t/T_{\rm p}$ relative reduction of duration of current loop

Figure A.9 – Reduction of amplitude and duration of final current loop of arcing



For asymmetrical current and constant arc-voltage

- ① 1 loop of arcing
- 2 loops of arcing
- ③ 2,5 loops of arcing

See Figure A.7.

Key

 $\Delta i / \hat{l}_{p}$ relative reduction of current amplitude

 u_{a}/\hat{u} ratio of arc voltage to supply voltage

 $\Delta t/T_{p}$ relative reduction of duration of current loop

Figure A.10 – Reduction of amplitude and duration of final current loop of arcing



For asymmetrical current and linearly rising arc-voltage

- ① 1 loop of arcing
- 2 loops of arcing
- 3 2,5 loops of arcing

See Figure A.7.

Key

 $\Delta i / \hat{i}_{p}$ relative reduction of current amplitude

 u_{a}/\hat{u} ratio of arc voltage to supply voltage

 $\Delta t/T_{p}$ relative reduction of duration of current loop

Figure A.11 – Reduction of amplitude and duration of final current loop of arcing

Annex B (informative)

Current injection methods

B.1 Current injection

B.1.1 General

In a synthetic test circuit using current injection, the superposition of the currents takes place shortly before the zero of the power-frequency, short-circuit current. A current of smaller amplitude but higher frequency, derived from the voltage circuit, is superimposed either in the test circuit-breaker or in the auxiliary circuit-breaker. The instant of switching in this injected current is selected by means of a current-dependent control circuit. This instant should be such that the character of the resulting current wave in the test circuit-breaker corresponds to that of the specified breaking current prior to the current zero during the interval of significant change of arc voltage.

In this way, the circuit-breaker under test is automatically connected into the voltage circuit after the interruption of the current in the auxiliary circuit-breaker, so there will be no delay between the current stress and the application of the voltage stress.

B.1.2 Current injection circuit with the voltage circuit in parallel with the test circuitbreaker (parallel circuit)

Figure B.1 shows the simplified circuit diagram of a current injection circuit with the voltage circuit connected in parallel with the test circuit-breaker.

The voltage circuit is switched in shortly before the zero of the power-frequency short-circuit current, prior to the interaction interval. At this time the high-frequency oscillatory current i_h is superimposed on the power-frequency short-circuit current *i*, with the same polarity to give a resultant test current in the test circuit-breaker.

After the auxiliary circuit-breaker interrupts the power-frequency short-circuit current i, the test circuit-breaker is connected only to the voltage circuit and i_h is the only remaining current. The voltage circuit also provides the recovery voltage across the test circuit-breaker after the current is interrupted.

Figure B.2 shows an example of injection timing. The two points of inflection typically indicate the start of the current injection in the test circuit-breaker and the interruption of the power-frequency short-circuit current by the auxiliary circuit-breaker. The waveshape of the transient recovery voltage can be adjusted by varying Z_h and C_{dh} (Figure B.1), to obtain compliance with the requirements of IEC 62271-100 (see 4.1.4).

B.1.3 Current injection circuit with the voltage circuit in parallel with the auxiliary circuit-breaker (series circuit)

As the series current injection method is not used by laboratories it is no longer under consideration in this standard.

B.2 Determination of the interval of significant change of the arc voltage

To determine the interval of significant change of the arc voltage which occurs immediately prior to current zero, the following method may be applied, dependent on individual arc voltage characteristics.

The arc voltages of circuit-breakers vary considerably in general shape. In many cases, the arc voltage is not steady but fluctuates about a mean value. This mean value is obtained by drawing a smooth curve in the middle, between the maximum and minimum arc voltage levels (Figure B.3). This curve can be used to identify significant changes. The shape of mean arc voltage characteristics may also vary widely.

Most circuit-breakers show a nearly constant or steadily rising arc voltage during the current loop, with an appreciable increase just prior to current zero. In such cases, it is not difficult to determine from the oscillogram the instant at which a significant change begins. For this purpose, it is preferable to use an oscillograph giving a relatively large deflection for the arc voltage and having a time scale which is fast enough to enable the interval of significant change of arc voltage to be measured accurately.

In some cases, it may be difficult to determine the interval of significant change of arc voltage because

- a) the arc voltage remains nearly constant or steadily rises during the current loop almost to the instant of current zero,
- b) changes in the arc voltage occur considerably before the current zero.

In these cases, an injection current frequency as low as possible shall be used, taking account also of the requirements in 4.2.1.



Key

U_{cs}	voltage of current circuit	C _{dh}	capacitance for time delay of voltage circuit
L ₁	inductance of current circuit	L_{h}	inductance of voltage circuit
AP	arc prolonging circuit	U_{h}	charging voltage of voltage circuit
S _a	auxiliary circuit-breaker	i	current of the current circuit
S _t	test circuit-breaker	i _h	injected current
Z _h	equivalent surge impedance of voltage circuit	SLF	short-line-fault circuit (for the corresponding tests)

Figure B.1 – Typical current injection circuit with voltage circuit in parallel with the test circuit-breaker



i	current in the auxiliary circuit-breaker
i _h	injected current

duration of one period of the injected current

time during which the arc is fed only by the injected current

*i*_p current in the test circuit-breaker

Figure B.2 – Injection timing for current injection scheme with circuit B.1

 T_{h}

 t_{h}







 Key

 i
 current

 ua
 arc voltage

Figure B.3 – Examples of the determination of the interval of significant change of arc voltage from the oscillograms

Annex C (informative)

Voltage injection methods

C.1 General

In a synthetic test circuit using voltage injection, the current circuit provides the entire shortcircuit current for the test circuit-breaker and also, after current zero, the first part of the transient recovery voltage.

By suitable choices of its voltage and natural frequency, the correct values of the power factor, current and first part of the TRV can be obtained.

About the time of the first peak of the transient recovery voltage of the current circuit, the voltage circuit is switched in by means of a voltage-dependent control circuit in such a way that the specified transient recovery voltage is continued and so that there will be no delay between the current stress and the voltage stress.

C.2 Voltage injection circuit with the voltage circuit in parallel with the auxiliary circuit-breaker (series circuit)

Figure C.1 shows the simplified circuit diagram of a voltage injection circuit with the voltage circuit connected in parallel with the auxiliary circuit-breaker. The current circuit supplies the entire short-circuit current stress. A capacitor of suitable value is connected in parallel with the auxiliary circuit-breaker. After the current zero of the power-frequency short-circuit current, this capacitor transmits the entire transient recovery voltage of the current circuit to the test circuit-breaker, passing the necessary energy for the post-arc current.

About the time of the first peak of this transient voltage, the voltage circuit will be switched in and from this moment onwards the transient recovery voltages of both circuits are added together to form the transient recovery voltage across the test circuit-breaker.

Figure C.2 shows the current in the test circuit-breaker and the waveshape of the voltage across the auxiliary circuit-breaker and test circuit-breaker. The auxiliary circuit-breaker is stressed only by the voltage of the voltage circuit. Both components of the voltage across the test circuit-breaker are superimposed to produce the transient recovery voltage, the waveshape of which can be adjusted by varying C_h and C_1 in conjunction with additional components – not shown in Figure C.1 – to obtain compliance with the requirements of IEC 62271-100 (see 4.1.4).

C.3 Voltage injection circuit with the voltage circuit in parallel with the test circuit-breaker

This voltage injection circuit is similar to the one described above except that the voltage circuit is in parallel with the test circuit-breaker instead of the auxiliary circuit-breaker. It is not in common usage.



$U_{\rm cs}$	voltage of current circuit	St	test circuit-breaker
L ₁	inductance of current circuit	C _h	capacitance of voltage circuit which together with $L_{\rm h}$ controls the major part of the TRV
<i>C</i> ₁	capacitance of current circuit which together with L_1 controls the first part of the TRV	L _h	inductance of voltage circuit
ML	multi-loop re-ignition circuit	U_{h}	charging voltage of voltage circuit
S _a	auxiliary circuit-breaker	i	current of the current source

Figure C.1 – Typical voltage injection circuit diagram with voltage circuit in parallel with the auxiliary circuit-breaker (simplified diagram)



- *i* power-frequency current in test and auxiliary circuit-breakers
- *u*_{cs} TRV from current circuit

- voltage across test circuit-breaker
- u_x voltage across auxiliary circuit-breaker
 - instant of voltage injection

Figure C.2 – TRV waveshapes in a voltage injection circuit with the voltage circuit in parallel with the auxiliary circuit-breaker

u_t

ť

Annex D

(informative)

Skeats or duplicate transformer circuit

D.1 Principle of the method

In the duplicate test circuit, the current is supplied from a current circuit to the series combination of the auxiliary and the test circuit-breaker. The high voltage is applied to the test circuit-breaker via a resistance from a transformer (or auto-transformer) the primary of which is connected to the current circuit across the auxiliary and test circuit-breakers. Figure D.1 shows the principal lay-out of the circuit.

During the high-current interval, the arc voltages of the test and auxiliary circuit-breakers induce a current, i_R in the high-voltage circuit which adds to the current through the test circuit-breaker, $i_2 = i_1 + i_R$. The current in the auxiliary breaker will thus reach zero and interrupt before the test circuit-breaker. If the arc voltages are assumed nearly constant, the test circuit-breaker current will go through zero at a time Δt after the interruption of the auxiliary breaker approximately given by:

$$\Delta t = \frac{n \left(u_{aa} + u_{at} \right) - u_{at}}{n \times \hat{u}_{cs}} \times \frac{L_2}{R}$$

where

n is the transformer ratio;

 u_{aa} , u_{at} are the arc voltages in S_a and S_t, respectively;

 \hat{u}_{cs} is the voltage peak of the current circuit;

 $L_2 = n^2 L_1 + L_T$ (effective inductance in the high-voltage circuit);

 L_{T} is the leakage inductance of T.

During the interval Δt , the rate of change of the current through the test circuit-breaker d_{i_2}/dt will approximately attain the value:

$$\frac{\mathrm{d}i_2}{\mathrm{d}t} = -\frac{n \times \hat{u}_{\mathrm{CS}}}{L_2} = -\frac{n \,\hat{u}_{\mathrm{CS}}}{n^2 L_1 + L_{\mathrm{T}}}$$

i.e. di_2/dt will be lower than the prospective uninfluenced value. This value is reduced by a factor of the same magnitude as the transformer ratio n.

By choosing the resistance, *R*, sufficiently large, the time interval Δt could be kept small. On the other hand, a high value will increase the damping of the TRV. For circuit-breakers with post-arc current the value may be further restricted. Values of *R* in the range some k Ω are normally used giving $\Delta t \leq 10 \ \mu$ s.

The test circuit is thus not valid for tests where attention is paid to the thermal failure mode of a circuit-breaker, because

- the source-side impedance does not correspond to network (or direct test circuit) conditions during the interaction interval,
- the di/dt deviates from the prospective value during a (short) time interval just before current zero.

The test circuit could be used when testing the dielectric recovery of a circuit-breaker. It could further be used for closing tests and could be extended to work with several full voltage applications.

D.2 Practical arrangement of the circuit

A practical circuit arrangement is shown in Figure D.2. It can be used to apply full recovery voltage in three consecutive current zeros in an opening operation by opening the auxiliary circuit-breakers S_{a1} , S_{a2} and S_{a3} in turn. The spark gaps G_1 and G_2 are triggered to restore the current if the test circuit-breaker fails to interrupt in the first and second current zero respectively.

It can also apply full voltage stresses at both closing and opening in a CO operation. The test circuit-breaker S_t closes against full voltage (S_{a1} is open) and, when it pre-strikes, one of the spark gaps, e.g. G_2 , is triggered to make the current circuit (S_{a2} is closed). S_{a3} is closed before the opening of the test circuit-breaker and used as auxiliary circuit-breaker at the first current zero. If necessary, a second current zero could be tested by means of G_1 and S_{a1} .

In a similar manner the two opening operations in an auto-reclosing operation can be fully tested.



Key

u _{cs}	voltage of the current circuit	i ₁	current through the auxiliary circuit-breaker
L ₁	inductance of current circuit	i ₂	current through the test circuit-breaker
<i>C</i> ₁	capacitance of the current circuit which together with L_1 controls the first part of the TRV	i _R	current through resistor R
Т	transformer	S _a	auxiliary circuit-breaker
R	phase-shifting resistor	St	test circuit-breaker

Figure D.1 – Transformer or Skeats circuit



u _{cs}	voltage of the current circuit	$S_{a1}^{}, S_{a2}^{}, S_{a3}^{}$	auxiliary circuit-breakers
L ₁	inductance of current circuit	St	test circuit-breaker
т	transformer	T _r	triggering circuit
R	phase-shifting resistor	G ₁ , G ₂	triggered gaps

Figure D.2 – Triggered transformer or Skeats circuit

Annex E

(normative)

Information to be given and results to be recorded for synthetic tests

E.1 General

In addition to the requirements specified in Annex C of IEC 62271-100:2008, the following information shall be given in reports on synthetic tests.

E.2 Auxiliary circuit-breaker

- a) Identification.
- b) Description, including the number of units per pole, extinguishing medium and grading capacitors, if any.

E.3 Test conditions

- a) Circuit parameters of the voltage circuit.
- b) Setting of the intended arcing time of the test circuit-breaker including application of reignition circuit(s).

E.4 Quantities to be recorded

E.4.1 General

The resolution of the records with respect to the deflection and the time scale shall be such that the information to be obtained can be evaluated with sufficient accuracy.

E.4.2 Voltages

- a) Voltage of the current circuit.
- b) Voltage across the test circuit-breaker.

E.4.3 Currents

- a) Current through the test circuit-breaker.
- b) Current from the voltage circuit.

For some quantities it may be necessary to have several records with different deflections and/or time scales. This will normally be the case for measurements given in E.4.2b) and E.4.3a).

NOTE Other information and records are added to obtain test or design data.

Annex F

(normative)

Synthetic test methods for circuit-breakers with opening resistors

F.1 General

Due to limited available energy in synthetic circuits, synthetic tests shall be done in two parts:

- tests on the main interrupter;
- tests on the resistor interrupter.

Where tests are performed without opening resistor the effect of the resistor is taken into account by applying modified current and voltage parameters. This is shown by calculation or simulation of interrupting conditions.

The synthetic test circuit shall have a prospective transient recovery voltage as specified in Annex R of IEC 62271-100:2008, Amendment 1 (2012) and a recovery voltage as specified in 4.1.4.

The methods described here are appropriate to demonstrate the performance of the main interrupter and of the resistor interrupter. For the testing of the resistor stack see R.2.4 of IEC 62271-100:2008, Amendment 1 (2012).

F.2 Conditions

F.2.1 General

The requirements which relate to the basic synthetic test circuit, see 4.1, shall be met taking into account the influence of the resistor as described in Annex R of IEC 62271-100:2008, Amendment 1 (2012). Additional requirements during the high-voltage interval are given below.

F.2.2 Transient recovery voltage interval

The correct transient recovery voltage shall appear across the circuit-breaker, taking into account the influence of the opening resistor incorporated in the circuit-breaker and the arc voltage. For reference see Annex R of IEC 62271-100:2008, Amendment 1 (2012).

F.2.3 Power-frequency recovery voltage interval

Power-frequency recovery voltage shall be the same as the value specified in IEC 62271-100.

It is acceptable to use a power-frequency recovery voltage of the correct amplitude which has a phase shift different from that which would be obtained in a network. The direction of this phase shift should be such that the recovery voltage in the synthetic test lags behind that of the network. The result is to extend the first loop of the recovery voltage, which is acceptable provided that the phase shift does not exceed 20°.

F.3 Multiple step test procedure

F.3.1 General

The multiple step test procedure consists of three test sequences described in F.3.2, F.3.3 and F.3.4 below. For application of this test procedure refer to F.4 and 6.102.4.3.

Due to limited available energy using synthetic circuits, tests on the main interrupter may be performed in two separate test sequences:

- test to verify thermal re-ignition of the main interrupter;
- test to verify dielectric re-ignition of the main interrupter;

It is essential that the operation and performance of the resistor interrupter is not affected by the operation of the main interrupter for these separate test procedures to be allowed, e.g. influence of hot gases, modified speed of the contact travel.

F.3.2 Test to verify thermal re-ignition behaviour of the main interrupter

This test procedure is applicable only when it is not possible to cover both thermal re-ignition and dielectric behaviour with the same current injection circuit.

The objective of these tests is to establish the minimum arcing time and to demonstrate the thermal breaking capability of the main interrupter during the interaction for the whole arcing window.

Test should be performed preferably with opening resistor mounted and connected in its normal position in the circuit-breaker.

Alternatively, the tests may be also performed without opening resistor provided that interruption by the main interrupter is not affected by or affecting the resistor interrupter.

The current injection method is mandatory for this test.

If due to limitations, it is not possible to perform the test with the rated TRV, then the test may be performed at reduced voltage but not less than 30 % of the rated TRV, or for short line fault test with the application of 6.109.5 of IEC 62271-100:2008. In this case, the test circuit shall be adjusted to take into account the effect of the modification of the prospective TRV (du/dt and time delay) by the parallel opening resistor. This is done by calculation or digital simulation.

An example of test circuit of thermal re-ignition mode test on the main interrupter is given in Figure F.1.

F.3.3 Test to verify the dielectric re-ignition behavior of the main interrupter

An example of a test circuit is given in Figure F.2. The opening resistor will in most cases be removed and be replaced by suitable mock-up made of insulating material.

The circuit may be any kind of synthetic circuit described in 4.2. When the current injection method is used, the test also covers the thermal reignition behaviour as described in F.3.2.

NOTE Problems may arise when carrying out this test with several units in series. The removal of the parallel opening resistors may affect the voltage grading between the units. This may overstress some units.
F.3.4 Tests on resistor interrupter(s)

An example of a test circuit is given in Figure F.3. The resistors are short-circuited or replaced by a suitable conductor.

Current and TRV are given in R.2.3. of IEC 62271-100:2008, Amendment 1(2012).

The test may be performed with a direct circuit or with any kind of synthetic circuit described in 4.2.

F.4 Test requirements

F.4.1 General

The following subclauses describe the application of Annex R of IEC 62271-100:2008, Amendment 1(2012) for synthetic testing.

NOTE Most of the tests are conducted using multiple step tests procedure in single-phase tests.

F.4.2 Testing of the main interrupter

F.4.2.1 Terminal fault and out-of-phase switching tests

Terminal fault and out-of-phase switching tests shall be performed in accordance with R.2.2.1 of IEC 62271-100:2008, Amendment 1(2012) using the test procedure described in F.3.2 and F.3.3.

If the test procedure described in F.3.2 is followed for T100s or T100a, it is not necessary to repeat it for T10, T30, T60 and OP2.

If the test procedure described in F.3.2 is followed for L90, it is not necessary to repeat it for T100s and T100a.

F.4.2.2 Short-line fault (SLF) tests

Short-line fault tests shall be performed in accordance with R.2.2.2 of IEC 62271-100:2008, Amendment 1(2012) using the test procedure described in F.3.2 and F.3.3.

Checking of the dielectric reignition behaviour is not required if test-duty T100s is performed in accordance with the test procedure described in F.3.3, provided that 6.109.5 of IEC 62271-100:2008 is verified.

F.4.2.3 Capacitive current switching tests

Capacitive current switching tests shall be performed using the test procedure described in F.3.3.

An example of a test circuit using the test procedure described in F.3.3 is given in Figure F.4.

F.4.3 Testing of the resistor interrupter

F.4.3.1 Terminal fault and out-of-phase switching tests

Terminal fault test duty T10 and out-of-phase switching test duty OP2 shall be performed in accordance with R.2.3.1 of IEC 62271-100:2008, Amendment 1 (2012) using the test procedure described in F.3.4. It is not necessary to repeat the other terminal fault test duties (T30, T60, T100a and T100s).

F.4.3.2 Short-line fault (SLF) tests

Short-line fault tests shall be performed in accordance with R.2.3.2 of IEC 62271-100:2008, Amendment 1(2012) using the test procedure described in F.3.4.

When terminal fault test duty T10 is performed in accordance with F.4.2.1, no SLF tests are required on the resistor interrupter.

F.4.3.3 Capacitive-current switching tests

Capacitive current switching tests shall be performed in accordance with R.2.3.3 of IEC 62271-100:2008, Amendment 1(2012), using the test procedure described in F.3.4.

An example of a test circuit for capacitive current switching following test procedure F.3.4 is given in Figure F.5.

F.4.4 Test of the resistor stack

For testing of the resistor stack see R.2.4 of IEC 62271-100:2008, Amendment 1(2012).





u _{cs}	voltage of current circuit	u _t	applied voltage
i _t	current in the test circuit-breaker	i _v	current in voltage circuit
G _h	short-circuit generator	Tr	transformer
C _h	main capacitor bank	Z_{e}	TRV components

62271-101 © IEC:2012

G	trigger gap	L _h	inductance of voltage circuit
L	inductance of current circuit	S _t	test circuit-breaker

S_a auxiliary circuit-breaker

Figure F.1 – Test circuit to verify thermal re-ignition behaviour of the main interrupter





u _{cs}	voltage of current circuit	u _t	applied voltage
i _t	current in the test circuit-breaker	i _v	current in voltage circuit
G _h	short-circuit generator	Tr	transformer
L	inductance of current circuit	S _t	test circuit-breaker
S _a	auxiliary circuit-breaker		

Figure F.2 – Test circuit to verify dielectric re-ignition behaviour of the main interrupter





u _{cs}	voltage of current circuit	u _t	applied voltage
i _t	current in the test circuit-breaker	i _v	current in voltage circuit
G _h	short-circuit generator	Tr	transformer
		S _t	test circuit-breaker
L	inductance of current circuit	S _a	auxiliary circuit-breaker

Figure F.3 – Test circuit on the resistor interrupter



Key			
u _{cs}	voltage of the current circuit	u _t	applied voltage
i _t	current in the test circuit-breaker	G _h	short-circuit generator
Tr ₁	transformer of the current circuit	Tr ₂	transformer of the voltage circuit
C _i	capacitor of the current circuit	R	equivalent resistor
C _{v1} , C _{v2}	capacitor of the voltage circuit	S _t	test circuit-breaker
S _{a1} , S _{a2}	auxiliary circuit-breakers		

Figure F.4 – Example of test circuit for capacitive current switching tests on the main interrupter



u _{cs}	voltage of current circuit	u _t	applied voltage
i _t	current in the test circuit-breaker	G _h	short-circuit generator
Tr ₁	transformer of current circuit	Tr ₂	transformer of voltage circuit
C _i	capacitor of current circuit	R _i	resistor of current circuit
C _{v1} , C _{v2}	capacitor of voltage circuit	R_{v1}, R_{v2}	resistor of voltage circuit
S _t	test circuit-breaker	S_{a1}, S_{a2}	auxiliary circuit-breakers



Annex G

(informative)

Synthetic methods for capacitive-current switching

G.1 General

Synthetic capacitive current switching tests are generally performed using single-phase test circuits. There are principally two types of circuits:

a) Combined current and voltage circuits

The test circuit consists of two combined circuits, a current circuit and a voltage circuit. Both circuits have a capacitive nature, although an inductive or resistive current circuit can be used as an alternative, provided that the phase angle between the two sources is changed accordingly.

The two sources can be generator-fed transformers or charged capacitors, or a combination of both. The application of this type of circuit implies the use of an auxiliary circuit-breaker to isolate the test circuit-breaker from the current circuit.

b) LC oscillating circuits

The test circuit consists of an LC oscillating circuit that provides both the current and voltage from a single source. The application of this type of circuit does not require the use of an auxiliary circuit-breaker.

For applicability of the mentioned methods in case of metal-enclosed or dead tank circuitbreakers, see Annex N and Annex O of IEC 62271-100:2008.

NOTE Phenomena occurring after a restrike or a re-ignition event are not representative of service conditions as the test circuit does not adequately reproduce the post-event voltage conditions.

G.2 General

Many test circuits are possible with different features. Some examples are given in Figures G.1 to G.7.

An impedance may be added for protection of the test circuit and/or control of the inrush current, provided that the prospective recovery voltage is in accordance with 6.111.10 of IEC 62271-100:2008.

G.3 Recovery voltage

In principle, the recovery voltage consists of an a.c. voltage applied to one terminal of the test circuit-breaker, while a slowly decaying d.c. voltage stresses the other terminal.

In some test circuits both voltages are superimposed at one terminal of the test circuitbreaker, the other terminal being earthed. This condition is more severe for the insulation to earth. The combined current and voltage circuits of Figures G.6 and G.7 can be used to apply the correct voltage stresses to each terminal of the circuit-breaker. For metal-enclosed circuitbreakers an additional voltage source may be connected to the tank to compensate for this effect, in accordance with the recommendations of O.4.3 of IEC 62271-100:2008.

G.4 Combined current and voltage circuits

When tests are performed using the circuits described in item a) of Clause G.1, the connection of the current and voltage sources to the auxiliary and test circuit-breakers can be in parallel mode, subtracting the voltages on the auxiliary circuit-breaker, or in series mode, and adding the voltages on the test circuit-breaker.

Depending on whether the voltage circuit is connected permanently, or switched in before or after power-frequency current zero, a distinction can be made between power-frequency current superposition, current injection and voltage injection circuits.

G.5 Making tests

Examples of test circuits are given in Figures G.8 and G.9.

The voltage circuit supplies the test voltage during closing of the contacts until dielectric breakdown occurs causing the initial transient making current to flow.

G.6 Current chopping

Current chopping phenomena, caused by interaction between a circuit-breaker and its circuit (in service or during laboratory tests), generally leads to a reduction of the load side voltage and thus also of the dielectric stress of the circuit-breaker.

In service or during laboratory tests in direct test circuits, chopping of small capacitive currents may take place. In synthetic test circuits the probability of these events occurring is increased for the following reasons:

- generally speaking the characteristic parameters of the main and stray components of some synthetic test circuits are different and may influence the chopping behaviour of the circuit-breaker;
- the effect of additional (auxiliary) circuit-breakers in series with the test circuit-breaker in combined current and voltage circuits;
- the increased ratio of arc voltage to power-frequency voltage.

Therefore, when performing synthetic tests using test circuits described in item a) of Clause G.1, it may be difficult to determine whether or not current chopping is a significant feature of the test circuit-breaker. To reduce current chopping, the following measures can be taken:

- modify the capacitances seen from the circuit-breaker terminals;
- use an auxiliary circuit-breaker with a short minimum arc duration and low arc voltage in combined current and voltage circuits.

Figures G.1 to G.9 show some typical examples of synthetic test circuits for capacitive current switching. The following list of symbol explanations relate to these figures, as appropriate, and are listed here for the sake of brevity and to avoid repetition.

- C_{c} = capacitance of the current circuit C_{v} = capacitance of the voltage circuit
- $C_{\rm h}, L_{\rm pf}$ = power frequency oscillation circuit
- f_{inrush} = frequency of the inrush current
- $f_{\rm r}$ = rated power frequency
- $f_{\sf RV}$ = frequency of the recovery voltage
- G = gap

i _c	= current of the current circuit
ⁱ max peak	= maximum peak of the inrush current
iL	= load current (current through test circuit-breaker S_t)
i _v	= current of the voltage circuit
L _c	= inductance of the current circuit
L _v	= inductance of the voltage circuit
m	= ratio of current $i_{\rm L}$ to current $i_{\rm v}$
n	= ratio of voltage u_t to voltage U_c
S _a	= auxiliary circuit-breaker
S _{a1} , S _{a2} , S _{a3}	= auxiliary circuit-breakers
St	= test circuit-breaker
\hat{t}	= time to the peak of injected current
U _c	= voltage of the current circuit
U_{h}	= charging voltage of C _h
U_{hB}	= charging voltage of C_{hB}
U_{V}	= voltage of the voltage circuit
<i>u</i> _A , <i>u</i> _B	= voltage to earth at points A and B respectively
u _t	= voltage across the test circuit-breaker S _t



$U_{\rm c} = u_{\rm t}/n$	$U_{\rm v} = u_{\rm t}$	
$i_{\rm c} = i_{\rm L}(1-1/m)$	$i_v = i_{\rm L}/m$	
$\omega L_{c} \ll 1/\omega C_{c}$	$\omega L_{\rm v} \ll 1/\omega C_{\rm v}$	
$C_{\rm c} = n(1-1/m)C_{\rm L}$	$C_{\rm v} = C_{\rm L}/m$	
C _L = equivalent load capacitance		



Figure G.1 – Capacitive current circuits (parallel mode)







Figure G.2 – Current injection circuit







 $C_{\rm h}$ and $C_{\rm L}$ are precharged at the voltage $U_{\rm h.}$

The load capacitance $C_{\rm L}$ can also be inserted between the test circuit-breaker and earth.

Figure G.3 – LC oscillating circuit



$i_{\rm C} = i_{\rm L} - i_{\rm V}$	$U_{\rm h} = U_{\rm t} \times \sqrt{2}$
$i_{\rm C} = U_{\rm C} / \omega_{\rm r} L_{\rm C}$, with $\omega_{\rm r} = 2\pi f_{\rm r}$	$f_{\rm L} = \frac{1}{2\pi \sqrt{(C_{\rm h} + C_{\rm v}) \times L_{\rm pf}}}$
$i_{\rm v} = U_{\rm h} \times 2\pi f_{\rm L} \times C_{\rm v}$	$f_{\rm RV} = \frac{1}{2\pi \sqrt{C_{\rm h} \times L_{\rm pf}}}$



Figure G.4 – Inductive current circuit in parallel with LC oscillating circuit







Breaking operation

Uд

и_В.



$U_{c} = u_{t} / n$
$i_{c} = U_{c} \times \omega \times C_{c}$
$\omega L_{\rm c} \ll 1/\omega C_{\rm c}$
$C_{c} = nC_{L}$
$i_{\rm C} = i_{\rm L}$
$U_{\rm v} = u_{\rm t} - U_{\rm c}$
$i_{\rm v} = U_{\rm t} \omega C_{\rm v}$
$\omega L_{\rm c} \ll 1/\omega C_{\rm v}$
$C_{\rm V} = C_{\rm L} / m$

 C_{L} = equivalent load capacitance



Breaking operation

Figure G.6 – Synthetic test circuit (series circuit), normal recovery voltage applied to both sides of the test circuit breaker



This test circuit consists of three circuits:

- circuit A is a conventional current injection circuit connected to one terminal of the test circuit breaker earth supplying a recovery voltage U_A of (1-cos) waveshape;
- circuit B is connected to the other terminal of the test circuit-breaker applying an exponential voltage (1-exp(-t/t₀)waveshape). Its amplitude, rate of decay and timing are chosen with consideration to the voltage applied on the other terminal of the test circuit-breaker, so that the correct recovery voltage (u_t) is applied across the contacts;
- circuit C supplies the test current.



Figure G.7 – Current injection circuit, recovery voltage applied to both sides of the circuit-breaker





Equivalent circuit for defining $\it R_{\rm S}, \, \it C_{\rm S}$ and $\it L_{\rm S}$

$U_{c} = U_{t} / n$	$U_{\rm v} = U_{\rm t}$	
$i_{c} = i_{L}$	$i_{\rm v} = U_{\rm v} / \omega L_{\rm v}$	
$L_{\rm c} = L_{\rm s} / n$	$R_{\rm v} = R_{\rm s}$	
$C_{c} = nC_{L}$	$C_{V} = \frac{C_{S}C_{L}}{C_{S}+C_{L}}$, or $C_{V} = C_{L}$ if $C_{S} \ll C_{L}$	
C _L = equivalent load capacitance		
R_{s} and C_{s} define the initial transient making current		
$L_{\rm S}$ and $C_{\rm L}$ define the transient making current		



Figure G.8 – Making test circuit





Figure G.9 – Inrush making current test circuit

Annex H

(informative)

Re-ignition methods to prolong arcing

H.1 "Step-by-step" method

With this method, only one voltage source is used. The test circuit-breaker is artificially reignited by a special re-ignition circuit, or other means, in order to prolong arcing up to the current zero at which the voltage source is to be applied. This "step-by-step" method needs less additional installations compared to the method described in Clause H.2. However, more tests may be necessary to comply with specified arcing times.

a) Method with a separate re-ignition circuit

A separate re-ignition circuit provides a rapidly rising pulse of current, of opposite polarity to that of the power-frequency current, approximately 10 μ s before current zero. The current through the circuit-breaker is thus rapidly reversed and conduction in the arc gap is maintained for a further loop of power-frequency current. As an example, a re-ignition circuit is indicated in Figure H.1. Several such circuits may be used for prolonging the arcing through several loops of current. The re-ignition circuit can in principle be applied to re-ignite both test and auxiliary circuit-breaker. However, the need to re-ignite both circuit-breakers is usually avoided by suitably delaying the separation of the auxiliary circuit-breaker contacts.

b) Method with increased power-frequency circuit severity

In some cases, the arcing of the test circuit-breaker may be prolonged by increasing the rate-of-rise of the transient recovery voltage in the power-frequency current circuit. Whether this is effective or not depends upon the characteristics of the power-frequency current circuit and of the circuit-breaker under test.

H.2 Method using a duplicate circuit

A circuit arrangement combining a Skeats and a current injection circuit is shown in Figure H.2 and the corresponding current and voltage for an asymmetrical current breaking test is shown in Figure H.3.

At the first current zero, the test circuit-breaker is stressed by the Skeats circuit, thus achieving a dielectric re-ignition. In this way, the short-circuit current waveform is equivalent to that of a direct test. At the second current zero, the current injection circuit is applied to the test circuit-breaker.

First current zero:

- S₁ is opened and acts as an auxiliary circuit-breaker;
- G₂ is triggered when a re-ignition occurs;
- S₂ remains closed;
- S₃ remains closed;
- S₄ remains open.

During the high-current interval:

- S₃ is opened;
- S₄ is closed.

Second current zero:

- S₁ remains open;
- S₂ is opened and acts as an auxiliary circuit-breaker;
- G₁ is triggered.



Key

- St test circuit-breaker
- S_a auxiliary circuit-breaker

- C_{r} capacitor for re-ignition circuit Gr
 - spark gap for closing re-ignition circuit

resistor for re-ignition circuit *R*_r

Figure H.1 – Typical re-ignition circuit diagram for prolonging arc-duration



Key

<i>U</i> ₁	voltage of current circuit
L ₁	inductance of current circuit
S_1, S_2, S_3, S_4	auxiliary circuit-breakers
St	test circuit-breaker
L _h	inductance of voltage circuit
C _h	capacitance of voltage circuit which together with $\mathit{L}_{\rm h}$ controls the major part of the TRV
U_{h}	charging voltage of voltage circuit
G ₁ , G ₂	spark gaps

Figure H.2 – Combined Skeats and current injection circuits



Figure H.3 – Typical waveforms obtained during an asymmetrical test using the circuit in Figure H.2

Annex I

(normative)

Reduction in d*i*/d*t* and TRV for test duty T100a

For the last current loop parameters, refer to Tables 15 through 22 of IEC 62271-100:2008.

Tables I.1 through I.4 cover the last loop di/dt reduction for 50 Hz and 60 Hz, respectively, under three-phase conditions with the first pole-to-clear in phase A with intermediate asymmetry and the required asymmetry in phase C having the major extended loop.

Tables I.5 through I.10 cover the corrected TRV values for k_{pp} 1,5, 1,3 and 1,2 for f_r = 50 Hz and f_r = 60 Hz.

τ	k _{pp}		1,5			1,3	
	Minimum clearing time	Phase A	Phase B	Phase C	Phase A	Phase B ^a	Phase C
ms	ms	%	%	%	%	%	%
	10,0 < <i>t</i> ≤ 22,5	99	82	82	99	57	84
45	22,5 < <i>t</i> ≤ 43,5	100	85	85	100	57	88
	43,5 < <i>t</i> ≤ 64,0	100	86	86	100	57	90
	10,0 < <i>t</i> ≤ 22,5	97	79	79	97	55	80
60	22,5 < <i>t</i> ≤ 43,0	99	83	83	99	57	85
60	43 ,0 < <i>t</i> ≤ 63 ,5	100	85	85	100	57	88
	63,5 < <i>t</i> ≤ 84,0	100	86	86	100	57	89
	10,0 < <i>t</i> ≤ 22,0	96	76	76	96	55	76
	22,0 < <i>t</i> ≤ 43,0	98	81	81	98	56	82
75	43 ,0 < <i>t</i> ≤ 63 ,5	99	84	84	99	57	86
	63,5 < <i>t</i> ≤ 84,0	100	85	85	100	57	87
	84,0 < <i>t</i> ≤ 104	100	86	86	100	57	88
	10,0 < <i>t</i> ≤ 22,0	94	69	69	94	54	67
	22,0 < <i>t</i> ≤ 42,5	96	75	75	96	55	74
120	42,5 < <i>t</i> ≤ 63,5	97	78	78	97	56	79
	63,5 < <i>t</i> ≤ 83,5	98	81	81	98	56	82
	83,5 < <i>t</i> ≤ 103,5	99	83	83	99	56	32
^a Phas	e B is the last pole-to-clear.						

Table I.1 – Last loop di/dt reduction for 50 Hz for k_{pp} = 1,3 and 1,5

NOTE 1 The system circuit time constant τ = 45 ms is the standard time constant, τ = 60 ms, 75 ms and 120 ms are special time constants according to 4.1.

NOTE 2 For $k_{DD} = 1.3$ a pure reactive neutral impedance without resistive component is assumed.

τ	k _{pp}		1,2						
	Minimum clearing time	Phase A	Phase B	Phase C					
ms	ms	%	%	%					
	10,0 < <i>t</i> ≤ 22,0	94	70	66					
	22,0 < <i>t</i> ≤ 42,5	96	72	74					
120	42,5 < <i>t</i> ≤ 63,5	97	73	80					
	63,5 < <i>t</i> ≤ 83,5	98	73	83					
	83,5 < <i>t</i> ≤ 103,5	99	74	86					
Phase E	3 is the last pole-to-clear.								
NOTE For $k_{pp} = 1,2$ a pure reactive neutral impedance without resistive component is assumed.									

Table I.2 – Last loop di/dt reduction for 50 Hz for $k_{pp} = 1,2$

τ	k _{pp}		1,5			1,3	
	Minimum clearing time	Phase A	Phase B	Phase C	Phase A	Phase B ^a	Phase C
ms	ms	%	%	%	%	%	%
	8,5 < <i>t</i> ≤ 19,0	98	81	81	98	56	81
	19,0 < <i>t</i> ≤ 36,0	100	84	84	100	57	86
45	36,0 < <i>t</i> ≤ 53,0	100	86	86	100	57	89
	53,0 < <i>t</i> ≤ 70,0	100	87	87	100	57	89
	70,0 < <i>t</i> ≤ 87,0	100	87	87	100	57	90
	8,5 < <i>t</i> ≤ 18,5	96	77	77	96	55	76
	18,5 < <i>t</i> ≤ 36,0	98	81	81	98	56	83
60	36,0 < <i>t</i> ≤ 53,0	99	84	84	99	57	86
	53,0 < <i>t</i> ≤ 70,0	100	85	85	100	57	88
	70,0 < <i>t</i> ≤ 87,0	100	86	86	100	57	89
	8,5 < <i>t</i> ≤ 18,5	95	73	73	95	55	72
	18,5 < <i>t</i> ≤ 35,5	97	79	79	97	56	79
75	35,5 < <i>t</i> ≤ 52,5	98	82	82	98	56	83
75	52,5 < <i>t</i> ≤ 69,5	99	84	84	99	57	86
	69,5 < <i>t</i> ≤ 86,5	100	85	85	100	57	87
	86,5 < <i>t</i> ≤ 103,5	100	86	86	100	57	88
	8 ,5 < <i>t</i> ≤ 18 ,0	93	67	67	93	53	63
	18,0 < <i>t</i> ≤ 35,0	95	72	72	95	54	70
120	35,0 < <i>t</i> ≤ 52,0	96	76	76	96	55	76
120	52,0 < <i>t</i> ≤ 69,0	97	80	80	97	56	80
	69,0 < <i>t</i> ≤ 86,0	98	81	81	98	56	82
	86,0 < <i>t</i> ≤ 103	99	82	82	99	56	84
^a Phas	se B is the last pole	-to-clear.					
NOTE 120 ms	1 The system circl s are special time co	uit time const onstants acco	ant $\tau = 45$ ms ording to 4.1.	s is the standa	ard time consta	nt, $\tau = 60$ ms,	75 ms and

Table I.3 – Last loop di/dt reduction for 60 Hz for k_{pp} = 1,3 and 1,5

NOTE 2 For $k_{pp} = 1,3$, a pure reactive neutral impedance without resistive component is assumed.

τ	k _{pp}		1,2						
	Minimum clearing time	Phase A	Phase B	Phase C					
ms	ms	%	%	%					
	8,5 < <i>t</i> ≤ 18,0	93	70	62					
	18,0 < <i>t</i> ≤ 35,0	95	95 71						
120	35,0 < <i>t</i> ≤ 52,0	96	72	76					
120	52,0 < <i>t</i> ≤ 69,0	$18, 0 < t \le 35, 0$ 95 71 $35, 0 < t \le 52, 0$ 96 72 $52, 0 < t \le 69, 0$ 97 73	73	81					
	69,0 < <i>t</i> ≤ 86,0	98	74	84					
	86,0 < <i>t</i> ≤ 103	99	74	86					
Phase E	3 is the last pole-to-clear.								
NOTE For $k_{pp} = 1,2$ a pure reactive neutral impedance without resistive component is assumed.									

Table I.4 – Last loop di/dt reduction for 60 Hz for $k_{pp} = 1,2$

Minimum cl	earing	10 < <i>t</i>	≤ 22,5	22,5 < 2	t ≤ 43,5	43,5 <	<i>t</i> ≤ 64,0	64,0 < 1	t ≤ 84,5	84,5 <	<i>t</i> ≤ 104,5
ms											
	U _r	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c
	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV
τ =45 ms minor loop	100 123 145 170 245 300 362 420 550 800	61 75 88 103 149 183 222 258 340 501	117 145 171 203 298 370 454 534 723 1 117	72 88 104 122 176 216 261 303 399 585	137 169 199 235 342 421 513 600 801 1 206	76 94 110 129 187 229 276 321 421 615	144 177 209 246 356 438 532 620 821 1 221	a	а	а	а
au = 45 ms major loop	100 123 145 170 245 300 362 420 550 800	74 90 106 124 179 219 264 308 399 576	135 165 193 226 320 389 464 532 679 940	78 96 112 132 190 232 280 324 424 614	144 176 206 242 345 420 503 580 748 1 058	80 97 114 134 194 237 286 331 433 628	147 180 211 248 355 434 521 602 781 1 116	а	а	а	а
Minimum clearing time		10 < <i>t</i>	≤ 22,5	22,5 <i>< t</i> ≤ 43,0		43,0 <i>< t</i> ≤ 63,5		63,5 < <i>t</i> ≤ 84		84 < <i>t</i>	≤ 104,5
ms											
	$U_{\rm r}$	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c
	KV	KV	KV	KV	KV	KV	KV	KV	KV	ĸv	KV
τ = 60 ms minor loop	100 123 145 170 245 300 362 420	56 68 80 94 137 168 203 237	108 133 158 187 276 344 424 501	68 83 98 115 167 205 247 288	130 160 189 224 327 404 494 579	74 90 106 125 180 221 267 310	140 172 203 239 348 429 522 609	77 94 110 129 187 230 277 322	144 177 209 246 357 440 533 622	а	а
τ = 60 ms major loop	100 123 145 170 245 300 362 420	69 85 99 117 168 205 247 286	126 154 179 210 296 359 426 487	75 92 108 126 182 223 268 311	137 168 197 231 328 399 476 547	78 95 112 131 189 232 279 323	143 175 206 241 344 419 502 579	79 97 114 133 192 236 284 329	146 179 210 247 353 431 517 597	а	а
Minimum cl time	earing	10 < <i>t</i>	≤ 22,0	22,0 < 7	t ≤ 43,0	43,0 <	<i>t</i> ≤ 63,5	63,5 <	<i>t</i> ≤ 84	84 <	<i>t</i> ≤ 104
ms											
	U _r k\/	^u 1 k\/	u _c kV	^u 1 kV	u _c k\/	^u 1 k\/	u _c kV	^u 1 k\/	u _c k\/	u ₁ k\/	u _c kV
τ = 75 ms minor loop	550 800	291 430	648 1024	360 529	752 1156	394 577	797 1 206	413 604	817 1 224	423 618	825 1 228
τ = 75 ms major loop	550 800	349 502	568 760	388 560	659 908	409 592	714 1 000	422 610	748 1 058	429 621	770 1 098
a Test duty T	100a is n	ot applic	able, asy	mmetry le	evel lowe	r than 20	% for bot	th current	loops.		

Table I.5 – Corrected TRV values for the first pole-to-clear for $k_{\rm pp}$ = 1,3 and $f_{\rm r}$ = 50 Hz

_	96	_
	00	

Minim clearing	um time	8,5 < 1	t ≤ 19,0	19,0 <	< <i>t</i> ≤ 36	36 <	<i>t</i> ≤ 53	53 <	<i>t</i> ≤ 70	70 <	<i>t</i> ≤ 87		
ms													
	Ur	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c		
	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV		
τ = 45 ms minor loop	100 123 145 170 245 300 362 420 550 800	58 71 83 98 142 174 211 245 325 480	112 139 164 195 289 360 444 526 720 1 133	70 85 100 118 171 210 253 294 388 570	133 164 194 229 335 415 508 596 801 1 224	75 92 108 127 183 225 271 315 414 606	142 175 206 243 353 436 530 620 826 1 242	а	а	а	а		
τ = 45 ms major loop	100 123 145 170 245 300 362 420 550 800	71 87 102 120 172 210 253 393 381 549	129 157 183 214 302 366 433 495 624 842	76 93 110 128 185 227 273 316 412 595	140 171 200 234 333 404 482 553 708 984	79 96 113 132 191 234 281 326 426 617	145 177 207 243 347 423 507 584 753 1 064	а	а	а	а		
Minim clearing	um time	8,5 < 1	: ≤ 18,5	18,5 <	< <i>t</i> ≤ 36	36 <	<i>t</i> ≤ 53	53 <	<i>t</i> ≤ 70	70 <	t ≤ 87		
ms													
	U _r kV	u ₁ kV	u _c kV	^u 1 kV	u _c kV	^u 1 kV	u _c kV	^u 1 kV	u _c kV	^u 1 kV	u _c kV		
τ = 60 ms minor loop	100 123 145 170 245 300 362 420	52 64 75 89 129 159 192 224	102 127 151 179 267 334 414 492	65 80 94 110 160 197 238 277	125 155 183 217 319 396 486 572	72 88 103 121 175 215 260 302	136 168 198 234 342 424 517 606	75 92 108 127 184 225 272 316	142 175 206 241 354 437 532 622	а	а		
τ = 60 ms major loop	100 123 145 170 245 300 362 420	66 81 94 111 159 195 234 270	119 145 169 197 276 332 392 445	72 89 104 122 176 215 258 299	132 161 188 220 312 377 448 513	76 93 109 128 185 226 272 315	139 170 199 234 332 403 481 553	78 95 112 131 189 232 279 323	143 176 206 241 344 419 501 577	а	а		
Minim clearing	um time	8,5 < 1	t ≤ 18,5	18,5 3	< <i>t</i> ≤ 5,5	35,5 5	ö < <i>t</i> ≤ 2,5	52,5 6	9,5 < <i>t</i> ≤	69,5 8	5 <i>< t</i> ≤ 6,5	86,5 10	< <i>t</i> ≤ 3,5
ms	II												
	kV	^u 1 kV	^u c kV	^u 1 kV	^u c kV	^u 1 kV	^u c kV	^u 1 kV	^u c kV	^u 1 kV	^u c kV	^u 1 kV	u _c kV
τ = 75 ms minor loop	550 800	275 409	646 1 042	345 509	749 1 171	382 561	819 1 244	417 610	830 1 250	425 620	835 1 248	425 620	833 1 246
τ = 75 ms major loop	550 800	327 468	498 638	369 531	599 802	395 569	664 910	410 593	707 984	420 608	737 1 037	427 618	759 1 075
a Test du	ty T100a	a is not a	applicabl	e, asym	metry lev	vel lowe	r than 20	% for b	oth curre	ent loops	3.		

Table I.6 – Corrected TRV values for the first pole-to-clear for k_{pp} = 1,3 and f_r = 60 Hz

Minimum cl time	earing	10 < <i>t</i>	≤ 22,5	22,5 <	t ≤ 43,5	43,: 6	5 <i>< t</i> ≤ 64,0	64,0 < 7	t ≤ 84,5	84,5 104	< <i>t</i> ≤ 4,5
	17										
	υ _r	^{<i>u</i>} 1	^{<i>u</i>} c	^{<i>u</i>} 1	^{<i>u</i>} c	^{<i>u</i>} 1	^{<i>u</i>} c	^{<i>u</i>} 1	^{<i>u</i>} c	^{<i>u</i>} 1	^{<i>u</i>} c
	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV
τ=45 ms minor loop	72,5 100 123 145 170	b 70 86 101 119	96 135 168 200 235	b 83 102 120 141	113 157 195 231 271	b 88 108 127 149	119 165 204 242 284	а	а	а	а
τ=45 ms major loop	72,5 100 123 145 170	b 85 104 123 144	113 154 190 222 259	b 90 110 130 152	120 164 202 238 277	b 91 112 132 155	123 168 208 244 285	а	а	а	а
Minimum cl time ms	earing	10 < <i>t</i>	≤ 22,5	22,5 <	t ≤ 43,0	43, 6	0 < <i>t</i> ≤ 63,5	63,5 <	<i>t</i> ≤ 84	84 < <i>t</i> ≤	≤ 104,5
	U.	Ил	<i>W</i> a	U 1	Ис	Ил	Иа	Ил	Ис	Ил	Ис
	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV
τ=60 ms minor loop	72,5 100 123	b 64 79	88 124 154	b 78 96	107 149	b 85	115 161	b 88	119 166	а	а
	145 170	93 109	184 217	113 133	220 258	104 123 144	235 276	108 128 150	205 243 284		
τ=60 ms major loop	145 170 72,5 100 123 145 170	93 109 b 80 98 115 135	184 217 106 144 176 207 240	b 86 106 125 146	103 220 258 115 157 194 227 264	b 89 110 123 144 89 110 129 151	199 235 276 120 164 202 237 277	108 128 150 b 91 112 131 154	205 243 284 122 167 206 243 283	a	a

Table I.7 – Corrected TRV values for the first pole-to-clear for k_{pp} = 1,5 and f_r = 50 Hz

Minimum cl time	earing	8,5 < <i>t</i>	≤ 19,0	19,0 <	<i>t</i> ≤ 36	36 <	<i>t</i> ≤ 53	53 < 1	t ≤ 70	70 < 1	t ≤ 87
ms							•				
	U _r kV	^u 1 kV	^u c kV								
τ=45 ms minor loop	72,5 100 123 145 170	b 66 81 96 113	91 129 161 192 227	b 80 99 116 136	109 153 190 226 265	b 86 106 125 146	117 163 202 239 280	b 89 109 129 151	120 167 206 244 286	а	а
τ=45 ms major loop	72,5 100 123 145 170	b 82 100 118 138	109 147 181 211 245	b 88 108 127 148	117 160 196 230 268	b 90 111 130 153	121 166 204 240 279	b 91 112 132 155	123 169 208 245 285	а	а
Minimum cl time ms	earing	8,5 < <i>t</i>	≤ 18,5	18,5 <	: <i>t</i> ≤ 36	36 <	<i>t</i> ≤ 53	53 < <i>t</i> ≤ 70		70 < 1	t ≤ 87
	U _r kV	^u 1 kV	^u c kV								
τ=60 ms minor loop	72,5 100 123 145 170	b 60 74 87 103	83 118 147 176 208	b 75 92 109 128	103 144 179 213 251	b 82 101 119 140	112 157 194 231 271	b 86 106 125 147	117 163 202 240 281	b 89 109 128 151	120 166 206 244 286
τ=60 ms major loop	72,5 100 123 145 170	b 76 93 109 128	100 135 166 194 224	b 83 102 120 141	111 151 185 217 252	b 87 107 126 148	117 159 196 230 268	b 90 110 129 152	120 164 202 238 277	b 91 112 131 154	122 167 206 242 283
a Test duty	T100a is	not appl	icable, as	symmetry	level low	er than 2	20 % for b	oth curre	nt loops.		

Table I.8 – Corrected TRV values for the first pole-to-clear for k_{pp} = 1,5 and f_r = 60 Hz

b u_1 is not defined for a two parameter TRV.

Table I.9 – Corrected TRV values for the first pole-to-clear for $k_{\rm pp}$ = 1,2 and $f_{\rm r}$ = 50 Hz

Minimum c time ms	learing	10,0 <	<i>t</i> ≤ 22,0	22,0 <	<i>t</i> ≤ 42,5	42,5 <	$42,5 < t \le 63,5 \qquad 63,5 < t \le 83,5 \qquad 83,5 \qquad$		83,5 < 1	83,5 < <i>t</i> ≤103,5	
	U _r	u ₁	u _c	u ₁	u _c	u ₁	u _c	^u 1	u _c	u ₁	u _c
	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV
τ=120 ms	1 100	490	1 250	612	1 451	682	1 556	726	1 614	755	1 646
minor loop	1 200	539	1 400	671	1 613	747	1 723	794	1 782	825	1 814
τ=120 ms	1 100	514	791	602	1 002	659	1 148	700	1 254	728	1 333
major loop	1 200	557	832	653	1 067	717	1 229	761	1 349	793	1 438

Minimum clearing time		8,5 1	< <i>t</i> ≤ 8,0	18,0 35	< <i>t</i> ≤ 5,0	35,0 <	35,0 < <i>t</i> ≤ 52 5		52 < <i>t</i> ≤ 69,0		: <i>t</i> ≤ 86	86,0 1	<t≤ 03</t≤
ms													
	U _r	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c
	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV
τ=120 ms minor loop	1 100 1 200	466 503	1267 1338	584 633	1 460 1 554	656 712	1 565 1 647	703 764	1 626 1 745	736 800	1 662 1 788	758 825	1 682 1 813
τ=120 ms major loop	1 100 1 200	468 516	636 734	557 612	853 964	619 679	1 009 1 131	663 727	1 128 1 256	636 762	1 218 1 352	721 789	1 291 1 428

Table I.10 – Corrected TRV values for the first pole-to-clear for k_{pp} = 1,2 and f_r = 60 Hz

- 100 -

Annex J

(informative)

Three-phase synthetic test circuits

This annex outlines some typical three-phase synthetic test circuits.

J.1 Three-phase synthetic combined circuit

This circuit is shown in Figure J.1 and consists of the following:

a three-phase current source;

When the circuit of Figure 26a of IEC 62271-100:2008, first-pole-to-clear factor 1,3 is used, an additional inductance, as per Figure 13 of IEC 62271-100:2008, is connected in the neutral connection of the current source.

- a three-phase auxiliary circuit-breaker;
- a voltage circuit: current injection parallel circuit, in accordance with Figures B.1 and B.2, connected between one phase and earth;

Through this circuit, a four-parameter TRV is applied. Moreover by means of an additional inductance L_{ac} , it is possible to obtain an oscillating recovery voltage at rated power frequency.

 two voltage circuits: duplicate (Skeats) circuits, in accordance with Figure D.1, connected between each one of the other two phases and earth;

Through these circuits, two parameter TRVs, whose envelope satisfies the specified fourparameter TRV reference line are applied.

 re-ignition circuits connected to each phase to prevent an early clearance of the test circuit-breaker and to check the longest possible arcing time.

The three voltage circuits shall be connected to the different phases according to the requirements of Table 1.

Figure J.2 shows the waveshapes of currents, phase-to-ground and phase-to-phase voltages during a three-phase synthetic breaking test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic combined circuit.

J.2 Three-phase synthetic circuit with injection in all phases

This circuit is shown in Figure J.3 and consists of the following:

- a three-phase current source;
- a three-phase auxiliary circuit-breaker;
- a voltage circuit: current injection parallel circuit, in accordance with Figures B.1 and B.2, connected between one phase and earth;
- a voltage circuit, as above, connected between the other two phases.

This circuit differs only from a normal current injection parallel circuit in that the return conductor shall be properly insulated from earth. The recovery voltage can be equally distributed between the two last clearing poles with grading capacitors.

 re-ignition circuits connected to each phase to prevent an early clearing of the test circuitbreaker and to check the longest possible arcing time. Through these circuits, a four-parameter TRV is applied. Moreover, by means of an additional inductance L_{ac} , it is possible to obtain an oscillating recovery voltage at rated power frequency.

The two voltage circuits shall be connected to the different phases according to the requirements of Table 1.

Figure J.4 shows the waveshapes of currents and phase-to-ground voltages during a threephase synthetic breaking test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic circuit with injection in all phases.

J.3 Three-phase synthetic circuit with injection in two phases

This circuit is shown in Figure J.5 and consists of the following:

a three-phase current source;

When the circuit of Figure 26a of IEC 62271-100:2008, first-pole-to-clear-factor 1,3 is used, an additional inductance, as per Figure 13 of IEC 62271-100:2008 is connected in the neutral connection of the current source.

- a three-phase auxiliary circuit-breaker;
- a voltage circuit: current injection parallel circuit, in accordance with Figures B.1 and B.2, connected between one phase and earth;
- a voltage circuit, as above, connected between one of the other two phases and earth. As an alternative, this circuit could be a voltage injection parallel circuit in accordance with Figures C.1 and C.2;
- re-ignition circuits connected to each phase to prevent an early clearance of the test circuit-breaker and to check the longest possible arcing time.

Through these circuits, a four-parameter TRV is applied. Moreover, by means of an additional inductance L_{ac} , it is possible to obtain an oscillating recovery voltage at rated power frequency.

The two voltage circuits shall be connected to the different phases according to the requirements of Table 1.

Figures J.6 and J.7 show the waveshapes of currents, phase-to-ground and phase-to-phase voltages during a three-phase synthetic breaking test (T100s; $k_{pp} = 1,3$) performed according to the three-phase synthetic circuit with current injection in two phases.



<i>Z</i> ₀	Impedance in the neutral connection (when
	circuit with $k_{pp} = 1,3$ is used)

*L*₁ Inductance of current circuit

ML Multi-loop re-ignition circuit

Charging voltage of voltage circuit
Current of current circuit
Injected current
Additional reactance when a.c. recovery voltage is requested

Z_h Equivalent surge impedance of voltage circuit

Figure J.1 – Three-phase synthetic combined circuit

 U_{h}

i

i_h

 $L_{\rm ac}$



Figure J.2 – Waveshapes of currents, phase-to-ground and phase-to phase voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic combined circuit



Current source		Voltage source		
Gn	Generator	C _{h0}	Main capacitor	
MB	Master breaker	C _{h1, 2}	TRV control capacitor	
MS	Make switch	R _{h1, 2}	Damping resistor	
L	Inductance of the current circuit	L _{h1,2}	Inductance of voltage circuit	
PT	Power transformer	L _{h3}	Power frequency inductance	
St	Test circuit-breaker			
S _{a1,2}	Auxiliary circuit-breakers			

Figure J.3 – Three-phase synthetic circuit with injection in all phases for $k_{pp} = 1,5$



Key

 $U_{\mathsf{A}},~U_{\mathsf{B}},~U_{\mathsf{C}}$

voltages across circuit-breaker poles A, B and C, respectively

 I_A, I_B, I_C

current through circuit-breaker poles A, B and C, respectively

Figure J.4 – Waveshapes of currents and phase-to-ground voltages during a three-phase synthetic test (T100s; k_{pp} =1,5) performed according to the three-phase synthetic circuit with injection in all phases



Key			
Gn	Generator	MB	Back-up circuit-breaker
MS	Making switch	Т	Transformer
S _a	Auxiliary circuit-breaker	St	Test circuit-breaker
L	Inductance of current circuit	Ln	Inductance in the neutral connection
ML	Multi-loop re-ignition circuit	G	Trigger gap
Lac ₁ , Lac ₂	Inductance for a.c. recovery voltage	$R_{e}^{},C_{e}^{},Z_{e}^{}$	TRV components
Lh ₁ , Lh ₂	Inductance of voltage circuit	$Ch_1^{}, Ch_2^{}$	Main capacitor banks





Figure J.6 – Waveshapes of currents, phase-to-ground and phase-to-phase voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,3$) performed according to the three-phase synthetic circuit shown in Figure J.5



Key

 $u_{\rm a},\,u_{\rm c}$ voltages across poles A and C of the test circuit-breaker, respectively


Annex K

(normative)

Test procedure using a three-phase current circuit and one voltage circuit

K.1 Test circuit

The circuit-breaker shall be connected in a test circuit, an example of which is given in Figure K.1 with the following requirements:

- a) A three-phase current source with the neutral point of the supply isolated and the shortcircuit point earthed as shown in Figure 25a of IEC 62271-100:2008. This gives a firstpole-to-clear factor of 1,5. Alternatively, the neutral point of the supply can be connected to earth by an appropriate impedance and the short-circuit point earthed, as shown in Figure 26a of IEC 62271-100:2008, to give a first-pole-to-clear factor of 1,3.
- b) An auxiliary circuit-breaker used to disconnect the current circuit from the voltage circuit.
- c) A parallel current-injection voltage circuit as shown in Figures B.1 and B.2. This circuit is used to apply the TRV and the recovery voltage. It is connected between the pole representing the first-pole-to-clear or the last-pole-to-clear and earth in accordance with the test procedures given in Tables K.1 through K.8. It is possible to provide a.c. power-frequency recovery voltage by use of additional impedance, *L*_{ac}.
- d) Re-ignition circuits connected to each phase to prolong the arcing of the test circuitbreaker through the necessary number of zeros of the power-frequency current.

K.2 Test method

K.2.1 General

A combination of the first pole-to-clear factors of 1,5 and 1,3 in accordance with 6.102.10.2.4 of IEC 62271-100:2008, while splitting the test-duties taking into account the associated TRV for each pole-to-clear at the same time may be made according to K.2.3.

K.2.2 Test duty T100s(b)

The three-phase test procedure for demonstration of arcing times according to 6.102.10.2.1.1 and 6.102.10.2.1.2 of IEC 62271-100:2008 are given in Tables K.1 and K.2 for a first-pole-to-clear factor of 1,5 and Tables K.3 and K.4 for a first-pole-to-clear factor of 1,3.

It is recognized that the tests of Tables K.1 and K.3 are more severe than three-phase tests because the arcing time of the last-pole-to-clear is used together with the TRV of the first-pole-to-clear. As an alternative, the manufacturer may choose to split each test duty into two or three separate test series for demonstration of the arcing times in accordance with 6.102.10.2.5 of IEC 62271-100:2008. The procedures are given in Table K.2 for a first-pole-to-clear factor of 1,5 and Table K.4 for a first-pole-to-clear factor of 1,3. For tests performed in accordance with Tables K.2 and K.4, each test series shall demonstrate a successful interruption with the minimum, maximum and medium arcing time for each pole-to-clear with its associated TRV. Re-conditioning of the circuit-breaker after each test series is permitted and shall comply with the requirements of 6.102.9.5 of IEC 62271-100:2008.

If a failure occurs while demonstrating the maximum or medium arcing times using the procedure of Tables K.1 and K.3 then it is permissible to continue testing using the test procedure of Tables K.2 and K.4. In this case, provided no re-conditioning of the circuit-breaker has taken place, the tests demonstrating minimum arcing time on the first-pole-to-clear may be omitted.

To avoid changing the connection of the high-voltage circuit between tests on the 1st, 2nd and 3rd pole-to-clear, all the required arcing times may be applied on the same pole with the same polarity of the recovery voltage.

Test Test		Arcing window		TRV		Injected	
no.	sequence ^a	Electrical degrees values related to first pole-to- clear	Arcing time	Application (with reference to the three-phase current circuit)	^u c value p.u.	current di/dt %	
1	Os	0	^t _{arc min} (1 st pole to clear)	1 st pole to clear	1,0	100	
2	Os	-18	Re-ignition in the 1 st pole to clear to confirm the t _{arc min}	1 st pole to clear	1,0	100	
3	Od- <i>t</i> CdOs	42 (132 related to the last pole-to- clear)	t _{arc max} (last pole to clear)	Last pole to clear with extended loop	1,0	100	
4	CdOs	66	tarc med	1 st pole to clear	1,0	100	
NOTE 1	Demonstratio	n of the arcing ti	mes as per 6.102.10.2.1.	1 of IEC 62271-100:2008.			
NOTE 2	2 Arcing windov	v as per Figure 3	88 of IEC 62271-100:200	8.			
NOTE 3 Figure K.2 gives a representation of the testing conditions.							
NOTE 4 no. 4 is	NOTE 4 In the case of a CO- <i>t</i> [*] -CO operating sequence, test no. 3 should be replaced by CdOd- <i>t</i> [*] -CdOs and test no. 4 is not required.						
a Abb	reviations are in	accordance with	6.106.				

Table K.1 – Demonstration of arcing times for $k_{pp} = 1.5$

Test	Test	Test Arcing window TRV		Injected			
no.	sequence *	Electrical degrees	Arcing time	Application (with reference to the three-phase current circuit)	^u c value p.u.	di/dt %	
1	Os	0	^t arc min (first-pole-to-clear)	1 st pole-to-clear	1,0	100	
2	Os	-18	Re-ignition in the 1 st pole-to-clear to confirm the t _{arc min}	1 st pole-to-clear	1,0	100	
3	Od-t-CdOs	42	^t arc max (1 st pole-to-clear)	1 st pole-to-clear	1,0	100	
4	CdOs	21	^t arc med (1 st pole-to-clear)	1 st pole-to-clear	1,0	100	
5	Os	90	^t arc min (last pole-to-clear)	Last pole-to-clear with extended loop	0,58	87	
6	Od- <i>t</i> -CdOs	132	^t arc max (last pole-to-clear)	Last pole-to-clear with extended loop	0,58	87	
7	CdOs	111	^t arc med (last pole-to-clear)	Last pole–to-clear with extended loop	0,58	87	
NOTE 1	I Demonstrati	on of the arcing	times as per 6.102.10.2.5 of I	EC 62271-100:2008.			
NOTE 2	2 Arcing windo	ow as per Figur	e 38 of IEC 62271-100:2008.				
NOTE 3	B Figure K.3 g	ives a represen	tation of the testing condition	NS.			
NOTE 4 and tes	NOTE 4 In the case of a CO- <i>t</i> ["] -CO operating sequence, test nos. 3 and 6 should be replaced by CdOd- <i>t</i> ["] -CdOs and test nos. 4 and 7 are not required.						
^a Abb	reviations are i	n accordance w	rith 6.106.				

Table K.2 – Alternative demonstration of arcing times for $k_{pp} = 1,5$

Test	Test	Arcir	ng window	TRV		Injected	
no.	sequence ^a	Electrical degrees	Arcing time	Application	u _c	current	
		values related to		(with reference to the	value	dı/dt	
		first pole-to-clear		three-phase current circuit)	p.u.	%	
1	Os	0	t _{arc min}	1 st pole-to-clear	1,0	100	
			(1 st pole-to-clear)				
2	Os	-18	Re-ignition in the 1 st pole to clear to confirm the t _{arc min}	1 st pole-to-clear	1,0	100	
3	Od- <i>t</i> -CdOs	42	^t arc max	3 rd pole-to-clear	1,0	100	
		(162 related to the 3 rd pole-to- clear)	(3 rd pole-to-clear)				
4	CdOs	4	t _{arc med}	2 nd pole-to-clear	1,0	100	
		(81 related to the 2 nd pole-to-clear)					
NOTE 1	1 Demonstrat	ion of the arcing time	s as per 6.102.10.2.2.1 of IE	C 62271-100:2008.			
NOTE 2	2 Arcing wind	ow as per Figure 37 o	of IEC 62271-100:2008.				
NOTE 3	3 Figure K.4 g	jives a representation	n of the testing conditions.				
NOTE 4 no. 4 is	NOTE 4 In the case of a CO- <i>t</i> "-CO operating sequence, test no. 3 should be replaced by CdOd- <i>t</i> "-CdOs and test no. 4 is not required.						
a Abb	reviations are	n accordance with 6.	106.				

Table K.3 – Demonstration of arcing times for k_{pp} = 1,3

Test	Test	А	rcing window	TRV		Injected
no.	sequence ~	Electrical degrees	Arcing time	e Application (with reference to the three-phase current circuit)		(di/dt)
1	Os	0	^t arc min (1 st pole-to-clear)	1 st pole-to-clear	1,0	100
2	Os	-18	Re-ignition in the 1 st pole to clear to confirm the t _{arc min}	1 st pole-to-clear	1,0	100
3	Od- <i>t</i> -CdOs	42	^t arc max (1 st pole-to-clear)	1 st pole-to-clear	1,0	100
4	CdOs	21	t _{arc med} (1 st pole-to-clear)	1 st pole-to-clear	1,0	100
5	Os	77	^t _{arc min} (2 nd pole-to-clear)	2 nd pole-to-clear	0,98	89
6	Od- <i>t</i> -CdOs	119	^t arc max (2 nd pole-to-clear)	2 nd pole-to-clear	0,98	89
7	CdOs	98	^t arc med (2 nd pole-to-clear)	2 nd pole-to-clear	0,98	89
8	Od-t-CdOs	162	t _{arc max} (3 rd pole-to-clear)	3 rd pole-to-clear	0,77	57

Table K.4 – Alternative demonstration of arcing times for $k_{pp} = 1,3$

NOTE 1 Demonstration of the arcing times as per 6.102.10.2.5 of IEC 62271-100:2008.

NOTE 2 Arcing window as per Figure 37 of IEC 62271-100:2008.

NOTE 3 Figure K.5 gives a representation of the testing conditions.

Due to the increased number of tests between 5-8 without re-conditioning, a failure may occur during the test 8. In this case, re-conditioning of the circuit-breaker is permitted and an additional test series on the 3rd pole-to-clear should be performed as follows:

Repeat 3 tests without maintenance with the settings of tests 5, 6 and 7 but with the application of the TRV on the third-pole-to-clear. The u_c value of the TRV will be 0,77 (p.u.) and the injected current (di/dt) will be 57 %. The actual test values will be reduced in accordance with Annex I.

NOTE 4 In the case of a CO- t^{-} -CO operating sequence, test nos. 3, 6 and 8 are replaced by CdOd- t^{-} -CdOs and test nos. 4 and 7 are not required.

^a Abbreviations are in accordance with 6.106.

K.2.3 Test duty T100a

The three-phase test procedure for demonstration of arcing times according to 6.102.10.1.2 is given in Tables K.5 and K.6 for a first-pole-to-clear factor of 1,5 and Tables K.7 and K.8 for a first-pole-to-clear factor of 1,3.

The use of the three-phase test procedure for demonstration of arcing times according to 6.102.10.1.2 is necessary to reproduce the requested stresses, in terms of arcing window, percentage asymmetry, duration of minor, major and extended loops on the three poles.

It is recognized that the tests of Tables K.5 and K.7 are more severe than three-phase tests because the arcing time of the last-pole-to-clear is used together with the TRV of the first-pole-to-clear. As an alternative, the manufacturer may choose to split each test duty into two or three separate test series for demonstration of the arcing times in accordance with 6.102.10.2.5 of IEC 62271-100:2008. The procedures are given in Table K.6 for a first-pole-

to-clear factor of 1,5 and Table K.8 for a first-pole-to-clear factor of 1,3. For tests performed in accordance with Tables K.6 and K.8, each test series shall demonstrate a successful interruption with the minimum, maximum and medium arcing time for each pole-to-clear with its associated TRV. Re-conditioning of the circuit-breaker after each test series is permitted and shall comply with the requirements of 6.102.9.5 of IEC 62271-100:2008.

If a failure occurs while demonstrating the maximum or medium arcing times using the procedure of Tables K.5 and K.7, then it is permissible to continue testing using the test procedure of Tables K.6 and K.8. In this case, provided no re-conditioning of the circuit-breaker has taken place, the tests demonstrating minimum arcing time on the first-pole-to-clear may be omitted.

To avoid changing the connection of the high-voltage circuit between tests on the 1st, 2nd and 3rd pole-to-clear, all the required arcing times may be applied on the same pole with the same polarity of the recovery voltage.

Test	Test	Arcing window		TRV		Injected
no.	sequence	Electrical degrees	Arcing time and asymmetry	Application (with reference to the three-phase current circuit)	u _c value p.u.	current (di/dt) %
1	Os	0	t _{arc min} (1 st pole-to-clear)	1 st pole-to-clear	1,0	100
			pole-to-clear with extended loop			
2	Os	-18	Re-ignition in the 1^{st} pole to clear to confirm the $t_{arc min}$	1 st pole-to-clear	1,0	100
			Required asymmetry on the last- pole-to-clear with extended loop			
3	Os	See Note 1	t _{arc max} with major loop and required asymmetry on the 1 st pole-to-clear	1 st pole-to-clear	1,0	100
4	Os	See Note 1	t _{arc max} on the 1 st pole-to-clear and required asymmetry on the last pole-to-clear with extended loop	Last pole-to clear with extended loop	1,0	100
NOTE	1 Demonstra	tion of the arc	ing times as per 6.102.10.1.2.			
NOTE 2	2 Figure K.6	gives a repres	sentation of the testing conditions.			
Values the 1 st	for the durati	on and amplitu and also TRV	ude of the last loop and the asymmetric reduction values can be found in Ann	ry level at the final cur	rent zero	relevant to

Table K.5 – Demonstration of arcing times for $k_{pp} = 1.5$

Test	Test		Arcing window	TRV		Injected
no.	sequence	Electrical degrees	Arcing time and asymmetry	Application (with reference to	u _c value	circuit (di/dt)
				three-phase current circuit)	p.u.	%
1	Os	0	t _{arc min} (1 st pole-to-clear) and 1 st pole-to-clear pole-to-clear with extended loop		1,0	100
2	Os	-18	Re-ignition in the 1 st pole to clear to confirm the <i>t</i> _{arc min} with required asymmetry on the last- pole-to-clear	1 st pole-to-clear	1,0	100
3	Os	See Note 1	t _{arc max} with major loop and required asymmetry on the 1 st pole-to-clear pole-to-clear		1,0	100
4	Os	See Note 1	t _{arc max} on the 1 st pole-to-clear and required asymmetry on the last pole-to-clear with extended loop	1 st pole-to-clear	1,0	100
5	Os	Same as test No. 1	<i>t</i> _{arc min} on the last-pole-to-clear and required asymmetry on the last-pole-to-clear with extended loop	Last pole-to-clear with extended loop	0,58	87
6	Os	Same as test No. 3	$t_{arc max}$ on the last-pole-to-clear and required asymmetry on the 1 st pole-to-clear 0,5 st pole-to-clear		0,58	87
7	Os	Same as test No. 4	t _{arc max major extended} and required asymmetry on the last pole-to- clear with extended loop	Last pole-to-clear with extended loop	0,58	87
NOTE	1 Demonstra	ation of the arc	ing times as per 6.102.10.1.2.			

Table K.6 – Alternative demonstration of arcing times for k_{pp} = 1,5

ng s p

NOTE 2 Figure K.7 gives a representation of the testing conditions.

If tests are performed after a failure of test 4 in Table K.5 and no re-conditioning of the circuit-breaker has taken place, then tests can continue from test 4 in Table K.6.

Test no.	Test sequence		Arcing window	TRV		Injected current
						(d <i>i</i> /d <i>t</i>)
						%
		Electrical	Arcing time and asymmetry	Application	u _c	
		aegrees		(with reference to the	value	
				circuit)	p.u.	
1	Os	0	t _{arc min} (1 st pole-to-clear)	1 st pole-to-clear	1,0	100
			Required asymmetry on the 2nd-pole-to-clear with extended loop			
2	Os	-18	Re-ignition in the 1^{st} pole-to- clear to confirm the $t_{arc min}$	1 st pole-to-clear	1.0	100
			Required asymmetry on the 2nd-pole-to-clear with extended loop			
3	Os	See Note 1	t _{arc max} with major loop and required asymmetry on the 1 st pole-to-clear	1 st pole-to-clear	1,0	100
4	Os	See Note 1	t _{arc max} and required asymmetry on the 2nd pole-to-clear with extended loop;	2nd pole-to-clear	1,0	100
			t _{arc max} on the 1 st pole-to-clear			
NOTE '	1 Demonstra	tion of the arci	ng times as per 6.102.10.1.2.		•	
NOTE 2	2 Figure K.8	gives a repres	entation of the testing conditions.			
Values	for the duration	on and amplitu	de of the last loop and the asymmetry	etry level at the final cu	rrent zer	o relevant to

Table K.7 – Demonstration of arcing times for k_{pp} = 1,3

Values for the duration and amplitude of the last loop and the asymmetry level at the final current zero relevant to the 1st pole-to-clear and also TRV reduction values can be found in Annex I.

Test	Test		Arcing window	TRV		Injected
no.	sequence	Electrical degrees	Arcing time and asymmetry	Application (with reference to three-phase current circuit)	u _c value p.u.	current (di/dt) %
1	Os	0	t _{arc min} (1 st pole-to-clear) Required asymmetry on the 2nd-pole-to-clear with extended loop	1 st pole-to-clear	1,0	100
2	Os	-18	Re-ignition in the 1 st pole to clear to confirm the 1 st pole- to-clear t _{arc min} Required asymmetry on the 2 nd pole-to-clear with extended loop	1 st pole-to-clear	1,0	100
3	Os	See Note 1	t _{arc max} with major loop and required asymmetry on the 1 st pole-to-clear	1 st pole-to-clear	1,0	100
4	Os	See Note 1	t _{arc max} on the 1 st pole-to- clear, required asymmetry on the 2 nd pole-to-clear with extended loop	1 st pole-to-clear	1,0	100
5	Os	Same as test No. 1	t _{arc min} 2 nd pole-to-clear	2 nd pole-to-clear	0,98	89
6	Os	Same as test No. 3	t _{arc max} 2 nd pole-to-clear	2 nd pole-to-clear	0,98	89
7	Os	Same as test No. 4	tarc med 2 nd pole-to-clear	2 nd pole-to-clear	0,98	89
8	Os	Same as test No. 4	Asymmetry on the 2 nd pole-to- clear with extended loop; $(t_{arc max} \text{ on the } 3^{rd} \text{ pole-to-} \text{ clear})$	3 rd pole-to-clear	0,77	57

Table K.8 – Alternative demonstration of arcing times for $k_{pp} = 1,3$

NOTE 1 Demonstration of the arcing times as per 6.102.10.1.2.

NOTE 2 Figure K.9 gives a representation of the testing conditions.

If tests are performed after a failure of test 4 in Table K.7 and no re-conditioning of the circuit-breaker has taken place, then tests can continue from test 4 in Table 8.

Due to the increased number of tests between 5-8 without re-conditioning, a failure may occur during test 8. In this case, re-conditioning of the circuit-breaker is permitted and an additional test series on the 3rd pole-to-clear should be performed as follows:

Repeat tests 5, 6 and 7 without maintenance and the application of the TRV on the third-pole-to-clear at the arcing times according to 6.102.10.1.2 of IEC 62271-100:2008. The u_c value of the TRV will be 0,77 (p.u.) and the injected current (d*i*/d*t*) will be 57 %. The actual test values will be reduced in accordance with Annex I.

K.2.4 Combination of first-pole-to-clear factors 1,3 and 1,5

K.2.4.1 General

It is recognized that some of the test conditions are more severe than those given in the tables for the respective first-pole-to-clear factor. But all the tests given in Tables K.9 and K.10 have to be performed in order to keep the equivalence with those tests specified in the standard for each test-duty.

K.2.4.2 Test duties T10, T30, T60 and T100s(b)

The corresponding tests can be found in Table K.9.

Test no.	Test sequence		Arcing window	TRV	Injected current
		Electrical degrees	Arcing times corresponding to	u _c based on k _{pp}	min. d <i>i</i> /d <i>t</i>
			t _{arc min}		
1	Os	0	first-pole-to-clear (k_{pp} =1,3 and 1,5)	1,5	100 %
2	Os	-18	reignition	1,5	100 %
3	Od-CdOs	42	$t_{arc max}$ first-pole-to-clear (k_{pp} =1,3 and 1,5)	1,5	100 %
			$t_{arc min}$ second-pole-to-clear (k_{pp} =1,3)		
4	CdOs	90	last-pole-to-clear (k _{pp} =1,5)	1,3	89 %
			^t _{arc max} second-pole-to-clear (k _{pp} =1,3)		
5	Od-CdOs	132	last-pole-to-clear (k_{pp} =1,5)	1,3	89 %
6	Od-CdOs	162	t _{arc max} last-pole-to-clear (k _{pp} =1,3)	1,0	57 %

Table K.9 – Procedure for combining k_{pp} = 1,5 and 1,3 during test-duties T10, T30, T60 and T100s(b)

In case of failure in test 5 or 6 the tests 4, 5 and 6 shall be repeated after reconditioning the circuit-breaker.

A tolerance of ± 0.5 ms is applicable on the actual arcing times obtained during the tests 3 and 6.

A tolerance of ± 1 ms is applicable on the actual arcing times obtained during the tests 4 and 5.

For tests 1 to 3 the synthetic circuit shall be applied on the first-pole-to clear.

If the current circuit is with unearthed neutral, for tests 4 to 6, the synthetic circuit may be applied on the last-pole-to-clear (with extended loop).

If the current circuit is with earthed neutral, for tests 4 and 5, the synthetic circuit may be applied on the second pole-to-clear. For test 6, the synthetic circuit may be applied on the last pole-to-clear.

– 117 –

K.2.4.3 Test duties T100a

The corresponding tests can be found in Table K.10.

Test no.	Test	Asymmetry		Arcing window	TRV	Injected
	sequence	condition	Electrical degrees	Arcing times corresponding to	u _c	current
					based on k _{pp}	min. d <i>i</i> /d <i>t</i>
1	Os	Major loop - Intermediate (Table L.9 or L.12 columns 8 and 9)	0	$t_{arc min}$ first-pole-to-clear (k_{pp} =1,5 and 1,3)	1,5	100 %
2	Os	Major loop - Intermediate (Table L.9 or L.12 columns 8 and 9)	-18	reignition	1,5	100 %
3	Os	Major loop- rated (Table L.9 or L.12 columns 3 and 4).	(Table L.9 or L.12 column 12)	$t_{arc max}$ first-pole-to-clear (k_{pp} =1,3 and 1,5)	1,5	100 %
4	Os	Major loop- rated (Table L.9 or L.12columns 3 and 4).	(Table L.9 or L.12 column 13)	$t_{arc med}$ second-pole-to-clear (k_{pp} =1,3) last-pole-to-clear (k_{pp} =1,5)	1,3	89 %
5	Os	Major loop- rated (Table L.9 or L.12 columns 3 and 4).	(Table L.10 or L.13 column 14)	$t_{arc max}$ second-pole-to-clear (k_{pp} =1,3)	1,3	89 %
6	Os	Major loop- rated (Table L.9 or L.12 columns 3 and 4).	(Table L.10 or L.13 column 15)	$t_{arc max}$ last-pole-to-clear (k_{pp} =1,3 and 1,5)	1,0	87 %

Table K.10 – Procedure for combining k _{pp} :	= 1,5 and 1,3 during test-duty T100a
--	--------------------------------------

NOTE The asymmetry conditions and electrical degrees refer to the columns in the following tables of Annex L:

- for 50 Hz in Tables L.9 and L.10;

- for 60 Hz in Tables L.12 and L.13.

In case of failure in test 5 or 6 the tests 4, 5 and 6 shall be repeated after reconditioning the circuit-breaker.

A tolerance of $\pm 0,5$ ms is applicable on the actual arcing times obtained during the test 3, 5 and 6.

A tolerance of ± 1 ms is applicable on the actual arcing times obtained during the test 4.

For tests 1 to 3 the synthetic circuit shall be applied on the first-pole-to clear.

If the current circuit is with unearthed neutral, for tests 4 to 6, the synthetic circuit may be applied on the last-pole-to-clear (with extended loop).

If the current circuit is with earthed neutral, for tests 4 to 6, the synthetic circuit may be applied on the second pole-to-clear.



The voltage circuit shall be connected between the first or last pole-to-clear and earth, according to the requirements of the tables.

Figure K.1 – Example of a three-phase current circuit with single-phase synthetic injection



Test Nos. 1 and 2: Application of the TRV on the 1st pole-to-clear



Test No. 3: Application of the TRV on the last-pole-to-clear with extended loop





Figure K.2 – Representation of the testing conditions of Table K.1



Test Nos. 1 and 2: Application of the TRV on the 1st pole-to-clear

Test No. 5: Application of the TRV on the last pole-to-clear with extended loop



Test No. 3: Application of the TRV on the 1st pole-to-clear

Test No. 6: Application of the TRV on the last pole-to-clear with extended loop











Test Nos. 1 and 2: Application of the TRV on the 1st pole-to-clear



Test No. 3: Application of the TRV on the 3rd pole-to-clear



Test No. 4: Application of the TRV on the 2nd pole-to-clear

Figure K.4 – Representation of the testing conditions of Table K.3



Test Nos. 1 and 2: Application of the TRV on the 1st pole-to-clear







Test No. 6: Application of the TRV on the 2nd pole-to-clear









Test No. 1: Application of the TRV on the 1st pole-to-clear





Test No. 3: Application of the TRV on the 1st pole-to-clear with major loop



Test No. 4: Application of the TRV on the last pole-to-clear with extended major loop



Figure K.6 – Representation of the testing conditions of Table K.5





Test No. 2: Application of the TRV on the 1st pole-to-clear



Test No. 3: Application of the TRV on the 1st pole-to-clear with major loop Test No. 6: Application of the TRV on the last pole-to-clear with extended loop



Test No. 4: Application of the TRV on the 1st pole-to-clear Test No. 7: Application of the TRV on the last pole-to-clear with extended major loop



Figure K.7 – Representation of the testing conditions of Table K.6



Tests No. 1 and 2: Application of TRV on the 1st pole-to-clear





Test No. 4: Application of the TRV on the 2nd pole-to-clear with extended major loop



Figure K.8 – Representation of the testing conditions of Table K.7



Test No. 4: Application of the TRV on the 1st pole-to-clear

Test No. 7: Application of the TRV on the 2nd pole-to-clear with extended major loop

Test No. 8: Application of the TRV on the 3rd pole-to-clear



Figure K.9 – Representation of the testing conditions of Table K.8

Annex L

(normative)

Splitting of test duties in test series taking into account the associated TRV for each pole-to-clear

L.1 General

Depending on the limitation of a laboratory, three-phase tests are not always possible. It is customary to perform such tests using a single-phase circuit with a single TRV that covers the first, second and last pole-to-clear. This test procedure may result in higher stresses on the circuit-breaker under test compared to the corresponding three-phase direct test procedure.

This procedure may be used in substitution of three-phase tests where single-phase testing is permitted.

Since arcing is prolonged by means of thermal re-ignitions, it is possible to force the test circuit-breaker to re-ignite in all conditions. Special care shall be taken not to re-ignite the circuit-breaker at the instant of a current zero when the circuit-breaker can clear.

A combination of the first pole-to-clear factors 1,5 and 1,3 in accordance with 6.102.10.2.4 of IEC 62271-100:2008, while splitting the test-duties at the same time may be made according to L.3.

L.2 Test duties T10, T30, T60 and T100s(b)

The single-phase test procedures for splitting of test duties to demonstrate arcing times with the correct TRV for each pole-to-clear according to 6.102.10.2.5 of IEC 62271-100:2008 are given in Table L.1 for a first-pole-to-clear factor of 1,5, in Tables L.2 and L.3 for a first-pole-to-clear factor of 1,3 and in Tables L.4 and L.5 for a first-pole-to-clear factor of 1,2.

Simplified procedures are given in Tables L.3 and L.5 which are more severe than the procedures given in Tables L.2 and L.4.

In case of a failure during test nos. 5 or 6 as given in Tables L.2 and L.4, tests 4, 5 and 6 shall be repeated after re-conditioning of the circuit-breaker.

In case of a failure in test no. 5 as given in Tables L.3 and L.5, test nos. 3 and 5 shall be repeated after re-conditioning of the circuit-breaker. In this case test no. 3 may be performed as a single opening operation under the same conditions as test no. 5.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of subclause 6.102.9.5 of IEC 62271-100:2008.

L.3 Test duty T100a

L.3.1 General

The test procedure described here is based on the determination of the minimum arcing time after a major loop with intermediate asymmetry. This arcing time is considered to be the same for all conditions (minor or major loops). Due to this assumption a possible interruption at a previous current zero at the end of a minor loop is not considered.

L.3.2 Test procedure for first-pole-to-clear factor 1,5

The test series shows the clearing capability for the different asymmetrical conditions and their associated TRV values. The aim is to obtain a series of 5 valid tests.

The corresponding tests can be found in Table L.6.

Tables L.9 and L.12 show the arc extinguishing intervals depending on conditions given.

In case of a failure during test no. 5 as given in Table L.6, tests nos. 3 to 5 shall be repeated after re-conditioning of the circuit-breaker.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 6.102.9.5 of IEC 62271-100:2008.

L.3.3 Test procedure for first-pole-to-clear factor 1,3

The test series shows the clearing capability for the different asymmetrical conditions and its associated TRV values. The aim is to get a series of 6 valid tests.

The corresponding tests can be found in Table L.7.

Tables L.10 and L.13 show the arc extinguishing intervals depending on conditions given.

In case of a failure during test nos. 5 or 6 as given in Table L.7, tests nos. 4 to 6 shall be repeated after re-conditioning of the circuit-breaker.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 6.102.9.5 of IEC 62271-100:2008.

L.3.4 Test procedure for first-pole-to-clear factor 1,2

The test series shows the clearing capability for the different asymmetrical conditions and its associated TRV values. The aim is to get a series of 6 valid tests.

The corresponding tests can be found in Table L.8.

Tables L.11 and L.14 show the arc extinguishing intervals depending on conditions given.

In case of a failure during test nos. 5 or 6 as given in Table L.8, tests nos. 4 to 6 shall be repeated after re-conditioning of the circuit-breaker.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 6.102.9.5 of IEC 62271-100:2008.

L.4 Combination of first-pole-to-clear factors 1,3 and 1,5

L.4.1 General

It is recognized that some of the test conditions are more severe than those given in the tables for the respective first-pole-to-clear factor. But all the tests given in Tables L.15 and L.16 have to be performed in order to keep the equivalence with those tests specified in the standard for each test-duty.

L.4.2 Test duties T10, T30, T60 and T100s(b)

The corresponding tests can be found in Table L.15.

In case of failure in test 5 or 6 the tests 4, 5 and 6 shall be repeated after reconditioning the circuit-breaker.

A tolerance of ± 1 ms is applicable on the actual arcing times obtained during the test 4.

For tests 3, 5 and 6 the applicable tolerance is ± 0.5 ms.

L.4.2.1 Test duty T100a

The corresponding tests can be found in Table L.16.

In case of failure in test 5 or 6 the tests 4, 5 and 6 shall be repeated after reconditioning the circuit-breaker.

A tolerance of ± 1 ms is applicable on the actual arcing times obtained during the test 4.

For test 3, 5 and 6 the applicable tolerance is ± 0.5 ms.

Test	est Test Arcing window TRV		Injected			
no.	sequence ^a	Electrical degrees	Arcing time	RRRV	u _c value	(d <i>i</i> /d <i>t</i>)
		U				%
				(p.u.)	(p.u.)	
1	Os	0	t _{arc min}	1,0	1,0	100
			(1 st pole-to- clear)			
2	Os	-18	Re-ignition in the 1 st pole-to- clear to confirm t _{arc min}	1,0	1,0	100
3	Od-t-CdOs	42	^t _{arc max} (1 st pole-to- clear)	1,0	1,0	100
4	Os	90	^t _{arc min} (last pole-to- clear)	0,7	0,58	87
5	CdOs	132	t _{arc max} (last pole-to- clear)	0,7	0,58	87
For T10,	T30 and T60, the	e Cd operation	may be carried out	under no-load condition	ons.	
a Abbre	viations are in a	ccordance with	n 6.106.			

Table L.1 – Test procedure for $k_{pp} = 1,5$

Test no.	Test	Arcin	g window	TRV		Injected
	sequence ^a	Electrical	Arcing time	RRRV	^u c value	current (d <i>i</i> /d <i>t</i>)
		aegrees		p.u.	p.u.	%
1	Os	0	t _{arc min} (1 st pole-to- clear)	1,0	1,0	100
2	Os	-18	Re-ignition in the 1 st pole-to- clear to confirm the t_{arc} min	1,0	1,0	100
3	Od- <i>t</i> -CdOs	42	^t arc max (1 st pole–to- clear)	1,0	1,0	100
4	CdOs	77	^t arc min (2 nd pole-to- clear)	0,95	0,98	89
5	Od- <i>t</i> -CdOs	119	^t arc max (2 nd pole-to- clear)	0,95	0,98	89
6	Od- <i>t</i> -CdOs	162	t _{arc max} (3 rd pole-to- clear)	0,70	0,77	57
NOTE Tests 1, 2 and 3 demonstrate the arcing window under three-phase conditions for the first pole-to-clear Tests 4 and 5 demonstrate the arcing window for the second pole-to-clear. Tests 5 and 6 demonstrate the arcine window for the third pole-to-clear.						
For T10, T	30 and T60 the 0	Cd operation m	ay be carried out	under no-load conditions.		
^a Abbrevi	ations are in acc	cordance with 6	6.106.			

Table L.2 – Test procedure for $k_{pp} = 1,3$

Test	Test	Arcir	ng window	TRV		Injected
no.	sequence "	Electrical	Arcing time	RRRV	^u c value	current (di/dt)
		ucgrees		p.u.	p.u.	%
1	Os	0	t _{arc min} (1 st pole- to-clear)	1,0	1,0	100
2	Os	-18	Re-ignition in the 1 st pole-to- clear to confirm the t _{arc min}	1,0	1,0	100
3	Od-t-CdOs	119	t _{arc max} (2 nd pole−to-clear)	1,0	1,0	100
4	CdOs	60	t _{arc med} (1 st and 2 nd pole-to- clear)	1,0	1,0	100
5	Od- <i>t</i> -CdOs	162	^f arc max (3 rd pole-to- clear)	0,70	0,77	57
NOTE second	Tests 1, 2, 3 an pole-to-clear. Tes	d 4 demonstr ts 3 and 5 dem	ate the arcing wind nonstrate the arcing	low under three-phase window for the third pol	conditions f e-to-clear.	for the first and
For T10), T30 and T60 the	Cd operation	may be carried out u	under no-load condition	s.	

Table L.3 – Simplified test procedure for $k_{pp} = 1,3$

^a Abbreviations are in accordance with 6.106.

Test no.	Test	Arcin	g window	TRV		Injected
	sequence ~	Electrical	Arcing time	RRRV	^u c value	(d <i>i</i> /d <i>t</i>)
		aegrees		p.u.	p.u.	%
1	Os	0	^t _{arc min} (1 st pole-to- clear)	1,0	1,0	100
2	Os	-18	Re-ignition in the 1 st pole-to- clear to confirm the t_{arc} min	1,0	1,0	100
3	Od-t-CdOs	42	^t arc max (1 st pole-to- clear)	1,0	1,0	100
4	CdOs	71	^t _{arc min} (2 nd pole-to- clear)	0,95	0,95	92
5	Od- <i>t</i> -CdOs	113	t _{arc max} (2 nd pole-to- clear)	0,95	0,95	92
6	Od- <i>t</i> -CdOs	162	t _{arc max} (3 rd pole-to- clear)	0,83	0,83	75

Table L.4 – Test procedure for $k_{pp} = 1,2$

NOTE Tests 1, 2 and 3 demonstrate the arcing window under three-phase conditions for the first pole-to-clear. Tests 4 and 5 demonstrate the arcing window for the second pole-to-clear. Tests 5 and 6 demonstrate the arcing window for the third pole-to-clear.

For T10, T30 and T60 the Cd operation may be carried out under no-load conditions.

^a Abbreviations are in accordance with 6.106.

Test	Test	Arcir	ng window	TRV		Injected
no.	sequence ~	Electrical degrees	Arcing time	RRRV p.u.	u _c value p.u.	(di/dt)
1	Os	0	_{tarc min} (1 st pole- to-clear)	1,0	1,0	100
2	Os	-18	Re-ignition in the 1 st pole-to- clear to confirm the $t_{\rm arc\ min}$	1,0	1,0	100
3	Od-t-CdOs	113	t _{arc max} (2 nd pole-to-clear)	1,0	1,0	100
4	CdOs	57	t _{arc med} (1 st and 2 nd pole-to- clear)	1,0	1,0	100
5	Od- <i>t</i> -CdOs	162	^t _{arc max} (3 rd pole-to- clear)	0,83	0,83	75
NOTE second	Tests 1, 2, 3 an pole-to-clear. Tes	d 4 demonstr ts 3 and 5 dem	ate the arcing wind nonstrate the arcing	dow under three-phase window for the third pol	conditions t e-to-clear.	for the first and
For T10), T30 and T60 the	Cd operation	may be carried out u	under no-load condition	s.	

Table L.5 – Simplified test procedure for $k_{pp} = 1,2$

^a Abbreviations are in accordance with 6.106.

Test	Test	Asymmetry	Arcing	window	TRV ^{acd}		Injected
no.	sequence	condition	Electrical	Arcing	RRRV	u _c value	(d <i>i</i> /d <i>t</i>)
			degrees	time	p.u.	p.u.	%
1	Os	Major loop intermediate (col. 8 and 9)	0	^f arc min (1 st pole- to-clear)	1,0	1,0	(col. 10)
2	Os	Major loop intermediate (col. 8 and 9)	-18 ^b	Re-ignition in the 1 st pole-to- clear to confirm ^t arc min	1,0	1,0	(col. 10)
3	Os	Major loop rated (col 3 and 4)	(col. 12)	^t arc max (1 st pole− to-clear)	1,0	1,0	(col. 5)
4	Os	Major loop rated (col. 3 and 4)	(col. 13)	^t arc _{med} (last pole- to-clear)	0,7	0,58	(col.6)
5	Os	Major loop rated (col. 3 and 4)	(col. 14)	^t arc max (last pole- to-clear)	0,7	0,58	(col. 7)
NOTE T L.12.	he references	to column numb	ers (for examp	ole column 1) r	efer to the numbered col	umns in Tabl	es L.9 and
a Value	s given here a	re for symmetrica	al conditions. I	For test 3 see t	ables in Annex I for the c	orrected TRV	′values.
^b To de	monstrate the	minimum arcing	time.				

Table L.6 – Test procedure for asymmetrical currents in the case of k_{pp} = 1,5

 $^{\rm C}$ $\,$ Reduction of TRV may be applied using Annex P of IEC 62271-100:2008 for tests 1 and 2.

^d Simplified reduction of TRV for tests 4 and 5 may be done using the factors RRRV and u_c from this table on tables of Annex I.

Test no.	Test sequence	Asymmetry condition	Arcin	ıg window	TRV ^{acd}		Injected current
			Electrical	Arcing time	RRRV	u _c value	(<i>ai/ai</i>)
			degrees		p.u.	p.u.	%
1	Os	Major loop intermediate (col.8 and 9)	0	^t arc min (1 st pole-to- clear)	1,0	1,0	(col. 10)
2	Os	Major loop intermediate (col.8 and 9)	-18 ^b	Re-ignition in the 1 st pole-to- clear to confirm t _{arc min}	1,0	1,0	(col. 10)
3	Os	Major loop rated (col.3 and 4)	(col.12)	^f arc max (1 st pole-to- clear)	1,0	1,0	(col. 5)
4	Os	Major loop rated (col.3 and 4)	(col.13)	^t arc med (2 nd pole-to- clear)	0,95	0,98	(col.6)
5	Os	Major loop rated (col.3 and 4)	(col.14)	^t arc max (2 nd pole-to- clear)	0,95	0,98	(col.6)
6	Os	Major loop rated (col.3 and 4)	(col.15)	^t arc max (last pole-to- clear)	0,70	0,77	(col.7)
NOTE	The reference	s to column num	ibers (for exam	nple col.8) refer to the	e numbered columns ir	Tables L.10	and L.13.

Table L.7 – Test procedure for asymmetrical currents in the case of $k_{pp} = 1,3$

^a Values given here are for symmetrical conditions. For test 3 see tables of Annex I for the corrected TRV values.

^b To demonstrate the minimum arcing time.

^C Reduction of TRV may be applied using Annex P of IEC 62271-100:2008 for tests 1 and 2.

^d Simplified reduction of TRV for tests 4, 5 and 6 may be done using the factors RRRV and u_c from this table on tables of Annex I.

Test no.	Test sequence	Asymmetry condition	Arcir	ng window	TRV ^{acd}		Injected current
			Electrical	Arcing time	RRRV	^u c value	(dı/dt)
			degrees		p.u.	p.u.	%
1	Os	Major loop intermediate (col.8 and 9)	0	^{<i>t</i>_{arc min} (1st pole-to- clear)}	1,0	1,0	(col. 10)
2	Os	Major loop intermediate (col.8 and 9)	-18 ^b	Re-ignition in the 1 st pole-to- clear to confirm t _{arc min}	1,0	1,0	(col. 10)
3	Os	Major loop rated (col.3 and 4)	(col.12)	^f arc max (1 st pole-to- clear)	1,0	1,0	(col. 5)
4	Os	Major loop rated (col.3 and 4)	(col.13)	^t arc med (2 nd pole-to- clear)	0,95	0,95	(col.6)
5	Os	Major loop rated (col.3 and 4)	(col.14)	^t arc max (2 nd pole-to- clear)	0,95	0,95	(col.6)
6	Os	Major loop rated (col.3 and 4)	(col.15)	t _{arc max} (last pole-to- clear)	0,83	0,83	(col.7)
NOTE	The reference	s to column num	bers (for exam	ple col.8) refer to th	e numbered columns in	Tables L.11	and L.14

Table L.8 – Test procedure for asymmetrical currents in the case of $k_{pp} = 1,2$

^a Values given here are for symmetrical conditions. For test 3 see tables of Annex I for the corrected TRV values.

^b To demonstrate the minimum arcing time.

^C Reduction of TRV may be applied using Annex P of IEC 62271-100:2008 for tests 1 and 2.

^d Simplified reduction of TRV for tests 4 and 5 may be done using the factors RRRV and u_c from this table on tables of Annex I.

2 ·

1.5





Intermediate asymmetry, TRV 1,0 p.u.



Rated asymmetry, TRV 1 p.u.



Rated asymmetry, TRV 0,58 p.u.









Rated asymmetry, TRV 1 p.u.



Rated asymmetry, TRV 0,95 p.u.







₽	
50	
fr =	
5. '	-
, _	
dd	
of k	
se	
ca	
the	
Ľ.	
suo	
diti	
uo:	
al o	
tric	
ume	
syn	
it a:	
ren	
liffe	
ord	
's fe	
etei	
am	
par	
est	
d t	
uire	.
Seq	
L L	
L.9	
ble	,
Tal	

TRV peak	(p.u.) for symme	etrical ci	urrents							1,5	1,5	0,87	0,87
			Ľ	Rated asymr	netry		Interm	ediate asym	metry ^a		Arcing v	vindow	
Column 1	2	ю	4	5	9	7	8	6	10	11	12	13	14
ы	Minimum clearing time	Ipeak	Duration of the loop	di/dr 1 st pole-to- clear ^b	di/dr 2 nd pole-to- clear ^b	di/dr 3' ^d pole-to- clear ^b	lpeak	Duration of the loop	di/dr 1 st pole to clear ^b	1 st pole to clear	Maximum arcing time after major loop with TRV 1 st pole-to-	Medium arcing time 2 nd pole-to- clear after major	Maximum arcing time 2 nd pole-to- clear after major
(ms)	(sm)	(.u.d)	(sm)	(%)	(%)	(%)	(b.u.)	(sm)	(%)	(°)	(°)	(°)	(°)
	10 <t≤22,5< td=""><td>1,52</td><td>13,5</td><td>93</td><td>83</td><td>83</td><td>1,24</td><td>11,5</td><td>66</td><td>0</td><td>56</td><td>101</td><td>173</td></t≤22,5<>	1,52	13,5	93	83	83	1,24	11,5	66	0	56	101	173
45	22,5 <t≤43,5< td=""><td>1,33</td><td>12,0</td><td>98</td><td>86</td><td>86</td><td>1,16</td><td>11,0</td><td>100</td><td>0</td><td>51</td><td>97</td><td>158</td></t≤43,5<>	1,33	12,0	98	86	86	1,16	11,0	100	0	51	97	158
	43,5< <i>t</i> ≤64	1,21	11,5	100	87	87	1,10	10,5	100	0	48	94	148
	10< <i>t</i> ≤22,5	1,61	14,0	87	62	62	1,29	12,0	26	0	59	103	181
e o	22,5 <t≤43< td=""><td>1,44</td><td>13,0</td><td>94</td><td>83</td><td>83</td><td>1,21</td><td>11,5</td><td>66</td><td>0</td><td>54</td><td>66</td><td>166</td></t≤43<>	1,44	13,0	94	83	83	1,21	11,5	66	0	54	66	166
00	43< <i>t</i> ≤63,5	1,31	12,0	97	85	85	1,15	11,0	100	0	51	96	156
	63,5< <i>t</i> ≤84	1,22	11,5	66	98	98	1,11	10,5	100	0	48	95	149
	10< <i>t</i> ≤22	1,67	15,0	82	92	92	1,33	12,0	96	0	62	105	186
	22< <i>t</i> ≤43	1,51	13,5	90	81	81	1,25	11,5	86	0	57	101	173
75	43 <i><t< i="">≤63,5</t<></i>	1,39	12,5	95	84	84	1,19	11,0	66	0	53	98	163
	63,5 <t≤84< td=""><td>1,30</td><td>12,0</td><td>97</td><td>85</td><td>85</td><td>1,15</td><td>11,0</td><td>100</td><td>0</td><td>50</td><td>96</td><td>156</td></t≤84<>	1,30	12,0	97	85	85	1,15	11,0	100	0	50	96	156
	84 <i><t< i="">≤104</t<></i>	1,23	11,5	98	86	86	1,11	10,5	100	0	48	95	150
	10< <i>t</i> ≤22	1,78	15,5	70	69	69	1,38	12,5	64	0	68	108	196
	22 <t≤42,5< td=""><td>1,66</td><td>14,5</td><td>80</td><td>75</td><td>75</td><td>1,32</td><td>12,0</td><td>96</td><td>0</td><td>62</td><td>105</td><td>185</td></t≤42,5<>	1,66	14,5	80	75	75	1,32	12,0	96	0	62	105	185
120	42,5 <t≤63< td=""><td>1,56</td><td>14,0</td><td>86</td><td>78</td><td>78</td><td>1,27</td><td>12,0</td><td>97</td><td>0</td><td>59</td><td>102</td><td>177</td></t≤63<>	1,56	14,0	86	78	78	1,27	12,0	97	0	59	102	177
	63< <i>t</i> ≤83,5	1,47	13,0	91	81	81	1,23	11,5	86	0	56	100	169
	83,5 <t≤103,5< td=""><td>1,40</td><td>12,5</td><td>94</td><td>83</td><td>83</td><td>1,20</td><td>11,5</td><td>66</td><td>0</td><td>54</td><td>98</td><td>164</td></t≤103,5<>	1,40	12,5	94	83	83	1,20	11,5	66	0	54	98	164
a Intermedia	te asymmetry is t	the asym	metry level	obtained in a	a three-phas	e direct test	in the phase	having the r	educed asyr	nmetry.			
b Correspon	ding di/dt at curre	ent zero	(percentage	of the di/dr	of the rated	symmetrical	current).						

	-		1	Cor pon arc times
, = 50 Hz	1,27		14	Corres- ponding arcing times 2 nd
$t_{pp} = 1,3, f_{f}$	1,27	Arcing window	13	Corres- ponding arcing times 2 nd
ie case of a	1,3	4	12	Corres- ponding arcing time after major
itions in th	1,3		11	1 st pole to clear
ical condi		nmetry	10	di/dr 1 st pole to clear ^b
asymmeti		nediate asyn	6	Duration of the Ioop
different		Inter	8	I _{peak}
0 – Required test parameters for r symmetrical currents			7	di/dr 3 rd pole to clear ^b
	ts	etry ^a	9	d <i>i/dt</i> 2 nd pole to
	asymme	5	di/dt 1 st pole to	
	Rated	4	Duration of the loop	
ole L.10 - (p.u.) for s)			3	I _{peak}
Tal	TRV peak		2	Minimum clearing time
				1

	TRV peak	(p.u.) for	symmetrics	al current	ş					1,3	1,3	1,27	1,27	1,0
			Rated	asymmet	try ^a		Interm	ediate asym	metry			Arcing window		
Column 1	2	с	4	5	9	7	80	ര	10	11	12	13	14	15
4	Minimum clearing time	Ipeak	Duration of the loop	di/dt 1 st pole to clear	di/dt 2 nd pole to clear	di/dr 3 rd pole to clear ^b (%)	Ipeak	Duration of the loop	d <i>i/dt</i> 1 st pole to clear ^b	1 st pole to clear	Corres- ponding arcing time after major loop with TRV 1 st nole	Corres- ponding arcing times 2 nd pole to	Corres- ponding arcing times 2 nd pole to	Corres- ponding arcing times last pole to
(sm)	(ms)	(.u.d)	(sm)	(%)	(%)		(.u.d)	(sm)	(%)	(°)	to clear (°)	major loop (°)	major loop (°)	major loop (°)
	10< <i>t</i> ≤22,5	1,52	13,5	93	84	53	1,24	11,5	66	0	56	06	162	193
45	22,5< <i>t</i> ≤43,5	1,33	12,0	98	88	56	1,16	11,0	100	0	51	85	146	182
	43,5< <i>t</i> ≤64	1,21	11,5	100	06	57	1,10	10,5	100	0	48	82	136	175
	10 <t≤22,5< td=""><td>1,61</td><td>14,0</td><td>87</td><td>80</td><td>49</td><td>1,29</td><td>12,0</td><td>97</td><td>0</td><td>59</td><td>93</td><td>171</td><td>199</td></t≤22,5<>	1,61	14,0	87	80	49	1,29	12,0	97	0	59	93	171	199
00	22,5< <i>t</i> ≤43	1,44	13,0	94	85	54	1,21	11,5	66	0	54	88	155	188
00	43< <i>t</i> ≤63,5	1,31	12,0	26	88	56	1,15	11,0	100	0	51	85	145	181
	63,5< <i>t</i> ≤84	1,22	11,5	66	89	57	1,11	10,5	100	0	48	83	137	175
	10< <i>t</i> ≤22	1,67	15,0	82	76	46	1,33	12,0	96	0	62	95	177	203
	22 <t≤43< td=""><td>1,51</td><td>13,5</td><td>06</td><td>82</td><td>51</td><td>1,25</td><td>11,5</td><td>98</td><td>0</td><td>57</td><td>06</td><td>162</td><td>193</td></t≤43<>	1,51	13,5	06	82	51	1,25	11,5	98	0	57	06	162	193
75	43< <i>t</i> ≤63,5	1,39	12,5	95	86	54	1,19	11,0	66	0	53	87	152	185
	63,5< <i>t</i> ≤84	1,30	12,0	97	87	55	1,15	11,0	100	0	50	85	144	180
	84 <i><t< i="">≤104</t<></i>	1,23	11,5	66	88	56	1,11	10,5	100	0	48	83	138	176
	10< <i>t</i> ≤22	1,78	15,5	70	67	39	1,38	12,5	94	0	68	100	188	209
	22 <t≤42,5< td=""><td>1,66</td><td>14,5</td><td>80</td><td>74</td><td>45</td><td>1,32</td><td>12,0</td><td>96</td><td>0</td><td>62</td><td>96</td><td>176</td><td>201</td></t≤42,5<>	1,66	14,5	80	74	45	1,32	12,0	96	0	62	96	176	201
120	42,5< <i>t</i> ≤63	1,56	14,0	86	79	49	1,27	12,0	67	0	59	92	167	195
	63< <i>t</i> ≤83,5	1,47	13,0	91	82	52	1,23	11,5	98	0	56	06	159	190
	83,5 <t≤103,5< td=""><td>1,40</td><td>12,5</td><td>94</td><td>84</td><td>53</td><td>1,20</td><td>11,5</td><td>66</td><td>0</td><td>54</td><td>88</td><td>153</td><td>186</td></t≤103,5<>	1,40	12,5	94	84	53	1,20	11,5	66	0	54	88	153	186
a Intern	nediate asymmetry	y is the a	symmetry lev	∕el obtain∈	∋d in a thi	ree-phase d	irect test in	the phase ha	iving the redu	uced asymme	etry.			
b Corre	sponding di/dr at o	current ze	ero (percenta	ige of the	di/dt of th	he rated syr	nmetrical cu	rrent).						

÷
-
20
ш
f,
5
2
Ļ
`n
<u>d</u>
4
÷
0
Φ
S
8
~
ĥ
ŧ
L
S
2
≞
p
2
ŭ
_
g
<u>.</u>
E.
ē
Ξ
Ē
5
5
ð
Ļ
S
Ψ
œ.
Ŧ.
5
Ē
ō
-
ŝ
e
ŝ
Ĕ
ΠĽ
Ľ
a
0
st
ö
÷
ğ
ē
Ľ
ĕ
Ŕ
ī
-
7
`:
_
e
q
a'

TRV p	eak (p.u.) for sy	mmetric	al currents							1,2	1,2	1,15	1,15	1,0
				Rated asymm	etry		Interm	nediate asym	ımetry ^a		•	vrcing windo	*	
Column 1	N	ε	4	5	9	7	8	6	10	11	12	13	14	15
ь	Minimum clearing time	I _{peak}	Duration of the loop	d <i>i/</i> dr 1 st pole to clear ^b	di/dr 2 nd pole to clear ^b	di/dr 3 rd pole to clear ^b	I peak	Duration of the loop	di/dr 1 st pole to clear ^b	1 st pole to clear	Corres- ponding arcing time after major loop with TRV 1 st pole to	Corres- ponding arcing pole to clear after major loop	Corres- ponding arcing pole to clear after major loop	Corres- ponding arcing times last pole to clear after major loop
(sm)	(ms)	(.u.d)	(sm)	(%)	(%)	(%)	(n.d)	(sm)	(%)	(。)	(。)	(。)	(。)	(。)
	10< <i>t</i> ≤22	1,78	15,5	70	66	52	1,38	12,5	94	0	68	96	184	209
	22< <i>t</i> ≤42,5	1,66	14,5	80	74	60	1,32	12,0	96	0	62	91	171	201
120	42,5< <i>t</i> ≤63	1,56	14,0	86	80	65	1,27	12,0	26	0	59	87	161	195
	63< <i>t</i> ≤83,5	1,47	13,0	91	83	89	1,23	11,5	86	0	56	84	154	190
	83,5< <i>t</i> ≤103,5	1,40	12,5	94	86	02	1,20	11,5	66	0	54	82	147	186
a Intermed	iate asymmetry i	s the asy	mmetry level	obtained in a	three-phase	direct test in	the phase ha	aving the red	uced asymmet	ry.				
b Correspo	nding d <i>i</i> /d <i>t</i> at cu	rrent zerc) (percentage	of the di/dt of	f the rated sy	mmetrical cu	rrent).							

Table L.12 – Required test parameters for different asymmetrical conditions in the case of k_{pp} = 1,5 , f_r = 60 Hz

			TRV peak	(p.u.) for syr	mmetrical cu	Irrents				1,5	1,5	0,87	0,87
				Rated asymm	letry		Interm	nediate asym	ımetry ^a		Arcing w	rindow	
Column 1	7	3	4	5	6	7	8	6	10	11	12	13	14
ت (ms)	Minimum clearing time (ms)	I _{peak}	Duration of the loop	d <i>i/</i> d <i>t</i> 1 st pole-to- clear ^b	d <i>i/</i> dt 2 nd pole-to- clear ^b	d <i>i/</i> d <i>t</i> 3 rd pole-to- clear ^b	Ipeak	Duration of the loop	d <i>i/</i> d <i>t</i> 1 st pole-to- clear ^b	1 st pole to clear	Maximum arcing time after major loop with TRV 1 st pole to clear	Medium arcing time 2 nd pole to clear after major loop	Maximum arcing time 2 nd pole to clear after major loop
		('n'd)	(ms)	(%)	(%)	(%)	('n'd)	(sm)	(%)	(。)	(°)	(。)	(。)
	8,5< <i>t</i> ≤19,0	1,58	11,5	89	81	81	1,27	10,0	98	0	58	102	178
15	19,0< <i>t</i> ≤36,0	1,40	10,5	96	84	84	1,19	9,5	100	0	53	98	163
64	36,0 <t≤53,0< td=""><td>1,27</td><td>10,0</td><td>98</td><td>86</td><td>86</td><td>1,13</td><td>9,0</td><td>100</td><td>0</td><td>49</td><td>96</td><td>153</td></t≤53,0<>	1,27	10,0	98	86	86	1,13	9,0	100	0	49	96	153
	53,0 <t≤70,0< td=""><td>1,19</td><td>9,5</td><td>100</td><td>87</td><td>87</td><td>1,09</td><td>9,0</td><td>100</td><td>0</td><td>47</td><td>94</td><td>147</td></t≤70,0<>	1,19	9,5	100	87	87	1,09	9,0	100	0	47	94	147
	8,5< <i>t</i> ≤18,5	1,66	12,0	83	76	76	1,32	10,0	96	0	62	104	185
	18,5< <i>t</i> ≤36,0	1,50	11,0	91	81	81	1,24	9,5	98	0	56	101	172
60	36,0 <t≤53,0< td=""><td>1,38</td><td>10,5</td><td>95</td><td>84</td><td>84</td><td>1,18</td><td>9,5</td><td>66</td><td>0</td><td>53</td><td>98</td><td>162</td></t≤53,0<>	1,38	10,5	95	84	84	1,18	9,5	66	0	53	98	162
	53,0 <t≤70,0< td=""><td>1,29</td><td>10,0</td><td>98</td><td>85</td><td>85</td><td>1,14</td><td>0'6</td><td>100</td><td>0</td><td>50</td><td>96</td><td>154</td></t≤70,0<>	1,29	10,0	98	85	85	1,14	0'6	100	0	50	96	154
	70,0 <t≤87,0< td=""><td>1,22</td><td>9,5</td><td>66</td><td>86</td><td>86</td><td>1,11</td><td>9,0</td><td>100</td><td>0</td><td>48</td><td>94</td><td>149</td></t≤87,0<>	1,22	9,5	66	86	86	1,11	9,0	100	0	48	94	149
	8,5< <i>t</i> ≤18,5	1,72	12,5	77	73	73	1,35	10,0	95	0	64	106	190
	18,5< <i>t</i> ≤35,5	1,57	11,5	87	79	79	1,28	10,0	97	0	59	102	178
76	35,5< <i>t</i> ≤52,5	1,46	11,0	92	82	82	1,22	9,5	98	0	55	100	168
0	52,5< <i>t</i> ≤69,5	1,37	10,5	95	84	84	1,18	9,5	66	0	52	98	161
	69,5< <i>t</i> ≤86,5	1,30	10,0	97	85	85	1,14	9,0	100	0	50	96	155
	86,5 <t≤103,5< td=""><td>1,24</td><td>9,5</td><td>98</td><td>86</td><td>86</td><td>1,11</td><td>9,0</td><td>100</td><td>0</td><td>49</td><td>95</td><td>150</td></t≤103,5<>	1,24	9,5	98	86	86	1,11	9,0	100	0	49	95	150
	8,5< <i>t</i> ≤18,0	1,81	13,5	66	67	67	1,40	10,5	93	0	70	110	200
	18,0< <i>t</i> ≤35,0	1,71	12,5	76	72	72	1,35	10,0	95	0	65	106	190
120	35,0 <t≤52,0< td=""><td>1,62</td><td>12,0</td><td>82</td><td>76</td><td>76</td><td>1,30</td><td>10,0</td><td>96</td><td>0</td><td>61</td><td>104</td><td>182</td></t≤52,0<>	1,62	12,0	82	76	76	1,30	10,0	96	0	61	104	182
07	52,0 <t≤69,0< td=""><td>1,54</td><td>11,5</td><td>87</td><td>80</td><td>80</td><td>1,26</td><td>9,5</td><td>97</td><td>0</td><td>58</td><td>102</td><td>175</td></t≤69,0<>	1,54	11,5	87	80	80	1,26	9,5	97	0	58	102	175
	69,0 <t≤86,0< td=""><td>1,47</td><td>11,0</td><td>91</td><td>81</td><td>81</td><td>1,23</td><td>9,5</td><td>98</td><td>0</td><td>56</td><td>100</td><td>169</td></t≤86,0<>	1,47	11,0	91	81	81	1,23	9,5	98	0	56	100	169
	86,0 <t≤103,0< td=""><td>1,41</td><td>10,5</td><td>93</td><td>82</td><td>82</td><td>1,20</td><td>9,5</td><td>66</td><td>0</td><td>54</td><td>66</td><td>164</td></t≤103,0<>	1,41	10,5	93	82	82	1,20	9,5	66	0	54	66	164
a Intermedia	ate asymmetry i	s the asym	metry level c	obtained in a t	three-phase d	lirect test in th	he phase h	aving the redu	uced asymme	etry.			
b Correspor	iding di/dt at cu	rrent zero (percentage	of the di/dt of	the rated syr	mmetrical curi	rent).						

- 142 -
| N | |
|--|--|
| ,3 , <i>f</i> r = 60 H | |
| e of k _{pp} = 1 | |
| n the cas€ | |
| nditions i | |
| est parameters for different asymmetrical co | |
| Table L.13 – Required te | |

TRV peal	<pre>< (p.u.) for symme</pre>	strical cu	Irrents							1,3	1,3	1,27	1,27	1,0
			Ŗ	ated asymi	netry		Interm	ediate asyn	ımetry ^a			Arcing wind	ow	
Column 1	2	3	4	5	6	7	8	6	10	11	12	13	14	15
τ (ms)	Minimum clearing time	I _{peak}	Durati on of the	d <i>i</i> /d <i>t</i> 1 st pole-to- clear ^b	di/dt 2 nd pole-to- clear ^b	d <i>i</i> /d <i>t</i> 3 rd pole-to- clear ^b	I_{peak}	Duration of the loop	d <i>i</i> /d <i>t</i> 1 st pole-to- clear ^b	1 st pole- to-	Corres- ponding arcing time	Corres- ponding arcing	Corres- ponding arcing	Corres- ponding arcing
										CIERI	arter major loop with TRV 1 st	pole-to- clear after	pole-to- clear after	pole-to- clear after
	(ms)	(b.u.)	(sm)	(%)	(%)	(%)	(b.u.)	(ms)	(%)	(。)	clear (°)	(°)	(°)	(°)
	8,5< <i>t</i> ≤19,0	1,58	11,5	89	81	50	1,27	10,0	98	0	58	92	168	197
15	19,0< <i>t</i> ≤36,0	1,40	10,5	96	86	54	1,19	9,5	100	0	53	87	152	186
64	36,0 <t≤53,0< td=""><td>1,27</td><td>10,0</td><td>98</td><td>88</td><td>56</td><td>1,13</td><td>9,0</td><td>100</td><td>0</td><td>49</td><td>84</td><td>142</td><td>178</td></t≤53,0<>	1,27	10,0	98	88	56	1,13	9,0	100	0	49	84	142	178
	53,0< <i>t</i> ≤70,0	1,19	9,5	100	89	57	1,09	9,0	100	0	47	82	135	173
	8,5< <i>t</i> ≤18,5	1,66	12,0	83	76	46	1,32	10,0	96	0	62	95	176	202
	18,5< <i>t</i> ≤36,0	1,50	11,0	91	83	51	1,24	9,5	98	0	56	06	161	192
60	36,0 <t≤53,0< td=""><td>1,38</td><td>10,5</td><td>95</td><td>86</td><td>54</td><td>1,18</td><td>9,5</td><td>66</td><td>0</td><td>53</td><td>87</td><td>151</td><td>185</td></t≤53,0<>	1,38	10,5	95	86	54	1,18	9,5	66	0	53	87	151	185
	53,0 <t≤70,0< td=""><td>1,29</td><td>10,0</td><td>98</td><td>88</td><td>55</td><td>1,14</td><td>9,0</td><td>66</td><td>0</td><td>50</td><td>84</td><td>143</td><td>179</td></t≤70,0<>	1,29	10,0	98	88	55	1,14	9,0	66	0	50	84	143	179
	70,0 <t≤87,0< td=""><td>1,22</td><td>9,5</td><td>66</td><td>89</td><td>56</td><td>1,11</td><td>9,0</td><td>100</td><td>0</td><td>48</td><td>82</td><td>137</td><td>175</td></t≤87,0<>	1,22	9,5	66	89	56	1,11	9,0	100	0	48	82	137	175
	8,5< <i>t</i> ≤18,5	1,72	12,5	77	72	43	1,35	10,0	95	0	64	97	181	205
	18,5< <i>t</i> ≤35,5	1,57	11,5	87	79	49	1,28	10,0	97	0	59	92	168	196
76	35,5 <t≤52,5< td=""><td>1,46</td><td>11,0</td><td>92</td><td>83</td><td>52</td><td>1,22</td><td>9,5</td><td>98</td><td>0</td><td>55</td><td>89</td><td>158</td><td>189</td></t≤52,5<>	1,46	11,0	92	83	52	1,22	9,5	98	0	55	89	158	189
2	52,5 <t≤69,5< td=""><td>1,37</td><td>10,5</td><td>95</td><td>86</td><td>54</td><td>1,18</td><td>9,5</td><td>66</td><td>0</td><td>52</td><td>87</td><td>150</td><td>184</td></t≤69,5<>	1,37	10,5	95	86	54	1,18	9,5	66	0	52	87	150	184
	69,5 <t≤86,5< td=""><td>1,30</td><td>10,0</td><td>97</td><td>87</td><td>55</td><td>1,14</td><td>9,0</td><td>100</td><td>0</td><td>50</td><td>85</td><td>144</td><td>179</td></t≤86,5<>	1,30	10,0	97	87	55	1,14	9,0	100	0	50	85	144	179
	86,5 <t≤103,5< td=""><td>1,24</td><td>9,5</td><td>98</td><td>87</td><td>56</td><td>1,11</td><td>9,0</td><td>100</td><td>0</td><td>49</td><td>83</td><td>139</td><td>176</td></t≤103,5<>	1,24	9,5	98	87	56	1,11	9,0	100	0	49	83	139	176
	8,5< <i>t</i> ≤18,0	1,81	13,5	66	63	36	1,40	10,5	93	0	70	102	192	211
	18,0< <i>t</i> ≤35,0	1,71	12,5	76	70	42	1,35	10,0	95	0	65	98	181	204
100	35,0 <t≤52,0< td=""><td>1,62</td><td>12,0</td><td>82</td><td>76</td><td>46</td><td>1,30</td><td>10,0</td><td>96</td><td>0</td><td>61</td><td>94</td><td>172</td><td>198</td></t≤52,0<>	1,62	12,0	82	76	46	1,30	10,0	96	0	61	94	172	198
07	52,0 <t≤69,0< td=""><td>1,54</td><td>11,5</td><td>87</td><td>80</td><td>49</td><td>1,26</td><td>9,5</td><td>97</td><td>0</td><td>58</td><td>92</td><td>165</td><td>194</td></t≤69,0<>	1,54	11,5	87	80	49	1,26	9,5	97	0	58	92	165	194
	69,0 <t≤86,0< td=""><td>1,47</td><td>11,0</td><td>91</td><td>82</td><td>51</td><td>1,23</td><td>9,5</td><td>98</td><td>0</td><td>56</td><td>90</td><td>158</td><td>189</td></t≤86,0<>	1,47	11,0	91	82	51	1,23	9,5	98	0	56	90	158	189
	86,0 <t≤103,0< td=""><td>1,41</td><td>10,5</td><td>93</td><td>83</td><td>53</td><td>1,20</td><td>9,5</td><td>66</td><td>0</td><td>54</td><td>88</td><td>153</td><td>186</td></t≤103,0<>	1,41	10,5	93	83	53	1,20	9,5	66	0	54	88	153	186
a Intermedia	te asymmetry is th	e asymm	etry level	obtained ir	a three-ph	nase direct	test in the	e phase havi	ing the redu	iced asyn	nmetry.			
D COLLESPUL	aing ai/at at currer	d) Diaz II	ercentaye		It of the fatt	ed symmet		ent).						

N
Ï
0
9
Ш
f,
<u></u>
ų,
Ξ.
"
dd
k
q
Ð
S
ပိ
Ð
Ĩ
1
.=
S
0
Ę:
ö
č
<u> </u>
2
a
<u>.</u>
Ľ.
je
F
ŝ
ä
Ħ
e L
ž
Ĩ
Ĭ
S
ō
Ť.
S
te
ē
Ξ
ra
a
0
st
E
-
ĕ
Ë.
nk
e
Ŕ
Т
4
÷.
Ĺ.
Φ
q
a

		F	RV peak (p.u	.) for symr	metrical cu	urrents				1,2	1,2	1,15	1,15	1,0
			Rate	ed asymme	etry		Interm	iediate asym	imetry ^a			Arcing wind	Now	
Column 1	2	3	4	5	6	7	8	6	10	11	12	13	14	15
ر (ms)	Minimum clearing time (ms)	I _{peak} (p.u.)	Duration of the loop (ms)	di/dr 1 st pole-to- clear (%)	di/dr 2 nd pole-to- clear (%)	d <i>i/dt</i> 3 rd pole-to- clear (%)	I _{peak} (p.u.)	Duration of the loop (ms)	di/dr 1 st pole-to- clear ^b (%)	1 st pole- to- clear (°)	Corres- ponding arcing time after major loop with TRV 1 st pole-to- clear (°)	Corres- ponding arcing times 2 nd pole-to- clear after major loop (°)	Corres- ponding arcing times 2 nd pole-to- clear after major loop (°)	Corres- ponding arcing times last pole-to- clear after major loop (°)
	8,5< <i>t</i> ≤18,0	1,81	13,5	66	62	48	1,40	10,5	93	0	02	67	188	211
	18,0< <i>t</i> ≤35,0	1,71	12,5	76	71	56	1,35	10,0	95	0	65	93	176	204
001	35,0< <i>t</i> ≤52,0	1,62	12,0	82	76	61	1,30	10,0	96	0	61	89	167	198
07	52,0< <i>t</i> ≤69,0	1,54	11,5	87	81	65	1,26	9,5	97	0	58	86	159	194
	69,0 <t≤86,0< td=""><td>1,47</td><td>11,0</td><td>91</td><td>84</td><td>68</td><td>1,23</td><td>9,5</td><td>98</td><td>0</td><td>56</td><td>84</td><td>153</td><td>189</td></t≤86,0<>	1,47	11,0	91	84	68	1,23	9,5	98	0	56	84	153	189
	86,0< <i>t</i> ≤103,0	1,41	10,5	93	86	70	1,20	9,5	99	0	54	82	148	186
a Interme	diate asymmetry	r is the as	symmetry leve	el obtained	in a three-	phase dired	ct test in	the phase ha	ving the re	duced as	ymmetry.			
b Corresp	onding di/dt at c	urrent ze	ero (percentaç	ge of the di	/dr of the ra	ated symme	etrical cu	rrent).						

Test no.	Test sequence		Arcing window	TR	1	Injected current
		Electrical	Arcing time	^u c value	RRRV	
		degrees		based on <i>k</i> _{pp}	p.u.	di/dt
1	Os	0	^t arc min	1,5	1	100 %
			first-pole-to-clear (k_{pp} =1,3 and 1,5)			
2	Os	-18 ^a	reignition	1,5	1	100 %
3	Od - CdOs	42	^t arc max	1,5	1	100 %
			first-pole-to-clear (k_{pp} =1,3 and 1,5)			
4	CdOs	90	^t arc min	1,3	0,95	89 %
			second-pole-to-clear (k_{pp} =1,3)			
			last-pole-to-clear (k _{pp} =1,5)			
5	Od - CdOs	132	^t arc max	1,3	0,95	89 %
			second-pole-to-clear (k_{pp} =1,3)			
			last-pole-to-clear (k_{pp} =1,5)			
6	Od - CdOs	162	^t arc max	1,0	0,70	57 %
			last-pole-to-clear ($k_{pp}=1,3$)			
a To dei	monstrate the	minimum arcing tir	me.			

Table L.15 – Procedure for combining k_{pp} = 1,5 and 1,3 during test-duties T10, T30, T60 and T100s(b)

Test no.	Test sequence	Asymmetry condition	Arcii	ng window	TRV	_/ acd	Injected current
			Electrical degrees	Arcing time	u _c value	RRRV p.u.	di/dt
					bused on <i>k</i> _{pp}		
1	Os	Major loop - Intermediate (Table L.9/ L.12 col. 8 and 9)	0	$t_{arc min}$ first-pole-to-clear (k_{pp} =1,5 and 1,3)	1,5	1	100 %
2	Os	Major loop - Intermediate (Table L.9/ L.12 col. 8 and 9)	-18 ^b	Re-ignition in the 1 st pole-to-clear to confirm ^f arc min	1,5	1	100 %
3	Os	Major loop- rated (Table L.9/ L.12 col. 3 and 4)	(Table L.10/L.13. col.12)	$t_{arc max}$ first-pole-to-clear (k_{pp} =1,3 and 1.5)	1,5	1	100 %
4	Os	Major loop- rated (Table L.9/ L.12 col. 3 and 4)	(Table L.9/L.12 col.13)	$t_{arc med}$ second-pole-to- clear (k_{pp} =1,3) last-pole-to-clear (k_{pp} =1,5)	1,3	0,95	89 %
5	Os	Major loop- rated (Table L.9/ L.12 col. 3 and 4)	(Table L.10/L.13. col.14)	$t_{arc max}$ second-pole-to- clear (k_{pp} =1,3)	1,3	0,95	89 %
6	Os	Major loop- rated (Table L.9/ L.12 col. 3 and 4)	(Table L.10/L.13 col.15)	$t_{arc max}$ last-pole-to-clear (k_{pp} =1,3 and 1,5)	1,0	0,70	87 %

Table L.16 – Procedure for combining k_{pp} = 1,5 and 1,3 during test-duty T100a

^a Values given here are for symmetrical conditions. For test 3 see tables of Annex I for the corrected TRV values.

^b To demonstrate the minimum arcing time.

^c Reduction of TRV may be applied using Annex P of IEC 62271-100:2008 for tests 1 and 2.

^d Simplified reduction of TRV for tests 4, 5 and 6 may be done using the factors RRRV and u_c from this table on tables of Annex I.

Annex M

(normative)

Tolerances on test quantities for type tests

During type tests, the following types of tolerances may normally be distinguished:

- tolerances on test quantities which directly determine the stress on the test object;
- tolerances concerning features or the behaviour of the test object before and after the test;
- tolerances on test conditions;
- tolerances concerning parameters of measurement devices to be applied.

In Table M.1 only tolerances on test quantities are considered.

A tolerance is defined as the range of the test value specified in this standard within which the measured test value should lie for a test to be valid. In certain cases, the test may remain valid even if the measured value falls outside the tolerance.

Any deviation of the measured test value and the true test value caused by the uncertainty of the measurement are not taken into account in this respect.

The basic rules for application of tolerances on test quantities during type tests are as follows:

- a) testing stations shall aim wherever possible for the test values specified;
- b) the tolerances on test quantities specified shall be observed by the testing station. Higher stresses of the circuit-breaker exceeding those tolerances are permitted only with the consent of the manufacturer. Lower stresses render the test invalid;
- c) where, for any test quantity, no tolerance is given within this standard, the tolerances of IEC 62271-100 apply. The upper stress limits are subject to the consent of the manufacturer;
- d) if, for any test quantity, only one limit is given, the other limit shall be considered to be as close as possible to the specified value.

5
Ö
J
S
st
te
Ð
ð
÷
P
÷
ê
Ξ
nt
la
٦
, t
e
ţ
2
S
e O
č
гa
<u>e</u>
2
1
- -
5
2
Ĩ
al
F

Designation of the test	Test quantity	Specified test value	Test tolerances/ limits of test values
	di/dt at current zero for T10 ^a	10 % of di/dr at current zero of rated short-circuit breaking current	±20 %
	di/dr at current zero for T30 ^a	30 % of di/dr at current zero of rated short-circuit breaking current	±20 %
Basic short-circuit test duty	di/dr at current zero for T60 ^a	60 % of di/dr at current zero of rated short-circuit breaking current	±10 %
	d <i>i</i> /d <i>t</i> at current zero in T100s and T100a ^a	di/dt at current zero of rated short-circuit breaking current	+ 5 %
Critical current tests	d <i>i</i> /d <i>t</i> at current zero ^a	di/dr at current zero of current defined in 6.107.2 of IEC 66271-100:2008	±20 %
Single-phase and double earth fault tests	d <i>i/</i> d <i>t</i> at current zero ^a	di/dr at current zero of current defined in Figure 45 of IEC 62271-100:2008	+ 5 %
	d <i>i</i> /d <i>t</i> at current zero for L ₉₀ ^a	di/dt at current zero of rated short-circuit breaking current	90 % to 92 %
	Rate of rise of the source side recovery voltage for L_{90}	90 % of the rate of rise given in Tables 1 through 5 of IEC 62271-100:2008	+ 5 %
	d <i>i</i> /d <i>t</i> at current zero for L ₇₅ ^a	di/dt at current zero of rated short-circuit breaking current	71 % to 79 %
Short-line fault tests	Rate-of-rise of the source side recovery voltage for L_{75}	75 % of the rate of rise given in Tables 1 through 5 of IEC 62271-100:2008	+ 5 %
	d <i>i</i> /d <i>t</i> at current zero for L ₆₀ ^a	di/dt at current zero of rated short-circuit breaking current	55 % to 65 %
	Rate-of-rise of the source side recovery voltage for L_{60}	60 % of the rate of rise given in Tables 1 through 5 of IEC 62271-100:2008	+ 5%

5
ď
N.
÷
Ξ
e
la
Ĕ

Designation of the test	Test quantity	Specified test value	Test tolerances/ limits of test values
	di/dt at current zero for OP1 a	d <i>i</i> /d <i>t</i> at current zero of 30 % rated out-of-phase breaking current	±20 %
Out-of-phase making and breaking tests	di/dt at current zero for OP2 ^a	d <i>i/dt</i> at current zero of rated out-of-phase breaking current	+ 10 %
Capacitive current switching tests	Frequency of the breaking current	Rated frequency	45 Hz – 65 Hz
a These tolerances apply to current inje	ection test circuit only.		

Annex N

(informative)

Typical test circuits for metal-enclosed and dead tank circuit-breakers

This annex outlines some typical synthetic test circuits for type testing relevant to short-circuit making, breaking and switching performance of metal enclosed and dead tank circuit-breakers. Other methods are not excluded provided that they supply the correct stresses to the phase terminals, between the phases and between the terminals and the enclosure of the circuit-breaker.

Many circuits are possible with different features. Some examples are given in Figures N.1 through N.9 as follows:

- terminal fault tests on one or more units of metal-enclosed or dead tank circuit-breakers (Figures N.1 to N.4);
- capacitive current switching tests (Figures N.5 to N.7);
- out-of-phase switching tests (Figure N.8);
- full pole terminal fault tests with voltage applied to both terminals and the metal enclosure (Figure N.9).



a – Typical injection circuit with voltage circuit in parallel with the unit(s) under test



b – Typical injection circuit with voltage circuit in parallel with the unit(s) used as auxiliary circuit-breaker

Key

S _a	unit(s) of the circuit-breaker used as auxiliary circuit-breaker
S _t	unit(s) of the circuit-breaker used as test circuit-breaker
G	source supply of $u_{\rm E}$, applied to the enclosure
u _{cs}	voltage of the current circuit
i _{cs}	current of the current circuit
i _h	injected current
i _t	current through S _t
L ₁	inductance of the current circuit
L _h	inductance of the voltage circuit
Z _h	equivalent surge impedance of the voltage circuit
C _h	capacitance of the voltage circuit which, together with $L_{\rm h}$, controls the major part of the TRV

For explanation of $u_{\rm t},\,u_{\rm E}$ and $u_{\rm A}$ see Figure N.2

Figure N.1 – Test circuit for unit testing (circuit-breaker with interaction due to gas circulation)



Typical voltage waveshapes in a current injection circuit, in accordance with Figure N.1a, with the voltage circuit in parallel with the unit(s) as test circuitbreaker Typical voltage waveshapes in a voltage injection circuit, in accordance with Figure N.1b, with the voltage circuit in parallel with the unit(s) as auxiliary circuit-breaker

Key

- *u*_E voltage applied to the insulated enclosure
- *u*_t voltage applied to the contact gap of the unit(s) under test (resulting voltage between the terminal not earthed of the unit under test and the enclosure; a linear distribution of the voltage between the units is assumed)
- *u*_{cs} voltage of the current circuit
- *u*_A resulting voltage between one terminal and the enclosure
- u_C peak of the TRV

Figure N.2 – Half-pole testing of a circuit-breaker in test circuit given by Figure N.1 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure



a – Typical injection circuit with voltage circuit in parallel with the unit(s) under test



b – Typical injection circuit with voltage circuit in parallel with the auxiliary circuit-breaker

Key

S _a	auxiliary circuit-breaker
S _t	unit(s) of the test circuit-breaker
G	source supply of $u_{\rm E}$, applied to the enclosure
u _A	resulting voltage between one terminal and the enclosure
u _{cs}	voltage of the current circuit
i _{cs}	current of the current circuit
i _h	injected current
i _t	current through S _t
L _h	inductance of the voltage circuit
Z _h	equivalent surge impedance of the voltage circuit
C _h	capacitance of the voltage circuit which, together with $L_{\rm h}$, controls the major part of the TRV

For explanation of u_t , u_E and u_A see Figure N.4

Figure N.3 – Synthetic test circuit for unit testing (if unit testing is allowed as per 6.102.4.2 of IEC 62271-100:2008)



- *u*_E voltage applied to the insulated enclosure
- u_t voltage applied to the contact gap of the unit(s) under test
- $u_{\rm A}$ resulting voltage between one terminal and the enclosure
- u_c peak of the TRV

Figure N.4 – Half-pole testing of a circuit-breaker in the test circuit of Figure N.3 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure





a - General layout of the test circuit



Key

- auxiliary circuit-breakers
- circuit-breaker under test
- charging voltage of the voltage circuit
- voltage of the current circuit u_{cs}
 - current of the current circuit
 - injected current
 - test current
 - resulting voltage between the energized terminal of the circuitbreaker and the enclosure
 - resulting voltage between the earthed terminal of the circuit-breaker and the enclosure

test voltage

b – Qualitative current and voltage waveshapes

Figure N.5 – Capacitive current injection circuit with enclosure of the circuit-breaker energized





i_v

- auxiliary circuit-breakers
- S_t circuit-breaker under test
- voltage of the voltage circuit u_v
- u_{cs} voltage of the current circuit
- i_{cs} current of the current circuit
 - current of the voltage circuit

test current

- resulting voltage between the energized terminal of the circuitbreaker and the enclosure
- u_{B} resulting voltage between the earthed terminal of the circuitbreaker and the enclosure
- test voltage u_t

Breaking operation ics i, it u_t UΔ

a - General layout of the test circuit

b – Qualitative current and voltage waveshapes

 u_{B}

Figure N.6 - Capacitive synthetic circuit using two power-frequency sources and with the enclosure of the circuit-breaker energized





S_a auxiliary circuit-breakers

- S_t circuit-breaker under test
- *u*_E d.c. voltage applied to the insulated enclosure
- u_{cs} voltage of the current circuit
- *i*_{cs} current of the current circuit
- *i*_v injected current
- it test current
- u_t test voltage

$$u_{t} = \frac{2 \times U_{r} \times K \times k_{c}}{\sqrt{3}}$$
$$u_{E} = \left[(2 \times k_{c} \times K) - k_{L} \right] \times U_{r},$$

U_r rated voltage of the circuit-breaker

2 3

 $k_{\rm c}$ multiplying factor for the single-phase capacitive current switching tests

K voltage distribution factor

 $k_{\rm L}$ capacitive load factor based on three-phase reference system (see IEC 62271-100:2008, 0.3.3)

Figure N.7 – Capacitive synthetic current injection circuit – Example of unit testing on half a pole of a circuit-breaker with two units per pole – Enclosure energized with d.c. voltage source



- S_a unit(s) of the circuit-breaker used as auxiliary circuit-breaker
- ${\rm S}_{\rm t}$ unit(s) of the circuit-breaker used as test circuit-breaker
- u_{A} voltage applied to one terminal of the circuit-breaker under test
- u_B voltage applied to the other terminal of the circuit-breaker under test
- *u*_t test voltage
- *u*_{cs} voltage of the current circuit
- *i*_t current through S_t
- *L*₁ inductances of the current circuit

Figure N.8 – Symmetrical synthetic test circuit for out-of-phase switching tests on a complete pole of a circuit-breaker



S _a	auxiliary circuit-breakers
S _t	circuit-breaker under test
u _A	voltage applied to one terminal of the circuit-breaker under test
u _B	voltage applied to the other terminal and the enclosure of the circuit-breaker under test
u _t	test voltage
u _{cs}	voltage of the current circuit
i _t	current through S _t
L ₁	inductances of the current circuit

Figure N.9 – Full pole test with voltage applied to both terminals and the metal enclosure

Annex O

(informative)

Combination of current injection and voltage injection methods

0.1 Current injection methods

Information related to the current injection methods is given in 4.2.1 and Annex B of this standard

O.2 Voltage injection methods

Information related to the voltage injection methods is given in 4.2.2 and in Annex C of this standard

0.3 Combined current and voltage injection circuits

O.3.1 General

In a synthetic test circuit using the combination of current and voltage injection methods, the initial part of the transient recovery voltage is generated by the current injection circuit.

The second part of the transient recovery voltage is generated by a voltage injection circuit (single- or multi-stage).

Two examples of synthetic test circuits are considered in this Annex combining a current injection and a voltage injection. (see O.3.2 and O.3.3).

If any device with breaking capability interrupts the current through the test circuit-breaker at the same time as the test circuit-breaker, the method is not considered to be a current injection method in accordance with 4.2.1 and is not valid to test the thermal behaviour of the test circuit-breaker.

O.3.2 Combined current and voltage injection circuit with application of full test voltage to earth

This synthetic test circuit with combined current and voltage injection applies the full test voltage to one terminal of the test circuit-breaker with the other terminal earthed (Figure 0.1).

O.3.3 Combined current and voltage injection circuit with separated application of test voltage

This synthetic test circuit applies the current injection circuit to one terminal and the voltage injection circuit to the second terminal (and to the enclosure if applicable) of the test circuit-breaker (Figure 0.2).

In case of dead tank or GIS circuit-breaker, this test circuit can be used for out of phase test duty, with the tank earthed.





Time

Key			
u _{cs}	voltage of current circuit	$U_{\rm h1}^{}$, $U_{\rm h2}^{}$	charging voltage of voltage circuits
L ₁	inductance of current circuit	i _{cs}	current of the current circuit
S _{a1} , S _{a2}	auxiliary circuit-breakers	i _v	injected current
St	test circuit-breaker	i _t	current through the test circuit-breaker
Z_{h1}, Z_{h2}	equivalent surge impedance of voltage circuits	u _{c1} , u _{c2}	voltage of the voltage circuits
L _{h1} , L _{h2}	inductance of voltage circuit	u _t	voltage across the test circuit-breaker





Key

u _{cs}	voltage of current circuit	U _{h1} , U _{h2}	charging voltage of voltage circuits
L ₁	inductance of current circuit	i _{cs}	current of the current circuit
$S_{a1}^{}, S_{a2}^{}$	auxiliary circuit-breakers	i _v	injected current
S _t	test circuit-breaker	i _t	current through the test circuit-breaker
Z_{h1}, Z_{h2}	equivalent surge impedance of voltage circuits	^{<i>u</i>} c1, ^{<i>u</i>} c2	voltage of the voltage circuits
L_{h1}, L_{h2}	inductance of voltage circuit	u _t	voltage across the test circuit-breaker



Bibliography

IEC 60050-441:1984, International Electrotechnical Vocabulary (IEV) – Chapter 441: Switchgear, controlgear and fuses

IEC 62271-306, High-voltage switchgear and controlgear – Part 306: Guide to IEC 62271-100, IEC 62271-1 and other IEC standards related to alternating current circuit-breakers¹

¹ To be published.

SOMMAIRE

AVA	NT-	PROPO	S	169
1	Don	naine d'	application	171
2	Réfe	érences	normatives	171
3	Terr	mes et c	définitions	171
4	Tec cou	hniques rt-circui	et méthodes d'essais synthétiques pour les essais de coupure en t	173
	4.1	Princip synthét	es fondamentaux et exigences générales pour les méthodes d'essais iques de coupure	173
		4.1.1	Généralités	173
		4.1.2	Période de fort courant	174
		4.1.3	Période d'interaction	174
		4.1.4	Période de haute tension	175
	4.2	Circuit	synthétiques et exigences spécifiques relatives aux essais de coupure	176
		4.2.1	Methodes par injection de courant	1/6
		4.2.2	Circuit de Skoete (ou par transformateur)	1//
		4.2.3	Circuit de Skeats (ou par transformateur)	178
	13	4.2.4 Máthac	Aurres methodes à essais synthétiques	178
5	4.5 Tec	hniques	et méthodes d'essais synthétiques nour les essais d'établissement en	170
5	cou	rt-circui	t	182
	5.1	Princip	es fondamentaux et exigences générales pour les méthodes d'essais tiques d'établissement	182
		5.1.1	Généralités	182
		5.1.2	Période de haute tension	183
		5.1.3	Période de pré-amorçage	183
		5.1.4	Périodes en position accrochée et de fermeture complète	183
	5.2	Circuit	d'essais synthétiques pour essais d'établissement et exigences	
		spécifio	ques s'y rapportant	183
		5.2.1	Généralités	183
		5.2.2	Circuit d'essai	184
		5.2.3	Exigences spécifiques	184
6	Exig rela	jences s tives au	spécifiques pour les essais synthétiques de fermeture et de coupure lx exigences de 6.102 à 6.111 de la CEI 62271-100:2008	184
Ann	exe	A (infor	mative) Déformation du courant	206
Ann	exe	B (infor	mative) Méthodes par injection de courant	222
Ann	exe	C (infor	mative) Méthodes par injection de tension	226
Ann	exe	D (infor	mative) Circuit de Skeats ou double transformateur	229
Ann synt	exe hétic	E (norm ques	ative) Indications à donner et résultats à enregistrer lors d'essais	232
Ann de r	exe ésist	F (norm tances o	ative) Méthodes d'essais synthétiques pour les disjoncteurs équipés d'ouverture	233
Ann et d	exe e co	G (infor upure d	mative) Méthodes d'essais synthétiques pour l'essai d'établissement e courants capacitifs	241
Ann	exe	H (infor	mative) Méthodes de réallumage pour l'entretien de l'arc	253
Ann	exe	l (norma	ative) Réduction du d <i>i</i> /d <i>t</i> et de la TTR pour la séquence d'essais T100a	256
Ann	exe	J (inforr	native) Circuits d'essais synthétiques triphasés	265

Annexe K (normative) Procédure d'essai utilisant un circuit de courant triphasé et un circuit de tension
Annexe L (normative) Séparation des séquences d'essais en séries d'essais en tenant compte de la TTR exacte de chaque pôle à couper
Annexe M (normative) Tolérances sur les paramètres d'essais lors des essais de type316
Annexe N (informative) Circuits d'essai types pour les disjoncteurs sous enveloppe métallique et à cuve mise à la terre
Annexe O (informative) Combinaison des méthodes par injection de courant et par injection de tension
Bibliographie
Figure 1 – Processus de coupure – Périodes principales
Figure 2 – Exemples d'évaluation de la tension de rétablissement
Figure 3 – Impédance d'onde équivalente du circuit de tension pour la méthode par injection de courant
Figure 4 – Processus d'établissement – Instants principaux
Figure 5 – Circuit type d'essais synthétiques d'établissement pour les essais monophasés
Figure 6 – Circuit type d'essais synthétiques d'établissement pour les essais en discordance de phase
Figure 7 – Circuit type d'essais synthétiques d'établissement pour les essais triphasés (kpp = 1,5)
Figure 8 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100s avec $k_{pp} = 1,5204$
Figure 9 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec k_{pp} = 1,5 205
Figure A.1 – Circuit direct, schéma simplifié
Figure A.2 – Courant de court-circuit présumé
Figure A.3 – Courant déformant
Figure A.4 – Courant déformant
Figure A.5 – Schéma de circuit simplifié215
Figure A.6 – Caractéristiques du courant et de la tension d'arc pour courant symétrique
Figure A.7 – Caractéristiques de courant et de tension d'arc pour courant asymétrique217
Figure A.8 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant
Figure A.9 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant
Figure A.10 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant
Figure A.11 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant
Figure B.1 – Circuit type à injection de courant où le circuit de tension est en parallèle avec le disjoncteur en essai
Figure B.2 – Séquence de l'injection du courant dans le circuit de la Figure B.1
Figure B.3 – Exemples de détermination de la durée de changement significatif de la tension d'arc à partir d'oscillogrammes
Figure C.1 – Schéma caractéristique de l'injection de tension avec le circuit de tension en parallèle avec le disjoncteur auxiliaire (schéma simplifié)

Figure C.2 – Formes d'ondes de TTR obtenues dans un circuit à injection de tension avec le circuit de tension en parallèle avec le disjoncteur auxiliaire	228
Figure D.1 – Circuit de Skeats ou par transformateur	230
Figure D.2 – Circuit de Skeats ou par transformateur déclenché	231
Figure F.1 – Circuit d'essais de vérification du réallumage thermique de l'interrupteur principal	237
Figure F.2 – Circuit d'essais de vérification du réallumage diélectrique de l'interrupteur principal	238
Figure F.3 – Circuit d'essais de l'interrupteur de résistance	239
Figure F.4 – Exemple de circuit d'essais pour essais d'établissement et de coupure de courants capacitifs sur l'interrupteur principal	240
Figure F.5 – Exemple de circuit d'essais pour essais d'établissement et de coupure de courants capacitifs sur l'interrupteur de résistance	240
Figure G.1 – Circuits de courant capacitif (mode parallèle)	244
Figure G.2 – Circuit à injection de courant	245
Figure G.3 – Circuit oscillant LC	246
Figure G.4 – Circuit de courant inductif en parallèle avec le circuit oscillant LC	247
Figure G.5 – Circuit à injection de courant, tension de rétablissement normale appliquée aux deux bornes du disjoncteur	248
Figure G.6 – Circuit d'essais synthétiques (circuit série), tension de rétablissement normale appliquée aux deux bornes du disjoncteur en essai	249
Figure G.7 – Circuit à injection de courant, tension de rétablissement appliquée aux deux bornes du disjoncteur	250
Figure G.8 – Circuit d'essai d'établissement	251
Figure G.9 – Circuit d'essai d'établissement du courant d'appel de fermeture	252
Figure H.1 – Schéma type du circuit de réallumage servant à prolonger la durée d'arc	254
Figure H.2 – Circuits combinés à injection de courant et de Skeats	254
Figure H.3 – Formes d'ondes typiques obtenues pendant un essai asymétrique en utilisant le circuit de la Figure H.2	255
Figure J.1 – Circuit combiné d'essais synthétiques triphasés	267
Figure J.2 – Formes d'ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,5$) réalisé conformément au circuit combiné d'essais synthétiques triphasés	268
Figure J.3 – Circuit d'essais synthétiques triphasés avec injection dans toutes les phases pour $k_{pp} = 1,5$	269
Figure J.4 – Formes d'ondes de courants et tensions phase-terre pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,5$) réalisé conformément au circuit d'essais synthétiques triphasés avec injection dans toutes les phases	270
Figure J.5 – Circuit d'essais synthétiques triphasés pour les essais de défauts aux bornes avec $k_{pp} = 1,3$ (méthode par injection de courant)	271
Figure J.6 – Formes d'ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,3$) réalisé conformément au circuit d'essais synthétiques triphasés représenté à la Figure J.5	271
Figure J.7 – Formes d'ondes de la TTR du circuit d'essai décrit à la Figure J.5	272
Figure K.1 – Exemple d'un circuit de courant triphasé avec une injection synthétique monophasée	284
Figure K.2 – Représentation des conditions d'essais du Tableau K.1	285
Figure K.3 – Représentation des conditions d'essais du Tableau K.2	286
Figure K.4 – Représentation des conditions d'essais du Tableau K.3	287

Figure K.5 – Représentation des conditions d'essais du Tableau K.4	288
Figure K.6 – Représentation des conditions d'essais du Tableau K.5	289
Figure K.7 – Représentation des conditions d'essais du Tableau K.6	290
Figure K.8 – Représentation des conditions d'essais du Tableau K.7	291
Figure K.9 – Représentation des conditions d'essais du Tableau K.8	292
Figure L.1 – Représentation graphique de l'essai représenté au Tableau L.6	303
Figure L.2 – Représentation graphique de l'essai représenté au Tableau L.7	304
Figure N.1 – Circuit d'essai pour essais par éléments séparés (disjoncteur avec interaction due à la circulation de gaz)	320
Figure N.2 – Essais d'un demi-pôle d'un disjoncteur dans le circuit d'essai donné à la Figure N.1 – Exemple des TTR requises devant être appliquées entre les bornes de l'unité (des unités) soumise(s) à l'essai et entre les parties sous tension et l'enveloppe isolée.	321
Figure N.3 – Circuit d'essai synthétique pour essais par éléments séparés (si l'essai par éléments séparés est autorisé par le 6.102.4.2 de la CEI 62271-100:2008)	322
Figure N.4 – Essais d'un demi-pôle d'un disjoncteur dans le circuit d'essai de la Figure N.3 – Exemple des TTR requises devant être appliquées entre les bornes de l'unité (des unités) soumise(s) à l'essai et entre les parties sous tension et l'enveloppe isolée	323
Figure N.5 – Circuit pour essais capacitifs avec injection de courant avec enveloppe du disjoncteur sous tension	324
Figure N.6 – Circuit synthétique pour essais capacitifs utilisant deux sources à fréquence industrielle et avec l'enveloppe du disjoncteur sous tension	325
Figure N.7 – Circuit synthétique pour essais capacitifs avec injection de courant – Exemple d'essais par éléments séparés d'un demi-pôle d'un disjoncteur ayant deux éléments par pôle – Enveloppe alimentée par une source de tension c.c	326
Figure N.8 – Circuit d'essai synthétique symétrique pour les essais d'établissement et de coupure en discordance de phases d'un pôle complet de disjoncteur	327
Figure N.9 – Essai de pôle complet avec une tension appliquée aux bornes et à l'enveloppe métallique	328
Figure O.1 – Exemple de circuit combiné d'injection de courant et de tension avec application de la tension d'essai complète par rapport à la terre	330
Figure O.2 – Exemple de circuit combiné d'injection de courant et de tension avec application séparée de la tension d'essai	331
Tableau 1 – Circuits d'essais pour les séquences d'essais T100s et T100a	180
Tableau 2 – Paramètres d'essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s k_{pp} = 1,5	180
Tableau 3 – Paramètres d'essais pendant la coupure triphasée pour les séquencesT10, T30, T60 et T100s $k_{pp} = 1,3$	181
Tableau 4 – Paramètres d'essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s $k_{pp} = 1,2$	182
Tableau 5 – Méthodes d'essais synthétiques pour les séquences d'essais T10, T30, T60, T100s, T100a, SP, DEF, OP et SLF	195
Tableau I.1 – Réduction du d <i>i</i> /d <i>t</i> de la dernière alternance pour 50 Hz pour $k_{pp} = 1,3$ et 1,5	256
Tableau I.2 – Réduction du d <i>i</i> /d <i>t</i> de la dernière alternance pour 50 Hz pour $k_{pp} = 1,2$	257
Tableau I.3 – Réduction du d <i>i</i> /d <i>t</i> de la dernière alternance pour 60 Hz pour $k_{pp} = 1,3$ et 1	,5258
Tableau I.4 – Réduction du d <i>i</i> /d <i>t</i> de la dernière alternance pour 60 Hz pour $k_{pp} = 1,2$	259
Tableau I.5 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,3$ et $f_r = 50$ Hz	260

Tableau I.6 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,3$ et $f_r = 60$ Hz	. 261
Tableau I.7 – Valeurs corrigées de TTR pour le premier pôle à couper pour k_{pp} = 1,5 et f_r = 50 Hz	. 262
Tableau I.8 – Valeurs corrigées de TTR pour le premier pôle à couper pour k_{pp} = 1,5 et f_r = 60 Hz	. 263
Tableau I.9 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,2$ et $f_r = 50$ Hz	. 263
Tableau I.10 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,2$ et $f_r = 60$ Hz	.264
Tableau K.1 – Démonstration des durées d'arc pour k _{pp} = 1,5	. 274
Tableau K.2 – Démonstration alternative des durées d'arc pour k_{pp} = 1,5	. 275
Tableau K.3 – Démonstration des durées d'arc pour $k_{pp} = 1,3$.276
Tableau K.4 – Démonstration alternative des durées d'arc pour $k_{nn} = 1,3$.277
Tableau K.5 – Démonstration des durées d'arc pour $k_{nn} = 1,5$.278
Tableau K.6 – Démonstration alternative des durées d'arc pour $k_{nn} = 1,5$.279
Tableau K.7 – Démonstration des durées d'arc pour $k_{pp} = 1,3$. 280
Tableau K.8 – Démonstration alternative des durées d'arc pour $k_{nn} = 1,3$.281
Tableau K.9 – Procédure de combinaison de k_{pp} = 1,5 et 1,3 pendant les séquences d'essais T10, T30, T60 et T100s(b)	.282
Tableau K.10 – Procédure de combinaison de k_{pp} = 1,5 et 1,3 pendant la séquence d'essais T100a	. 283
Tableau L.1 – Procédure d'essai pour $k_{pp} = 1.5$.295
Tableau L.2 – Procédure d'essai pour $k_{pp} = 1.3$.296
Tableau L.3 – Procédure d'essai simplifiée pour $k_{rr} = 1.3$.297
Tableau L.4 – Procédure d'essai pour $k_{re} = 1.2$.298
Tableau L.5 – Procédure d'essai simplifiée pour $k_{re} = 1.2$.299
Tableau L.6 – Procédure d'essai pour des courants asymétriques dans le cas $k_{rrr} = 1.5$.300
Tableau I 7 – Procédure d'essai pour des courants asymétriques dans le cas $k_{pp} = 1.3$	301
Tableau I 8 – Procédure d'essai pour des courants asymétriques dans le cas k_{pp} , em	302
Tableau L.9 – Paramètres d'essais requis pour les différentes conditions asymétriques pour k_{pp} = 1,5, f_r = 50 Hz	. 305
Tableau L.10 – Paramètres d'essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,3, f_r = 50$ Hz	. 307
Tableau L.11 – Paramètres d'essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,2, f_r = 50$ Hz	. 308
Tableau L.12 – Paramètres d'essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,5, f_r = 60$ Hz	. 309
Tableau L.13 – Paramètres d'essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,3, f_r = 60$ Hz	. 311
Tableau L.14 – Paramètres d'essais requis pour les différentes conditions asymétriques pour k_{pp} = 1,2, f_r = 60 Hz	.313
Tableau L.15 – Procédure de combinaison de k_{pp} = 1,5 et 1,3 pendant les séquences d'essais T10, T30, T60 et T100s(b)	.314
Tableau L.16 – Procédure de combinaison de k_{pp} = 1,5 et 1,3 pendant la séquence d'essais T100a	.315
Tableau M.1 – Tolérances sur les paramètres d'essais lors des essais de type (1 de 2)	. 317

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

APPAREILLAGE À HAUTE TENSION -

Partie 101: Essais synthétiques

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI entre autres activités publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de brevet. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale CEI 62271-101 a été établie par le sous-comité 17A: Appareillage à haute tension, du comité d'études 17 de la CEI: Appareillage.

Cette deuxième édition annule et remplace la première édition parue en 2006 et l'Amendement 1 paru en 2010. Elle constitue une révision technique.

Les principales modifications par rapport à la précédente édition sont les suivantes:

- ajout des nouvelles tensions assignées 1 100 kV et 1 200 kV;
- révision de l'Annexe F qui traite des disjoncteurs équipés de résistances d'ouverture;
- alignement avec la deuxième édition de la CEI 62271-100:2008 et Amendement 1 (2012).

– 170 –

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
17A/1015/FDIS	17A/1024/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Cette publication doit être lue conjointement avec la CEI 62271-100, parue en 2008, auquelle elle se réfère. La numérotation des paragraphes de l'Article 6 reprend celle de la CEI 62271-100. Néanmoins, tous les paragraphes de la CEI 62271-100 ne sont pas concernés, uniquement ceux où les essais synthétiques ont introduit des changements.

Une liste de toutes les parties de la série CEI 62271, présentée sous le titre général *Appareillage à haute tension*, peut être consultée sur le site web de la CEI.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "http://webstore.iec.ch" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

APPAREILLAGE À HAUTE TENSION -

Partie 101: Essais synthétiques

1 Domaine d'application

La présente partie de la CEI 62271 s'applique principalement aux disjoncteurs à courant alternatif définis dans le domaine d'application de la CEI 62271-100. Elle donne les règles générales d'essais de ces disjoncteurs, pour les pouvoirs de fermeture et de coupure dans la gamme des séquences d'essais décrites de 6.102 à 6.111 de la CEI 62271-100:2008, à l'aide de méthodes d'essais synthétiques.

Il a été démontré que l'essai synthétique est un moyen économique et techniquement valable pour essayer les disjoncteurs à courant alternatif à haute tension selon les exigences de la CEI 62271-100, et qu'il est équivalent à un essai direct.

Les méthodes et techniques décrites sont celles d'usage courant. L'objet de la présente norme est d'établir des critères pour les essais synthétiques et pour l'évaluation correcte des résultats. Ces critères établissent la validité de la méthode d'essai sans limiter l'invention de nouveaux circuits d'essais.

2 Références normatives

Les documents suivants sont cités en référence de manière normative, en intégralité ou en partie, dans le présent document et sont indispensables pour son application. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 62271-100:2008, Appareillage à haute tension – Partie 100: Disjoncteurs à courant alternatif Amendement 1:2012

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions de la CEI 62271-100, ainsi que les suivants, s'appliquent.

3.1

essai direct

essai dans lequel la tension appliquée, le courant, la tension de rétablissement, transitoire et à fréquence industrielle, sont tous obtenus à partir d'un circuit ayant une seule source de puissance, laquelle peut être un réseau ou des alternateurs spéciaux comme ceux qui sont utilisés dans les stations d'essais de court-circuit ou une combinaison des deux

3.2

essai synthétique

essai dans lequel la totalité du courant ou la plus grande partie de celui-ci est obtenue à partir d'une source (circuit de courant) et dans lequel la tension appliquée et/ou les tensions de rétablissement (transitoire et à fréquence industrielle) sont obtenues en totalité ou en partie à partir d'une ou de plusieurs sources séparées (circuits de tension)

3.3

disjoncteur en essai

disjoncteur soumis aux essais

VOIR: 6.102.3 de la CEI 62271-100:2008.

3.4

disjoncteur auxiliaire

disjoncteur introduit dans le circuit d'essais synthétiques et utilisé pour séparer ou relier les différents circuits au disjoncteur en essai

3.5

circuit de courant

partie du circuit d'essais synthétiques fournissant la plus grande part du courant à fréquence industrielle ou sa totalité

3.6

circuit de tension

partie du circuit d'essais synthétiques fournissant la plus grande part de la tension appliquée et/ou de la tension de rétablissement ou sa totalité

3.7

courant présumé (d'un circuit pour un disjoncteur donné) courant qui circulerait dans le circuit si chaque pôle du disjoncteur en essai et du disjoncteur auxiliaire était remplacé par un conducteur d'impédance négligeable

[SOURCE: CEI 60050-441:1984, 441-17-01, modifiée]

3.8

courant réel

courant circulant dans le disjoncteur en essai (courant présumé modifié par les tensions d'arc des disjoncteurs en essai et auxiliaire)

3.9

courant déformant

courant calculé égal à la différence entre le courant présumé et le courant réel

3.10

courant post-arc

courant qui circule dans l'espace entre les contacts d'arc d'un disjoncteur lorsque le courant et la tension d'arc sont devenus nuls et que la tension transitoire de rétablissement a commencé à croître

3.11

méthode par injection de courant

méthode d'essais synthétiques dans laquelle le circuit de tension est appliqué au disjoncteur en essai avant le zéro de courant à fréquence industrielle

3.12

courant transitoire initial d'établissement ITMC

courant transitoire circulant à travers le disjoncteur lors de l'établissement à l'instant du claquage en tension et avant le début du courant généré par le circuit de courant

3.13

courant injecté

courant fourni par le circuit de tension d'un circuit à injection de courant au moment où cette source est reliée au disjoncteur en essai

3.14

méthode par injection de tension

méthode d'essais synthétiques dans laquelle le circuit de tension est appliqué au disjoncteur en essai après le zéro de courant à fréquence industrielle

3.15

conditions du réseau de référence

conditions d'un réseau électrique ayant les paramètres constitutifs dont les valeurs assignées et les valeurs d'essais de la CEI 62271-100 sont dérivées

3.16

retard de l'enclencheur

t_m

intervalle de temps, au cours d'un essai synthétique d'établissement, entre l'instant du claquage de la tension appliquée et l'injection de courant à partir du circuit de courant

3.17

durée minimale d'interruption

somme de la durée minimale d'ouverture, de la durée minimale de la protection par relais (0,5 cycle), et de la durée d'arc minimale d'interruption du courant, dans le cas de coupure après une petite alternance par le premier pôle qui coupe, uniquement au cours de la séquence d'essais T100a, telle que spécifié par le constructeur

NOTE II y a lieu que cette définition soit utilisée seulement pour la détermination des paramètres d'essais durant les essais de coupure en court-circuit selon la séquence d'essais T100a.

[SOURCE: 3.7.159 de la CEI 62271-100:2008]

3.18

pré-amorçage

claquage en tension entre les contacts au cours d'une manœuvre d'enclenchement qui provoque le passage du courant

4 Techniques et méthodes d'essais synthétiques pour les essais de coupure en court-circuit

4.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques de coupure

4.1.1 Généralités

Toute méthode d'essai synthétique retenue doit contraindre le disjoncteur en essai de manière adéquate. L'adéquation est généralement établie dès que la méthode d'essai satisfait aux exigences exposées dans les paragraphes suivants.

Le disjoncteur a deux positions: fermé et ouvert. Fermé, il conduit le plein courant avec une chute de tension négligeable entre ses contacts. Ouvert, il ne laisse passer qu'un courant négligeable mais avec la pleine tension entre ses contacts. Cela définit les deux contraintes principales, la contrainte en courant et la contrainte en tension, qui sont séparées dans le temps.

Si l'on observe plus précisément les contraintes en tension et courant pendant le processus de coupure (Figure 1), trois périodes principales peuvent être distinguées:

- Période de fort courant

Cette période est définie par le temps entre la séparation des contacts et le début du changement significatif de la tension d'arc. La période de fort courant précède les périodes d'interaction et de haute tension.

Période d'interaction

Cette période est définie par le temps séparant le début du changement significatif de la tension d'arc avant le zéro de courant, de la disparition du courant dans le disjoncteur en essai, y compris, s'il existe, le courant post-arc (voir aussi l'Article B.2).

Période de haute tension

Cette période est définie par le temps séparant la disparition du courant dans le disjoncteur en essai, y compris le courant post-arc, s'il existe, de la fin de l'essai.

4.1.2 Période de fort courant

Pendant la durée de fort courant, le disjoncteur en essai doit être contraint par le circuit d'essai de manière telle que les conditions initiales de la durée d'interaction, avec des tolérances à préciser, soient les mêmes que celles apparaissant dans les conditions du réseau de référence.

Dans les circuits d'essais synthétiques, le rapport entre la tension à fréquence industrielle du circuit de courant et la tension d'arc est faible comparé à ce rapport lors d'essais dans les conditions du réseau de référence, pour deux raisons:

- la tension du circuit de courant est une fraction de la tension du réseau;
- les tensions d'arc des disjoncteurs en essai et auxiliaire s'ajoutent.

Il en résulte que la durée de l'alternance de courant et sa valeur à la crête en sont réduites. Cette déformation du courant est expliquée à l'Annexe A.

L'étude de l'énergie d'arc dégagée dans le disjoncteur en essai conduit à fixer les tolérances pour limiter l'influence de cette déformation sur deux grandeurs caractéristiques de la forme du courant, à savoir la valeur crête du courant et la durée de l'alternance de courant (voir Annexe A).

Les tolérances sur l'amplitude et la fréquence industrielle du courant de coupure présumé sont indiquées en 6.103.2 et 6.104.3 de la CEI 62271-100:2008. Par conséquent, les conditions suivantes concernant le courant réel circulant dans le disjoncteur en essai doivent être satisfaites:

- pour les essais symétriques, l'amplitude du courant et la durée de la dernière alternance ne doivent pas être inférieures à 90 % des valeurs requises issues du courant assigné;
- pour les essais asymétriques, l'amplitude du courant et la durée de la dernière alternance doivent être comprises entre 90 % et 110 % des valeurs requises, issues du courant assigné et de la constante de temps (voir Tableaux 15 à 22 de la CEI 62271-100:2008).

Mesures d'ajustement:

L'amplitude et la durée de la dernière alternance de courant peuvent être ajustées par plusieurs moyens, tels que

- augmentation ou diminution de la valeur efficace du courant d'essai de court-circuit,
- modification de la fréquence du courant d'essai,
- utilisation du pré-déclenchement ou du déclenchement retardé,
- modification de l'instant de l'injection de courant (composante continue initiale).

4.1.3 Période d'interaction

Pendant la période d'interaction, la contrainte provoquée par le courant de court-circuit se change en contrainte à haute tension et, selon le comportement du disjoncteur, les tensions et courant du circuit peuvent être fortement affectés. Quand le courant décroît vers zéro, la tension d'arc peut augmenter en chargeant une capacité parallèle et déformer le courant traversant l'arc. Après le zéro de courant, la conductivité post-arc peut introduire un amortissement supplémentaire de la tension transitoire de rétablissement et, par là, modifier

la tension entre les contacts du disjoncteur et l'énergie fournie à l'espace ionisé entre les contacts. L'interaction entre circuit et disjoncteur immédiatement avant et après le zéro de courant (c'est-à-dire pendant la durée d'interaction) est d'une extrême importance pour le phénomène de coupure.

Pendant cette durée d'interaction, les formes d'ondes de courant et de tension doivent être les mêmes en essais synthétiques que dans le réseau de référence (voir 3.15), en prenant en compte les modifications possibles de ces courant et tension par rapport aux valeurs présumées, dues à l'interaction entre le circuit et le disjoncteur.

La durée d'interaction représente la période critique pour une défaillance de coupure du disjoncteur en mode thermique. Par conséquent, il est d'une extrême importance que la forme et l'amplitude de la tension transitoire de rétablissement (TTR) présumée correspondent à celles associées au courant présumé de la séquence d'essais concernée.

Cela impose des exigences strictes pour le circuit d'essai. Pour la méthode par injection de courant, les exigences sont indiquées en 4.2.1 et pour la méthode par injection de tension, les exigences sont indiquées en 4.2.2.

Selon le circuit d'essai utilisé, l'interaction entre le circuit et le disjoncteur en essai peut être perturbée par la présence du disjoncteur auxiliaire pendant la durée critique autour du zéro de courant.

Il convient que la tension d'arc du disjoncteur auxiliaire soit inférieure ou égale à la tension d'arc du disjoncteur en essai.

Si un disjoncteur auxiliaire à plus forte tension d'arc est utilisé, il peut être nécessaire d'augmenter la tension à fréquence industrielle du circuit de courant.

4.1.4 Période de haute tension

Pendant cette période, l'intervalle entre contacts du disjoncteur en essai est contraint par la tension de rétablissement.

La TTR présumée doit satisfaire aux exigences de 4.102, 4.105, 4.106 et 6.104.5 de la CEI 62271-100:2008.

Les méthodes permettant de déterminer la TTR présumée dans les circuits d'essais synthétiques peuvent être choisies parmi celles décrites dans l'Annexe F de la CEI 62271-100:2008.

L'impédance du circuit de tension doit être assez faible pour mettre en évidence les claquages, s'il y en a.

Si le disjoncteur en essai est équipé de résistances d'ouverture, une procédure spéciale peut être nécessaire (voir Annexe F).

Si la TTR est obtenue depuis plusieurs sources, il convient que la forme de l'onde résultante ne présente pas de discontinuité appréciable.

En principe, il convient que la tension de rétablissement à fréquence industrielle pour les séquences d'essais de court-circuit fondamentales soit de préférence alternative et qu'elle doive satisfaire aux exigences de 6.104.7 de la CEI 62271-100:2008. Pendant les essais synthétiques, la tension de rétablissement est fournie par le circuit de tension soit directement, soit mise en série avec le circuit de courant. Cela fait apparaître une tension alternative, une tension continue ou leur combinaison, qui, dans la plupart des cas, décroît du fait de l'énergie limitée du circuit de tension. Il peut alors ne pas être possible de maintenir la tension de rétablissement pendant au moins 0,3 s comme spécifié en 6.104.7 de la CEI 62271-100:2008.

Les écarts par rapport à la tension de rétablissement spécifiée sont acceptés si les conditions suivantes sont remplies:

- La valeur instantanée de la tension de rétablissement pendant une période égale au 1/8 d'un cycle de la fréquence assignée du disjoncteur ne doit pas être inférieure à la valeur instantanée équivalente de la tension de rétablissement à fréquence industrielle indiquée en 6.104.7 de la CEI 62271-100:2008 qui, pour un essai avec un courant symétrique, apparaît avec une valeur crête minimale de $0.95 \times k_{pp} \times U_r \sqrt{2} / \sqrt{3}$

où

 k_{DD} est le facteur de premier pôle;

- U_r est la tension assignée du disjoncteur.
- Si une tension de rétablissement continue, alternative, ou alternative et continue combinée décroissant exponentiellement, est utilisée, il convient que sa valeur instantanée (pour la tension continue) ou sa valeur crête (pour la tension alternative, ou alternative et continue combinées) soit, en principe, maintenue aussi près que possible de

 $U_r\sqrt{2}/\sqrt{3}$ et, dans tous les cas, ne doit pas descendre au-dessous de $0.5 U_r\sqrt{2}/\sqrt{3}$ en moins de 0.1 s.

- Si une tension de rétablissement continue ou continue et alternative combinées, décroissant exponentiellement, impose une contrainte incorrecte au disjoncteur par rapport à celle due à la tension de rétablissement alternative spécifiée dans les conditions du réseau de référence, un autre circuit d'essai satisfaisant mieux à 6.104.7 de la CEI 62271-100:2008 et aux limites indiquées ci-dessus peut alors être utilisé.
- La Figure 2 propose quelques exemples d'évaluation de la tension de rétablissement.

4.2 Circuit synthétiques et exigences spécifiques relatives aux essais de coupure

4.2.1 Méthodes par injection de courant

En termes généraux, ces méthodes peuvent se décrire ainsi (voir Annexe B):

- le courant du circuit de tension est superposé au courant à fréquence industrielle dans le disjoncteur en essai avant la période d'interaction;
- le disjoncteur auxiliaire coupe le courant à fréquence industrielle délivré par le circuit de courant avant la période d'interaction.

Si un quelconque dispositif ayant un pouvoir de coupure coupe le courant dans le disjoncteur en essai en même temps que le disjoncteur en essai, la méthode n'est pas une méthode par injection de courant valide et ne doit pas être mise en œuvre pour démontrer la phase thermique de la coupure du disjoncteur en essai.

Pendant la période d'interaction, le disjoncteur en essai est soumis à la tension du circuit de tension dont l'impédance représente celle du réseau de référence. Cela explique la validité des méthodes par injection de courant. Plusieurs méthodes par injection de courant sont connues, mais seule l'injection de courant parallèle est décrite ici puisque c'est celle utilisée par la plupart des laboratoires d'essais. Les conditions suivantes doivent être remplies:

- a) Circuit de mise en forme d'onde de la TTR
 - 1) La forme et l'amplitude de la TTR présumée doivent satisfaire aux valeurs spécifiées.
 - L'impédance d'onde équivalente Z_h (voir Figure 3) doit, idéalement, être égale à (du/dt)/(di/dt) pendant la période d'interaction. du/dt est la vitesse d'accroissement de la tension transitoire de rétablissement spécifiée et di/dt est la vitesse de décroissance du courant de court-circuit spécifié.
 - 3) La combinaison des capacités C_{dh} localisées ou réparties, en parallèle avec Z_h , provoque le temps de retard $t_d = Z_h \times C_{dh}$.

b) Inductance du circuit de tension

Sa valeur doit être comprise entre 1,0 et 1,5 fois l'inductance calculée à partir de la tension à fréquence industrielle équivalente divisée par le courant présumé.

c) Fréquence du courant injecté et instant d'injection

La fréquence du courant injecté doit être de préférence de l'ordre de 500 Hz avec une limite inférieure de 250 Hz et une limite supérieure de 1 000 Hz.

Afin d'éviter une influence anormale du courant à fréquence industrielle sur la forme d'onde, la limite inférieure de la fréquence du courant injecté est fixée à 250 Hz.

La fréquence maximale du courant injecté est déterminée par la durée de changement significatif de la tension d'arc, durée qui doit être plus courte que le temps pendant lequel l'arc est alimenté uniquement par le courant injecté. Pour cela, il convient que la période de la fréquence injectée soit d'au moins quatre fois la durée du changement significatif de tension d'arc (voir Annexe B).

L'instant initial du courant injecté doit être ajusté de façon telle que la durée durant laquelle le disjoncteur en essai est alimenté uniquement par le courant injecté soit égale à moins d'un quart de la période de la fréquence du courant injecté, avec un maximum de 500 µs.

Il convient de veiller à ne pas contraindre indûment le disjoncteur lorsque la durée pendant laquelle le disjoncteur en essai est alimenté seulement par le courant injecté est inférieure à 200 μ s.

d) Forme de l'onde de courant injecté

La vitesse présumée de décroissance (di / dt) du courant injecté au zéro de courant doit correspondre à celle du courant présumé à fréquence industrielle.

Pratiquement, aucune oscillation ne doit perturber le courant injecté pendant au moins 100 µs avant le zéro de courant.

4.2.2 Méthode par injection de tension

Plusieurs méthodes par injection de tension sont connues, mais seule la méthode d'injection série est décrite ici en termes généraux comme suit (voir aussi Annexe C):

- la tension fournie par le circuit de tension est appliquée au disjoncteur en essai après la période d'interaction;
- un condensateur en parallèle avec le disjoncteur auxiliaire est utilisé pour appliquer la tension de rétablissement au disjoncteur en essai;
- pendant les périodes de fort courant et d'interaction, seul le circuit de courant alimente le disjoncteur en essai.

La méthode par injection de tension ne doit pas être utilisée pour vérifier le comportement du disjoncteur pendant la phase thermique.

Par exemple, dans le cas des essais de défaut proche en ligne, en complément du circuit à injection de tension alimentant la TTR du côté source, un circuit à injection de courant qui est relié au côté ligne du disjoncteur en essai doit être utilisé pour fournir la tension transitoire côté ligne.

Quand cette méthode est utilisée pour les essais relatifs au comportement diélectrique du disjoncteur, les conditions suivantes doivent être respectées:

- il convient que le disjoncteur auxiliaire ait une tension d'arc inférieure ou égale à celle du disjoncteur en essai (voir 4.1.3);
- le circuit de tension doit être conçu de manière à permettre la détection de réallumages ou de réamorçages s'ils apparaissent.

La capacité aux bornes du disjoncteur auxiliaire doit donc être d'au moins 20 fois la capacité en parallèle avec le disjoncteur en essai. Il convient de prendre des précautions pour éviter une déformation anormale du courant avant le zéro de courant à fréquence industrielle;

- aucune interruption de la contrainte ne doit provenir de la combinaison du circuit de courant et du circuit de tension.

4.2.3 Circuit de Skeats (ou par transformateur)

En termes généraux, cette méthode peut se décrire ainsi (voir aussi Annexe D):

- les courant et tension proviennent d'une même source;
- la tension de rétablissement à fréquence alternative est fournie par un transformateur élévateur dont le primaire est raccordé au circuit de courant;
- la tension de rétablissement est appliquée au disjoncteur en essai par l'intermédiaire d'une impédance (généralement une résistance).

Le disjoncteur auxiliaire coupe le courant avant le disjoncteur en essai, dans un intervalle de temps court (le plus souvent environ 10 μ s). Pendant ce court intervalle de temps, la valeur de la pente de courant d*i*/d*t* dans le disjoncteur en essai est diminuée.

Le circuit de Skeats n'est donc pas valable pour réaliser des essais destinés à vérifier l'absence de réallumages thermiques du disjoncteur en essai. Il convient pour soumettre à essai le comportement diélectrique d'un disjoncteur et peut être utilisé pour les essais d'établissement.

Le circuit de Skeats peut être facilement modifié pour fournir la pleine contrainte de tension pendant deux manœuvres d'une séquence (ou plus), par exemple aux fermeture et ouverture d'un cycle CO, aux ouvertures d'un cycle O - t – CO et même à des zéros de courant consécutifs d'une manœuvre d'ouverture. Voir Annexe D.

4.2.4 Autres méthodes d'essais synthétiques

D'autres méthodes peuvent être valables et avantageuses pour l'essai de disjoncteurs de caractéristiques spécifiques ou pour l'essai de disjoncteurs à des performances spécifiques. Même lorsque ces méthodes ne sont pas décrites dans la présente norme, il peut être possible de les appliquer sous réserve d'une étude détaillée des conditions d'utilisation et de l'accord du constructeur et de l'utilisateur.

Il convient que les méthodes concernant les disjoncteurs sous enveloppe métallique et à cuve mise à la terre prennent en considération les recommandations de l'Annexe O de la CEI 62271-100:2008.

Les exigences générales pour les disjoncteurs munis de résistances d'ouverture sont données en Annexe R de la CEI 62271-100:2008, Amendement 1. Une méthode d'essai applicable aux disjoncteurs munis de résistances d'ouverture est indiquée en Annexe F.

4.3 Méthodes d'essais synthétiques triphasés

Les méthodes d'essais synthétiques triphasés doivent être appliquées pour l'essai des disjoncteurs qui ne peuvent pas être essayés en unipolaire selon 6.102.4.1 de la CEI 62271-100:2008. Elles peuvent également être utilisées comme une alternative aux essais synthétiques monophasés, si approprié. Les séquences d'essais de court-circuit T10, T30 et T60 peuvent, dans tous les cas, être réalisées dans les circuits d'essais monophasés.

Afin de s'assurer que les contraintes appropriées dans l'élément de coupure et celles entre les pôles et, si approprié, l'enveloppe, sont appliquées, les exigences générales suivantes doivent être remplies:
- a) le courant triphasé complet doit être fourni au disjoncteur tripolaire en essai;
- b) les informations concernant les circuits d'essais requis pour les séquences d'essais T100s et T100a sont données au Tableau 1;
- c) les paramètres d'essais pour chaque pôle qui coupe sont donnés aux Tableaux 2 à 4;
- d) il convient d'appliquer de préférence toutes les contraintes ci-dessus dans le même essai. Si cela est impossible, une procédure d'essais en plusieurs parties peut être nécessaire;
- e) afin d'éviter de modifier le raccordement du circuit haute tension au disjoncteur entre les essais de chaque séquence d'essais, il est permis de garder le premier pôle qui coupe dans la même phase pendant toute la séquence, en tenant compte des exigences de 6.105.1 de la CEI 62271-100:2008.

		T100s	T100a			
k _{pp}	Premier pôle qui coupe	Autres poles	Premier pôle qui coupe	Autres pôles		
1,5	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 lors de toutes les manœuvres	Application de circuits d'essais synthétiques de 4.2.1, 4.2.2 ou 4.2.3 lors de toutes les manœuvres	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 pendant au moins deux manœuvres. La troisième manœuvre peut être essayée avec 4.2.3	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 au moins lors de la manœuvre avec la grande alternance étendue et la durée d'arc la plus longue		
1,2 ou 1,3	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 pendant au moins deux manœuvres. La troisième manœuvre peut être essayée avec 4.2.3	Application de circuits d'essais synthétiques de 4.2.1 à 4.2.3 lors de toutes les manœuvres. Au deuxième pôle qui coupe lors de la manœuvre avec la durée d'arc la plus longue, application uniquement de circuits d'essais synthétiques de 4.2.1 ou 4.2.2	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 pendant au moins deux manœuvres. La troisième manœuvre peut être essayée avec 4.2.3	Application de circuits d'essais synthétiques de 4.2.1 à 4.2.3 lors de toutes les manœuvres. Au deuxième pôle qui coupe lors de la manœuvre avec la grande alternance étendue et la durée d'arc la plus longue, application uniquement de circuits d'essais synthétiques de 4.2.1 ou 4.2.2		
k _{pp}	facteur de premier pôle.					

Tableau 1 – Circuits d'essais pour les séquences d'essais T100s et T100a

L'injection de tension n'est permise que s'il n'y a pas d'exigences de TTRI ou si ces exigences sont couvertes par les essais de défaut proche en ligne.

Tableau 2 – Paramètres d'essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s $k_{pp} = 1,5$

Crête de TTR en %				Crête de	du/dt	di/dt	Angle de
		Au moment du premier pôle à couper	Au moment du deuxième et du troisième pôle à couper	tension de rétablis- sement p.u.	%	%	o phase
Phases	А	100	-	1	100	100	-
	В	0	58	1	70	87	90
	С	0	58	1	70	87	90
Entre	A – B	100	58	1,732			
pnases	B – C	0	115	1,732			
	A – C	100	58	1,732			

TTR crête du premier pôle à couper: $u_{\rm c} = k_{\rm af} \times k_{\rm pp} \times U_{\rm r} \times \sqrt{2}/\sqrt{3}$ (= 100 %).

1 p.u. = $U_r \times \sqrt{2}/\sqrt{3}$.

Le premier pôle à couper est en phase A.

Les paramètres d'essais sont calculés sur la base des précautions de mise à la terre des circuits, comme décrit dans la CEI 62271-306 (à publier).

Tableau 3 – Paramètres d'essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s $k_{\rm pp}$ = 1,3

	Crête d	de TTR en %		Crête de	du/dt	di/dt	Angle de
		Au moment du premier pôle à couper	Au moment du deuxième et du troisième pôle à couper	rétablisse ment p.u.	%	%	°
Phases	А	100	- / -	1	100	100	-
	В	0	- / 77	1	70	57	120
	С	0	98 / -	1	95	89	77
Entre	A – B	100	- / 91	1,732			
phases	B – C	0	98 / 98	1,732			
	A – C	100	89 / -	1,732			

TTR crête du premier pôle à couper: $u_{\rm c} = k_{\rm af} \times k_{\rm pp} \times U_{\rm r} \times \sqrt{2}/\sqrt{3}$ (= 100 %)

1 p.u. = $U_r \times \sqrt{2}/\sqrt{3}$

Le premier pôle à couper est en phase A.

Le deuxième pôle à couper est en phase C.

Les paramètres d'essais sont calculés sur la base des précautions de mise à la terre des circuits, comme décrit dans la CEI 62271-306 (à publier).

Crête de TTR en %			Crête de	du/dt	di/dt	Angle de	
		Au moment de la première phase couper	Au moment de la deuxième et de la troisième phase à couper	rétablisse ment p.u.	%	%	°
Phases	А	100	- / -	1	100	100	-
	В	0	- / 83 ª	1	83 ^a	75 ^a	120 ^a
	С	0	95 / -	1	95	92	71
Entre	A – B	100	- / 124	1,732			
pnases	B – C	0	95 / 126	1,732			
	A – C	100	105 / -	1,732			
TTR crête du	premier pôle: ı	$u_{\rm c} = k_{\rm af} \times k_{\rm pp} \times$	$U_{\rm r} \times \sqrt{2} / \sqrt{3}$				
1 p.u. = $U_r \times \sqrt{2}$	2/√3						
Le premier pé	òle à couper es	t en phase A.					

Tableau 4 – Paramètres d'essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s $k_{pp} = 1,2$

Le deuxième pôle à couper est en phase C.

^a Les paramètres d'essai pour le dernier pôle à couper sont donnés à titre de référence (voir Tableau 1).

Les paramètres d'essais sont calculés sur la base des précautions de mise à la terre des circuits, comme décrit dans la CEI 62271-306 (à publier).

5 Techniques et méthodes d'essais synthétiques pour les essais d'établissement en court-circuit

5.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques d'établissement

5.1.1 Généralités

Pendant une fermeture sur un court-circuit, la distance entre contacts du disjoncteur est soumise à la tension appliquée selon 6.104.1 de la CEI 62271-100:2008. Après l'instant de claquage, le disjoncteur est soumis au courant d'établissement selon 6.104.2.1 de la CEI 62271-100:2008. Dans un circuit d'essais synthétiques, la tension appliquée est fournie par un circuit de tension séparé et le courant de court-circuit par un circuit de courant à tension réduite. Cette dernière est connectée au disjoncteur immédiatement après claquage de l'espace entre contacts au moyen d'un enclencheur rapide, par exemple un éclateur déclenché.

Toute méthode d'essai synthétique retenue doit contraindre le disjoncteur en essai de manière adéquate. L'adéquation est généralement établie dès que la méthode d'essai satisfait aux exigences exposées dans les paragraphes suivants.

Avant l'établissement, un disjoncteur supporte entre ses contacts la tension assignée entre phase et terre: à la fermeture, il est traversé par le courant de court-circuit assigné. Si les

contraintes de tension et de courant sont plus finement étudiées pendant cet essai d'établissement (voir Figure 4), trois périodes principales peuvent apparaître:

Période de haute tension

La période de haute tension est la durée entre le commencement de l'essai, disjoncteur ouvert, et le moment du claquage de l'espace entre contacts;

– Période de pré-amorçage

La période de pré-amorçage est la durée, pendant la fermeture des contacts du disjoncteur, entre l'instant de claquage de l'espace entre contacts et l'instant où les contacts se touchent;

- Période de fermeture et d'accrochage

La période de fermeture et d'accrochage est la durée, pendant la fermeture du disjoncteur, séparant l'instant où les contacts se touchent de l'instant où le mouvement des contacts s'arrête (position fermée).

5.1.2 Période de haute tension

Pendant cette durée, le disjoncteur doit être contraint par le circuit d'essai de manière telle que les conditions initiales de la durée de pré-amorçage, avec des tolérances à préciser, soient les mêmes que celles apparaissant dans les conditions suivantes du réseau de référence:

- la tension appliquée doit satisfaire à l'exigence exposée en 6.104.1 de la CEI 62271-100:2008;
- la relation de phase entre la tension appliquée et le courant de court-circuit doit correspondre au facteur de puissance assignée du circuit d'essai avec les tolérances indiquées en 6.103.1 de la CEI 62271-100:2008.

5.1.3 Période de pré-amorçage

Pendant cette période, des forces électrodynamiques sont produites par le courant sur le disjoncteur et l'énergie d'arc produit des dégradations. Le courant possède trois composantes:

- le courant transitoire initial de fermeture (ITMC);
- les composantes continue et alternative du courant de court-circuit.

Deux cas typiques peuvent se présenter selon l'instant de fermeture:

- le claquage apparaît près de la crête de la tension appliquée, établissant un courant presque symétrique. L'énergie de pré-arc et l'ITMC sont relativement élevés;
- le claquage apparaît près du zéro de la tension appliquée, établissant un courant asymétrique. L'énergie de pré-arc et l'ITMC sont négligeables.

5.1.4 Périodes en position accrochée et de fermeture complète

Pendant ces périodes, le disjoncteur doit se fermer en présence des forces électrodynamiques dues au courant, et des forces de frottement des contacts. Le courant d'établissement doit donc satisfaire à 4.103 de la CEI 62271-100:2008 pendant ces périodes.

5.2 Circuit d'essais synthétiques pour essais d'établissement et exigences spécifiques s'y rapportant

5.2.1 Généralités

Le circuit d'essai et les exigences spécifiques doivent être conformes à l'exigence a) de 6.104.2.1 de la CEI 62271-100:2008.

5.2.2 Circuit d'essai

Le circuit d'essai se compose de deux circuits, à savoir le circuit de courant et le circuit de tension. Des circuits types présentant des formes d'ondes de tension et de courant sont donnés aux Figures 5 et 6 pour le monophasé et à la Figure 7 pour le triphasé:

- le circuit de tension fournit

- la tension appliquée pendant la période de haute tension,
- l'ITMC pendant la période de pré-amorçage, par la décharge du circuit ITMC;
- le circuit de courant fournit le courant d'établissement pendant les périodes de préamorçage et d'accrochage.

5.2.3 Exigences spécifiques

Lors d'un essai synthétique de fermeture, la relation de phase entre la tension d'essai appliquée et le courant de court-circuit dépend des paramètres suivants:

- facteur de puissance (cos φ) du circuit de courant;
- déphasage (β) entre U_{cs} et U_{h} (si U_{h} est une tension alternative);
- retard de l'enclencheur (t_m) .

La condition de manœuvre de fermeture correcte est conforme lorsque:

 $\beta + t_m' + (90 - \varphi) \le 27^\circ$ dans le cas où U_h est une tension alternative et t_m est aussi court que possible, mais en aucun cas supérieur à 300 µs

où $t_m' = (t_m / T) \times 360^\circ$ (avec T = 20 ms pour 50 Hz et T = 16,7 ms pour 60 Hz).

Le circuit haute tension $U_{\rm h}$ peut être une source alternative, une source continue ou une combinaison des deux.

 β peut être négatif, si la tension $U_{\rm h}$ est obtenue par une source séparée.

Le courant injecté fourni par le circuit de tension doit permettre au courant de pré-amorçage de s'établir avant l'amorçage de l'éclateur. En conséquence, la constante de temps du circuit ITMC doit être suffisamment longue pour assurer le passage du courant pendant le retard de l'enclencheur.

6 Exigences spécifiques pour les essais synthétiques de fermeture et de coupure relatives aux exigences de 6.102 à 6.111 de la CEI 62271-100:2008

Les Paragraphes 6.102 à 6.111 de la CEI 62271-100:2008 sont également applicables aux essais synthétiques. Cependant, des procédés spéciaux sont nécessaires dans certains cas. Ces cas sont exposés dans les paragraphes suivants. La numérotation des paragraphes correspond à celle de la CEI 62271-100:2008.

L'Annexe O de la CEI 62271-100:2008 donne les lignes directrices pour les essais des disjoncteurs sous enveloppe métallique ou à cuve mise à la terre.

6.102.4.2 Essais sur éléments séparés

Le paragraphe 6.102.4.2 de la CEI 62271-100:2008 est applicable, avec le complément suivant:

Pour l'application des méthodes d'essais synthétiques à une ou plusieurs unités d'un disjoncteur, les exigences de 6.102.4.2 de la CEI 62271-100:2008 sont applicables. Dans le

cas de disjoncteurs sous enveloppe métallique ou à cuve mise à la terre, l'Annexe N donne des détails concernant des circuits d'essai typiques et l'Annexe O de la CEI 62271-100:2008 présente les lignes directrices appropriées pour les essais.

6.102.4.2.3 Conditions à remplir pour les essais sur éléments séparés

Afin de vérifier la performance d'isolement des disjoncteurs sous enveloppe métallique, entre les parties sous tension et les enveloppes, un essai supplémentaire doit être réalisé, dans les conditions suivantes:

- le courant de court-circuit assigné est coupé par toutes les unités dans la condition de durée d'arc maximale;
- la tension correspondante est appliquée entre la borne d'arrivée et la cuve pour les deux séquences T100s et T100a.

Une seule manœuvre de coupure suffit à démontrer cette performance. Le disjoncteur peut être remis en état avant cet essai supplémentaire.

6.102.4.3 Essais en plusieurs parties

Les manœuvres d'ouverture de disjoncteurs avec résistances de fermeture ne nécessitent pas de techniques d'essais particulières, étant donné que la résistance de fermeture n'influencera pas le circuit d'essai.

Les résistances de fermeture ne peuvent être soumises à essai que dans un circuit direct qui fournit les contraintes correctes de courant et de tension à partir d'une source unique de puissance.

Au cours des essais synthétiques de fermeture, il est nécessaire de retirer la résistance de fermeture, afin d'obtenir les contraintes correctes de courant de court-circuit et les conditions de pré-amorçage dans l'interrupteur principal.

Si toutes les exigences de la TTR et/ou de la tension de rétablissement ne peuvent pas être satisfaites simultanément, les essais en plusieurs parties peuvent être utilisés en tenant compte de 6.102.4.3 de la CEI 62271-100:2008.

Lorsqu'un essai en plusieurs parties est réalisé dans le seul but de vérifier la tension de rétablissement, il n'est pas nécessaire d'établir de nouveau la durée d'arc minimale.

6.102.10 Démonstration des durées d'arc

Les exigences fondamentales devant être satisfaites sont données en 6.102.10 de la CEI 62271-100:2008.

De manière à pouvoir réaliser les essais synthétiques avec les mêmes bases que les essais directs, il sera normalement nécessaire d'utiliser les méthodes spéciales de réallumage pour maintenir l'arc du disjoncteur en essai pendant le nombre nécessaire de zéros du courant à fréquence industrielle. L'Annexe H donne des méthodes de réallumage permettant la prolongation de l'arc.

La méthode «pas à pas», décrite en Annexe H, est celle utilisée dans la plupart des essais synthétiques. Elle est considérée comme étant une approximation suffisamment proche de la procédure d'essais directs.

La durée d'arc est prolongée par réallumages thermiques. Etant donné que cette méthode permet d'imposer que le disjoncteur en essai se réallume en toutes circonstances, on doit veiller à ne pas réallumer le disjoncteur à un zéro de courant où il peut interrompre. Pour cela, il est nécessaire de déterminer pour chaque séquence d'essai de défaut aux bornes, de défaut proche en ligne et de discordance de phase, la durée d'arc minimale du disjoncteur. Au

moins deux essais de coupure, une interruption et un réallumage, sont nécessaires à cette détermination.

L'interruption à la durée d'arc minimale est la première coupure valable. L'autre essai est réalisé pour prouver que le réallumage à un zéro de courant prématuré se produirait entre les contacts d'arc. Cet essai de réallumage ne doit pas être le dernier de la séquence d'essais.

Les essais supplémentaires nécessaires pour prouver le comportement correct aux zéros de courant prématurés ne contribueront généralement que dans une faible mesure à l'usure des contacts, etc., étant donné la courte durée d'arc. C'est pourquoi il convient de ne pas nécessairement remettre en état l'appareil du fait de ces essais.

Le ou les réallumage(s) obtenu(s) durant la détermination de la durée d'arc minimale n'indique(nt) pas un défaut du disjoncteur. Cependant, il est important de vérifier que ce réallumage s'est produit entre les contacts d'arc uniquement. Lorsque l'on utilise une méthode par injection de courant, la coupure du courant injecté quelques alternances après le réallumage est souvent un moyen utile d'appréciation. Il convient aussi d'effectuer l'examen détaillé des écrans, des contacts d'arc et des contacts principaux, etc., pour vérifier que le comportement est correct.

6.102.10.1 Essais triphasés

Selon le circuit d'essai utilisé, les procédures d'essais données ici peuvent ne pas couvrir les conditions du troisième pôle qui coupe pour les réseaux mis directement à la terre ($k_{pp} = 1,3$). Pour ce cas, les mêmes procédures peuvent être appliquées, avec l'accord du constructeur, en combinant les paramètres de TTR et de di/dt pour le deuxième pôle qui coupe et la durée d'arc correspondant au troisième pôle qui coupe. En variante, un essai supplémentaire peut être réalisé avec la TTR, di/dt et la durée d'arc maximale correspondant au troisième pôle qui coupe.

Pour les autres procédures d'essais des disjoncteurs sous enveloppes multiples avec des caractéristiques de mécanisme d'entraînement qui nécessitent un courant triphasé, voir l'Annexe K.

6.102.10.1.1 Séquences d'essais T10, T30, T60, T100s, T100s(b), OP1 et OP2

La procédure d'essai est la suivante:

Pour la commodité des essais, le pôle de la phase A est maintenu comme le premier pôle qui coupe.

Premièrement, la durée d'arc minimale et le comportement de réallumage correct sont établis. Cela est réalisé en modifiant le réglage de l'ordre d'ouverture par pas de 18° (il est possible qu'il faille répéter cela plusieurs fois). Après avoir effectué cela, le réglage de la commande de l'ordre d'ouverture doit être avancé d'environ 40°, en commençant par la durée d'arc la plus courte avec laquelle le disjoncteur a coupé. Pour le dernier essai, le réglage de la commande de l'ordre d'ouverture doit être avancé d'environ 20°, en commençant par la durée d'arc la plus courte avec laquelle le disjoncteur a coupé:

- première coupure valable: t_{arc min}, durée d'arc minimale en phase A;
- essai de réallumage: $t_{arc reig} = t_{arc min} 18^\circ$, réallumage en phase A;
- deuxième coupure valable: $t_{max} = t_{arc min} + 40^\circ$, durée d'arc la plus longue en phase A;
- troisième coupure valable: $t_{med} = t_{arc min} + 20^\circ$, durée d'arc moyenne en phase A.

La première coupure valable et l'essai de réallumage se composent de manœuvres simples d'ouverture. Les deuxième et troisième coupures valables sont effectuées comme partie de la séquence de manœuvre assignée. Si la séquence de manœuvre assignée est CO-15s-CO, la troisième coupure valable n'est pas requise (voir 6.102.10 de la CEI 62271-100:2008).

A titre de comparaison avec les réglages de durée d'arc utilisés dans les essais directs triphasés, voir la Figure 8.

6.102.10.1.2 Séquence d'essais T100a

La procédure d'essai est la suivante:

Tous les essais se composent de manœuvres simples d'ouverture.

Afin de simplifier la procédure d'essai, le pôle en phase A est maintenu comme le premier pôle qui coupe, mais le pôle en phase C sera soumis à une usure électrique accrue. Afin d'obtenir une usure électrique similaire sur les pôles des phases B et C, les essais peuvent être réalisés en échangeant les pôles des phases B et C pour la troisième coupure valable.

Premièrement, la durée d'arc minimale (première manœuvre valable) et le comportement de réallumage sont vérifiés avec la grande alternance étendue se produisant en phase C. Cela est réalisé en modifiant le réglage de l'ordre d'ouverture par pas de 18° (il est possible qu'il faille répéter cela plusieurs fois).

La seconde coupure valable est réalisée avec l'asymétrie requise transposée en phase A. En même temps l'injection du courant de court-circuit et le réglage de l'ordre d'ouverture doivent être avancés de 60° par rapport à l'essai de réallumage.

La troisième coupure valable est réalisée avec l'asymétrie requise en phase C. L'injection du courant de court-circuit est retardée de 60° tandis que l'ordre d'ouverture est avancé de 10°, en se référant à la deuxième coupure valable.

- Première coupure valable: tarc min
 - durée d'arc minimale en phase A,
 - conditions d'asymétrie requises en phase C;
- Essai de réallumage: t_{arc reig} = t_{arc min} 18°
 - réallumage en phase A,
 - conditions d'asymétrie requises en phase C;
- Deuxième coupure valable: t_{arc max major} dans le premier pôle qui coupe
 - injection du courant de court-circuit et réglage de l'ordre d'ouverture avancés de 60°, en se référant à t_{arc reig},
 - conditions d'asymétrie requises en phase A;
- Troisième coupure valable: t_{arc max major extended}
 - durée d'arc la plus longue en phase A,
 - conditions d'asymétrie requises en phase C;
 - injection du courant de court-circuit retardé de 60° et réglage de l'ordre d'ouverture avancé de 10°, en se référant à t_{arc max major}.

L'ordre des essais est donné uniquement pour des raisons pratiques.

A titre de comparaison avec les réglages de durée d'arc utilisés dans les essais directs triphasés, voir la Figure 9.

Les deuxième et troisième coupures valables peuvent être interchangées comme suit:

- Deuxième coupure valable: t_{arc max major extended}
 - durée d'arc la plus longue en phase A,
 - conditions d'asymétrie requises en phase C,

- réglage de l'ordre d'ouverture avancé de 70°, en se référant à *t*arc reig;
- Troisième coupure valable: t_{arc max major} dans le premier pôle qui coupe:
 - injection du courant de court-circuit avancée de 60° et réglage de l'ordre d'ouverture retardé de 10°, en se référant à t_{arc max major extended};
 - conditions d'asymétrie requise en phase A.

Etant donné que certains disjoncteurs ne couperont pas à l'issue de la grande alternance, un essai est encore valable si le disjoncteur coupe après la petite alternance suivante.

Pour certains types de disjoncteurs, il peut apparaître que pour le troisième essai valable $(t_{arc max major extended})$, la petite alternance du courant au zéro de courant précédent pourrait déjà être interrompue en phase B. Cela n'est pas vérifié dans la procédure décrite ci-dessus, mais peut être vérifié en retardant à la fois l'établissement du court-circuit et le réglage de l'ordre d'ouverture de 60°, en se référant à $t_{arc max major extended}$. Par conséquent, si une interruption se produit lors de la petite alternance précédente, la troisième coupure valable peut être répétée avec une durée d'arc plus courte, selon la durée d'arc à laquelle le disjoncteur n'interrompra pas cette petite alternance de courant.

6.102.10.2 Essais monophasés en substitution des essais triphasés

Les procédures décrites en 6.102.10.2 de la CEI 62271-100:2008 sont applicables.

6.102.10.2.5 Séparation des séquences d'essais en séries d'essais en tenant compte de la TTR exacte de chaque pôle qui s'ouvre

Les procédures décrites en 6.102.10.2.5 de la CEI 62271-100:2008 sont applicables et la procédure d'essai pour les essais synthétiques est donnée à l'Annexe L.

6.104.5.4 Séquence d'essais T30

Pour les tensions assignées inférieures ou égales à 72,5 kV, il peut être difficile de satisfaire aux petites valeurs de t_3 . Il convient d'utiliser la plus petite durée qui peut être obtenue, mais sans être inférieure aux valeurs spécifiées au Tableau 13 de la CEI 62271-100:2008. Les valeurs utilisées doivent être indiquées dans le rapport d'essai.

6.104.5.5 Séquence d'essais T10

Pour les tensions assignées inférieures ou égales à 72,5 kV, il peut être difficile de satisfaire aux petites valeurs de t_3 . Il convient d'utiliser la plus petite durée qui peut être obtenue, mais sans être inférieure aux valeurs spécifiées au Tableau 13 de la CEI 62271-100:2008. Les valeurs utilisées doivent être indiquées dans le rapport d'essai.

6.106 Séquences d'essais de court-circuit fondamentales

Les exigences fondamentales sont données en 6.106 de la CEI 62271-100:2008. Les méthodes d'essais synthétiques sont données au Tableau 5.

Les abréviations utilisées en 6.106 et au Tableau 5 sont données ci-dessous.

- Cd Manœuvre de fermeture dans un circuit direct à la tension du circuit de courant qui peut être inférieure à la tension spécifiée en 6.104.1 de la CEI 62271-100:2008
- Cs Manœuvre de fermeture avec des paramètres spécifiés dans un circuit d'essais synthétiques
- Cd_{asy} Manœuvre de fermeture avec le pouvoir d'établissement assigné en court-circuit selon 6.104.2 de la CEI 62271-100:2008 dans un circuit direct aux conditions décrites en Cd

- Cs_{sym} Manœuvre de fermeture avec un courant symétrique égal au pouvoir de coupure assigné en court-circuit, effectuée à la tension appliquée requise dans un circuit d'essais synthétiques
- Od Manœuvre de coupure à la tension du circuit de courant uniquement et avec le courant de coupure spécifié
- Os Manœuvre de coupure avec des paramètres spécifiés dans un circuit d'essais synthétiques
- *t* Intervalle de temps entre les manœuvres (0,3 s ou 3 min selon la séquence de manœuvre assignée)
- *t*' Intervalle de temps entre les manœuvres (3 min)
- *t*" Intervalle de temps entre les manœuvres (15 s)
- SP Essai monophasé tel que défini en 6.108 de la CEI 62271-100:2008
- DEF Essai de double défaut à la terre tel que défini en 6.108 de la CEI 62271-100:2008

NOTE Du fait des caractéristiques des essais synthétiques, il peut être difficile de satisfaire aux intervalles de temps spécifiés des séquences de manœuvres assignées. Voir 6.105.1 de la CEI 62271-100:2008.

Pour satisfaire à toutes les exigences d'essai, il peut être nécessaire de réaliser plus de manœuvres que spécifié dans la séquence d'essais normale. Dans de tels cas, le disjoncteur peut être remis en état et la séquence d'essais répétée.

6.106.1 Séquence d'essais T10

Plusieurs procédures peuvent être utilisées pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 5).

6.106.2 Séquence d'essais T30

Plusieurs procédures peuvent être utilisées pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 5).

6.106.3 Séquence d'essais T60

Plusieurs procédures peuvent être utilisées pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 5).

6.106.4 Séquence d'essais T100s

Plusieurs procédures peuvent être utilisées pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 5), comme suit.

6.106.4.1 Cas où la constante de temps de la composante apériodique du circuit d'essai est égale à la valeur spécifiée

L'une des méthodes suivantes doit être utilisée lorsque la constante de temps du circuit d'essai est égale à la valeur spécifiée associée au pouvoir de coupure assigné en court-circuit défini en 4.101.2 de la CEI 62271-100:2008.

<u>Méthode 1</u>

La procédure préférentielle consiste à effectuer la séquence de manœuvre assignée complète comme suit:

- 190 -

CsOs - t'' - CsOs

avec une Cs satisfaisant à l'exigence a) et l'autre Cs satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100:2008.

Méthode 2

La procédure consiste à effectuer la séquence de manœuvre assignée complète comme suit:

Os suivie de

$$Od - t - Cs_{sym}Os - t' - Cd_{asy}Os$$
 ou

$$Cs_{svm}Od - t'' - Cd_{asv}Os$$

avec Od ayant la même condition de durée d'arc minimale que la Os précédente et Cd_{asy} satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100:2008.

L'objet de la première Os est

- de satisfaire à l'exigence d'avoir le nombre spécifié de manœuvres de coupure aux valeurs spécifiées,
- de donner les renseignements nécessaires pour permettre le réglage de l'ordre d'ouverture conformément aux exigences applicables pendant la séquence de la manœuvre suivante. Cela permet de déterminer les conditions de la durée d'arc minimale, comme si des essais directs avaient été réalisés aux valeurs spécifiées. Ces conditions doivent être reproduites pendant la manœuvre Od dans la séquence de manœuvre suivante.

L'objet de la Cs_{sym} est de satisfaire à l'exigence a) de 6.104.2.1 de la CEI 62271-100:2008, d'établir un courant symétrique résultant d'un pré-amorçage initié à la crête de la tension appliquée.

Méthode 3

La procédure consiste à effectuer la séquence de manœuvre assignée complète comme suit:

Cs_{svm} et Os suivies de

Od - t - CdOs - t' - CdOs ou

$$CdOd - t'' - CdOs$$

avec Od ayant la même condition de durée d'arc minimale que la Os précédente et l'une des deux Cd satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100:2008.

L'objet de la première Os est

- de respecter l'exigence d'avoir le nombre spécifié de manœuvres de coupure aux valeurs spécifiées,
- de donner les renseignements nécessaires pour permettre le réglage de l'ordre d'ouverture conformément aux exigences applicables pendant la séquence de la manœuvre suivante. Cela permet de déterminer les conditions de la durée d'arc minimale, comme si des essais directs avaient été réalisés aux valeurs spécifiées. Ces conditions doivent être reproduites pendant la manœuvre Od dans la séquence de manœuvre suivante.

L'objet de la Cs_{sym} est de satisfaire à l'exigence a) de 6.104.2.1 de la CEI 62271-100:2008, d'établir un courant symétrique résultant d'un pré-amorçage initié à la crête de la tension appliquée.

6.106.4.2 Cas où la constante de temps de la composante apériodique du circuit d'essai est inférieure à la valeur spécifiée

L'une des méthodes suivantes doit être utilisée lorsque la constante de temps du circuit d'essai est inférieure à la valeur spécifiée associée au pouvoir de coupure assigné en courtcircuit selon 4.101.2 de la CEI 62271-100:2008.

Méthode 1

La procédure consiste à effectuer la séquence de manœuvre assignée complète comme suit:

 Cd_{asy} et Os suivies de Od - $t - Cs_{sym}Os - t' - CdOs$ ou $Cs_{sym}Od - t'' - CdOs$

avec Od ayant la même condition de durée d'arc minimale que la Os précédente et Cd_{asy} satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100:2008.

L'objet de la première Os est

- de respecter l'exigence d'avoir le nombre spécifié de manœuvres de coupure aux valeurs spécifiées,
- de donner les renseignements nécessaires pour permettre le réglage de l'ordre d'ouverture conformément aux exigences applicables pendant la séquence de la manœuvre suivante. Cela permet de déterminer les conditions de la durée d'arc minimale, comme si des essais directs avaient été réalisés aux valeurs spécifiées. Ces conditions doivent être reproduites pendant la manœuvre Od dans la séquence de manœuvre suivante.

L'objet de la Cs_{sym} est de satisfaire à l'exigence a) de 6.104.2.1 de la CEI 62271-100:2008, d'établir un courant symétrique résultant d'un pré-amorçage initié à la crête de la tension appliquée.

Méthode 2

La procédure consiste à effectuer la séquence de manœuvre assignée complète comme suit:

 Cd_{asy} , Cs_{sym} et Os suivies de Od - t - CdOs - t' - CdOs ou CdOd - t'' - CdOs

avec Od ayant la même condition de durée d'arc minimale que la Os précédente et Cd_{asy} satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100:2008.

L'objet de la première Os est

 de respecter l'exigence d'avoir le nombre spécifié de manœuvres de coupure aux valeurs spécifiées, de donner les renseignements nécessaires pour permettre le réglage de l'ordre d'ouverture conformément aux exigences applicables pendant la séquence de la manœuvre suivante. Cela permet de déterminer les conditions de la durée d'arc minimale, comme si des essais directs avaient été réalisés aux valeurs spécifiées. Ces conditions doivent être reproduites pendant la manœuvre Od dans la séquence de manœuvre suivante.

L'objet de la Cs_{sym} est de satisfaire à l'exigence a) de 6.104.2.1 de la CEI 62271-100:2008, d'établir un courant symétrique résultant d'un pré-amorçage initié à la crête de la tension appliquée.

6.106.4.3 Constante de temps de la composante apériodique du circuit d'essai supérieure à la valeur spécifiée

L'une des méthodes suivantes doit être utilisée lorsque la constante de temps du circuit d'essai est supérieure à la valeur spécifiée associée au pouvoir de coupure assigné en courtcircuit selon 4.101.2 de la CEI 62271-100:2008.

Méthode 1

La procédure consiste à effectuer la séquence de manœuvre assignée complète comme suit:

Os suivie de

$$Od - t - Cs_{sym}Os - t' - Cd_{asy}Os$$
 ou

 $Cs_{sym}Od - t'' - Cd_{asy}Os$

avec Od ayant la même condition de durée d'arc minimale que la Os précédente et Cd_{asy} satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100:2008.

L'objet de la première Os est

- de satisfaire à l'exigence d'avoir le nombre spécifié de manœuvres de coupure aux valeurs spécifiées,
- de donner les renseignements nécessaires pour permettre le réglage de l'ordre d'ouverture conformément aux exigences applicables pendant la séquence de la manœuvre suivante. Cela permet de déterminer les conditions de la durée d'arc minimale, comme si des essais directs avaient été réalisés aux valeurs spécifiées. Ces conditions doivent être reproduites pendant la manœuvre Od dans la séquence de manœuvre suivante.

L'objet de la Cs_{sym} est de satisfaire à l'exigence a) de 6.104.2.1 de la CEI 62271-100:2008, d'établir un courant symétrique résultant d'un pré-amorçage initié à la crête de la tension appliquée.

Méthode 2

La procédure consiste à effectuer la séquence de manœuvre assignée complète comme suit:

Cs_{svm} et Os suivies de

Od - t - CdOs - t' - CdOs ou

CdOd - t'' - CdOs

avec Od ayant la même condition de durée d'arc minimale que la Os précédente et l'une des deux Cd satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100:2008.

L'objet de la première Os est

- de satisfaire à l'exigence d'avoir le nombre spécifié de manœuvres de coupure aux valeurs spécifiées,
- de donner les renseignements nécessaires pour permettre le réglage de l'ordre d'ouverture conformément aux exigences applicables pendant la séquence de la manœuvre suivante. Cela permet de déterminer les conditions de la durée d'arc minimale, comme si des essais directs avaient été réalisés aux valeurs spécifiées. Ces conditions doivent être reproduites pendant la manœuvre Od dans la séquence de manœuvre suivante.

L'objet de la Cs_{sym} est de satisfaire à l'exigence a) de 6.104.2.1 de la CEI 62271-100:2008, d'établir un courant symétrique résultant d'un pré-amorçage initié à la crête de la tension appliquée.

6.106.5 Séquence d'essais T100a

Trois manœuvres de coupure doivent être réalisées comme spécifié en 6.106.5 de la CEI 62271-100:2008 (voir Tableau 5).

Pendant les essais avec courant asymétrique, la pente di/dt et la TTR sont modifiées par la présence de la composante continue. Pour les essais synthétiques, ces modifications doivent être préparées comme suit:

a) Selon la constante de temps apériodique requise, les critères d'asymétrie suivants doivent être remplis comme indiqué ci-dessous et en 6.106.6 de la CEI 62271-100:2008.

Les valeurs requises du courant de court-circuit de crête et de la durée de l'alternance doivent être conformes aux valeurs des Tableaux 15 à 22 de la CEI 62271-100:2008.

Les critères pour les valeurs réelles sont donnés en 4.1.2.

Il convient d'utiliser le niveau d'asymétrie requise au zéro de courant pour calculer le di/dt et la TTR applicables.

Lorsque l'on utilise une méthode par injection de tension, les critères concernant le di/dt au zéro de courant peuvent être ignorés.

b) Réduction de d*i*/d*t* au zéro de courant

La réduction de di/dt peut être obtenue pour les méthodes par injection de courant, en réduisant la tension de charge du circuit de tension.

Les valeurs corrigées correspondantes sont indiquées aux Tableaux 15 à 22 de la CEI 62271-100:2008 pour la condition de premier pôle qui coupe et aux Tableaux I.1 à I.4 pour la condition de deuxième pôle qui coupe dans la phase ayant le courant avec la pleine asymétrie.

- c) Correction de la TTR
 - 1) Méthode simplifiée

Pour les TTR dont le temps t_2 ou t_3 n'excède pas 500 µs, une méthode simplifiée peut être utilisée.

Il convient que la tension de charge du circuit d'essais synthétiques soit fixée pour obtenir les paramètres d'essais les plus contraignants. Pour les essais sur la petite alternance, il s'agit de u_c , et pour la grande alternance, d*i*/d*t*.

2) Pour les TTR dont le temps t_2 excède 500 μ s, d'autres corrections et/ou des modifications de circuit doivent être utilisées. Pour les valeurs de TTR présumées requises, voir les Tableaux I.5 à I.10.

Différents circuits d'essais pour la grande et la petite alternances peuvent être nécessaires afin d'obtenir les valeurs requises. Un essai avec un seul circuit d'essai peut surcharger le disjoncteur et nécessite l'accord du constructeur.

d) Correction de la tension de rétablissement

Quand l'essai représente la coupure à la fin d'une grande alternance, la tension de rétablissement réduite couvrira correctement le premier quart de période de la tension de rétablissement (de l'essai direct correspondant).

Pour la coupure à la fin d'une petite alternance de courant, la tension de rétablissement réduite ne couvrira pas les conditions du réseau de référence, puisque la tension de rétablissement à fréquence industrielle continue de croître après l'établissement de la TTR.

Avec les séquences d'essais symétriques, on a assez d'éléments pour prouver les caractéristiques du disjoncteur.

6.108 Essais de défaut monophasé ou de double défaut à la terre

Les exigences d'essai fondamentales sont données en 6.108 de la CEI 62271-100:2008. La méthode d'essai est présentée au Tableau 5.

6.109 Essais de défaut proche en ligne

Les exigences d'essai fondamentales sont données en 6.109 de la CEI 62271-100:2008.

Les méthodes d'essais pour les essais de défaut proche en ligne sont données au Tableau 5.

La dernière alternance de courant avant l'interruption doit avoir une amplitude égale au courant d'essai fois $\sqrt{2}$ avec une tolérance de \pm 10 % y compris les dispositions de 4.1.2.

Pour les essais synthétiques de défaut proche en ligne, les paramètres du circuit de défaut proche en ligne doivent être ceux indiqués en 4.105 de la CEI 62271-100:2008 et le circuit côté ligne doit être inséré dans le circuit de courant pendant la totalité de la durée d'interaction.

Avec des circuits à injection de courant, le circuit de défaut proche en ligne peut se mettre en série avec le circuit de tension, et son inductance est ajoutée à L_h , comme indiqué à la Figure B.1.

Ce circuit de défaut proche en ligne introduit dans le circuit de tension peut engendrer des oscillations qui se superposent à l'onde de courant injecté. Il convient que ces oscillations soient amorties (pour être conformes à d) de 4.2.1), de manière à ne pas perturber le courant pendant la durée de changement significatif de la tension d'arc ou au moins pendant 100 μ s avant le zéro de courant.

Une résistance peut être connectée en série avec le circuit de mise en forme de TTR. Dans la plupart des cas, cette résistance, destinée à imposer la vitesse de montée initiale de la tension de rétablissement, est suffisante pour assurer l'amortissement nécessaire.

NOTE 1 Un soin particulier est apporté à la répartition des tensions et au mesurage des TTR présumées lorsque, pour les essais de défaut proche en ligne, la ligne est connectée du même côté du disjoncteur en essai comme l'impédance du circuit de tension.

Si une capacité additionnelle est utilisée pour ajuster les retards selon 6.109.3 de la CEI 62271-100:2008, il convient de veiller à l'endroit où cette capacité doit être appliquée:

- en utilisant une capacité côté ligne, elle doit être connectée aux bornes de la section ligne du circuit d'essai pour simuler les mêmes conditions que dans les essais directs;
- en utilisant une capacité côté source, elle doit être connectée aux bornes de la section source du circuit de tension.

Une capacité aux bornes du disjoncteur est normalement considérée comme faisant partie de l'objet d'essai. Dans certains cas, il peut être nécessaire d'appliquer une capacité supplémentaire aux bornes du disjoncteur pour ajuster le retard du circuit d'essai.

NOTE 2 Une capacité aux bornes du disjoncteur auxiliaire influence le temps de retard et est considérée comme faisant partie de la capacité de retard du circuit d'essai.

Selon 6.109.5 de la CEI 62271-100:2008, les essais de défaut proche en ligne peuvent également être réalisés avec un circuit à injection de courant basé sur une tension à fréquence industrielle réduite, les dispositions de 6.109.3 de la CEI 62271-100:2008 étant suivies.

Ces dispositions doivent être satisfaites autant que possible et, pour la tension transitoire de rétablissement, au moins jusqu'à trois fois la durée spécifiée de la première crête du côté ligne.

Pour l'applicabilité de cette méthode, voir 6.109.5 de la CEI 62271-100:2008.

NOTE 3 Il est reconnu que les exigences de 4.2.1 b) sur l'inductance du circuit de tension s'appliquent au circuit direct équivalent de puissance réduite.

6.110 Essais d'établissement et de coupure en discordance de phases

Les exigences fondamentales sont données en 6.110 de la CEI 62271-100:2008.

Les méthodes d'essais pour OP1 et OP2 sont données au Tableau 5.

Séquence	Essai synthétic	que	Séquence de manœuvre assignée		
d'essais			O - t - CO - t' - CO	CO - t'' - CO	
	Paragraphe	Méthode	<i>t</i> = 0,3 s ou 3 min <i>t</i> ' = 3 min	<i>t</i> " = 15 s	
T10 T20 of		1	Os – t – (Cd)Os – t' – (Cd)Os ^a	(Cd)Os - <i>t</i> " - (Cd)Os ^a	
T60	6.106.1 à 6.106.3	2	Os Od - t - (Cd)Os - t' -(Cd)Os ^a	Os (Cd)Od - t" - (Cd)Os ^a	
		1	Os - t - CsOs - t' - CsOs	CsOs – t" – CsOs	
	6.106.4.1 constante de temps de la composante	2	$\frac{\text{Os}}{\text{Od} - t - \text{Cs}_{\text{sym}}\text{Os} - t' - \text{Cd}_{\text{asy}}\text{Os}}$	Os Cs _{sym} Od – t" – Cd _{asy} Os	
	apériodique du circuit d'essai égale à la valeur spécifiée	3	Cs_{sym} Os Od - t - CdOs - t' - CdOs d	Cs _{sym} Os CdOd – <i>t</i> " – CdOs ^d	
T100s	6.106.4.2 constante de temps de	1	Cd_{asy} Os Od - t - Cs _{sym} Os - t' - CdOs ^b	Cd _{asy} Os Cs _{sym} Od – <i>t</i> " – CdOs ^b	
	apériodique du circuit d'essai inférieure à la valeur spécifiée	2	Cd_{asy} Cs_{sym} Os Od - t - CdOs - t' - CdOs b	Cd _{asy} Cs _{sym} Os CdOd – <i>t</i> " – CdOs ^b	
	6.106.4.3 constante de temps de	1	$ \begin{array}{c} \text{Os} \\ \text{Od} - t - \text{Cs}_{\text{sym}} \text{Os} - t' - \text{Cd}_{\text{asy}} \text{Os} \end{array} \\ \end{array} $	Os Cs _{sym} Od – t" – Cd _{asy} Os ^C	
	a composante apériodique du circuit d'essai supérieure à la valeur spécifiée	2	Cs_{sym} Os Od - t - CdOs - t' - CdOs C, d	Cs _{sym} Os CdOd – <i>t</i> " – CdOs ^c , d	
T100a	6.106.5		Os - t' - Os - t' - Os		
SP et DEF	6.108		Os		

Tableau 5 – Méthodes d'essais synthétiques pour les séquences d'essais T10, T30, T60, T100s, T100a, SP, DEF, OP et SLF

Séquence	Essai synthétique		Séquence de manœuvre assignée			
d'essais			O - t - CO - t' - CO	CO - t'' - CO		
	Paragraphe	Méthode	<i>t</i> = 0,3 s ou 3 min <i>t</i> ' = 3 min	<i>t</i> " = 15 s		
		1	$Os - t - (Cd)Os - t' - (Cd)Os^{a}$			
SLF	6.109	2	Os Od $- t - (Cd)Os - t' - (Cd)Os^{a}$			
OP1	6.110		Os, Os, Os			
		1	Cs _{sym} Os, Os, Os			
OP2	6.110	2	Cs _{sym} (Cd)Os, Os, Os ^a			

^a (Cd) est une manœuvre de fermeture comme Cd, qui peut être effectuée à vide.

^b Du fait que la constante de temps de la composante continue du circuit d'essai est plus faible que la valeur spécifiée utilisée pour le pouvoir de coupure assigné en court-circuit, il sera nécessaire que la valeur symétrique du courant pendant Cd_{asy} soit plus grande que la valeur assignée. De même, pendant Cd, la crête de courant, déjà vérifiée pendant Cd_{asy}, sera plus faible que le pouvoir de fermeture assigné en court-circuit.

^c Etant donné que la constante de temps de la composante continue du circuit d'essai est plus grande que la valeur spécifiée utilisée pour le court-circuit assigné, la valeur de crête du courant pendant la fermeture asymétrique peut être plus grande que le pouvoir de fermeture assigné en court-circuit. Un circuit de réduction du courant de crête peut être utilisé ou la manœuvre de fermeture peut être réalisée en synchronisant l'ordre par rapport à l'onde de tension pour obtenir le pouvoir de fermeture assigné en court-circuit requis. L'utilisation d'une synchronisation de l'ordre par rapport à l'onde de tension est soumise à l'accord du constructeur.

d L'une des deux Cd doit être Cd_{asy.}

6.111 Essais d'établissement et de coupure de courants capacitifs

Les exigences fondamentales sont données en 6.111 de la CEI 62271-100:2008.

Pour les disjoncteurs sous enveloppe métallique ou à cuve mise à la terre, des circuits d'essai typiques sont donnés à l'Annexe N et des lignes directrices supplémentaires sont données à l'Annexe O de la CEI 62271-100:2008.

6.111.2 Généralités

Un circuit d'essai avec un circuit de courant de 50 Hz peut être utilisé pour prouver la capacité d'établissement et de coupure de courants capacitifs pour des caractéristiques assignées de 60 Hz, à condition que la tension de rétablissement satisfasse aux exigences de 60 Hz (voir Note 4 de 6.111.2 de la CEI 62271-100:2008). Il convient que le réglage de la séparation des contacts soit basé sur la fréquence du circuit de courant. Cependant, pour les manœuvres d'ouverture, la durée d'arc minimale est déterminée en faisant varier le moment de la séparation des contacts lors de l'ouverture par intervalles d'environ 6° basés sur la fréquence assignée du disjoncteur en essais.

6.111.3 Caractéristiques des circuits d'alimentation

Lorsque les caractéristiques du circuit d'essai ne satisfont pas aux exigences de 6.111.3 de la CEI 62271-100:2008, la tension de rétablissement présumée spécifiée en 6.111.10 de la CEI 62271-100:2008 doit être appliquée.

Les effets de l'arrachement du courant, tels que décrits à l'Article G.6, peuvent modifier la tension de rétablissement au cours des essais de coupure de courants capacitifs.

6.111.7 Tension d'essai

Pour les essais d'établissement et de coupure de courants capacitifs synthétiques monophasés, la tension d'essai spécifiée pour les essais directs en 6.111.7 de la CEI 62271-100:2008 doit être appliquée.

Des exemples de circuits d'établissement et de coupure de courants capacitifs synthétiques sont donnés à l'Annexe G.



Légende

i	courant de coupure	<i>t</i> ₂	début du changement significatif de la tension d'arc
и	tension à fréquence industrielle	t ₃	instant de disparition du courant post-arc
<i>u</i> a	tension d'arc	$t_2 - t_1$	période de fort courant
TTR	tension transitoire de rétablissement	$t_3 - t_2$	période d'interaction
i _{PA}	courant post-arc	Après t ₃	période de haute tension
t ₁	instant de séparation des contacts		

Figure 1 – Processus de coupure – Périodes principales



- tension de rétablissement avec décroissance exponentielle, aux bornes d'un disjoncteur en essai synthétique ~
- tension de rétablissement à fréquence industrielle pour le premier pôle qui coupe lors de l'essai direct équivalent, par exemple avec un facteur de premier pôle k pp = 1,32
- tension de rétablissement à fréquence industrielle après la coupure des courants dans chacun des trois pôles pendant l'essai direct équivalent ო
- la tension de rétablissement (1) ne doit pas se trouver au-dessous de la valeur spécifiée (2) en ce point P_2 Ę
 - point au-dessous duquel la tension de rétablissement (1) durant l'essai synthétique ne doit pas tomber
- période de la fréquence industrielle Г

Figure 2 – Exemples d'évaluation de la tension de rétablissement



- U_{h} tension de charge du circuit de tension
- L_h inductance du circuit de tension
- Z_h impédance d'onde équivalente
- C_{dh} capacité pour le retard du circuit de tension
- S_t disjoncteur en essai

Figure 3 – Impédance d'onde équivalente du circuit de tension pour la méthode par injection de courant



i	courant	^u a
î	valeur crête du courant établi	t ₀
и	tension à fréquence industrielle	t ₁
^u d	caractéristique diélectrique en fermeture	^t 2

- tension d'arc
- instant de pré-amorçage
- instant où les contacts se touchent
- instant d'obtention de la position totalement fermée

Figure 4 – Processus d'établissement – Instants principaux



S_t disjoncteur en essai

tm retard de l'enclencheur

Figure 5 – Circuit type d'essais synthétiques d'établissement pour les essais monophasés



u _{cs}	tension du circuit de courant	u _{vs}	tension du circuit de tension
СН	enclencheur (éclateur déclenché)	i _t	courant dans le disjoncteur en essai
i	courant à fréquence industrielle fourni par le circuit de courant	u _t	tension d'essai aux bornes du disjoncteur en essai
St	disjoncteur en essai		

Figure 6 – Circuit type d'essais synthétiques d'établissement pour les essais en discordance de phase





$u_{cs1}, u_{cs2}, u_{cs3}$	tension du circuit de courant	u_{h1}, u_{h2}, u_{h3}	tension appliqué
i_1, i_2, i_3	courant fourni par le circuit de courant	CH_1 , CH_2 , CH_3	enclencheur
i_{t1}, i_{t2}, i_{t3}	courant traversant l'objet en essai	S _t	disjoncteur en essai
i _{h1} , i _{h2} , i _{h3}	courant transitoire initial établi (ITMC)	t _m	retard de l'enclencheur

Figure 7 – Circuit type d'essais synthétiques d'établissement pour les essais triphasés (k_{pp} = 1,5)



NOTE 1 I_A , I_B , I_C : sont les courants dans les phases A, B et C, respectivement.

NOTE 2 La barre horizontale solide représente la durée d'arc minimale.

Figure 8 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100s avec $k_{pp} = 1,5$



NOTE 1 I_A , I_B , I_C : sont les courants dans les phases A, B et C, respectivement. NOTE 2 La barre horizontale solide représente la durée d'arc minimale.

Figure 9 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,5$

Annexe A

(informative)

Déformation du courant

A.1 Généralités

La déformation du courant est un facteur bien connu qu'il convient de prendre en considération pendant les essais synthétiques. Les Articles A.2, A.3 et A.4 donnent une analyse de base utilisant des méthodes simplifiées. En pratique, des calculs par ordinateur peuvent être plus appropriés lorsque diverses formes d'ondes de tensions d'arc peuvent être introduites.

A.2 Déformation du courant immédiatement avant le zéro de courant

La durée d'interaction commence lorsque la tension d'arc change de façon significative et que le courant tend vers zéro. La variation de la tension d'arc pendant cette période modifie la forme et la pente du courant juste avant le zéro de courant.

Cet écart par rapport au courant présumé a pour origine le courant déformant, qui s'écoule principalement dans l'impédance à faible constante de temps et dépend bien sûr de tous les paramètres du circuit réel.

La manière particulière dont le courant approche de zéro est responsable des conditions physiques du milieu inter-contacts du disjoncteur au moment du zéro de courant. L'interaction la plus importante entre le circuit et le disjoncteur résulte de la charge et de la décharge des capacités par la tension d'arc et de l'influence de cette dernière sur la pente du courant d*i* /d*t* avant le zéro.

Sur un circuit simplifié tel que celui de la Figure A.1 représentant un court-circuit dans le réseau ou en essai direct, la tension u alimente le courant d'arc i avec la tension d'arc appropriée u_a . Parallèlement à l'arc se trouve le condensateur C.

Si l'on admet que la tension d'arc $u_a = 0$, alors le courant présumé de court-circuit i_p circulera à travers l'arc (voir Figure A.2), l'amplitude et la forme d'onde de ce courant étant fonction de l'inductance L, de la tension u, de la fréquence de cette tension et de l'instant d'injection du courant.

Si l'on admet que la tension d'alimentation u = 0 et qu'une tension d'arc existe, alors cette tension d'arc provoquera la circulation d'un courant. Ce courant i_d (voir Figure A.3) est le courant déformant qui se partagera en deux courants i_{dL} à travers l'inductance L, et i_{dC} à travers la capacité C. Dans ces conditions, les équations suivantes s'appliquent:

$$u_{a} - L \times \frac{d}{dt}(i_{dL}) = 0$$

 $C \frac{d}{dt}(u_a) - i_{dC} = 0$

et

On peut en déduire l'équation suivante pour *i*_d:

$$i_{d} = i_{dL} + i_{dC} = \frac{1}{L} \int u_{a} dt + C \times \frac{d}{dt} (u_{a})$$

Si à la fois les tensions u et u_a existent (voir Figure A.4), alors le courant résultant réel est donné par:

 $i = i_p - i_d$

A.3 Déformation du courant pendant la période de fort courant

A.3.1 Généralités

Pendant cette période, la tension d'arc engendre un courant déformant i_d , dans le circuit. i_d se superpose au courant total.

En le comparant au courant présumé, le courant d'arc résultant présente des différences au niveau de quatre aspects: l'amplitude du courant, la durée de l'alternance, l'énergie d'arc et di/dt.

Pour évaluer l'influence de la tension d'arc, il suffit, en pratique, de considérer l'amplitude du courant et la durée de l'alternance.

En première approximation, deux caractéristiques différentes de tension d'arc peuvent être considérées, à savoir:

- a) une tension d'arc constante $u_a = U_a$
- b) une tension d'arc linéairement croissante $u_a = S \times t$

Puisque le courant à travers le condensateur C (voir Figure A.1) est petit pendant cette période d'arc, le schéma simplifié de la Figure A.5 est adéquat.

A.3.2 Déformation due à un courant d'arc symétrique pendant une alternance

Les équations suivantes sont obtenues en négligeant la résistance de la Figure A.5, ce qui est licite pour une seule alternance. Quelques résultats sont donnés aux Figures A.8 et A.9.

Les calculs utilisent les caractéristiques indiquées aux Figures A.6 et A.7.

 $\hat{u} = \omega L \times \hat{i}_{p}$ valeur de crête de la tension du circuit de courant

- *î*p valeur de crête du courant présumé
- *î* valeur de crête du courant réel (réduite par la tension d'arc)

t_m instant de la valeur de crête î

- a) Rapport des amplitudes de courant
 - pour une tension d'arc constante:

$$\frac{\hat{t}}{\hat{t}_{\rm p}} = \sin\left(\omega \times t_{\rm m}\right) - \frac{U_{\rm a}}{\hat{u}} \times \omega t_{\rm m}$$

– pour une tension d'arc linéairement croissante:

$$\frac{\hat{i}}{\hat{i}_{p}} = \sin\left(\omega \times t_{m}\right) - \frac{S\omega}{2\,\hat{u}}\,t_{m}^{2}$$

- b) Durée réelle de l'alternance de courant T₁ (réduite par la tension d'arc)
 - pour une tension d'arc constante:

$$\sin(\omega T)_1 = \frac{U_a \ \omega}{\hat{u}} T_1$$

pour une tension d'arc linéairement croissante:

$$\sin(\omega T)_1 = \frac{S\omega}{2\,\hat{u}} T_1^2$$

Les Figures A.8 et A.9 montrent la réduction relative de l'amplitude du courant $\Delta i/\hat{i}_p$ et de la durée de l'alternance de courant $\Delta t/T_p$ en fonction respectivement du rapport U_a/\hat{u} pour une tension d'arc constante et du rapport $S \times T_a/2 \times \hat{u}$ pour une tension d'arc linéairement croissante, où:

$$\Delta i = \hat{i}_{\rm D} - \hat{i},$$

 $\Delta t = T_{\rm p} - T_{\rm 1}$

 T_{p} = durée présumée de l'alternance de courant

 T_a = durée d'arc réelle (T_a = T_1 pour une seule alternance d'arc, voir Figures A.6 et A.7).

A.3.3 Déformation dans le cas général

Les courants déformants en cas de courants symétrique et asymétrique avec un arc durant plus d'une alternance sont obtenus à l'aide des équations suivantes qui sont applicables dans les deux cas de tensions d'arc constante et linéairement croissante. Ces calculs sont basés sur la Figure A.5 où la constante de temps L/R de l'impédance d'alimentation est introduite. Le courant présumé par unité est donné par:

$$i_{\rm p}/\hat{i}_{\rm p} = \sin(\omega t + \omega t_1 - \varphi) - \sin(\omega t_1 - \varphi) \times {\rm e}^{-\frac{R}{L}t}$$

où

- t est la coordonnée de temps comptée à partir du début du courant;
- *t*₁ est l'intervalle de temps compris entre le début de l'alternance positive de tension et le début du courant;
- φ arctan $\frac{\omega L}{R}$ pour un courant symétrique $\varphi = \omega t_1$.

Les courants déformants, par unité, sont

 $i_{\rm d}/\hat{i}_{\rm p} = C$ pour la première alternance de l'arc,

 $i_d/\hat{i}_p = D - E$ pour la deuxième alternance de l'arc,

 $i_{\rm d}/\hat{i}_{\rm p} = D - F + G$ pour la troisième alternance de l'arc,

où C, D, E, F et G sont définis comme suit:

a) pour une tension d'arc constante:

$$C = \frac{M}{\cos \varphi} \left[1 - e^{-\frac{R}{L}(t - t_{\rm CS})} \right]$$
$$D = \frac{M}{\cos \varphi} \left[1 - e^{-\frac{R}{L}(t_{\rm O} - t_{\rm CS})} \right] e^{-\frac{R}{L}(t - t_{\rm O}')}$$
$$E = \frac{M}{\cos \varphi} \left[1 - e^{-\frac{R}{L}(t - t_{\rm O}')} \right]$$
$$F = \frac{M}{\cos \varphi} \left[1 - e^{-\frac{R}{L}(t_{\rm O}'' - t_{\rm O}')} \right] e^{-\frac{R}{L}(t - t_{\rm O}'')}$$
$$G = \frac{M}{\cos \varphi} \left[1 - e^{-\frac{R}{L}(t - t_{\rm O}'')} \right]$$

où

 $M = \frac{U_a}{\hat{u}}$ = rapport entre la tension d'arc et la valeur de crête de la tension à fréquence industrielle

$$\cos \varphi = \frac{R}{\sqrt{R^2 + (\omega L)^2}}$$

$$t_{cs} = \text{instant de séparation des contacts}$$

 t_0', t_0'' = instants à la fin de chaque alternance de courant

b) pour une tension d'arc linéairement croissante:

$$C = \frac{M}{\cos\varphi} \left[(t - t_{\rm CS}) - \frac{L}{R} (1 - e^{-\frac{R}{L}(t - t_{\rm CS})}) \right]$$

$$D = \frac{M}{\cos\varphi} \left[(t_0' - t_{\rm CS}) - \frac{L}{R} (1 - e^{-\frac{R}{L}(t_0' - t_{\rm CS})}) \right] e^{-\frac{R}{L}(t - t_0')}$$

$$E = \frac{M}{\cos\varphi} \left[(t - t_0') - \frac{L}{R} (1 - e^{-\frac{R}{L}(t - t_0')}) + (t_0' - t_{\rm CS}) \times (1 - e^{-\frac{R}{L}(t - t_0')}) \right]$$

$$F = \frac{M}{\cos\varphi} \left[(t_0'' - t_0') - \frac{L}{R} (1 - e^{-\frac{R}{L}(t_0'' - t_0')}) + (t_0' - t_{\rm CS}) \times (1 - e^{-\frac{R}{L}(t_0'' - t_0')}) \right] e^{-\frac{R}{L}(t - t_0'')}$$

$$G = \frac{M}{\cos\varphi} \left[(t - t_0'') - \frac{L}{R} (1 - e^{-\frac{R}{L}(t - t_0'')}) + (t_0'' - t_{\rm CS}) \times (1 - e^{-\frac{R}{L}(t_0'' - t_0')}) \right]$$

où

$$M = \frac{S \times T_{a}}{2\,\hat{u}}$$

Les réductions relatives de l'amplitude et de la durée de l'alternance du courant sont données aux Figures A.8 à A.11 dans quelques cas caractéristiques en fonction de la dernière alternance d'arc.

Pour un courant symétrique, les valeurs sont données à la Figure A.8 en fonction du rapport U_a/\hat{u} dans le cas d'une tension d'arc constante et à la Figure A.9 en fonction du rapport $S \times T_a/2\hat{u}$ dans le cas d'une tension d'arc linéairement croissante. Les Figures A.10 et A.11 donnent les résultats correspondant à un courant asymétrique.

Pour les différentes durées d'arc, on a considéré trois cas caractéristiques: 1, 2 et 2,5 alternances. Pour les courants asymétriques, la position de séparation des contacts a été fixée à 1,5 cycle après l'injection du courant.

L'effet de la tension d'arc dépend beaucoup non seulement de la tension d'arc elle-même mais aussi de la durée d'arc et de l'asymétrie du courant. Par conséquent, chaque cas nécessite une évaluation précise.

NOTE Pour comparer les courbes correspondant aux deux types d'arcs, des valeurs adaptées ont été choisies pour les tensions d'arc: la valeur au moment du dernier zéro de courant pour la tension d'arc croissant linéairement est égale à deux fois la valeur *U*_a pour la tension d'arc constante.

A.4 Exemples d'estimation des paramètres du courant déformant

A.4.1 Généralités

Quelques exemples d'application des méthodes d'évaluation du courant déformant proposées ci-dessus aux Articles A.2 et A.3 sont donnés, ci-après, pour l'essai unipolaire d'un disjoncteur 123 kV.

Pour les exemples d'essais synthétiques, on a supposé égales les tensions d'arc et les positions de séparation des contacts pour le disjoncteur en essai et pour le disjoncteur auxiliaire.

A.4.2 Essai avec un courant symétrique

A.4.2.1 Tension d'arc constante

Essai direct

$U_{\rm r}$ = 123 kV
$U_{\rm t} = \frac{123 \times 1.3}{\sqrt{3}} = 92 \rm kV$
$U_a = 1 \text{ kV}$
$\frac{U_{a}}{\hat{u}} = \frac{1}{92 \times \sqrt{2}} = 0,0077$
$\frac{\Delta i}{\hat{i}_{\rm p}} = -1,2\%$
$\frac{\Delta t}{T_{\rm p}} = -0.7\%$
$U_1 = 31 \text{ kV}$
$U_{as} = 2U_a = 2 \text{ kV}$
$\frac{U_{\rm as}}{\hat{u}} = \frac{2}{31 \times \sqrt{2}} = 0,046$
$\frac{\Delta_{\rm i}}{\hat{i}_{\rm p}} = -7\%$
$\frac{\Delta t}{T_{\rm p}} = -4,5\%$

A.4.2.2 Tension d'arc croissant linéairement

Essai direct

62271-101 © CEI:2012

– 211 –

Tension d'essai monophasé	$U_{\rm t}$ = 92 kV comme ci- dessus
Tension d'arc croissant linéairement	$\frac{ST_a}{2} = 3 \mathrm{kV}$
donc:	$\frac{ST_{a}}{2\hat{u}} = \frac{3}{92\sqrt{2}} = 0,023$
à partir de la Figure A.9 pour une alternance d'arc	$\frac{\Delta i}{\hat{i}_{\rm p}} = -1,7\%$
et	$\frac{\Delta t}{T_{\rm p}} = -2,2\%$
Essai synthétique	
Tension du circuit de courant	$U_1 = 31 \text{ kV}$ comme cidessus
Tension d'arc croissant linéairement (disjoncteur en essai et disjoncteur auxiliaire)	$\frac{ST_a}{2} = 2 \times 3 \mathrm{kV} = 6 \mathrm{kV}$
donc:	$\frac{ST_a}{2\hat{u}} = \frac{6}{31\sqrt{2}} = 0,137$
à partir de la Figure A.9 pour une alternance d'arc	$\frac{\Delta i}{\hat{i}_{\rm p}} = -10\%$
et	$\frac{\Delta t}{T_{\rm p}} = -11,2\%$

Dans le premier exemple, il convient que les tolérances sur l'amplitude et la durée de l'alternance de courant à fréquence industrielle ne soient pas, en principe, dépassées pendant l'essai synthétique réel, selon 4.1. Cependant, cela n'est possible que si la décroissance de la composante alternative du courant est négligeable.

Dans le deuxième exemple, la tension du circuit de courant doit être augmentée ou d'autres mesures doivent être prises, comme indiqué en 4.1, lorsque les tolérances sur la durée de l'alternance sont dépassées. Alors que la tolérance sur l'amplitude du courant n'est apparemment pas dépassée, elle peut l'être en pratique quand il existe une décroissance de la composante alternative du courant présumé.

A.4.3 Essai avec un courant asymétrique

Si la tension d'arc est présumée presque constante ou croissante linéairement, on peut utiliser les courbes des Figures A.10 et A.11. La méthode d'évaluation est similaire à celle décrite pour le cas symétrique. Par exemple, dans le cas de la tension d'arc constante:

Essai direct

Tension d'essai monophasé

 $u_{\rm t} = \frac{123 \times 1.3}{\sqrt{3}} = 92 \,\rm kV$ (comme ci-dessus)

 $U_a = 1 \text{ kV}$

Tension d'arc constant

donc:
$$\frac{U_{a}}{\hat{u}} = \frac{1}{92 \times \sqrt{2}} = 0,007 \ 7$$

pour une séparation des contacts environ 1,5 cycles après $\frac{\Delta i}{\hat{l}_p} = -1\%$ l'injection du courant et une alternance d'arc

et: $\frac{\Delta t}{T_{\rm p}} = -0.6\% \text{ (Figure A.10)}$

Essai synthétique

Tension du circuit de courant $U_1 = 14,2 \text{ kV}$ Tension d'arc constante (disjoncteurs en essai et auxiliaire) $U_a = 2 \text{ kV}$ donc: $\frac{U_a}{\hat{u}} = \frac{2}{14,2 \sqrt{2}} = 0,10$ pour le même cas que ci-dessus: $\frac{\Delta i}{\hat{i}_p} = -12,6 \%$ et $\frac{\Delta t}{T_p} = -8,0 \%$ (Figure A.10)

La tension d'arc réelle peut ne pas présenter l'une des caractéristiques simplifiées. Dans un tel cas, la réduction de courant pendant l'essai synthétique peut être mesurée à partir des enregistrements oscillographes réels ou calculés. Le courant réel de l'essai direct qui est nécessaire pour déterminer la tension du circuit de courant d'essai synthétique peut seulement être calculé.

Pour les disjoncteurs ayant une tension d'arc relativement faible (par exemple $u_a = 2 \% U_1$), l'effet de la tension d'arc sur le courant d'arc dans le réseau et dans le circuit direct est négligeable. Par conséquent, on admet pour courant de référence, le courant présumé spécifié.

NOTE Si l'ouverture du disjoncteur auxiliaire est retardée par rapport à l'ouverture du disjoncteur en essai, ou si un disjoncteur auxiliaire avec une tension d'arc plus faible est utilisé, son influence sur le courant de coupure sera plus faible que celle du disjoncteur en essai.



Figure A.1 – Circuit direct, schéma simplifié



Figure A.2 – Courant de court-circuit présumé



Figure A.3 – Courant déformant

Légende des Figures A.1, A.2 et A.3

и	tension alimentant le circuit direct	С	capacité du circuit direct à pleine puissance, avec <i>L</i> contrôlant la tension de rétablissement transitoire du circuit
^u a	tension d'arc du disjoncteur	St	disjoncteur
L	inductance du circuit direct à pleine puissance, avec <i>u</i> contrôlant le courant de court-circuit	i	courant reel
i _p	courant de court-circuit présumé	i _{dL}	courant déformant traversant L
i _{dC}	courant déformant traversant C		





Figure A.4 – Courant déformant

и

u_a

i_p


- utension alimentant le circuit directRrésistance du circuit directuatension d'arc du disjoncteuricourant réel
- *L* inductance du circuit direct à pleine puissance, avec *u* contrôlant le courant de court-circuit

Figure A.5 – Schéma de circuit simplifié



 $T_{\rm a}$

- durée d'arc réelle
- T_1 durée de l'alternance du courant réel
- $T_{
 m p}$ durée de l'alternance du courant présumé

Figure A.6 - Caractéristiques du courant et de la tension d'arc pour courant symétrique







Pour courant symétrique et tension d'arc constante

- ① 1 alternance d'arc
- 2 alternances d'arc
- ③ 2,5 alternances d'arc
- Voir Figure A.6.

 $\Delta i / \hat{i}_{p}$ réduction relative de l'amplitude du courant

 $\varDelta t/T_{\rm p}$ réduction relative de la durée de l'alternance de courant

 $u_{\rm a}/\hat{u}$ rapport de la tension d'arc sur la tension d'alimentation

Figure A.8 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant



Pour courant symétrique et tension d'arc croissant linéairement

- ① 1 alternance d'arc
- 2 alternances d'arc
- ③ 2,5 alternances d'arc
- Voir Figure A.6.

 $\Delta i / \hat{i}_{p}$ réduction relative de l'amplitude du courant

 u_a/\hat{u} rapport de la tension d'arc sur la tension d'alimentation

 $\varDelta t/T_{\rm p}$ réduction relative de la durée de l'alternance de courant

Figure A.9 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant



Pour courant asymétrique et tension d'arc constante

- ① 1 alternance d'arc
- 2 alternances d'arc
- ③ 2,5 alternances d'arc

Voir Figure A.7.

Légende

 $\Delta i / \hat{l}_{p}$ réduction relative de l'amplitude du courant

u_a/û

rapport de la tension d'arc sur la tension d'alimentation

 $\Delta t/T_{p}$ réduction relative de la durée de l'alternance de courant

Figure A.10 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant



Pour courant asymétrique et tension d'arc croissant linéairement

- ① 1 alternance d'arc
- 2 alternances d'arc
- ③ 2,5 alternances d'arc
- Voir Figure A.7.

 $\Delta i / \hat{l}_{p}$ réduction relative de l'amplitude du courant

 u_{a}/\hat{u}

- rapport de la tension d'arc sur la tension d'alimentation
- $\Delta t/T_{\rm p}$ réduction relative de la durée de l'alternance de courant

Figure A.11 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant

Annexe B

(informative)

Méthodes par injection de courant

B.1 Injection de courant

B.1.1 Généralités

Dans un circuit d'essais synthétiques utilisant l'injection de courant, la superposition des courants a lieu légèrement avant le zéro du courant de court-circuit à fréquence industrielle. Un courant d'amplitude plus petite mais de fréquence plus élevée, obtenu à partir du circuit de tension, est superposé au courant existant dans le disjoncteur en essai ou dans le disjoncteur auxiliaire. L'instant de commutation de ce courant injecté est choisi au moyen d'un circuit de commande dépendant du courant. Il convient que cet instant soit tel que l'onde de courant résultant dans le disjoncteur en essai corresponde à celle du courant de coupure spécifié avant le zéro de courant pendant la durée de changement significatif de tension d'arc.

De cette manière, le disjoncteur en essai est relié automatiquement au circuit de tension après l'interruption du courant par le disjoncteur auxiliaire, de telle sorte qu'il n'y a aucun décalage entre la contrainte de courant et l'application de la contrainte de tension.

B.1.2 Circuit à injection de courant avec circuit de tension en parallèle avec le disjoncteur en essai (circuit parallèle)

La Figure B.1 montre le schéma simplifié d'un circuit à injection de courant dont le circuit de tension est connecté en parallèle avec le disjoncteur en essai.

Le circuit de tension est commuté un court instant avant le zéro du courant de court-circuit à fréquence industrielle, avant la durée d'interaction. A cet instant, un courant oscillatoire à haute fréquence i_h est superposé au courant de court-circuit à fréquence industrielle *i*, avec la même polarité pour obtenir le courant d'essai résultant dans le disjoncteur en essai.

Lorsque le disjoncteur auxiliaire coupe le courant de court-circuit à fréquence industrielle *i*, le disjoncteur en essai est seulement relié au circuit de tension et i_h est le seul courant restant. Le circuit de tension fournit aussi la tension de rétablissement aux bornes du disjoncteur en essai après la coupure de ce courant.

La Figure B.2 montre un exemple de séquence de l'injection. Les deux points d'inflexion indiquent de façon typique le début de l'injection de courant dans le disjoncteur en essai et la coupure du courant de court-circuit à fréquence industrielle par le disjoncteur auxiliaire. La forme d'onde de la tension transitoire de rétablissement peut être réglée en ajustant Z_h et C_{dh} (Figure B.1), pour être conformes aux exigences de la CEI 62271-100 (voir 4.1.4).

B.1.3 Circuit à injection de courant avec circuit de tension en parallèle avec le disjoncteur auxiliaire (circuit série)

La méthode par injection de courant en série n'étant plus utilisée par les laboratoires, elle n'est plus prise en considération dans la présente norme.

B.2 Détermination de la période de changement significatif de la tension d'arc

Pour déterminer la période de changement significatif de la tension d'arc qui apparaît immédiatement avant le zéro de courant, la méthode suivante peut être appliquée, selon les caractéristiques de chaque tension d'arc.

62271-101 © CEI:2012

Les tensions d'arc des disjoncteurs ont des formes générales très variées. Dans nombre de cas, la tension d'arc n'est pas stable mais fluctue autour d'une valeur moyenne. Cette valeur moyenne est obtenue en traçant une courbe lissée située au milieu des minimum et maximum de la tension d'arc (Figure B.3). Cette courbe peut être utilisée pour identifier des changements majeurs. La forme des caractéristiques de tension d'arc moyenne peut aussi varier considérablement.

La plupart des disjoncteurs présente une tension d'arc approximativement constante ou croissant régulièrement pendant l'alternance de courant avec une augmentation appréciable juste avant le zéro de courant. Dans de tels cas, il n'est pas difficile de déterminer à partir des oscillogrammes l'instant à partir duquel le changement significatif commence. Dans ce but, il est préférable d'utiliser un oscillographe donnant un tracé d'amplitude relativement grand pour la tension d'arc et ayant une échelle de temps suffisamment rapide pour permettre une mesure précise de la durée de changement significatif de la tension d'arc.

Dans certains cas, il peut être difficile de déterminer cette durée de changement significatif de la tension d'arc parce que

- a) la tension d'arc reste quasi constante ou croît régulièrement pendant l'alternance de courant presque jusqu'à l'instant du zéro de courant,
- b) des changements de tension d'arc apparaissent très longtemps avant le zéro de courant.

Dans ces cas, la fréquence du courant d'injection doit être aussi basse que possible, en tenant compte des exigences de 4.2.1.



Légende

U _{cs}	tension du circuit de courant	$C_{\sf dh}$	capacité pour le retard du circuit de tension
L ₁	inductance du circuit de courant	L_{h}	inductance du circuit de tension
AP	circuit d'entretien de l'arc	U_{h}	tension de charge du circuit de tension
Sa	disjoncteur auxiliaire	i	courant du circuit de courant
St	disjoncteur en essai	i _h	courant injecté
Z _h	impédance d'onde équivalente du circuit de tension	SLF	circuit de défaut proche en ligne (pour les essais correspondants)





- *i* courant dans le disjoncteur auxiliaire
- *i*_h courant injecté

- *T*_h durée d'une période du courant injecté
 - durée pendant laquelle l'arc n'est alimenté que par le courant injecté
- *i*_p courant dans le disjoncteur en essai

Figure B.2 – Séquence de l'injection du courant dans le circuit de la Figure B.1

 t_{h}





Figure B.3b

Légende

i courant p durée du changement significatif de la tension d'arc u_{a} tension d'arc

Figure B.3 – Exemples de détermination de la durée de changement significatif de la tension d'arc à partir d'oscillogrammes

Annexe C

(informative)

Méthodes par injection de tension

C.1 Généralités

Dans un circuit d'essais synthétiques utilisant l'injection de tension, le circuit de courant fournit la totalité du courant de court-circuit au disjoncteur en essai et aussi, après le zéro de courant, la première partie de la tension transitoire de rétablissement.

Les valeurs correctes du facteur de puissance, du courant et de la première partie de la TTR peuvent être obtenues par le choix judicieux de la tension et de la fréquence propre du circuit de courant à fréquence industrielle.

Le circuit de tension est commuté à un temps voisin de celui de la première crête de la tension transitoire de rétablissement du circuit de courant, au moyen d'un circuit de commande dépendant de la tension et de manière telle que la tension transitoire de rétablissement spécifiée soit poursuivie sans qu'il n'y ait de retard entre les contraintes de courant et les contraintes de tension.

C.2 Circuit d'injection de tension où le circuit de tension est en parallèle du disjoncteur auxiliaire (circuit série)

La Figure C.1 montre le schéma simplifié du circuit d'injection de tension dans lequel le circuit de tension est connecté en parallèle avec le disjoncteur auxiliaire. Le circuit de courant fournit la contrainte totale du courant de court-circuit. Un condensateur de valeur appropriée est connecté en parallèle avec le disjoncteur auxiliaire. Après le zéro du courant de court-circuit à fréquence industrielle, ce condensateur transmet la tension de rétablissement transitoire totale du circuit de courant au disjoncteur en essai, transmettant l'énergie nécessaire au courant post-arc.

A un temps voisin de celui où la tension transitoire atteint sa première crête, le circuit de tension est commuté et, à partir de ce moment, les tensions transitoires de rétablissement des deux circuits s'ajoutent pour constituer la tension transitoire de rétablissement entre les bornes du disjoncteur en essai.

La Figure C.2 présente le courant dans le disjoncteur en essai et les formes d'ondes de tension aux bornes du disjoncteur auxiliaire et du disjoncteur en essai. Le disjoncteur auxiliaire est seulement soumis aux contraintes de tension du circuit de tension. Les deux composantes de la tension entre les bornes du disjoncteur en essai sont superposées pour produire la tension transitoire de rétablissement dont la forme d'onde peut être réglée en ajustant C_h et C_1 avec éventuellement d'autres composantes additionnelles, non indiquées à la Figure C.1, afin d'être conformes aux exigences de la CEI 62271-100 (voir 4.1.4).

C.3 Circuit d'injection de tension où le circuit de tension est en parallèle du disjoncteur en essai

Ce circuit à injection de tension est semblable à celui décrit ci-dessus, sauf que le circuit de tension est en parallèle avec le disjoncteur en essai au lieu de l'être avec le disjoncteur auxiliaire. Ce circuit n'est pas d'usage courant.



$U_{\rm cs}$	tension du circuit de courant	S _t	disjoncteur en essai
L ₁	inductance du circuit de courant	C _h	capacité du circuit de tension qui règle la plus grande partie de la TTR avec L _h
C ₁	capacité du circuit de courant qui régit avec L ₁ la première partie de la TTR	L _h	inductance du circuit de tension
ML	circuit de réallumage multi-alternances	U_{h}	tension de charge du circuit de tension
S _a	disjoncteur auxiliaire	i	courant du circuit de courant

Figure C.1 – Schéma caractéristique de l'injection de tension avec le circuit de tension en parallèle avec le disjoncteur auxiliaire (schéma simplifié)



i courant à fréquence industrielle dans les disjoncteurs en essai et auxiliaire

 u_{cs} TTR fournie par le circuit de courant

- tension aux bornes du disjoncteur en essai
- u_x tension aux bornes du disjoncteur auxiliaire
 - instant de l'injection de tension

Figure C.2 – Formes d'ondes de TTR obtenues dans un circuit à injection de tension avec le circuit de tension en parallèle avec le disjoncteur auxiliaire

u_t

ti

Annexe D

(informative)

Circuit de Skeats ou double transformateur

D.1 Principe de la méthode

Dans ce circuit d'essai, le courant est fourni par un circuit de courant au disjoncteur auxiliaire et au disjoncteur en essai disposés en série. La haute tension est appliquée au disjoncteur en essai à travers une résistance, à partir d'un transformateur (ou d'un auto-transformateur), dont le primaire est connecté au circuit de courant aux bornes du disjoncteur en essai et du disjoncteur auxiliaire. La Figure D.1 montre la configuration générale du circuit.

Pendant la durée de fort courant, les tensions d'arc du disjoncteur en essai et du disjoncteur auxiliaire imposent dans le circuit haute tension un courant i_R qui s'ajoute au courant aux bornes du disjoncteur en essai, $i_2 = i_1 + i_R$. Ainsi, dans le disjoncteur auxiliaire, le courant atteint zéro et s'interrompt avant celui du disjoncteur en essai. Si l'on suppose que les tensions d'arc sont quasi constantes, le courant du disjoncteur en essai passe par zéro au temps Δt après l'interruption du disjoncteur auxiliaire, approximativement donné par la formule:

$$\Delta t = \frac{n\left(u_{aa} + u_{at}\right) - u_{at}}{n \times \hat{u}_{cs}} \times \frac{L_2}{R}$$

où

n est le rapport du transformateur;

 u_{aa} , u_{at} sont les tensions d'arc dans S_a et S_t respectivement;

 \hat{u}_{cs} est la tension crête du circuit de courant;

 $L_2 = n^2 L_1 + L_T$ (inductance effective dans le circuit haute tension);

 L_{T} est l'inductance de fuite de T.

Pendant la durée Δt , la vitesse de variation du courant d_{i_2}/dt aux bornes du disjoncteur en essai atteint une valeur voisine de:

$$\frac{\mathrm{d}i_2}{\mathrm{d}t} = -\frac{n \times \hat{u}_{\mathrm{CS}}}{L_2} = -\frac{n \,\hat{u}_{\mathrm{CS}}}{n^2 L_1 + L_{\mathrm{T}}}$$

c'est-à-dire que d_{i_2}/d_t aura une valeur plus faible que la valeur présumée qui serait obtenue sans influence. Cette valeur est réduite d'un facteur de la même amplitude que le rapport *n* du transformateur.

Si l'on choisit une résistance *R* de valeur suffisante, l'intervalle Δt peut être court. D'autre part, une valeur élevée augmente l'amortissement de la TTR. Pour les disjoncteurs avec courant post-arc, des valeurs plus restreintes peuvent être nécessaires. On utilise généralement pour *R* des valeurs de l'ordre de quelques k Ω , ce qui donne $\Delta t \leq 10 \ \mu$ s.

Le circuit d'essai n'est donc pas valable pour les essais de défaillance en mode thermique d'un disjoncteur, pour les raisons suivantes:

- l'impédance côté source ne correspond pas aux conditions en réseau (ou en circuit d'essais directs) pendant la durée d'interaction,
- le di/dt s'écarte de la valeur présumée pendant un intervalle de temps (court) immédiatement avant le zéro de courant.

Le circuit d'essai peut être utilisé pour les essais de tenue diélectrique de rétablissement d'un disjoncteur. Il peut aussi être utilisé pour les essais de fermeture et peut être adapté pour fonctionner avec plusieurs applications à pleine tension.

D.2 Configuration pratique du circuit

On peut voir une configuration pratique du circuit à la Figure D.2. Il peut être utilisé pour l'application de la pleine tension de rétablissement sur trois zéros de courant consécutifs dans une manœuvre d'ouverture en ouvrant les disjoncteurs auxiliaires S_{a1} , S_{a2} et S_{a3} l'un après l'autre. Les éclateurs G_1 et G_2 sont déclenchés pour rétablir le courant au cas où le disjoncteur en essai ne coupe pas aux premier et second zéros de courant respectivement.

Il peut aussi appliquer les contraintes de pleine tension à la fermeture et à l'ouverture d'un cycle CO. Le disjoncteur en essai S_t est fermé sous haute tension (S_{a1} est ouvert) et, au moment où il pré-amorce, l'un des éclateurs, par exemple G_2 , est déclenché pour fermer le circuit de courant (S_{a2} est fermé). S_{a3} est fermé avant l'ouverture du disjoncteur en essai et sert de disjoncteur auxiliaire au premier zéro de courant. On peut, si nécessaire, tester un deuxième zéro de courant au moyen de G_1 et S_{a1} .

Les deux manœuvres d'ouverture d'une opération de réenclenchement automatique peuvent être entièrement soumises à essai de façon similaire.



Figure D.1 – Circuit de Skeats ou par transformateur



u _{cs}	tension du circuit de courant	S _{a1} , S _{a2} , S _{a3}	disjoncteurs auxiliaires
L ₁	inductance du circuit de courant	S _t	disjoncteur en essai
т	transformateur	T _r	circuit de déclenchement
R	résistance de déphasage	G ₁ , G ₂	éclateurs déclenchés

Figure D.2 – Circuit de Skeats ou par transformateur déclenché

Annexe E

(normative)

Indications à donner et résultats à enregistrer lors d'essais synthétiques

E.1 Généralités

En plus des exigences de l'Annexe C de la CEI 62271-100:2008, les informations suivantes doivent être fournies dans les rapports d'essais synthétiques.

E.2 Disjoncteur auxiliaire

- a) Identification.
- b) Description, incluant le nombre d'éléments par pôle, le fluide utilisé pour l'extinction et, le cas échéant, les condensateurs de répartition.

E.3 Conditions d'essais

- a) Paramètres du circuit de tension.
- b) Ajustement de la durée d'arc recherchée pour le disjoncteur en essai, y compris l'utilisation de circuit(s) de réallumage.

E.4 Grandeurs à consigner

E.4.1 Généralités

La résolution des enregistrements de la déviation et de l'échelle de temps doit être telle que les informations recherchées puissent être évaluées avec suffisamment de précision.

E.4.2 Tensions

- a) Tension du circuit de courant.
- b) Tension aux bornes du disjoncteur en essai.

E.4.3 Courants

- a) Courant traversant le disjoncteur en essai.
- b) Courant provenant du circuit de tension.

Pour certaines grandeurs, il peut être nécessaire d'effectuer plusieurs enregistrements avec des déviations et/ou des échelles de temps différentes. Ce sera normalement le cas pour les mesures décrites en E.4.2b) et E.4.3a).

NOTE D'autres informations et enregistrements sont ajoutés pour obtenir des données d'essais ou du modéle.

Annexe F

(normative)

Méthodes d'essais synthétiques pour les disjoncteurs équipés de résistances d'ouverture

F.1 Généralités

Du fait de la limitation de l'énergie disponible dans les circuits d'essais synthétiques, les essais synthétiques doivent être réalisés en deux parties:

- essais sur l'interrupteur principal;
- essais sur l'interrupteur de résistance.

Lorsque ces essais sont réalisés sans résistance d'ouverture, l'effet de la résistance est pris en compte en appliquant des paramètres modifiés de courant et de tension déterminés par le calcul ou la simulation dans les conditions de coupure.

La tension transitoire de rétablissement présumée du circuit d'essais synthétiques doit être telle que spécifiée en Annexe R de la CEI 62271-100:2008, Amendement 1 (2012) et sa tension de rétablissement telle que spécifiée en 4.1.4.

Les méthodes décrites ici sont appropriées pour démontrer la performance de l'interrupteur principal et de l'interrupteur de résistance. Pour les essais de l'empilage de résistances, voir R.2.3 de la CEI 62271-100:2008, Amendement 1 (2012).

F.2 Conditions

F.2.1 Généralités

Les exigences concernant le circuit principal d'essais synthétiques, voir 4.1, doivent être satisfaites en prenant en considération l'influence de la résistance comme décrit dans l'Annexe R de la CEI 62271-100:2008, Amendement 1 (2012). Des exigences supplémentaires durant la période de haute tension sont données ci-dessous.

F.2.2 Période de tension transitoire de rétablissement

La tension transitoire de rétablissement correcte doit apparaître aux bornes du disjoncteur, l'influence de la résistance d'ouverture incorporée dans le disjoncteur et la tension d'arc étant prises en compte. A titre de référence, voir Annexe R de la CEI 62271-100:2008, Amendement 1 (2012).

F.2.3 Durée de tension de rétablissement à fréquence industrielle

La tension de rétablissement à fréquence industrielle doit être égale à la valeur spécifiée dans la CEI 62271-100.

Il est permis d'utiliser une tension de rétablissement à fréquence industrielle d'amplitude correcte ayant un déphasage différent de celui qui peut être obtenu en réseau. Il convient que le sens de ce déphasage soit tel que la tension de rétablissement dans l'essai synthétique soit retardée par rapport à celle obtenue en réseau. Il en résulte une extension de la première alternance de la tension de rétablissement, ce qui est acceptable à condition que le déphasage ne dépasse pas 20°.

F.3 Procédure d'essai en plusieurs étapes

F.3.1 Généralités

La procédure d'essai en plusieurs étapes est constituée de trois séquences d'essais décrites en F.3.2, F.3.3 et F.3.4. Pour l'application de cette procédure d'essai, voir F.4 et 6.102.4.3.

Du fait de la limitation de l'énergie disponible dans les circuits d'essais synthétiques, les essais sur l'interrupteur principal peuvent être réalisés en deux séquences d'essais séparées:

- essai de vérification du réallumage thermique de l'interrupteur principal;
- essai de vérification du réallumage diélectrique de l'interrupteur principal.

Pour que ces procédures d'essais séparées soient recevables, il est essentiel que le fonctionnement et le comportement de l'interrupteur de la résistance ne soient pas affectés par le fonctionnement de l'interrupteur principal, par exemple sous l'influence de gaz chauds ou de la modification de la vitesse de déplacement du contact.

F.3.2 Essai de vérification de la performance de réallumage thermique de l'interrupteur principal

Cette procédure d'essais ne s'applique que lorsqu'il n'est pas possible de vérifier le réallumage thermique et le comportement diélectrique avec le même circuit à injection de courant.

Le but de ces essais est d'établir la durée d'arc minimale et de démontrer la capacité de coupure thermique de l'interrupteur principal pendant la période d'interaction pour toutes les conditions d'arc.

Il convient que l'essai soit réalisé de préférence avec la résistance d'ouverture montée et connectée en position normale sur le disjoncteur.

Alternativement, les essais pourront aussi être réalisés sans la présence de la résistance d'ouverture, sous réserve, que la coupure par l'interrupteur principal ne soit pas affectée ou n'affecte pas l'interrupteur de résistance.

La méthode par injection de courant est obligatoire pour cet essai.

Si à cause des limitations, il n'est pas possible de réaliser l'essai avec la TTR assignée, l'essai peut alors être réalisé à une tension réduite mais non inférieure à 30 % de la TTR assignée ou, pour l'essai de défaut proche en ligne, en application de 6.109.5 de la CEI 62271-100:2008. Dans ce cas, le circuit d'essais doit être réglé de manière à prendre en compte l'effet de la modification de la TTR présumée (du/dt et temps de retard) par la résistance d'ouverture parallèle. Ceci se fait par calcul ou par simulation numérique.

La Figure F.1 illustre un exemple de circuit d'essais de réallumage thermique sur l'interrupteur principal.

F.3.3 Essai de vérification de la performance de coupure diélectrique de l'interrupteur principal

La Figure F.2 illustre un exemple de circuit d'essais. La résistance d'ouverture doit, dans la plupart des cas, être enlevée et remplacée par une maquette adaptée construite en un matériau isolant.

Le circuit peut être un circuit synthétique de tout type décrit en 4.2. Lorsque la méthode d'essais par injection de courant est utilisée, l'essai vérifie également la performance de réallumage thermique comme décrit en F.3.2.

NOTE Des problèmes peuvent être rencontrés lors de la réalisation de cet essai sur plusieurs unités montées en série. Le retrait des résistances d'ouverture parallèles peut affecter la distribution de la tension entre les unités. Cela peut entraîner des contraintes excessives sur certaines unités.

F.3.4 Essais sur le ou les interrupteurs de résistance

La Figure F.3 illustre un exemple de circuit d'essais. Les résistances sont court-circuitées ou remplacées par un conducteur approprié.

Le courant et la TTR sont donnés en R.2.2 de la CEI 62271-100:2008, Amendement 1(2012).

L'essai peut être réalisé à l'aide d'un circuit direct ou de tout type de circuit synthétique décrit en 4.2.

F.4 Exigences d'essais

F.4.1 Généralités

Les paragraphes suivant décrivents l'application de l'Annexe R de la CEI 62271-100:2008, Amendement 1(2012) pour les essais synthétiques.

NOTE La plupart des essais sont menés en suivant une procédure d'essais à plusieurs étapes en essais monophasés.

F.4.2 Essais de l'interrupteur principal

F.4.2.1 Essais de défauts aux bornes et de manœuvre en discordance de phase

Les essais de défauts aux bornes et de manœuvre en discordance de phase doivent être réalisés conformément au R.2.2.1 de la CEI 62271-100:2008, Amendement 1(2012) en suivant les procédures d'essais décrites en F.3.2 et F.3.3.

Si la procédure d'essais décrite en F.3.2 est suivie pour T100s ou T100a, il n'est pas nécessaire de la répéter pour T10, T30, T60 et OP2.

Si la procédure d'essais en F.3.2 est appliquée pour la séquence L90, il n'est pas nécessaire de la répéter pour les séquences T100s et T100a.

F.4.2.2 Essais de défaut proche en ligne (SLF)

Les essais de défaut proche en ligne doivent être réalisés conformément au R.2.2.2 de la CEI 62271-100:2008, Amendement 1(2012) en suivant les procédures d'essais décrites en F.3.2 et F.3.3.

La vérification de la performance de coupure diélectrique n'est pas exigée si le T100s est effectué conformément à la procédure d'essais décrite en F.3.3 à condition que le 6.109.5 de la CEI 62271-100:2008 soit vérifié.

F.4.2.3 Essais d'établissement et de coupure de courants capacitifs

Les essais d'établissement et de coupure de courants capacitifs doivent être réalisés conformément à la procédure d'essais décrite en F.3.3.

Un exemple de circuit d'essais utilisant la procédure d'essais décrite en F.3.3 est illustré en Figure F.4.

F.4.3 Essais de l'interrupteur de résistance

F.4.3.1 Essais de défauts aux bornes et de manœuvre en discordance de phase

Les séries d'essais de défauts aux bornes T10 et de manœuvre en discordance de phase OP2 doivent être réalisés conformément au R.2.3.1 de la CEI 62271-100:2008, Amendement 1(2012) en suivant les procédures d'essais décrites en F.3.4. Il n'est pas nécessaire de répéter les autres séries d'essais de défaut aux bornes (T30, T60, T100a et T100s).

F.4.3.2 Essais de défaut proche en ligne (SLF)

Les essais de défaut proche en ligne doivent être réalisés conformément au R.2.3.2 de la CEI 2271-100:2008, Amendement 1(2012) en suivant les procédures d'essais décrites en F.3.4.

Si la série d'essais de défaut aux bornes T10 est réalisée conformément au F.4.2.1, aucun essai de défaut proche en ligne n'est exigé pour l'interrupteur de résistance.

F.4.3.3 Essais d'établissement et de coupure de courants capacitifs

Les essais d'établissement et de coupure de courants capacitifs doivent être réalisés conformément au R.2.3.3 de la CEI 62271-100:2008, Amendement 1(2012), en suivant la procédure d'essais décrite en F.3.4.

Un exemple de circuit d'essais pour l'établissement et la coupure de courants capacitifs conformément à la procédure d'essais F.3.4 est illustré par la Figure F.5.

F.4.4 Essais de l'empilage de résistances

Pour l'essai de l'empilage de résistances, se référer au R.2.4 de la CEI 62271-100:2008, Amendement 1(2012).





Légende

u _{cs}	tension du circuit de courant	u_t
i _t	courant dans le disjoncteur en essai	i_v
G _h	générateur de court-circuit	Τr
C _h	batterie de condensateurs principale	Z_{e}
G	éclateur de déclenchement	L_{h}
L	inductance du circuit de courant	S _t
S _a	disjoncteur auxiliaire	

۱
R

Figure F.1 – Circuit d'essais de vérification du réallumage thermique de l'interrupteur principal





u _{cs}	tension du circuit de courant
i _t	courant dans le disjoncteur en essai
G _h	générateur de court-circuit
L	inductance du circuit de courant
S _a	disjoncteur auxiliaire

tension appliquée	
courant dans le circuit de tension	
transformateur	
disjoncteur en essai	

Figure F.2 – Circuit d'essais de vérification du réallumage diélectrique de l'interrupteur principal

u_t i_v Tr S_t





u _{cs}	tension du circuit de courant	u _t	tension appliquée
i _t	courant dans le disjoncteur en essai	i _v	courant dans le circuit de tension
G _h	générateur de court-circuit	Tr	transformateur
		S _t	disjoncteur en essai
L	inductance du circuit de courant	S _a	disjoncteur auxiliaire

Figure F.3 – Circuit d'essais de l'interrupteur de résistance



<i>u</i> _{cs}	tension du circuit de courant	u _t	tension appliquée
i _t	courant dans le disjoncteur en essai	G _h	générateur de court-circuit
Tr ₁	transformateur du circuit de courant	Tr ₂	transformateur du circuit de tension
C _i	condensateur du circuit de courant	R	résistance équivalente
C_{v1}, C_{v2}	condensateur du circuit de tension	S _t	disjoncteur en essai
S _{a1} ,S _{a2}	disjoncteurs auxiliaires		

Figure F.4 – Exemple de circuit d'essais pour essais d'établissement et de coupure de courants capacitifs sur l'interrupteur principal



ι _t	courant dans le disjoncteur en essai	G _h	generateur de court-circuit
Tr ₁	transformateur du circuit de courant	Tr ₂	transformateur du circuit de tension
C _i	condensateur du circuit de courant	R _i	résistance du circuit de courant
C_{v1}, C_{v2}	condensateur du circuit de tension	R_{v1}, R_{v2}	résistance du circuit de tension
S,	disjoncteur en essai	S_{a1}, S_{a2}	disjoncteurs auxiliaires

Figure F.5 – Exemple de circuit d'essais pour essais d'établissement et de coupure de courants capacitifs sur l'interrupteur de résistance

Annexe G

(informative)

Méthodes d'essais synthétiques pour l'essai d'établissement et de coupure de courants capacitifs

G.1 Généralités

Les essais synthétiques d'établissement et de coupure de courants capacitifs sont généralement effectués en utilisant des circuits d'essais monophasés. Il existe principalement deux types de circuits:

a) Circuits combinés de courant et de tension

Le circuit d'essai est composé de deux circuits combinés: un circuit de courant et un circuit de tension. Les deux circuits ont une nature capacitive, mais on peut également utiliser un circuit de courant inductif ou résistif, à condition que l'angle de phase entre les deux sources soit modifié en conséquence.

Les deux sources peuvent être soit des transformateurs alimentés par générateur, soit des condensateurs chargés, ou encore une combinaison des deux. L'application de ce type de circuit implique l'utilisation d'un disjoncteur auxiliaire afin d'isoler le disjoncteur en essai du circuit de courant.

b) Circuits oscillants LC

Le circuit d'essai se compose d'un circuit oscillant LC qui fournit à la fois le courant et la tension à partir d'une seule source. L'application de ce type de circuit ne nécessite pas l'utilisation d'un disjoncteur auxiliaire.

Pour l'applicabilité des méthodes mentionnées dans le cas de disjoncteurs sous enveloppe métallique ou à cuve mise à la terre, voir l'Annexe N et l'Annexe O de la CEI 62271-100:2008.

NOTE Les phénomènes qui surviennent suite à un réamorçage ou un réallumage ne sont pas représentatifs des conditions de service, étant donné que les circuits d'essais ne reproduisent pas de manière adéquate les conditions de tensions apparaissant suite à de tels événements.

G.2 Généralités

De nombreux circuits d'essais sont possibles avec des caractéristiques différentes. Les Figures G.1 à G.7 en donnent quelques exemples.

Une impédance peut être ajoutée pour protéger le circuit d'essai et/ou contrôler le courant d'appel, à condition que la tension de rétablissement présumée soit conforme à 6.111.10 de la CEI 62271-100:2008.

G.3 Tension de rétablissement

En principe, la tension de rétablissement se compose d'une tension alternative appliquée à une borne du disjoncteur en essai, tandis qu'une tension continue décroissant lentement contraint l'autre borne.

Dans certains circuits d'essais, les deux tensions sont superposées sur l'une des bornes du disjoncteur en essai, l'autre borne étant reliée à la terre. Cette méthode implique une contrainte plus sévère sur l'isolation par rapport à la terre. Les sources combinées de courant et de tension des Figures G.6 et G.7 peuvent être utilisées pour appliquer les contraintes de tension correctes à chaque borne du disjoncteur. Pour les disjoncteurs sous enveloppe métallique, cet effet peut être compensé en appliquant une tension supplémentaire à la cuve, conformément aux recommandations d'O.4.3 de la CEI 62271-100:2008.

G.4 Circuits combinés de courant et de tension

Lorsque des essais sont effectués en utilisant les circuits décrits au point a) de l'Article G.1, la connexion des sources de courant et de tension aux disjoncteurs auxiliaire et en essai peut, en mode parallèle, soustraire la tension du disjoncteur auxiliaire ou, en mode série, ajouter cette tension sur le disjoncteur en essai.

Selon que le circuit de tension est connecté de façon permanente ou commutée avant ou après le zéro de courant à fréquence industrielle, on peut faire une distinction entre la superposition de courants à fréquence industrielle, les circuits à injection de courants et les circuits à injection de tension.

G.5 Essais d'établissement

Des exemples de circuits d'essais sont donnés aux Figures G.8 et G.9.

Le circuit de tension fournit la tension d'essai pendant la fermeture des contacts jusqu'au moment du claquage diélectrique, provoquant la circulation du courant transitoire initial de fermeture.

G.6 Arrachement du courant

Les phénomènes d'arrachement de courant, causés par l'interaction entre un disjoncteur et son circuit (en service ou pendant des essais de laboratoire), provoquent généralement une réduction de la tension côté charge et, en conséquence, de la contrainte diélectrique du disjoncteur.

En service ou pendant les essais de laboratoire dans les circuits d'essais directs, les arrachements de faibles courants capacitifs peuvent se produire. Dans les circuits d'essais synthétiques, la probabilité d'apparition de ces événements est augmentée, pour les raisons suivantes:

- en termes généraux, les paramètres caractéristiques des éléments répartis et des éléments localisés de certains circuits d'essais synthétiques sont différents et peuvent influencer le comportement d'arrachement de courant du disjoncteur;
- l'effet du montage en série des disjoncteurs supplémentaires (auxiliaires) avec le disjoncteur en essai dans les circuits combinés de courant et de tension;
- l'augmentation du rapport de la tension d'arc à la tension à fréquence industrielle.

En conséquence, quand on effectue des essais synthétiques en utilisant les circuits d'essais décrits au point a) de l'Article G.1, il peut être difficile de déterminer si les arrachements de courant représentent une caractéristique significative du disjoncteur en essai ou non. Pour réduire les arrachements de courant, les mesures suivantes peuvent être prises:

- modification des capacités vues des bornes du disjoncteur;
- utilisation d'un disjoncteur auxiliaire avec une courte durée minimale d'arc et une basse tension d'arc dans les circuits combinés de courant et de tension.

Les Figures G.1 à G.9 montrent des exemples typiques de circuits synthétiques pour les essais de manœuvre capacitive. La liste des symboles et explications relatives aux figures, est donnée ci-dessous pour alléger leur contenu et éviter les répétitions.

- C_{c} = capacité du circuit de courant
- $C_{\rm v}$ = capacité du circuit de tension
- $C_{\rm h}, L_{\rm pf}$ = fréquence du circuit oscillant

 f_{appel} = fréquence du courant d'appel de fermeture

<i>f</i> _r	= fréquence assignée
$f_{\sf RV}$	= fréquence de la tension de rétablissement
G	= éclateur
i _c	= courant du circuit de courant
ⁱ max crête	= valeur crête du courant d'appel de fermeture
i _L	= courant de charge (courant à travers le disjoncteur S_t)
i _v	= courant du circuit de tension
L _c	= inductance du circuit de courant
L _v	= inductance du circuit de tension
m	= rapport du courant $i_{\rm L}$ sur le courant $i_{\rm V}$
n	= rapport de la tension u_t sur la tension U_c
S _a	= disjoncteur auxiliaire
S_{a1} , S_{a2} , S_{a3}	= disjoncteurs auxiliaires
St	= disjoncteur en essai
î	= temps jusqu'à la crête du courant injecté
Uc	= tension du circuit de courant
U _h	= tension de charge de C_{h}
U_{hB}	= tension de charge de C_{hB}
U_{V}	= tension du circuit de tension
u_A, u_B	= tension par rapport à la terre aux points A et B, respectivement
u _t	= tension aux bornes du disjoncteur en essai S _t



$U_{\rm C} = u_{\rm t}/n$	$U_{v} = u_{t}$	
$i_{\rm c} = i_{\rm L}(1-1/m)$	$i_v = i_{\rm L}/m$	
$\omega L_{c} \ll 1/\omega C_{c}$	$\omega L_{\rm v} \ll 1/\omega C_{\rm v}$	
$C_{\rm c} = n(1-1/m)C_{\rm L}$	$C_{\rm v} = C_{\rm L}/m$	
C _L = capacité de charge équivalente		



Manoeuvre de coupure

Figure G.1 – Circuits de courant capacitif (mode parallèle)







Figure G.2 – Circuit à injection de courant







 C_{h} et C_{L} sont préchargées à la tension U_{h} .

La capacité de charge $C_{\rm L}$ peut également être insérée entre le disjoncteur en essais et la terre.

Figure G.3 – Circuit oscillant LC



$i_{\rm C} = i_{\rm L} - i_{\rm V}$	$U_{\rm h} = U_{\rm t} \times \sqrt{2}$
$i_{\rm C} = U_{\rm C} / \omega_{\rm r} L_{\rm C}$, avec $\omega_{\rm r} = 2\pi f_{\rm r}$	$f_{\rm L} = \frac{1}{2\pi \sqrt{(C_{\rm h} + C_{\rm v}) \times L_{\rm pf}}}$
$i_{\rm v} = U_{\rm h} \times 2\pi f_{\rm L} \times C_{\rm v}$	$f_{\rm RV} = \frac{1}{2\pi\sqrt{C_{\rm h} \times L_{\rm pf}}}$



Figure G.4 – Circuit de courant inductif en parallèle avec le circuit oscillant LC





Manoeuvre de coupure

Figure G.5 – Circuit à injection de courant, tension de rétablissement normale appliquée aux deux bornes du disjoncteur



$U_{\rm c} = u_{\rm t} / n$
$i_{c} = U_{c} \times \omega \times C_{c}$
$\omega L_{\rm c} \ll 1/\omega C_{\rm c}$
$C_{c} = nC_{L}$
$i_{c} = i_{L}$
$U_{\rm v} = u_{\rm t} - U_{\rm c}$
$i_v = U_t \omega C_v$
$\omega L_{\rm c} << 1/\omega C_{\rm v}$
$C_{\rm V} = C_{\rm L} / m$

 C_{L} = capacité de charge équivalente



Manoeuvre de coupure

Figure G.6 – Circuit d'essais synthétiques (circuit série), tension de rétablissement normale appliquée aux deux bornes du disjoncteur en essai



Ce circuit d'essai se compose de trois circuits:

- le circuit A est un circuit à injection de courant conventionnel connecté à une borne du disjoncteur en essai, fournissant une tension de rétablissement U_A de forme (1-cos);
- le circuit B est connecté à l'autre borne du disjoncteur en essai, fournissant une tension de rétablissement exponentielle (de forme 1-exp(-t/t₀)). Son amplitude, sa vitesse de décroissance et sa position dans le temps sont choisies en prenant en considération la tension appliquée sur l'autre borne du disjoncteur en essai, de telle sorte que la tension de rétablissement correcte (u_t) soit appliquée entre les contacts;
- le circuit C fournit le courant d'essai.



Figure G.7 – Circuit à injection de courant, tension de rétablissement appliquée aux deux bornes du disjoncteur






Schéma de circuit équivalent pour définir $R_{\rm s}, \ C_{\rm s}$ et $L_{\rm s}$

$U_{c} = U_{t} / n$	$U_v = U_t$
$i_{\rm c} = i_{\rm L}$	$i_{\rm v} = U_{\rm v} / \omega L_{\rm v}$
$L_{\rm c} = L_{\rm s} / n$	$R_{\rm v} = R_{\rm s}$
$C_{c} = nC_{L}$	$C_{\rm V} = \frac{C_{\rm S}C_{\rm L}}{C_{\rm S}+C_{\rm L}}$, ou $C_{\rm V} = C_{\rm L} { m si} \ C_{\rm S} \ll C_{\rm L}$
C_{L} = capacité de charge équivalente	
R_{s} et C_{s} définissent le courant transitoire initial de fermetu	ire
$L_{\rm s}$ et $C_{\rm L}$ définissent le courant transitoire de fermeture	



Figure G.8 – Circuit d'essai d'établissement





Manoeuvre d'établissement

Figure G.9 – Circuit d'essai d'établissement du courant d'appel de fermeture

Annexe H

(informative)

Méthodes de réallumage pour l'entretien de l'arc

H.1 Méthode «pas à pas»

Cette méthode n'utilise qu'une seule source de tension. Le disjoncteur en essai est artificiellement réallumé soit par un circuit spécial de réallumage, soit par d'autres moyens, afin de prolonger le courant d'arc jusqu'au zéro de courant pour lequel le circuit de tension doit être appliqué. Cette méthode «pas à pas» nécessite moins d'installations supplémentaires que la méthode décrite à l'Article H.2. Cependant, des essais supplémentaires peuvent s'avérer nécessaires pour satisfaire les durées d'arc spécifiées.

a) Méthode utilisant un circuit de réallumage séparé

Un circuit de réallumage séparé fournit une impulsion de courant croissant rapidement et dont la polarité est opposée à celle du courant à fréquence industrielle, environ 10 μ s avant le zéro de courant. Le courant dans le disjoncteur est ainsi inversé rapidement et la conduction dans l'espace entre les courants d'arc est maintenue pendant une alternance supplémentaire de courant à fréquence industrielle. A titre d'exemple, un circuit de réallumage est représenté à la Figure H.1. Plusieurs circuits de ce type peuvent être utilisés afin de prolonger le courant d'arc pendant plusieurs alternances de courant. Le circuit de réallumage peut, en principe, être utilisé pour réallumer le disjoncteur en essai et le disjoncteur auxiliaire. Toutefois, on évite généralement d'avoir à réallumer les deux disjoncteurs en retardant convenablement la séparation des contacts du disjoncteur auxiliaire.

b) Méthode utilisant une plus grande sévérité du circuit à fréquence industrielle

Dans certains cas, la durée d'arc du disjoncteur en essai peut être prolongée en augmentant la vitesse de montée de la tension transitoire de rétablissement dans le circuit de courant à fréquence industrielle. L'efficacité de cette méthode dépend des caractéristiques du circuit de courant à fréquence industrielle et du disjoncteur en essai.

H.2 Méthode utilisant un circuit double

Une configuration de circuit, combinant le circuit de Skeats et le circuit à injection de courant, est représentée à la Figure H.2. Le courant et la tension correspondants pour un essai de coupure de courant asymétrique sont indiqués à la Figure H.3.

Au premier zéro de courant, le disjoncteur en essai est contraint par le circuit de Skeats, réalisant ainsi un réallumage diélectrique. De cette manière, la forme d'onde du courant de court-circuit est équivalente à celle d'un essai direct. Au zéro de courant suivant, le circuit à injection de courant est appliqué au disjoncteur en essai.

Premier zéro de courant:

- S₁ est ouvert et joue le rôle de disjoncteur auxiliaire;
- G₂ est déclenché quand un réallumage apparaît;
- S₂ reste fermé;
- S₃ reste fermé;
- S₄ reste ouvert.

Pendant la période de fort courant:

- S₃ est ouvert;

S₄ est fermé.

Deuxième zéro de courant:

- S₁ reste ouvert;
- S₂ est ouvert et joue le rôle de disjoncteur auxiliaire;
- G₁ est déclenché.



Légende

- St disjoncteur en essai
- S_a disjoncteur auxiliaire
- *R*_r résistance du circuit de réallumage
- Cr condensateur du circuit de réallumage
 - éclateur pour fermer le circuit de réallumage

Figure H.1 – Schéma type du circuit de réallumage servant à prolonger la durée d'arc

G,



Légende

<i>U</i> ₁	tension du circuit de courant
L ₁	inductance du circuit de courant
S ₁ , S ₂ , S ₃ , S ₄	disjoncteurs auxiliaires
St	disjoncteur en essai
L _h	inductance du circuit de tension
C _h	capacité du circuit de tension qui règle la plus grande partie de la TTR avec $L_{\rm h}$
U_{h}	tension de charge du circuit de tension
G ₁ , G ₂	éclateurs

Figure H.2 – Circuits combinés à injection de courant et de Skeats



Figure H.3 – Formes d'ondes typiques obtenues pendant un essai asymétrique en utilisant le circuit de la Figure H.2

Annexe I

(normative)

Réduction du d*i*/d*t* et de la TTR pour la séquence d'essais T100a

Pour les paramètres de la dernière alternance de courant, se référer aux Tableaux 15 à 22 de la CEI 62271-100:2008.

Les Tableaux I.1 à I.4 traitent de la réduction de d*i* /d*t* de la dernière alternance pour 50 Hz et 60 Hz, respectivement, dans des conditions triphasées avec le premier pôle qui coupe en phase A avec asymétrie intermédiaire et l'asymétrie requise en phase C ayant la grande alternance étendue.

Les Tableaux I.5 à I.10 traitent des valeurs corrigées de la TTR pour k_{pp} 1,5, 1,3 et 1,2 pour $f_r = 50$ Hz et $f_r = 60$ Hz.

τ	k _{pp}		1,5			1,3 Be A Phase B ^a Phase 0 57 84 0 57 84 0 57 88 0 57 80 7 55 80 9 57 85 0 57 88 0 57 85 0 57 89 5 55 76 3 56 82 9 57 86			
	Durée minimale de coupure	Phase A	Phase B	Phase C	Phase A	Phase B ^a	Phase C		
ms	ms	%	%	%	%	%	%		
	10,0 < <i>t</i> ≤ 22,5	99	82	82	99	57	84		
45	22,5 < <i>t</i> ≤ 43,5	100	85	85	100	57	88		
	$43,5 < t \le 64,0$	100	86	86	100	57	90		
	10,0 < <i>t</i> ≤ 22,5	97	79	79	97	55	80		
60	22,5 < <i>t</i> ≤ 43,0	99	83	83	99	57	85		
60	43 ,0 < <i>t</i> ≤ 63 ,5	100	85	85	100	57	88		
	63,5 < <i>t</i> ≤ 84,0	100	86	86	100	57	89		
	10,0 < <i>t</i> ≤ 22,0	96	76	76	96	55	76		
	22,0 < <i>t</i> ≤ 43,0	98	81	81	98	56	82		
75	43 ,0 < <i>t</i> ≤ 63 ,5	99	84	84	99	57	86		
	63,5 < <i>t</i> ≤ 84,0	100	85	85	100	57	87		
	84,0 < <i>t</i> ≤ 104	100	86	86	100	57	88		
	10,0 < <i>t</i> ≤ 22,0	94	69	69	94	54	67		
	22,0 < <i>t</i> ≤ 42,5	96	75	75	96	55	74		
120	42,5 < <i>t</i> ≤ 63,5	97	78	78	97	56	79		
	63,5 < <i>t</i> ≤ 83,5	98	81	81	98	56	82		
	83,5 < <i>t</i> ≤ 103,5	99	83	83	99	56	32		
a Phas	se B est le dernier pôle qui	coupe.		-	-		•		
NOTE 1	La constante de temps de	πréseau τ = d	45 ms est la	aleur normal	isée: $\tau = 60$	ms 75 ms et 1	120 ms		

Tableau I.1 – Réduction du d*i*/d*t* de la dernière alternance pour 50 Hz pour $k_{pp} = 1,3$ et 1,5

NOTE 1 La constante de temps du réseau τ = 45 ms est la valeur normalisée; τ = 60 ms, 75 ms et 120 ms sont des valeurs spéciales selon 4.1.

NOTE 2 Pour $k_{DD} = 1,3$, une impédance neutre purement réactive sans composante résistive est admise.

τ	k _{pp}		1,2	
	Durée minimale de coupure	Phase A	Phase B	Phase C
ms	ms	%	%	%
	10,0 < <i>t</i> ≤ 22,0	94	70	66
	22,0 < <i>t</i> ≤ 42,5	96	72	74
120	42,5 < <i>t</i> ≤ 63,5	97	73	80
	63,5 < <i>t</i> ≤ 83,5	98	73	83
	83,5 < <i>t</i> ≤ 103,5	99	74	86
Phase E	B est le dernier pôle qui cou	pe.		
NOTE compos	Pour $k_{pp} = 1,2$, une impéda ante résistive est admise.	nce neutre pi	urement réac	tive sans

Tableau I.2 – Réduction du d*i*/d*t* de la dernière alternance pour 50 Hz pour $k_{pp} = 1,2$

τ	k _{pp}		1,5			1,3	
	Durée minimale de coupure	Phase A	Phase B	Phase C	Phase A	Phase B ^a	Phase C
ms	ms	%	%	%	%	%	%
	8,5 < <i>t</i> ≤ 19,0	98	81	81	98	56	81
	19,0 < <i>t</i> ≤ 36,0	100	84	84	100	57	86
45	36,0 < <i>t</i> ≤ 53,0	100	86	86	100	57	89
	53,0 < <i>t</i> ≤ 70,0	100	87	87	100	57	89
	70,0 < <i>t</i> ≤ 87,0	100	87	87	100	57	90
	8,5 < <i>t</i> ≤ 18,5	96	77	77	96	55	76
	18,5 < <i>t</i> ≤ 36,0	98	81	81	98	56	83
60	36,0 < <i>t</i> ≤ 53,0	99	84	84	99	57	86
	53,0 < <i>t</i> ≤ 70,0	100	85	85	100	57	88
	70,0 < <i>t</i> ≤ 87,0	100	86	86	100	57	89
	8,5 < <i>t</i> ≤ 18,5	95	73	73	95	55	72
	18,5 < <i>t</i> ≤ 35,5	97	79	79	97	56	79
75	35,5 < <i>t</i> ≤ 52,5	98	82	82	98	56	83
75	52,5 < <i>t</i> ≤ 69,5	99	84	84	99	57	86
	69,5 < <i>t</i> ≤ 86,5	100	85	85	100	57	87
	86,5 < <i>t</i> ≤ 103,5	100	86	86	100	57	88
	8,5 < <i>t</i> ≤ 18,0	93	67	67	93	53	63
	18,0 < <i>t</i> ≤ 35,0	95	72	72	95	54	70
400	35,0 < <i>t</i> ≤ 52,0	96	76	76	96	55	76
120	52,0 < <i>t</i> ≤ 69,0	97	80	80	97	56	80
	69,0 < <i>t</i> ≤ 86,0	98	81	81	98	56	82
	86,0 < <i>t</i> ≤ 102	99	82	82	99	56	84
a Pha	ase B est le dernier	pôle qui coup	be.				

Tableau I.3 – Réduction du d*i*/d*t* de la dernière alternance pour 60 Hz pour $k_{pp} = 1,3$ et 1,5

NOTE 1 La constante de temps du réseau τ = 45 ms est la valeur normalisée; τ = 60 ms, 75 ms et 120 ms sont des valeurs spéciales selon 4.1.

NOTE 2 Pour $k_{pp} = 1,3$, une impédance neutre purement réactive sans composante résistive est admise.

τ	k _{pp}	1,2							
	Durée minimale de coupure	Phase A	Phase B	Phase C					
ms	ms	%	%	%					
	8,5 < <i>t</i> ≤ 18,0	93	70	62					
	18,0 < <i>t</i> ≤ 35,0	95	71	71					
120	35,0 < <i>t</i> ≤ 52,0	96	72	76					
120	52,0 < <i>t</i> ≤ 69,0	97	73	81					
	69,0 < <i>t</i> ≤ 86,0	98	74	84					
	86,0 < <i>t</i> ≤ 103	99	74	86					
Phase E	3 est le dernier pôle qui cou	pe.							
NOTE compos	Pour $k_{pp} = 1,2$, une impéda ante résistive est admise.	nce neutre pu	urement réac	tive sans					

Tableau I.4 – Réduction du d*i*/d*t* de la dernière alternance pour 60 Hz pour $k_{pp} = 1,2$

Durée minin coupu	nale de re	10 < <i>t</i>	≤ 22,5	22,5 < 1	<i>t</i> ≤ 43,5	43,5 <	<i>t</i> ≤ 64,0	64,0 < <i>t</i> ≤ 84,5 84,5		84,5 <	< <i>t</i> ≤ 104,5	
ms	ms											
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	
τ = 45 ms petite alternance	100 123 145 170 245 300 362 420 550 800	61 75 88 103 149 183 222 258 340 501	117 145 171 203 298 370 454 534 723 1 117	72 88 104 122 176 216 261 303 399 585	137 169 199 235 342 421 513 600 801 1 206	76 94 110 129 187 229 276 321 421 615	144 177 209 246 356 438 532 620 821 1 221	a	a	a	a	
τ = 45 ms grande alternance	100 123 145 170 245 300 362 420 550 800	74 90 106 124 179 219 264 308 399 576	135 165 193 226 320 389 464 532 679 940	78 96 112 132 190 232 280 324 424 614	144 176 206 242 345 420 503 580 748 1 058	80 97 114 134 237 286 331 433 628	147 180 211 248 355 434 521 602 781 1 116	а	а	а	а	
Durée minin coupui	nale de re	10 < <i>t</i> ≤ 22,5		22,5 < <i>t</i> ≤ 43,0		43,0 < <i>t</i> ≤ 63,5		63,5 <	<i>t</i> ≤ 84	84 <i>< t</i>	≤ 104,5	
ms												
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	
τ = 60 ms petite alternance	100 123 145 170 245 300 362 420	56 68 80 94 137 168 203 237	108 133 158 187 276 344 424 501	68 83 98 115 167 205 247 288	130 160 189 224 327 404 494 579	74 90 106 125 180 221 267 310	140 172 203 239 348 429 522 609	77 94 110 129 187 230 277 322	144 177 209 246 357 440 533 622	а	a	
τ = 60 ms grande alternance	100 123 145 170 245 300 362 420	69 85 99 117 168 205 247 286	126 154 179 210 296 359 426 487	75 92 108 126 182 223 268 311	137 168 197 231 328 399 476 547	78 95 112 131 189 232 279 323	143 175 206 241 344 419 502 579	79 97 114 133 192 236 284 329	146 179 210 247 353 431 517 597	a	а	
Durée minin	nale de	10 < <i>t</i>	≤ 22,0	22,0 <	t ≤ 43,0	43,0 <	t ≤ 63,5	63,5 <	<i>t</i> ≤ 84	84 <	<i>t</i> ≤ 104	
ms	-											
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	
τ = 75 ms petite alternance	550 800	291 430	648 1 024	360 529	752 1 156	394 577	797 1 206	413 604	817 1 224	423 618	825 1 228	
τ = 75 ms grande alternance	550 800	349 502	568 760	388 560	659 908	409 592	714 1 000	422 610	748 1 058	429 621	770 1 098	
a La séque alternanc	ence d'es es de cou	ssais T10 urant.	00a n'est	t pas ap	plicable,	niveau	d'asymét	rie inféri	eur à 20)% pour	les deux	

Tableau I.5 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{\rm pp}$ = 1,3 et $f_{\rm r}$ = 50 Hz

Durée minin coupui	nale de re	8,5 < <i>t</i>	≤ 19,0	19,0 <	t ≤ 36	36 <	<i>t</i> ≤ 53	53 <	<i>t</i> ≤ 70	70 <	t ≤ 87		
ms													
	Ur	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	u ₁	u _c	<i>u</i> ₁	u _c		
	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV		
τ = 45 ms petite alternance	100 123 145 170 245 300 362 420 550 800	58 71 83 98 142 174 211 245 325 480	112 139 164 195 289 360 444 526 720 1 133	70 85 100 118 171 210 253 294 388 570	133 164 194 229 335 415 508 596 801 1 224	75 92 108 127 183 225 271 315 414 606	142 175 206 243 353 436 530 620 826 1 242	а	а	а	а		
τ = 45 ms grande alternance	100 123 145 170 245 300 362 420 550 800	71 87 102 120 172 210 253 393 381 549	129 157 183 214 302 366 433 495 624 842	76 93 110 128 185 227 273 316 412 595	140 171 200 234 333 404 482 553 708 984	79 96 113 132 191 234 281 326 426 617	145 177 207 243 347 423 507 584 753 1 064	а	а	а	а		
Durée minin	nale de	8,5 < <i>t</i>	≤ 18,5	18,5 <	<i>t</i> ≤ 36	36 <	<i>t</i> ≤ 53	53 <	t ≤ 70	70 <	t ≤ 87		
coupui	re												
	U,	<i>u</i> ₁	ис	<i>u</i> ₁	<i>u</i> _c	<i>u</i> ₁	ис	U 1	ис	U ₁	ис		
	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV		
τ = 60 ms petite alternance	100 123 145 170 245 300 362 420	52 64 75 89 129 159 192 224	102 127 151 179 267 334 414 492	65 80 94 110 160 297 238 277	125 155 183 217 319 396 486 572	72 88 103 121 175 215 260 302	136 168 198 234 342 424 517 606	75 92 108 127 184 225 272 316	142 175 206 241 354 437 532 622	а	а		
τ = 60 ms grande alternance	100 123 145 170 245 300 362 420	66 81 94 111 159 195 234 270	119 145 169 197 276 332 392 445	72 89 104 122 176 215 258 299	132 161 188 220 312 377 448 513	76 93 109 128 185 226 272 315	139 170 199 234 332 403 481 553	78 95 112 131 189 232 279 323	143 176 206 241 344 419 501 577	а	а		
Durée minin coupui	nale de re	8,5 < <i>t</i>	≤ 18,5	18,5 <	t ≤ 35,5	35,5 <	<i>t</i> ≤ 52,5	52,5 <	<i>t</i> ≤ 69,5	69,5 <	<i>t</i> ≤ 86,5	86,5 10	< <i>t</i> ≤ 3,5
ms	T 7		I				[[[
	U _r kV	<i>u</i> ₁ kV	^u c k\/	^u 1 kV	u _c kV	<i>u</i> ₁ kV	u _c k\/	^u 1 k\/	u _c k\/	<i>u</i> ₁ kV	u _c kV	<i>u</i> ₁ kV	u _c kV
τ = 75 ms petite alternance	550 800	275 409	646 1 042	345 509	749 1 171	382 561	819 1 244	417 610	830 1 250	425 620	835 1 248	425 620	833 1 246
$\tau = 75 \text{ ms}$ grande alternance	550 800	327 468	498 638	369 531	599 802	395 569	664 910	410 593	707 984	420 608	737 1 037	427 618	759 1 075

Tableau I.6 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{\rm pp}$ = 1,3 et $f_{\rm r}$ = 60 Hz

Durée minin coupu	nale de re	10 < <i>t</i>	≤ 22,5	22,5 <	<i>t</i> ≤ 43,5	43, 6	5 < <i>t</i> ≤ 64,0	64,0 < 7	t ≤ 84,5	6 84,5 <i>< t</i> ≤ 104,5	
ms											
	U _r	^{<i>u</i>} 1	^u c	^{<i>u</i>} 1	^u c						
	кv 72.5	кv b	кv 96	кv b	кv 113	кv b	кv 119	ĸv	ĸv	ĸv	ĸv
τ= 45 ms petite alternance	100 123 145 170	70 86 101 119	135 168 200 235	83 102 120 141	157 195 231 271	88 108 127 149	165 204 242 284	а	а	а	а
τ= 45 ms grande alternance	72,5 100 123 145 170	b 85 104 123 144	113 154 190 222 259	b 90 110 130 152	120 164 202 238 277	b 91 112 132 155	123 168 208 244 285	а	а	а	а
Durée minin coupu	Durée minimale de coupure		≤ 22,5	22,5 <i>< t</i> ≤ 43,0		43,0 < <i>t</i> ≤ 63,5		63,5 <i>< t</i> ≤ 84		84 < <i>t</i> s	≤ 104,5
ms											
	Ur	^{<i>u</i>} 1	^{<i>u</i>} c	^{<i>u</i>} 1	^{<i>u</i>} c						
	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV
τ= 60 ms petite alternance	72,5 100 123 145 170	b 64 79 93 109	88 124 154 184 217	b 78 96 113 133	107 149 185 220 258	b 85 104 123 144	115 161 199 235 276	b 88 108 128 150	119 166 205 243 284	а	а
τ= 60 ms grande alternance	72,5 100 123 145 170	b 80 98 115 135	106 144 176 207 240	b 86 106 125 146	115 157 194 227 264	b 89 110 129 151	120 164 202 237 277	b 91 112 131 154	122 167 206 243 283	а	а
 a La séquence d'essais T100a n'est pas applicable, niveau d'asymétrie inférieur à 20 % pour les deux alternances de courant. b u₁ n'est pas défini pour une TTR à deux paramètres. 											

Tableau I.7 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{\rm pp}$ = 1,5 et $f_{\rm r}$ = 50 Hz

Durée minin coupu	nale de re	8,5 < <i>t</i>	≤ 19,0	19,0 <	<i>t</i> ≤ 36	36 < 1	t ≤ 53	53 < 1	t ≤ 70	70 < 1	t ≤ 87
ms											
	Ur	^{<i>u</i>} 1	^{<i>u</i>} c	^{<i>u</i>} 1	^и с	^{<i>u</i>} 1	^{<i>u</i>} c	^{<i>u</i>} 1	^{<i>u</i>} c	^{<i>u</i>} 1	^{<i>u</i>} c
	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV
τ= 45 ms petite alternance	72,5 100 123 145 170	b 66 81 96 113	91 129 161 192 227	b 80 99 116 136	109 153 190 226 265	b 86 106 125 146	117 163 202 239 280	b 89 109 129 151	120 167 206 244 286	а	а
τ= 45 ms grande alternance	72,5 100 123 145 170	b 82 100 118 138	109 147 181 211 245	b 88 108 127 148	117 160 196 230 268	b 90 111 130 153	121 166 204 240 279	b 91 112 132 155	123 169 208 245 285	а	а
Durée minin coupu ms	nale de re	8,5 < <i>t</i>	≤ 18,5	5,5 18,5 < <i>t</i> ≤ 36		36 < <i>t</i> ≤ 53		53 < 1	t ≤ 70	70 < 1	t ≤ 87
	U _r kV	^u 1 kV	^u c kV								
τ= 60 ms petite alternance	72,5 100 123 145 170	b 60 74 87 103	83 118 147 176 208	b 75 92 109 128	103 144 179 213 251	b 82 101 119 140	112 157 194 231 271	b 86 106 125 147	117 163 202 240 281	b 89 109 128 151	120 166 206 244 286
τ= 60 ms grande alternance	72,5 100 123 145	b 76 93 109	100 135 166 194	b 83 102 120	111 151 185 217	b 87 107 126	117 159 196 230	b 90 110 129	120 164 202 238	b 91 112 131	122 167 206 242

Tableau I.8 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{\rm pp}$ = 1,5 et $f_{\rm r}$ = 60 Hz

а La séquence d'essais T100a n'est pas applicable, niveau d'asymétrie inférieur à 20 % pour les deux alternances de courant.

^b u_1 n'est pas défini pour une TTR à deux paramètres.

Tableau I.9 – Valeurs	corrigées de TTR pour le premier pôle à couper
	pour

Durée minin coupu	Durée minimale de coupure		10,0 < <i>t</i> ≤ 22,0		22,0 < <i>t</i> ≤ 42,5		42,5 < <i>t</i> ≤ 63,5		t ≤ 83,5	83,5 <i>< t</i> ≤103,5	
ms											
	U _r	^{<i>u</i>} 1	u _c	^{<i>u</i>} 1	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c	<i>u</i> ₁	u _c
	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV
τ= 120 ms petite alternance	1 100 1 200	490 539	1 250 1 400	612 671	1 451 1 613	682 747	1 556 1 723	726 794	1 614 1 782	755 825	1 646 1 814
τ= 120 ms grande alternance	1 100 1 200	514 557	791 832	602 653	1 002 1 067	659 717	1 148 1 229	700 761	1 254 1 349	728 793	1 333 1 438

Durée min de coup	imale ure	8,5 1	< <i>t</i> ≤ 8,0	18,0 35	< <i>t</i> ≤ 5,0	35,0 <	: <i>t</i> ≤ 52	52 < <i>t</i>	≤ 69,0	69,0 <	: <i>t</i> ≤ 86	86,0 1	< <i>t</i> ≤ 03
ms													
	Ur	^{<i>u</i>} 1	u _c	^{<i>u</i>} 1	u _c	^{<i>u</i>} 1	u _c	^u 1	u _c	^{<i>u</i>} 1	u _c	^{<i>u</i>} 1	u _c
	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV	kV
τ=120 ms petite alternance	1 100 1 200	466 503	1267 1338	584 633	1 460 1 554	656 712	1 565 1 647	703 764	1 626 1 745	736 800	1 662 1 788	758 825	1 682 1 813
τ=120 ms grande alternance	1 100 1 200	468 516	636 734	557 612	853 964	619 679	1 009 1 131	663 727	1 128 1 256	636 762	1 218 1 352	721 789	1 291 1 428

Tableau I.10 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{\rm pp}$ = 1,2 et $f_{\rm r}$ = 60 Hz

Annexe J

(informative)

Circuits d'essais synthétiques triphasés

La présente annexe présente des circuits types d'essais synthétiques triphasés.

J.1 Circuit combiné d'essais synthétiques triphasés

Ce circuit est représenté à la Figure J.1 et se compose:

- d'un circuit de courant triphasé;

Lorsque le circuit de la Figure 26a de la CEI 62271-100:2008 est utilisé, avec un facteur de premier pôle de 1,3, une inductance supplémentaire, selon la Figure 13 de la CEI 62271-100:2008, est connectée au point neutre du circuit de courant.

- d'un disjoncteur auxiliaire triphasé;
- d'un circuit de tension: circuit parallèle à injection de courant, conformément aux Figures
 B.1 et B.2, connecté entre une phase et la terre;

Une TTR à quatre paramètres est appliquée dans ce circuit. De plus, à l'aide d'une inductance L_{ac} supplémentaire, il est possible d'obtenir une tension de rétablissement oscillante à la fréquence industrielle assignée.

 de deux sources de tension: circuits doubles (de Skeats), conformément à la Figure D.1, connectés entre chacune des deux autres phases et la terre;

Dans ces circuits, des TTR à deux paramètres, dont l'enveloppe est conforme au tracé de référence de la TTR à quatre paramètres spécifiés, sont appliquées.

 de circuits de réallumage connectés à chaque phase pour empêcher une coupure prématurée du disjoncteur en essai et pour vérifier la durée d'arc la plus longue possible.

Les trois sources de tension doivent être connectées aux différentes phases conformément aux exigences du Tableau 1.

La Figure J.2 présente les formes d'ondes de courants, les tensions phase-terre et entre phases pendant un essai de coupure synthétique triphasé (T100s; $k_{pp} = 1,5$) réalisé conformément au circuit combiné d'essais synthétiques triphasés.

J.2 Circuit d'essais synthétiques triphasés avec une injection dans toutes les phases

Ce circuit est représenté à la Figure J.3 et se compose:

- d'un circuit de courant triphasé;
- d'un disjoncteur auxiliaire triphasé;
- d'un circuit de tension: circuit parallèle à injection de courant, conformément aux Figures
 B.1 et B.2, connecté entre une phase et la terre;
- d'un circuit de tension, comme ci-dessus, connecté entre les deux autres phases.

Ce circuit diffère d'un circuit en parallèle à injection de courant normal, seulement dans le fait que le conducteur de retour doit être correctement isolé de la terre. La tension de rétablissement peut être distribuée de façon égale entre les deux derniers pôles qui coupent avec des condensateurs de répartition.

 de circuits de réallumage connectés à chaque phase pour empêcher une coupure prématurée du disjoncteur en essai et pour vérifier la durée d'arc la plus longue possible. Une TTR à quatre paramètres est appliquée dans ces circuits. De plus, à l'aide d'une inductance L_{ac} supplémentaire, il est possible d'obtenir une tension de rétablissement oscillante à la fréquence industrielle assignée.

Les deux sources de tension doivent être connectées aux différentes phases conformément aux exigences du Tableau 1.

La Figure J.4 présente les formes d'ondes de courants et les tensions phase-terre pendant un essai de coupure synthétique triphasé (T100s; $k_{pp} = 1,5$) réalisé conformément au circuit d'essais synthétiques triphasés avec une injection dans toutes les phases.

J.3 Circuit d'essais synthétiques triphasés avec une injection en deux phases

Ce circuit est représenté à la Figure J.5 et se compose:

- d'un circuit de courant triphasé;

Lorsque le circuit de la Figure 26a de la CEI 62271-100:2008 est utilisé, avec un facteur de premier pôle qui coupe de 1,3, une inductance supplémentaire, selon la Figure 13 de la CEI 62271-100:2008, est connectée au point neutre du circuit de courant.

- d'un disjoncteur auxiliaire triphasé;
- d'un circuit de tension: circuit parallèle à injection de courant, conformément aux Figures
 B.1 et B.2, connecté entre une phase et la terre;
- d'un circuit de tension, comme ci-dessus, connecté entre l'une des deux autres phases et la terre. En variante, ce circuit pourrait être un circuit parallèle à injection de tension, conformément aux Figures C.1 et C.2;
- de circuits de réallumage connectés à chaque phase pour empêcher une coupure prématurée du disjoncteur en essai et pour vérifier la durée d'arc la plus longue possible.

Une TTR à quatre paramètres est appliquée dans ces circuits. De plus, à l'aide d'une inductance L_{ac} supplémentaire, il est possible d'obtenir une tension de rétablissement oscillante à la fréquence industrielle assignée.

Les deux sources de tension doivent être connectées aux différentes phases conformément aux exigences du Tableau 1.

Les Figures J.6 et J.7 présentent les formes d'ondes de courants, les tensions phase-terre et entre phases pendant un essai de coupure synthétique triphasé (T100s; $k_{pp} = 1,3$) réalisé conformément au circuit d'essais synthétiques triphasés avec injection de courant en deux phases.

Circuit injection de courant



Gn Source de courant C_{dh} Capacité pour le retard du circuit de tension Sa Disjoncteur auxiliaire L_{h} Inductance du circuit de tension st Disjoncteur en essai U_{h} Tension de charge du circuit de tension Z_0 Impédance au point neutre (lorsqu'un circuit i Courant du circuit de courant avec $k_{pp} = 1,3$ est utilisé) L_1 Inductance du circuit de courant Courant injecté ⁱh Réactance supplémentaire lorsqu'une tension ML Circuit de réallumage multi-alternances L_{ac} de rétablissement alternative est demandée

Z_h Impédance d'onde équivalente du circuit de tension

Figure J.1 – Circuit combiné d'essais synthétiques triphasés



Figure J.2 – Formes d'ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,5$) réalisé conformément au circuit combiné d'essais synthétiques triphasés



Circuit de c	courant	Circuit de tension			
Gn	Alternateur	C _{h0}	Condensateur principal		
MB	Disjoncteur de protection	C _{h1, 2}	Condensateur de réglage de la TTR		
MS	Contacteur de fermeture	R _{h1, 2}	Résistances d'amortissement		
L	Inductance du circuit de courant	L _{h1, 2}	Inductance du circuit de tension		
PT	Transformateur de puissance	L _{h3}	Inductances du circuit de tension		
St	Disjoncteur en essai				
S _{a1, 2}	Disjoncteurs auxiliaires				

Figure J.3 – Circuit d'essais synthétiques triphasés avec injection dans toutes les phases pour k_{pp} = 1,5





tensions dans les pôles A, B et C du disjoncteur, respectivement

 $I_{\rm A},\,I_{\rm B},\,I_{\rm C}$ courant dans les pôles A, B et C du disjoncteur, respectivement

Figure J.4 – Formes d'ondes de courants et tensions phase-terre pendant un essai synthétique triphasé (T100s; k_{pp} =1,5) réalisé conformément au circuit d'essais synthétiques triphasés avec injection dans toutes les phases



Gn	Alternateur	MB	Disjoncteur de protection
MS	Contacteur de fermeture	Т	Transformateur
S _a	Disjoncteur auxiliaire	S _t	Disjoncteur en essai
L	Inductance du circuit de courant	Ln	Inductance au point neutre
ML	Circuit de réallumage multi-alternances	G	Eclateur de déclenchement
Lac ₁ , Lac ₂	Inductances pour une tension de rétablissement alternative	$R_{e}^{},C_{e}^{},Z_{e}^{}$	Composants de réglage de la TTR
$\mathrm{Lh}_{1},\mathrm{Lh}_{2}$	Inductance du circuit de tension	$Ch_1^{}, Ch_2^{}$	Batteries de condensateurs principales

Figure J.5 – Circuit d'essais synthétiques triphasés pour les essais de défauts aux bornes avec k_{pp} = 1,3 (méthode par injection de courant)



Figure J.6 – Formes d'ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,3$) réalisé conformément au circuit d'essais synthétiques triphasés représenté à la Figure J.5



 u_{a} , u_{c} tensions dans les pôles A et C du disjoncteur en essai, respectivement



Annexe K

(normative)

Procédure d'essai utilisant un circuit de courant triphasé et un circuit de tension

K.1 Circuit d'essai

Le disjoncteur doit être connecté dans un circuit d'essai, dont un exemple est donné à la Figure K.1 avec les exigences suivantes:

- a) Un circuit de courant triphasé avec le point neutre de l'alimentation isolé et le point de court-circuit mis à la terre, comme représenté à la Figure 25a de la CEI 62271-100:2008. Cela donne un facteur de premier pôle qui coupe de 1,5. En variante, le point neutre de l'alimentation peut être connecté à la terre par une impédance appropriée et le point de court-circuit mis à la terre, comme représenté à la Figure 26a de la CEI 62271-100:2008, pour donner un facteur de premier pôle qui coupe de 1,3.
- b) Un disjoncteur auxiliaire utilisé pour séparer le circuit courant du circuit tension.
- c) Un circuit de tension à injection de courant parallèle, comme représenté aux Figures B.1 et B.2. Ce circuit est utilisé pour appliquer la TTR et la tension de rétablissement. Il est connecté entre le pôle représentant le premier pôle qui coupe ou le dernier pôle qui coupe et la terre, conformément aux procédures d'essais données aux Tableaux K.1 à K.8. Il est possible de fournir la tension de rétablissement alternative à fréquence industrielle à l'aide d'une impédance supplémentaire, L_{ac}.
- d) Des circuits de réallumage connectés à chaque phase pour prolonger l'arc du disjoncteur en essai pendant le nombre nécessaire de zéros du courant à fréquence industrielle.

K.2 Méthode d'essai

K.2.1 Généralités

Une combinaison des facteurs de premier pôle qui coupe de 1,5 et 1,3 peut être exécutée, conformément à 6.102.10.2.4 de la CEI 62271-100:2008, tout en découpant les séquences d'essais en tenant compte de la TTR associée à chaque pôle qui coupe, conformément à K.2.3.

K.2.2 Séquence d'essais T100s(b)

La procédure d'essais triphasés pour la démonstration des durées d'arc conformément à 6.102.10.2.1.1 et 6.102.10.2.1.2 de la CEI 62271-100:2008 est donnée aux Tableaux K.1 et K.2 pour un facteur de premier pôle de 1,5 et aux Tableaux K.3 et K.4 pour un facteur de premier pôle de 1,5.

Il est reconnu que les essais des Tableaux K.1 et K.3 sont plus sévères que les essais triphasés, parce que la durée d'arc du dernier pôle qui coupe est utilisée avec la TTR du premier pôle qui coupe. En variante, le constructeur peut choisir de diviser chaque séquence d'essais en deux ou trois séries d'essais différentes, pour une démonstration des durées d'arc conformément à 6.102.10.2.5 de la CEI 62271-100:2008. Les procédures sont données au Tableau K.2 pour un facteur de premier pôle de 1,5 et au Tableau K.4 pour un facteur de premier pôle de 1,3. Pour les essais réalisés conformément aux Tableaux K.2 et K.4, chaque série d'essais doit démontrer une coupure réussie avec la durée d'arc minimale, maximale et moyenne pour chaque pôle qui coupe avec sa TTR associée. La remise en état du disjoncteur après chaque série d'essais est autorisée et doit satisfaire aux exigences de 6.102.9.5 de la CEI 62271-100:2008.

Si une défaillance se produit en démontrant les durées d'arc maximale ou intermédiaire à l'aide de la procédure des Tableaux K.1 et K.3, il est alors admissible de continuer les essais en utilisant la procédure d'essai des Tableaux K.2 et K.4. Dans ce cas, à condition qu'aucune remise en état du disjoncteur n'ait eu lieu, les essais démontrant la durée d'arc minimale sur le premier pôle qui coupe peuvent être omis.

Pour éviter de modifier la connexion du circuit à haute tension entre les essais sur les 1^{er}, 2^{ème} et 3^{ème} pôles qui coupent, toutes les durées d'arc requises peuvent être appliquées sur le même pôle avec la même polarité de la tension de rétablissement.

Essai	Séquence	Con	ditions d'arc	TTR		Courant		
NO.	d'essais "	Degrés électriques (valeurs relatives au premier pôle qui coupe)	Durée d'arc	Application (par rapport au circuit de courant triphasé)	Valeur de u _c p.u.	/d <i>t</i> %		
1	Os	0	^f arc _{min} (1 ^{er} pôle qui coupe)	1 ^{er} pôle qui coupe	1,0	100		
2	Os	-18	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer t _{arc min}	1 ^{er} pôle qui coupe	1,0	100		
3	Od- <i>t</i> -CdOs	42 (132 relative au dernier pôle qui coupe)	^t _{arc max} (dernier pôle qui coupe)	Dernier pôle qui coupe avec une alternance rallongée	1,0	100		
4	CdOs	66	^t arc med	1 ^{er} pôle qui coupe	1,0	100		
NOTE 1	Démonstration	des durées d'ar	c selon 6.102.10.2.1.1 de	a CEI 62271-100:2008				
NOTE 2	NOTE 2 Conditions d'arc selon la Figure 38 de la CEI 62271-100:2008.							
NOTE 3 La Figure K.2 donne une représentation des conditions d'essais.								
NOTE 4 <i>t</i> "-CdOs	Dans le cas d'ur et l'essai n° 4 n	ne séquence de m 'est pas requis.	anœuvres CO-t"-CO, il co	nvient que l'essai n° 3 s	oit remplac	eé par CdOd-		

Tableau K.1 – Démonstration des durées d'arc pour $k_{pp} = 1,5$

a Les abréviations sont conformes à 6.106.

Essai	Séquence	Co	onditions d'a	rc		TTR		Courant	
No.	d'essais a	Degrés électriques	Duré	ée d'arc		Application (par rapport au circuit de courant triphasé)	Valeur de u _c p.u.	di/dt %	
1	Os	0	^t arc min (premier coupe)	pôle	qui	1 ^{er} pôle qui coupe	1,0	100	
2	Os	-18	Réallumag pôle qui confirmer	ge dans coupe ^t arc min	le 1 ^{er} pour	1 ^{er} pôle qui coupe	1,0	100	
3	Od-t-CdOs	42	^t arc max (1 ^{er} pôle q	lui coupe	e)	1 ^{er} pôle qui coupe	1,0	100	
4	CdOs	21	^t _{arc med} (1 ^{er} pôle q	lui coupe	e)	1 ^{er} pôle qui coupe	1,0	100	
5	Os	90	^t arc min (dernier coupe)	pôle	qui	Dernier pôle qui coupe avec une alternance rallongée	0,58	87	
6	Od- <i>t</i> -CdOs	132	^t arc max (dernier coupe)	pôle	qui	Dernier pôle qui coupe avec une alternance rallongée	0,58	87	
7	CdOs	111	^t arc med (dernier coupe)	pôle	qui	Dernier pôle qui coupe avec une alternance rallongée	0,58	87	

Tableau K.2 – Démonstration alternative des durées d'arc pour k_{pp} = 1,5

NOTE 1 Démonstration des durées d'arc selon 6.102.10.2.5 de la CEI 62271-100:2008.

NOTE 2 Conditions d'arc selon la Figure 38 de la CEI 62271-100:2008.

NOTE 3 La Figure K.3 donne une représentation des conditions d'essais.

NOTE 4 Dans le cas d'une séquence de manœuvres CO-*t*"-CO, il convient que les essais n° 3 et 6 soient remplacés par CdOd-*t*"-CdOs et les essais n° 4 et 7 ne sont pas requis.

a Les abréviations sont conformes à 6.106.

Essai	Séquence	C	onditions d'arc	TTR		Courant	
No.	d'essais "	Degrés électriques (valeurs relatives au premier pôle qui coupe)	Durée d'arc	Application (par rapport au circuit de courant triphasé)	Valeur de u _c p.u.	injecte di/dr %	
1	Os	0	^f arc min (1 ^{er} pôle qui coupe)	1 ^{er} pôle qui coupe	1,0	100	
2	Os	-18	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer t _{arc min}	1 ^{er} pôle qui coupe	1,0	100	
3	Od- <i>t</i> CdOs	42 (162 relative au 3ème pole qui coupe)	^t arc max (3 ^{ème} pôle qui coupe)	3 ^{ème} pôle qui coupe	1,0	100	
4	CdOs	4 (81 relative au 2 nd pole qui coupe)	^t arc med	2 ^{ème} pôle qui coupe	1,0	100	
NOTE 1	Démonstration	des durées d'ar	c selon 6.102.10.2.2.1 de la	CEI 62271-100:2008.			
NOTE 2	Conditions d'ar	c selon la Figure	e 37 de la CEI 62271-100:20	008.			
NOTE 3 La Figure K.4 donne une représentation des conditions d'essais. NOTE 4 Dans le cas d'une séquence de manœuvres CO- <i>t</i> "-CO, il convient que l'essai n° 3 soit remplacé par CdOd-							
a Les a	abréviations sont	conformes à 6.	106.				

Tableau K.3 – Démonstration des durées d'arc pour $k_{pp} = 1,3$

Essai	Séquence	Co	nditions d'arc	TTR		Courant	
No.	d'essais ^a	Degrés électriques	Durée d'arc	Application (par rapport au circuit de courant triphasé)	Valeur de u _c p.u.	injecté (d <i>i/</i> d/) %	
1	Os	0	^t arc min (1 ^{er} pôle qui coupe)	1 ^{er} pôle qui coupe	1,0	100	
2	Os	-18	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer t _{arc min}	1 ^{er} pôle qui coupe	1,0	100	
3	Od- <i>t</i> -CdOs	42	^t _{arc max} (1 ^{er} pôle qui coupe)	1 ^{er} pôle qui coupe	1,0	100	
4	CdOs	21	^t _{arc med} (1 ^{er} pôle qui coupe)	1 ^{er} pôle qui coupe	1,0	100	
5	Os	77	^t _{arc min} (2 ^{ème} pôle qui coupe)	2 ^{ème} pôle qui coupe	0,98	89	
6	Od- <i>t</i> -CdOs	119	^t _{arc max} (2 ^{ème} pôle qui coupe)	2 ^{ème} pôle qui coupe	0,98	89	
7	CdOs	98	^t arc med (2 ^{ème} pôle qui coupe)	2 ^{ème} pôle qui coupe	0,98	89	
8	Od-t-CdOs	162	^t arc max (3 ^{ème} pôle qui coupe)	3 ^{ème} pôle qui coupe	0,77	57	

Tableau K.4 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,3$

NOTE 1 Démonstration des durées d'arc selon 6.102.10.2.5 de la CEI 62271-100:2008.

NOTE 2 Conditions d'arc selon la Figure 37 de la CEI 62271-100:2008.

NOTE 3 La Figure K.5 donne une représentation des conditions d'essais.

En raison de l'augmentation du nombre des essais entre 5-8 sans remise en état, une défaillance peut se produire au cours de l'essai 8. Dans ce cas, la remise en état du disjoncteur est autorisée et il convient de réaliser une série d'essais supplémentaire sur le 3^{ème} pôle qui coupe comme suit:

Répéter trois essais sans maintenance et avec les réglages des essais 5, 6 et 7 mais avec l'application de la TTR sur le troisième pôle qui coupe. La valeur de u_c de la TTR sera de 0,77 (p.u.) et le courant injecté (d*i* /d*t*) sera de 57 %. Les valeurs d'essais réelles seront réduites conformément à l'Annexe I.

NOTE 4 Dans le cas d'une séquence de manœuvres CO- $t^{"}$ -CO, les essais n° 3, 6 et 8 sont remplacés par CdOd- $t^{"}$ -CdOs et les essais n°4 et 7 ne sont pas requis.

a Les abréviations sont conformes à 6.106.

K.2.3 Séquence d'essais T100a

La procédure d'essais triphasés pour la démonstration des durées d'arc conformément à 6.102.10.1.2 est donnée aux Tableaux K.5 et K.6 pour un facteur de premier pôle de 1,5 et aux Tableaux K.7 et K.8 pour un facteur de premier pôle de 1,3.

L'utilisation de la procédure d'essais triphasés pour la démonstration des durées d'arc conformément à 6.102.10.1.2 est nécessaire pour reproduire les contraintes requises, en termes de conditions d'arc, de pourcentage d'asymétrie, de durée de la petite alternance, de la grande alternance et de l'alternance étendue sur les trois pôles.

Il est reconnu que les essais des Tableaux K.5 et K.7 sont plus sévères que les essais triphasés, parce que la durée d'arc du dernier pôle qui coupe est utilisée avec la TTR du

premier pôle qui coupe. En variante, le constructeur peut choisir de diviser chaque séquence d'essais en deux ou trois séries d'essais différentes, pour une démonstration des durées d'arc conformément à 6.102.10.2.5 de la CEI 62271-100:2008. Les procédures sont données au Tableau K.6 pour un facteur de premier pôle de 1,5 et au Tableau K.8 pour un facteur de premier pôle de 1,3. Pour les essais réalisés conformément aux Tableaux K.6 et K.8, chaque série d'essais doit démontrer une coupure réussie avec la durée d'arc minimale, maximale et moyenne pour chaque pôle qui coupe avec sa TTR associée. La remise en état du disjoncteur après chaque série d'essais est autorisée et doit satisfaire aux exigences de 6.102.9.5 de la CEI 62271-100:2008.

Si une défaillance se produit en démontrant les durées d'arc maximale ou médium à l'aide de la procédure des Tableaux K.5 et K.7, il est alors admissible de continuer les essais en utilisant la procédure d'essai des Tableaux K.6 et K.8. Dans ce cas, à condition qu'aucune remise en état du disjoncteur n'ait eu lieu, les essais démontrant la durée d'arc minimale sur le premier pôle qui coupe peuvent être omis.

Pour éviter de modifier la connexion du circuit à haute tension entre les essais sur les 1^{er}, 2^{ème} et 3^{ème} pôles qui coupent, toutes les durées d'arc requises peuvent être appliquées sur le même pôle avec la même polarité de la tension de rétablissement.

Essai	Séquence		Conditions d'arc	TTR		Courant
No.	d'essais	Degrés électriques	Durée d'arc et asymétrie	Application (par rapport au circuit de courant triphasé)	Valeur de u _c p.u.	injecte (di/di) %
1	Os	0	t _{arc min} (1 ^{er} pôle qui coupe) Asymétrie requise sur le dernier pôle qui coupe avec une alternance rallongée	1 ^{er} pôle qui coupe	1,0	100
2	Os	-18	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer t _{arc} ^{min} Asymétrie requise sur le dernier pôle qui coupe avec une alternance rallongée	1 ^{er} pôle qui coupe	1,0	100
3	Os	Voir Note 1	<i>t_{arc max}</i> avec une grande alternance et asymétrie requise sur le 1 ^{er} pôle qui coupe	1 ^{er} pôle qui coupe	1,0	100
4	Os	Voir Note 1	<i>t_{arc max}</i> sur le 1 ^{er} pôle qui coupe et asymétrie requise sur le dernier pôle qui coupe avec une alternance rallongée	Dernier pôle qui coupe avec une alternance étendue	1,0	100

Tableau K.5 – Démonstration des durées d'arc pour $k_{pp} = 1,5$

NOTE 1 Démonstration des durées d'arc selon 6.102.10.1.2.

NOTE 2 La Figure K.6 donne une représentation des conditions d'essais.

NOTE 3 Les valeurs pour la durée et l'amplitude de la dernière alternance et le niveau d'asymétrie au zéro de courant final concernant le 1er pôle qui coupe et aussi les valeurs de réduction de la TTR peuvent être trouvées à l'Annexe I.

Essai	Séquence		Conditions d'arc	TTR		Circuit
No.	d'essais	Degrés électriques	Durée d'arc et asymétrie	Application (par rapport au circuit de courant triphasé)	Valeur de u _c p.u.	injecté (di/dt) %
1	Os	0	<i>t</i> _{arc min} sur le 1 ^{er} pôle qui coupe et asymétrie requise sur le dernier pôle qui coupe avec une alternance rallongée	1 ^{er} pôle qui coupe	1,0	100
2	Os	-18	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer t _{arc} _{min} avec asymétrie requise sur le dernier pôle qui coupe	1 ^{er} pôle qui coupe	1,0	100
3	Os	Voir Note 1	t _{arc max} avec une grande alternance et asymétrie requise sur le 1 ^{er} pôle qui coupe	1 ^{er} pôle qui coupe	1,0	100
4	Os	Voir Note 1	<i>t_{arc max}</i> sur le 1 ^{er} pôle qui coupe et asymétrie requise sur le dernier pôle qui coupe avec une alternance rallongée	1 ^{er} pôle qui coupe	1,0	100
5	Os	Pareil que pour l'essai n°1	<i>t_{arc min}</i> sur le dernier pôle qui coupe et asymétrie requise sur le dernier pôle qui coupe avec une alternance rallongée	Dernier pôle qui coupe avec une alternance rallongée	0,58	87
6	Os	Pareil que pour l'essai n°3	t _{arc max} sur le dernier pôle qui coupe et asymétrie requise sur le 1 ^{er} pôle qui coupe	Dernier pôle qui coupe avec une alternance rallongée	0,58	87
7	Os	Pareil que pour l'essai n°4	<i>t</i> _{arc max major extended} et asymétrie requise sur le dernier pôle qui coupe avec une alternance rallongée	Dernier pôle qui coupe avec une alternance rallongée	0,58	87
NOTE 1	Démonstrati	ion des durées d'	arc selon 6 102 10 1 2			

Tableau K.6 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,5$

NOTE 1 Démonstration des durées d'arc selon 6.102.10.1.2.

NOTE 2 La Figure K.7 donne une représentation des conditions d'essais.

Si les essais sont réalisés après une défaillance de l'essai 4 du Tableau K.5 et qu'aucune remise en état du disjoncteur n'a été effectuée, les essais peuvent alors continuer à partir de l'essai 4 du Tableau K.6.

Essai No.	ssai Séquence Io. d'essais		Conditions d'arc	TTR		Courant injecté (di/dː)
					1	%
		Degrés électriques	Durée d'arc et asymétrie	Application (par rapport au circuit de courant	Valeur de u _c p.u.	
				triphasé)		
1	Os	0	<i>t</i> _{arc min} (1 ^{er} pôle qui coupe) Asymétrie requise sur le 2 ^{ème} pôle qui coupe avec une alternance rallongée	1 ^{er} pôle qui coupe	1,0	100
2	Os	-18	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer t _{arc} ^{min} Asymétrie requise sur le 2 ^{ème} pôle qui coupe avec une alternance rallongée	1 ^{er} pôle qui coupe	1.0	100
3	Os	Voir Note 1	t _{arc max} avec une grande alternance et asymétrie requise sur le 1 ^{er} pôle qui coupe	1 ^{er} pôle qui coupe	1,0	100
4	Os	Voir Note 1	$t_{\rm arc\ max}$ et asymétrie requise sur le 2 ^{ème} pôle qui coupe avec une alternance rallongée; $t_{\rm arc\ max}$ sur le 1 ^{er} pôle qui coupe	2 ^{ème} pôle qui coupe	1,0	100
NOTE 1	Dómonstratio	n dos durács d'	are solon 6 102 10 1 2			

Tableau K.7 – Démonstration des durées d'arc pour k_{pp} = 1,3

NOTE 1 Démonstration des durées d'arc selon 6.102.10.1.2.

NOTE 2 La Figure K.8 donne une représentation des conditions d'essais.

Les valeurs pour la durée et l'amplitude de la dernière alternance et le niveau d'asymétrie au zéro de courant final concernant le 1er pôle qui coupe et aussi les valeurs de réduction de la TTR peuvent être trouvées à l'Annexe I.

Essai	Séquence	C	onditions d'arc	TTR		Courant
No.	d'essais	Degrés	Durée d'arc et asymétrie	Application	Valeur	injecté
		électriques		(par rapport au	de ^u c	(d <i>i</i> /d <i>t</i>)
				circuit de courant triphasé)	p.u.	%
1	Os	0	t _{arc min} (1 ^{er} pôle qui coupe)	1 ^{er} pôle qui	1,0	100
			Asymétrie requise sur le 2 ^{ème} pôle qui coupe avec une alternance rallongée	coupe		
2	Os	-18	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer t _{arc min} du 1 ^{er} pôle qui coupe	1 ^{er} pôle qui coupe	1,0	100
			Asymétrie requise sur le 2 ^{ème} pôle qui coupe avec une alternance rallongée			
3	Os	Voir Note 1	<i>t_{arc max}</i> avec une grande alternance et asymétrie requise sur le 1 ^{er} pôle qui coupe	1 ^{er} pôle qui coupe	1,0	100
4	Os	Voir Note 1	<i>t_{arc max}</i> sur le 1 ^{er} pôle qui coupe, asymétrie requise sur le 2 ^{ème} pôle qui coupe avec une alternance rallongée	1 ^{er} pôle qui coupe	1,0	100
5	Os	Pareil que pour l'essai n°1	t _{arc min} 2 ^{ème} pôle qui coupe	2 ^{ème} pôle qui coupe	0,98	89
6	Os	Pareil que pour l'essai n°3	t _{arc max} 2 ^{ème} pôle qui coupe	2 ^{ème} pôle qui coupe	0,98	89
7	Os	Pareil que pour l'essai n°4	t _{arc med} 2 ^{ème} pôle qui coupe	2 ^{ème} pôle qui coupe	0,98	89
8	Os	Pareil que pour l'essai n°4	Asymétrie sur le 2 ^{ème} pôle qui coupe avec une alternance rallongée;	3 ^{ème} pôle qui coupe	0,77	57
			(t _{arc max} sur le 3 ^{ème} pôle qui coupe)			

Tableau K.8 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,3$

NOTE 1 Démonstration des durées d'arc selon 6.102.10.1.2.

NOTE 2 La Figure K.9 donne une représentation des conditions d'essais.

Si les essais sont réalisés après une défaillance de l'essai 4 du Tableau K.7 et qu'aucune remise en état du disjoncteur n'a été effectuée, les essais peuvent alors continuer à partir de l'essai 4 du Tableau K.8.

En raison de l'augmentation du nombre des essais entre 5-8 sans remise en état, une défaillance peut se produire au cours de l'essai 8. Dans ce cas, la remise en état du disjoncteur est autorisée et il convient de réaliser une série d'essais supplémentaire sur le 3^{ème} pôle qui coupe comme suit:

Répéter les essais 5, 6 et 7 sans maintenance et l'application de la TTR sur le troisième pôle qui coupe avec les durées d'arc conformes à 6.102.10.1.2 de la CEI 62271-100:2008. La valeur de u_c de la TTR sera de 0,77 (p.u.) et le courant injecté (d*i*/d*t*) sera de 57 %. Les valeurs d'essais réelles seront réduites conformément à l'Annexe I.

K.2.4 Combinaison des facteurs de premier pôle à couper 1,3 et 1,5

K.2.4.1 Généralités

Il est reconnu que certaines des conditions d'essai sont plus sévères que celles indiquées dans les tableaux pour le facteur de premier pôle qui coupe correspondant. Cependant, tous les essais indiqués aux Tableaux K.9 et K.10 doivent être réalisés afin de maintenir l'équivalence avec les essais spécifiés dans la norme pour chaque séquence d'essais.

K.2.4.2 Séquences d'essais T10, T30, T60 et T100s(b)

Les essais correspondants peuvent être trouvés au Tableau K.9.

Essai No.	Séquence d'essais		Conditions d'arc		Courant injecté
		Degrés électriques	Durées d'arc correspondant à	u _c basé sur k _{pp}	min. d <i>i</i> /d <i>t</i>
1	05	0	$t_{arc min}$ premier pôle qui coupe (k_{pp} =1,3 et	1.5	100 %
2	Os	-18	réallumage	1,5	100 %
3	Od-CdOs	42	t _{arc max} premier pôle qui coupe (k _{pp} =1,3 et 1,5)	1,5	100 %
4	CdOs	90	t _{arc min} deuxième pôle qui coupe (k _{pp} =1,3) dernier pôle qui coupe (k _{pp} =1,5)	1,3	89 %
5	Od-CdOs	132	$t_{arc max}$ deuxième pôle qui coupe (k_{pp} =1,3) dernier pôle qui coupe (k_{pp} =1,5)	1,3	89 %
6	Od-CdOs	162	t _{arc max} dernier pôle qui coupe (k _{nn} =1,3)	1,0	57 %

Tableau K.9 – Procédure de combinaison de k_{pp} = 1,5 et 1,3 pendant les séquences d'essais T10, T30, T60 et T100s(b)

En cas de défaillance de l'essai 5 ou 6, les essais 4, 5 et 6 doivent être répétés après remise en état du disjoncteur.

Une tolérance de $\pm 0,5$ ms s'applique aux durées d'arc réelles obtenues durant les essais 3 et 6.

Une tolérance de ± 1 ms s'applique aux durées d'arc réelles obtenues durant les essais 4 et 5.

Pour les essais 1 à 3, le circuit d'essais synthétiques doit être appliqué au premier pôle qui coupe.

Si le circuit de courant est à neutre isolé, pour les essais 4 à 6, le circuit synthétique pourra être appliqué au dernier pôle qui coupe (avec grande alternance étendue).

Si le circuit de courant est à neutre à la terre, pour les essais 4 et 5, le circuit synthétique pourra être appliqué au second pôle qui coupe. Pour l'essai 6, le circuit synthétique pourra être appliqué au dernier pôle qui coupe.

K.2.4.3 Séquences d'essais T100a

Les essais correspondants peuvent être trouvés au Tableau K.10.

Essai No.	Séquence	Condition	Conditions d'arc		TTR	Courant
	d'essais	d'asymétrie	Degrés	Durées d'arc correspondant à		injecté
			électriques		u _c basé sur k _{pp}	min. d <i>i</i> /d <i>t</i>
1	Os	Grande alternance intermédiaire (Tableau L.9 ou L.12 col. 8 et 9)	0	^t _{arc min} premier pôle qui coupe (k _{pp} =1,5 et 1,3)	1,5	100 %
2	Os	Grande alternance intermédiaire (Tableau L.9 ou L.12 col. 8 et 9)	-18	réallumage	1,5	100 %
3	Os	Grande alternance assignée (Tableau L.9 ou L.12 col. 3 et 4)	(Tableau L.9 ou L.12 colonne 12)	^t _{arc max} premier pôle qui coupe (k _{pp} =1,3 et 1,5)	1,5	100 %
4	Os	Grande alternance assignée (Tableau L.9 ou L.12 col. 3 et 4)	(Tableau L.9 ou L.12 colonne 13)	$t_{arc med}$ deuxième pôle qui coupe (k_{pp} =1,3) dernier pôle qui coupe (k_{pp} =1,5)	1,3	89 %
5	Os	Grande alternance assignée (Tableau L.9 ou L.12 col. 3, 4)	(Tableau L.10 ou L.13 colonne 14)	t _{arc max} deuxième pôle qui coupe (k _{pp} =1,3)	1,3	89 %
6	Os	Grande alternance assignée (Tableau L.9 ou L.12 col. 3, 4)	(Tableau L.10 ou L.13 colonne 15)	t _{arc max} dernier pôle qui coupe (k _{pp} =1,3 et 1,5)	1,0	87 %
NOTE Les conditions d'asymétrie et les degrés électriques se réfèrent aux colonnes respectives des Tableaux suivants de l'Annexe L: - pour 50 Hz dans les Tableaux L.9 et L.10;						

Tableau K.10 – Procédure de combinaison de k_{pp} = 1,5 et 1,3 pendant la séquence d'essais T100a

- pour 60 Hz dans les Tableaux L.12 et L.13.

En cas de défaillance de l'essai 5 ou 6, les essais 4, 5 et 6 doivent être répétés après remise en état du disjoncteur.

Une tolérance de $\pm 0,5$ ms s'applique aux durées d'arc réelles obtenues durant les essais 3, 5 et 6.

Une tolérance de \pm 1 ms s'applique à la durée d'arc réelle obtenue durant l'essai 4.

Pour les essais 1 à 3, le circuit d'essais synthétiques doit être appliqué au premier pôle qui coupe.

Si le circuit de courant est à neutre isolé, pour les essais 4 à 6, le circuit synthétique pourra être appliqué au dernier pôle qui coupe (avec la grande alternance étendue).

Si le circuit de courant est à neutre à la terre, pour les essais 4 à 6, le circuit synthétique pourra être appliqué au second pôle qui coupe.



Le circuit de tension doit être connecté entre le premier ou le dernier pôle qui coupe et la terre, conformément aux exigences des tableaux.

Figure K.1 – Exemple d'un circuit de courant triphasé avec une injection synthétique monophasée



Essais no. 1 et 2: Application de la TTR sur le premier pôle qui coupe



Essai no. 3: Application de la TTR sur le dernier pôle qui coupe avec une alternance rallongée



Essai no. 4: Application de la TTR sur le 1^{er} pôle qui coupe





Essais no. 1 et 2: Application de la TTR sur le premier pôle qui coupe

Essai no. 5: Application de la TTR sur le dernier pôle qui coupe avec l'alternance rallongée



Essai no. 3: Application de la TTR sur le premier pôle qui coupe

Essai no. 6: Application de la TTR sur le dernier pôle qui coupe avec l'alternance rallongée



Essai no. 4: Application de la TTR sur le premier pôle qui coupe

Essai no. 7: Application de la TTR sur le dernier pôle qui coupe avec l'alternance rallongée

Figure K.3 – Représentation des conditions d'essais du Tableau K.2


Essais no. 1 et 2: Application de la TTR sur le premier pôle qui coupe



Essai no. 3: Application de la TTR sur le troisième pôle qui coupe



Essai no. 4: Application de la TTR sur le second pôle qui coupe

Figure K.4 – Représentation des conditions d'essais du Tableau K.3



- 288 -



Figure K.5 – Représentation des conditions d'essais du Tableau K.4

Essai no. 1: Application de la TTR sur le 1^{er} pôle qui coupe







Essai no. 3: Application de la TTR sur le 1^{er} pôle qui coupe avec une grande alternance



Essai no. 4: Application de la TTR sur le dernier pôle qui coupe avec une grande alternance rallongée



Figure K.6 – Représentation des conditions d'essais du Tableau K.5



Essai no. 1: Application de la TTR sur le 1^{er} pôle qui coupe Essai no. 5: Application de la TTR sur le dernier pôle qui coupe avec

Essai no. 3: Application de la TTR sur le 1^{er} pôle qui coupe avec une grande alternance Essai no. 6: Application de la TTR sur le dernier pôle qui coupe avec une grande alternance rallongée



Essai no. 4: Application de la TTR sur le 1^{er} pôle qui coupe Essai no. 7: Application de la TTR sur le dernier pôle qui coupe avec une grande alternance rallongée



Figure K.7 – Représentation des conditions d'essais du Tableau K.6



Essais no. 1 et 2: Application de la TTR sur le 1er pôle qui coupe

Figure K.8 – Représentation des conditions d'essais du Tableau K.7







Essai nº 8: Application de la TTR sur le 3^{ème} pôle qui coupe



Figure K.9 – Représentation des conditions d'essais du Tableau K.8

Annexe L

(normative)

Séparation des séquences d'essais en séries d'essais en tenant compte de la TTR exacte de chaque pôle à couper

L.1 Généralités

Selon la limitation d'un laboratoire, les essais triphasés ne sont pas toujours possibles. Il est habituel de réaliser de tels essais en utilisant un circuit monophasé avec une TTR unique qui couvre le premier, le deuxième et le dernier pôle qui coupent. Cette procédure d'essai peut entraîner des contraintes plus élevées sur le disjoncteur en essai par rapport à la procédure d'essais triphasés directs correspondante.

Cette procédure peut être utilisée en substitution à des essais triphasés lorsque des essais monophasés sont autorisés.

Etant donné que l'arc est prolongé à l'aide de réallumages thermiques, il est possible d'imposer que le disjoncteur en essai réallume en toutes circonstances. On doit veiller à ne pas réallumer le disjoncteur à un zéro de courant où il peut couper.

Une combinaison des facteurs de premier pôle à couper de 1,5 et 1,3, conformément à 6.102.10.2.4 de la CEI 62271-100:2008, et dans le même temps la division des séquences d'essais, peut être exécutée, conformément à L.3.

L.2 Séquences d'essais T10, T30, T60 et T100s(b)

Les procédures d'essais monophasés pour la séparation des séquences d'essais pour démontrer des durées d'arc avec la TTR correcte pour chaque pôle qui coupe conformément à 6.102.10.2.5 de la CEI 62271-100:2008 sont données au Tableau L.1 pour un facteur de premier pôle de 1,5, aux Tableaux L.2 et L.3 pour un facteur de premier pôle de 1,3 et aux Tableaux L.4 et L.5 pour un facteur de premier pôle de 1,2.

Des procédures simplifiées sont données aux Tableaux L.3 et L.5, qui sont plus sévères que les procédures données aux Tableaux L.2 et L.4.

En cas de défaillance au cours de l'essai no. 5 ou 6, tel qu'indiqué aux Tableaux L.2 et L.4, les essais no. 4, 5 et 6 doivent être répétés après la remise en état du disjoncteur.

En cas de défaillance au cours de l'essai no. 5, tel qu'indiqué aux Tableaux L.3 et L.5, les essais no. 3 et 5 doivent être répétés après la remise en état du disjoncteur. Dans ce cas, l'essai no. 3 peut être réalisé comme une seule manœuvre d'ouverture, dans les mêmes conditions que l'essai no. 5.

La remise en état du disjoncteur, si nécessaire, doit satisfaire aux exigences du paragraphe 6.102.9.5 de la CEI 62271-100:2008.

L.3 Séquence d'essais T100a

L.3.1 Généralités

La procédure d'essais décrite ici est basée sur la détermination de la durée d'arc minimale après une grande alternance avec une asymétrie intermédiaire. Cette durée d'arc est considérée comme étant la même dans toutes les conditions (petite ou grande alternance). Du fait de cette supposition, une éventuelle interruption à un zéro de courant précédent à la fin d'une petite alternance n'est pas prise en compte.

- 294 -

L.3.2 Procédure d'essais pour un facteur de premier pôle de 1,5

La série d'essais montre la capacité d'interruption pour les différentes conditions asymétriques et leurs valeurs de TTR associées. L'objectif est d'obtenir une série de 5 essais valables.

Les essais correspondants peuvent être trouvés au Tableau L.6.

Les Tableaux L.9 et L.12 montrent les durées d'extinction d'arc en fonction des conditions données.

En cas de défaillance au cours de l'essai no. 5, tel qu'indiqué au Tableau L.6, les essais no. 3 à 5 doivent être répétés après la remise en état du disjoncteur.

La remise en état du disjoncteur, si nécessaire, doit satisfaire aux exigences de 6.102.9.5 de la CEI 62271-100:2008.

L.3.3 Procédure d'essais pour un facteur de premier pôle de 1,3

La série d'essais montre la capacité de coupure pour les différentes conditions asymétriques et leurs valeurs de TTR associées. L'objectif est d'obtenir une série de 6 essais valables.

Les essais correspondants peuvent être trouvés au Tableau L.7.

Les Tableaux L.10 et L.13 montrent les durées d'extinction d'arc en fonction des conditions données.

En cas de défaillance au cours de l'essai no. 5 ou 6, tel qu'indiqué au Tableau L.7, les essais nos. 4 à 6 doivent être répétés après la remise en état du disjoncteur.

La remise en état du disjoncteur, si nécessaire, doit satisfaire aux exigences de 6.102.9.5 de la CEI 62271-100:2008.

L.3.4 Procédure d'essais pour un facteur de premier pôle de 1,2

La série d'essais montre la capacité de coupure pour les différentes conditions asymétriques et leurs valeurs de TTR associées. L'objectif est d'obtenir une série de 6 essais valables.

Les essais correspondants peuvent être trouvés au Tableau L.8.

Les Tableaux L.11 et L.14 montrent les durées d'extinction d'arc en fonction des conditions données.

En cas de défaillance au cours de l'essai no. 5 ou 6, tel qu'indiqué au Tableau L.8, les essais nos. 4 à 6 doivent être répétés après la remise en état du disjoncteur.

La remise en état du disjoncteur, si nécessaire, doit satisfaire aux exigences de 6.102.9.5 de la CEI 62271-100:2008.

L.4 Combinaison des facteurs de premier pôle qui coupe 1,3 et 1,5

L.4.1 Généralités

Il est reconnu que certaines des conditions d'essai sont plus sévères que celles indiquées dans les tableaux pour le facteur de premier pôle qui coupe respectif. Cependant, tous les essais indiqués aux Tableaux L.15 et L.16 ont été réalisés afin de maintenir l'équivalence avec les essais spécifiés dans la norme pour chaque séquence d'essais.

L.4.2 Séquences d'essais T10, T30, T60 et T100s(b)

Les essais correspondants peuvent être trouvés au Tableau L.15.

En cas de défaillance de l'essai 5 ou 6, les essais 4, 5 et 6 doivent être répétés après remise en état du disjoncteur.

Une tolérance de \pm 1 ms s'applique aux durées d'arc réelles obtenues durant l'essai 4.

Pour les essais 3,5 et 6, la tolérance applicable est de \pm 0,5 ms.

L.4.3 Séquence d'essais T100a

Les essais correspondants peuvent être trouvés au Tableau L.16.

En cas de défaillance de l'essai 5 ou 6, les essais 4, 5 et 6 doivent être répétés après remise en état du disjoncteur.

Une tolérance de ± 1 ms s'applique aux durées d'arc réelles obtenues durant l'essai 4.

Pour les essais 3,5 et 6, la tolérance applicable est de \pm 0,5 ms.

Essai	Séquence	Conditi	ons d'arc	TT	ſR	Courant
No.	d'essais ^a	Degrés électriques	Durée d'arc	VATR	Valeur de u _c	(d <i>i</i> /d <i>t</i>)
				(p.u.)	(p.u.)	%
1	Os	0	^t _{arc min} (1 ^{er} pôle qui coupe)	1,0	1,0	100
2	Os	-18	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer ^t arc min	1,0	1,0	100
3	Od-t-CdOs	42	^t _{arc max} (1 ^{er} pôle qui coupe)	1,0	1,0	100
4	Os	90	t _{arc min} (dernier pôle qui coupe)	0,7	0,58	87
5	CdOs	132	t _{arc max} (dernier pôle qui coupe)	0,7	0,58	87
Pour T10	, T30 et T60, la i	manœuvre Cd p	eut être effectuée à	vide.	-	•
a Les al	bréviations sont	conformes à 6.1	06.			

Tableau L.1 –	Procédure	d'essai	pour	$k_{pp} =$	= 1,5
---------------	-----------	---------	------	------------	-------

Essai	Séquence	Conditio	ons d'arc	TTR		Courant
No.	d'essais ^a	Degrés	Durée d'arc	VATR	Valeur de <i>u</i> _c	injecté (d <i>i /</i> d <i>t</i>)
		electriques		p.u.	p.u.	%
1	Os	0	^t _{arc min} (1 ^{er} pôle qui coupe)	1,0	1,0	100
2	Os	-18	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer t _{arc} min	1,0	1,0	100
3	Od-t-CdOs	42	^t _{arc max} (1 ^{er} pôle qui coupe)	1,0	1,0	100
4	CdOs	77	^t arc min (2 ^{ème} pôle qui coupe)	0,95	0,98	89
5	Od- <i>t</i> -CdOs	119	^t _{arc max} (2 ^{ème} pôle qui coupe)	0,95	0,98	89
6	Od- <i>t</i> -CdOs	162	t _{arc max} (3 ^{ème} pôle qui coupe)	0,70	0,77	57
NOTE Les	s essais 1, 2 et 3	3 démontrent la	plage de coupure ei	n triphasé du premier	pôle qui coupe. Les	s essais 4 et

Tableau L.2 – Procédure d'essai pour k_{pp} = 1,3

NOTE Les essais 1, 2 et 3 démontrent la plage de coupure en triphasé du premier pôle qui coupe. Les essais 4 et 5 démontrent la plage de coupure du deuxième pôle qui coupe. Les essais 5 et 6 démontrent la plage de coupure du troisième pôle qui coupe.

Pour T10, T30 et T60, la manœuvre Cd peut être effectuée à vide.

Essai	Séquence	Conditi	ons d'arc	TTR		Courant
NO.	d'essais "	Degrés électriques	Durée d'arc	VATR p.u.	Valeur de u _c p.u.	injecte (di/dt) %
1	Os	0	t _{arc min} (1 ^{er} pôle qui coupe)	1,0	1,0	100
2	Os	-18	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer ^t arc min	1,0	1,0	100
3	Od-t-CdOs	119	t _{arc max} (2 ^{ème} pôle qui coupe)	1,0	1,0	100
4	CdOs	60	<i>t_{arc med}</i> (1 ^{er} et 2 ^{ème} pôles qui coupent)	1,0	1,0	100
5	Od- <i>t</i> -CdOs	162	^t _{arc max} (3 ^{ème} pôle qui coupe)	0,70	0,77	57

Tableau L.3 – Procédure d'essai simplifiée pour k_{pp} = 1,3

NOTE Les essais 1, 2, 3 et 4 démontrent la plage de coupure en triphasé pour le premier et le deuxième pôles qui coupent. Les essais 3 et 5 démontrent la plage de coupure du troisième pôle qui coupe.

Pour T10, T30 et T60, la manœuvre Cd peut être effectuée à vide.

Essai	Séquence	Conditio	ons d'arc	TTR		Courant
NO.	d'essais "	Degrés	Durée d'arc	VATR	Valeur de u _c	(d <i>i</i> /d <i>t</i>)
		electriques		p.u.	p.u.	%
1	Os	0	^t _{arc min} (1 ^{er} pôle qui coupe)	1,0	1,0	100
2	Os	-18	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer t _{arc} min	1,0	1,0	100
3	Od-t-CdOs	42	^t _{arc max} (1 ^{er} pôle qui coupe)	1,0	1,0	100
4	CdOs	71	t _{arc max} (2 ^{ème} pôle qui coupe)	0,95	0,95	92
5	Od- <i>t</i> -CdOs	113	^t _{arc max} (2 ^{ème} pôle qui coupe)	0,95	0,95	92
6	Od- <i>t</i> -CdOs	162	^t arc max (3 ^{ème} pôle qui coupe)	0,83	0,83	75

Tableau L.4 – Procédure d'essai pour $k_{pp} = 1,2$

NOTE Les essais 1, 2 et 3 démontrent la plage de coupure en triphasé du premier pôle qui coupe. Les essais 4 et 5 démontrent la plage de coupure du deuxième pôle qui coupe. Les essais 5 et 6 démontrent la plage de coupure du troisième pôle qui coupe.

Pour T10, T30 et T60, la manœuvre Cd peut être effectuée à vide.

Essai	Séquence	Conditi	ons d'arc	TTR		Courant
NO.	d'essais "	Degrés électriques	Durée d'arc	VATR p.u.	Valeur de u _c p.u.	injecte (di/dt) %
1	Os	0	^t arc min (1 ^{er} pôle qui coupe)	1,0	1,0	100
2	Os	-18	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer ^t arc min	1,0	1,0	100
3	Od-t-CdOs	113	_{tarc max} (2 ^{ème} pôle qui coupe)	1,0	1,0	100
4	CdOs	57	<i>t_{arc med}</i> (1 ^{er} et 2 ^{ème} pôles qui coupent)	1,0	1,0	100
5	Od- <i>t</i> -CdOs	162	^t _{arc max} (3 ^{ème} pôle qui coupe)	0,83	0,83	75

Tableau L.5 – Procédure d'essai simplifiée pour k_{pp} = 1,2

NOTE Les essais 1, 2, 3 et 4 démontrent la plage de coupure en triphasé pour le premier et le deuxième pôles qui coupent. Les essais 3 et 5 démontrent la plage de coupure du troisième pôle qui coupe.

Pour T10, T30 et T60, la manœuvre Cd peut être effectuée à vide.

Essai	Séquence	Condition	Condition	s d'arc	TTR ^{acd}		Courant
NO.	d'essais	d'asymetrie	Degrés électriques	Durée d'arc	VATR p.u.	Valeur de u _c p.u.	(d <i>i /</i> d <i>t</i>) %
1	Os	Grande alternance intermédiaire (col. 8 et 9)	0	^t arc min (1 ^{er} pôle qui coupe)	1,0	1,0	(col. 10)
2	Os	Grande alternance intermédiaire (col. 8 et 9)	-18 ^b	Réalluma ge dans le 1 ^{er} pôle qui coupe pour confirmer t _{arc min}	1,0	1,0	(col. 10)
3	Os	Grande alternance assignée (col. 3 et 4)	(col. 12)	^t arc max (1 ^{er} pôle qui coupe)	1,0	1,0	(col. 5)
4	Os	Grande alternance assignée (col. 3 et 4)	(col. 13)	^f arc med (dernier pôle qui coupe)	0,7	0,58	(col.6)
5	Os	Grande alternance assignée (col. 3 et 4)	(col. 14)	^t arc max (dernier pôle qui coupe)	0,7	0,58	(col. 7)

Tableau L.6 – Procédure d'essai pour des courants asymétriques dans le cas k_{pp} = 1,5

NOTE Les références aux numéros de colonne (par exemple col. 1) se rapportent aux colonnes numérotées aux Tableaux L.9 et L.12.

^a Les valeurs données ici se rapportent à des conditions symétriques. Pour l'essai 3, voir les tableaux de l'Annexe I pour les valeurs corrigées de la TTR.

^b Pour démontrer la durée d'arc minimale.

^c La réduction de la TTR peut être appliquée à l'aide de l'Annexe P de la CEI 62271-100:2008 pour les essais 1 et 2.

^d La réduction simplifiée de la TTR pour les essais 4 et 5 peut être réalisée en utilisant les facteurs VATR et *u*_c de ce tableau dans les tableaux de l'Annexe I.

Essai No.	Séquence d'essais	Condition d'asymétrie	Conditi	ons d'arc	TTR ^{acd}		Courant injecté
			Degrés électriques	Durée d'arc	VATR p.u.	Valeur de u _c p.u.	(d <i>i 1dt</i>) %
1	Os	Grande alternance intermédiaire (col. 8 et 9)	0	^t _{arc min} (1 ^{er} pôle qui coupe)	1,0	1,0	(col. 10)
2	Os	Grande alternance intermédiaire (col. 8 et 9)	–18 ^b	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer ^t arc min	1,0	1,0	(col. 10)
3	Os	Grande alternance assignée (col. 3 et 4)	(col.12)	^f arc max (1 ^{er} pôle qui coupe)	1,0	1,0	(col. 5)
4	Os	Grande alternance assignée (col. 3 et 4)	(col.13)	^f arc med (2 ^{ème} pôle qui coupe)	0,95	0,98	(col.6)
5	Os	Grande alternance assignée (col. 3 et 4)	(col.14)	^t _{arc max} (2 ^{ème} pôle qui coupe)	0,95	0,98	(col.6)
6	Os	Grande alternance assignée (col. 3 et 4)	(col.15)	t _{arc max} (dernier pôle qui coupe)	0,70	0,77	(col.7)

Tableau L.7 – Procédure d'essai pour des courants asymétriques dans le cas $k_{pp} = 1,3$

NOTE Les références aux numéros de colonne (par exemple col. 8) se rapportent aux colonnes numérotées aux Tableaux L.10 et L.13.

^a Les valeurs données ici se rapportent à des conditions symétriques. Pour l'essai 3, voir les tableaux de l'Annexe I pour les valeurs corrigées de la TTR.

^b Pour démontrer la durée d'arc minimale.

c La réduction de la TTR peut être appliquée à l'aide de l'Annexe P de la CEI 62271-100:2008 pour les essais 1 et 2.

^d La réduction simplifiée de la TTR pour les essais 4, 5 et 6 peut être réalisée en utilisant les facteurs VATR et *u*_c de ce tableau dans les tableaux de l'Annexe I.

Essai No.	Séquence d'essais	Condition d'asymétrie	Conditi	ons d'arc	TTR ^{acd}		Courant injecté
			Degrés électriques	Durée d'arc	VATR p.u.	Valeur de u _c	(di /dt) %
1	Os	Grande alternance intermédiaire (col. 8 et 9)	0	^t arc min (1 ^{er} pôle qui coupe)	1,0	1,0	(col. 10)
2	Os	Grande alternance intermédiaire (col. 8 et 9)	–18 ^b	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer t _{arc min}	1,0	1,0	(col. 10)
3	Os	Grande alternance assignée (col. 3 et 4)	(col.12)	^f arc max (1 ^{er} pôle qui coupe)	1,0	1,0	(col. 5)
4	Os	Grande alternance assignée (col. 3 et 4)	(col.13)	^f _{arc med} (2 ^{ème} pôle qui coupe)	0,95	0,95	(col.6)
5	Os	Grande alternance assignée (col. 3 et 4)	(col.14)	t _{arc max} (2 ^{ème} pôle qui coupe)	0,95	0,95	(col.6)
6	Os	Grande alternance assignée (col. 3 et 4)	(col.15)	t _{arc max} (dernier pôle qui coupe)	0,83	0,83	(col.7)
NOTE	Les référence	es aux numéros	de colonne (pa	ar exemple col. 8)	se rapportent aux col	onnes numé	rotées aux
Tableau	ux L.11 et L.14						

Tableau L.8 – Procédure d'essai pour des courants asymétriques dans le cas $k_{pp} = 1,2$

a Les valeurs données ici se rapportent à des conditions symétriques. Pour l'essai 3, voir les tableaux de l'Annexe I pour les valeurs corrigées de la TTR.

^b Pour démontrer la durée d'arc minimale.

c La réduction de la TTR peut être appliquée à l'aide de l'Annexe P de la CEI 62271-100:2008 pour les essais 1 et 2.

^d La réduction simplifiée de la TTR pour les essais 4 et 5 peut être réalisée en utilisant les facteurs VATR et *u*_c de ce tableau dans les tableaux de l'Annexe I.



- 203 -

Asymétrie intermédiaire, TTR 1,0 p.u.



Asymétrie assignée, TTR 1 p.u.



Asymétrie assignée, TTR 0,58 p.u.







Asymétrie assignée, TTR 1 p.u.



.u.q 20,0 ATT, 99ngisss siynémyzA



Asymétrie assignée, TTR 0,7 p.u.

Figure L.2 – Représentation graphique de l'essai représenté au Tableau L.7

								dd					
Crête de I	a TTR (p.u.) pou symétriques	ır les co ک	urants							1,5	1,5	0,87	0,87
			A	symétrie ass	signée		Asymé	trie intermé	diaire ^a		Conditio	ns d'arc	
Colonne 1	2	3	4	5	9	7	8	6	10	11	12	13	14
1	Durée minimale de coupure	I _{crête}	Durée de l'alterna	d <i>i/dt</i> 1 ^{er} pôle qui coupe ^b	d <i>i</i> /d <i>t</i> 2 ^{ème} pôle qui coupe ^b	d <i>i/dt</i> 3 ^{ème} pôle qui coupe ^b	<i>I</i> crête	Durée de l'alternan ce	di/dt 1 ^{er} pôle qui coupe ^b	1 ^{er} pôle qui coupe	Durée d'arc maximale	Durée d'arc moyenne	Durée d'arc maximale
			nce								apres la grande alternanc	z pole qui coupe	dui coupe
(ms)	(sm)	(.u.d)	(sm)	(%)	(%)	(%)	(b.u.)	(sm)	(%)	(。)	e avec TTR par le 1 ^{er} Dôle qui	après la grande alternanc e	après la grande alternanc e
											(°)	(。)	(°)
	10< <i>t</i> ≤22,5	1,52	13,5	93	83	83	1,24	11,5	66	0	56	101	173
45	22,5< <i>t</i> ≤43,5	1,33	12,0	98	86	86	1,16	11,0	100	0	51	97	158
	43,5< <i>t</i> ≤64	1,21	11,5	100	87	87	1,10	10,5	100	0	48	94	148
	10< <i>t</i> ≤22,5	1,61	14,0	87	79	79	1,29	12,0	97	0	59	103	181
en	22,5 <t≤43< td=""><td>1,44</td><td>13,0</td><td>94</td><td>83</td><td>83</td><td>1,21</td><td>11,5</td><td>99</td><td>0</td><td>54</td><td>99</td><td>166</td></t≤43<>	1,44	13,0	94	83	83	1,21	11,5	99	0	54	99	166
2	43< <i>t</i> ≤63,5	1,31	12,0	97	85	85	1,15	11,0	100	0	51	96	156
	63,5< <i>t</i> ≤84	1,22	11,5	66	86	86	1,11	10,5	100	0	48	95	149
	10< <i>t</i> ≤22	1,67	15,0	82	76	76	1,33	12,0	96	0	62	105	186
	22< <i>t</i> ≤43	1,51	13,5	90	81	81	1,25	11,5	98	0	57	101	173
75	43< <i>t</i> ≤63,5	1,39	12,5	95	84	84	1,19	11,0	99	0	53	98	163
_	63,5< <i>t</i> ≤84	1,30	12,0	97	85	85	1,15	11,0	100	0	50	96	156
	84 <i><t< i="">≤104</t<></i>	1,23	11,5	98	86	86	1,11	10,5	100	0	48	95	150
	10< <i>t</i> ≤22	1,78	15,5	70	69	69	1,38	12,5	94	0	68	108	196
120	22 <t≤42,5< td=""><td>1,66</td><td>14,5</td><td>80</td><td>75</td><td>75</td><td>1,32</td><td>12,0</td><td>96</td><td>0</td><td>62</td><td>105</td><td>185</td></t≤42,5<>	1,66	14,5	80	75	75	1,32	12,0	96	0	62	105	185
22	42,5< <i>t</i> ≤63	1,56	14,0	86	78	78	1,27	12,0	97	0	59	102	177
_	63< <i>t</i> ≤83,5	1,47	13,0	91	81	81	1,23	11,5	98	0	56	100	169

Crête de l	la TTR (p.u.) pot symétriques	ur les co s	urants							1,5	1,5	0,87	0,87
			As	symétrie as:	signée		Asymé	trie intermé	diaire ^a		Conditio	ns d'arc	
Colonne 1	2	3	4	5	9	7	8	6	10	11	12	13	14
2	Durée minimale de	I _{crête}	Durée de	d <i>i/</i> d <i>t</i> 1 ^{er} pôle qui	d <i>i</i> /dt 2 ^{ème} pôle qui	d <i>i/dt</i> 3 ^{ème} pôle qui	I _{crête}	Durée de l'alternan	d <i>i/</i> dt 1 ^{er} pôle qui	1 ^{er} pôle qui	Durée ď'arc	Durée ďarc	Durée ďarc
	coupure		l'alterna nce	coupe b	coupe ^b	coupe ^b		ce	coupe ^b	coupe	maximale anrès la	moyenne 2 ^{ème} nôle	maximale 2 ^{ème} nôle
)								grande	qui	qui
											alternanc	coupe	coupe
											e avec	après la	après la
											TTR par	grande	grande
(mc)	(ms)	(II U)	(ms)	(%)	(%)	(%)	(11 U)	(ms)	(%)	(0)	le 1 ^{er}	alternanc	alternanc
(ciii)		((0/)	(0/)		((0)	(0/)		pôle qui	θ	Φ
											coupe		
											(。)	(。)	(。)
	83,5< <i>t</i> ≤103,5	1,40	12,5	94	83	83	1,20	11,5	66	0	54	98	164
a L'asymétr	ie intermédiaire e	est le nive	eau d'asymé	ștrie obtenu	dans un ess	ai direct triph	nasé dans la	phase ayant	l'asymétrie r	éduite.			
b di/dt corre	spondant au zére	o de coui	rant (pource	ntage du d <i>i/</i>	dt du couran	ıt symétrique	assigné).						

Tableau L.10 – Paramètres d'essais requis pour les différentes conditions asymétriques pour $k_{\sf pp}$ = 1,3, $f_{\sf r}$ = 50 Hz
--

0	rête de la TTR	10d ('n'd)	ur les coura	nts symé	triques					1,3	1,3	1,27	1,27	1,0
			Asymét	rie assig	née ^a		Asymé	étrie intermé	diaire		Ŭ	onditions d'ar		
Colonne 1	2	e	4	ъ	9	7	ω	ი	10	11	12	13	14	15
L.	Durée minimale de coupure	<i>I</i> crête	Durée de l'alternan ce	d <i>i/dt</i> 1 ^{er} pôle qui coupe	d <i>i/dt</i> 2 ^{ème} pôle qui coupe	d <i>i/dt</i> 3 ^{ême} pôle qui coupe ^b	l _{crête}	Durée de l'alternan ce	d <i>i/dt</i> 1 ^{er} pôle qui coupe ^b	1°r pôle qui coupe	Durée d'arc corresponda nt à la coupure après la grande	Durées d'arc correspond ant au 2 ^{ème} pôle qui coupe	Durées d'arc correspond ant au 2 ^{ême} pôle qui coupe	Durées d'arc correspond ant au dernier pôle qui
(sm)	(su)	(.u.d)	(sm)	(%)	(%)	(%)	(.u.d)	(sm)	(%)	(°)	alternance avec TTR par le 1 ^{er} pôle qui coupe (°)	après la grande alternance (°)	après la grande alternance (°)	coupe après la grande alternance
	10< <i>t</i> ≤22,5	1,52	13,5	93	84	53	1,24	11,5	66	0	56	06	162	193
45	22,5 <t≤43,5< td=""><td>1,33</td><td>12,0</td><td>98</td><td>88</td><td>56</td><td>1,16</td><td>11,0</td><td>100</td><td>0</td><td>51</td><td>85</td><td>146</td><td>182</td></t≤43,5<>	1,33	12,0	98	88	56	1,16	11,0	100	0	51	85	146	182
	43,5< <i>t</i> ≤64	1,21	11,5	100	06	57	1,10	10,5	100	0	48	82	136	175
	10 <t≤22,5< td=""><td>1,61</td><td>14,0</td><td>87</td><td>80</td><td>49</td><td>1,29</td><td>12,0</td><td>97</td><td>0</td><td>59</td><td>93</td><td>171</td><td>199</td></t≤22,5<>	1,61	14,0	87	80	49	1,29	12,0	97	0	59	93	171	199
60	22,5< <i>t</i> ≤43	1,44	13,0	94	85	54	1,21	11,5	66	0	54	88	155	188
2	43< <i>t</i> ≤63,5	1,31	12,0	97	88	56	1,15	11,0	100	0	51	85	145	181
	63,5< <i>t</i> ≤84	1,22	11,5	66	89	57	1,11	10,5	100	0	48	83	137	175
	10< <i>t</i> ≤22	1,67	15,0	82	76	46	1,33	12,0	96	0	62	95	177	203
	22 <t≤43< td=""><td>1,51</td><td>13,5</td><td>06</td><td>82</td><td>51</td><td>1,25</td><td>11,5</td><td>98</td><td>0</td><td>57</td><td>06</td><td>162</td><td>193</td></t≤43<>	1,51	13,5	06	82	51	1,25	11,5	98	0	57	06	162	193
75	43< <i>t</i> ≤63,5	1,39	12,5	92	86	54	1,19	11,0	66	0	53	87	152	185
	63,5< <i>t</i> ≤84	1,30	12,0	97	87	55	1,15	11,0	100	0	50	85	144	180
	84 <i><t< i="">≤104</t<></i>	1,23	11,5	66	88	56	1,11	10,5	100	0	48	83	138	176
	10 <i><t< i="">≤22</t<></i>	1,78	15,5	70	67	39	1,38	12,5	94	0	68	100	188	209
	22 <t≤42,5< td=""><td>1,66</td><td>14,5</td><td>80</td><td>74</td><td>45</td><td>1,32</td><td>12,0</td><td>96</td><td>0</td><td>62</td><td>96</td><td>176</td><td>201</td></t≤42,5<>	1,66	14,5	80	74	45	1,32	12,0	96	0	62	96	176	201
120	42,5< <i>t</i> ≤63	1,56	14,0	86	79	49	1,27	12,0	97	0	59	92	167	195
	63 <t≤83,5< td=""><td>1,47</td><td>13,0</td><td>91</td><td>82</td><td>52</td><td>1,23</td><td>11,5</td><td>98</td><td>0</td><td>56</td><td>06</td><td>159</td><td>190</td></t≤83,5<>	1,47	13,0	91	82	52	1,23	11,5	98	0	56	06	159	190
	83,5 <t≤103,5< td=""><td>1,40</td><td>12,5</td><td>94</td><td>84</td><td>53</td><td>1,20</td><td>11,5</td><td>66</td><td>0</td><td>54</td><td>88</td><td>153</td><td>186</td></t≤103,5<>	1,40	12,5	94	84	53	1,20	11,5	66	0	54	88	153	186
a L'asymé b di/d <i>t</i> cor	trie intermédiair respondant au z	e est le n téro de co	iiveau d'asyn ourant (pourc	nétrie obté entage du	enu dans ı d <i>i</i> /d <i>t</i> du	un essai diı courant syr	rect triphasé nétrique ass	é dans la pha signé <i>)</i> .	se ayant l'as	ymétrie rédu	ite.			

	1,0		15	Durées	d'arc	correspo	ndant au	dernier	pôle qui	coupe	après la	grande	alternanc	Φ				(。)
Ρ	1,15	arc	14	Durées	d'arc	correspo	ndant au	2 ^{ème} pôle	qui coupe	après la	grande	alternanc	Ð					(。)
$2, f_{\rm r} = 50$	1,15	onditions d'a	13	Durées	d'arc	correspo	ndant au	2 ^{ème} pôle	qui coupe	après la	grande	alternanc	Ð					(。)
$ur k_{pp} = 1$,	1,2	ö	12	Durée	d'arc	correspo	ndant à	a	coupure	après la	grande	alternanc	e avec	TTR par	le 1 ^{er}	pôle qui	coupe	(。)
iques poi	1,2		11	1 ^{er} pôle	qui	coupe							(0)					
s asymétr		liaire ^a	10	di/dt 1 ^{er}	pôle qui	coupe ^b							(%)					
condition		trie interméc	6	Durée de	l'alternan	ce							(ms)	(211)				
ifférentes		Asymé	8	I _{crête}									(11 U)	(
pour les d			7	d <i>i</i> /d <i>t</i> 3 ^{ème}	pôle qui	coupe ^b							(%)	(01)				
iis requis		gnée	9	di/dt 2 ^{ème}	pôle qui	coupe ^b							(%)	(0/)				
ıètres d'essai		/métrie assiç	5	d <i>i</i> /d <i>t</i> 1 ^{er}	pôle qui	coupe ^b							(%)	(0/)				
– Paramèt	courants	Asi	4	Durée de	l'alternan	ce							(ms)	(0)				
au L.11	pour les tues		3	I _{crête}									(11 0)	(
Table	de la TTR (p.u.) symétric		2	Durée	minimale de	coupure							(ms)					
	Crête de la		Colonne 1	τ									(me)					

20
II
, fr
7 72
Ш
k pp
'n
bo
es
nbj
étri
Ĕ
asj
ns
tio
ipc
CO CO
es
ant
ére
diff
es
- L
200
<u>is</u>
nb;
s re
sais
ess
ō.
res
lèt
ran
Pal
Т
:-
ea
-

L'asymétrie intermédiaire est le niveau d'asymétrie obtenu dans un essai direct triphasé dans la phase ayant l'asymétrie réduite. 66 11,5 1,20 70 86 94 12,5 1,40 83,5<t≤103,5

di/dt correspondant au zéro de courant (pourcentage du di/dt du courant symétrique assigné).

- 308 -

201

195 190

> 154 147

186

54

98

1,23 1,27

68

83

209

184 171 161

96 91 87 84 82

68

0 0 0 0 0

94 96 97

12,5 12,0 12,0 11,5

1,38 1,32

52 60 65

66 74 80

70 80 86 91

15,5 14,5 14,0 13,0

1,78

10<t≤22

1,66 1,56 1,47

22<1≤42,5

63<1≤83,5 42,5<t≤63

> g م

120

62 59 56

		Crêt	e de la TTR	(p.u.) pour l€	s courants :	symétriques				1,5	1,5	0,87	0,87
			A	symétrie assi	gnée		Asymé	itrie intermé	diaire ^a		Conditior	ıs d'arc	
Colonne 1	2	3	4	5	9	7	8	6	10	11	12	13	14
at (Tas)	Durée minimale de coupure (ms)	l _{crête} (p.u.)	Durée de l'alternan ce (ms)	d <i>i/dr</i> 1 ^{er} pôle qui coupe ^b (%)	di/dr 2 ^{ème} pôle qui coupe ^b (%)	di/dr 3 ^{ème} pôle qui coupe ^b (%)	l _{crête} (p.u.)	Durée de l'alternan ce (ms)	di/dr 1°' pôle qui coupe ^b (%)	1° ^r pôle qui coupe (°)	Durée d'arc maximale après la grande alternance avec TTR par le 1 ^{er} pôle qui	Durée d'arc moyenne 2 ^{eme} pôle qui coupe après la grande alternance	Durée d'arc maximale 2 ^{eme} pôle qui coupe après la grande alternance
											(2)	(2)	(2)
_	8,5< <i>t</i> ≤19,0	1,58	11,5	89	81	81	1,27	10,0	98	0	58	102	178
L V	19,0< <i>t</i> ≤36,0	1,40	10,5	96	84	84	1,19	9,5	100	0	53	98	163
0	36,0 <t≤53,0< td=""><td>1,27</td><td>10,0</td><td>98</td><td>86</td><td>86</td><td>1,13</td><td>9,0</td><td>100</td><td>0</td><td>49</td><td>96</td><td>153</td></t≤53,0<>	1,27	10,0	98	86	86	1,13	9,0	100	0	49	96	153
	53,0< <i>t</i> ≤70,0	1,19	9,5	100	87	87	1,09	9,0	100	0	47	64	147
	8,5< <i>t</i> ≤18,5	1,66	12,0	83	76	76	1,32	10,0	96	0	62	104	185
	18,5< <i>t</i> ≤36,0	1,50	11,0	91	81	81	1,24	9,5	98	0	56	101	172
60	36,0 <t≤53,0< td=""><td>1,38</td><td>10,5</td><td>95</td><td>84</td><td>84</td><td>1,18</td><td>9,5</td><td>66</td><td>0</td><td>53</td><td>86</td><td>162</td></t≤53,0<>	1,38	10,5	95	84	84	1,18	9,5	66	0	53	86	162
	53,0 <t≤70,0< td=""><td>1,29</td><td>10,0</td><td>98</td><td>85</td><td>85</td><td>1,14</td><td>9,0</td><td>100</td><td>0</td><td>50</td><td>96</td><td>154</td></t≤70,0<>	1,29	10,0	98	85	85	1,14	9,0	100	0	50	96	154
	70,0 <t≤87,0< td=""><td>1,22</td><td>9,5</td><td>66</td><td>86</td><td>86</td><td>1,11</td><td>9,0</td><td>100</td><td>0</td><td>48</td><td>94</td><td>149</td></t≤87,0<>	1,22	9,5	66	86	86	1,11	9,0	100	0	48	94	149
	8,5< <i>t</i> ≤18,5	1,72	12,5	77	73	73	1,35	10,0	95	0	64	106	190
	18,5< <i>t</i> ≤35,5	1,57	11,5	87	79	79	1,28	10,0	97	0	59	102	178
76	35,5 <t≤52,5< td=""><td>1,46</td><td>11,0</td><td>92</td><td>82</td><td>82</td><td>1,22</td><td>9,5</td><td>98</td><td>0</td><td>55</td><td>100</td><td>168</td></t≤52,5<>	1,46	11,0	92	82	82	1,22	9,5	98	0	55	100	168
c/	52,5 <t≤69,5< td=""><td>1,37</td><td>10,5</td><td>95</td><td>84</td><td>84</td><td>1,18</td><td>9,5</td><td>66</td><td>0</td><td>52</td><td>86</td><td>161</td></t≤69,5<>	1,37	10,5	95	84	84	1,18	9,5	66	0	52	86	161
	69,5 <t≤86,5< td=""><td>1,30</td><td>10,0</td><td>97</td><td>85</td><td>85</td><td>1,14</td><td>9,0</td><td>100</td><td>0</td><td>50</td><td>96</td><td>155</td></t≤86,5<>	1,30	10,0	97	85	85	1,14	9,0	100	0	50	96	155
	86,5 <t≤103,5< td=""><td>1,24</td><td>9,5</td><td>98</td><td>86</td><td>86</td><td>1,11</td><td>9,0</td><td>100</td><td>0</td><td>49</td><td>95</td><td>150</td></t≤103,5<>	1,24	9,5	98	86	86	1,11	9,0	100	0	49	95	150
	8,5< <i>t</i> ≤18,0	1,81	13,5	66	67	67	1,40	10,5	93	0	70	110	200
007	18,0< <i>t</i> ≤35,0	1,71	12,5	76	72	72	1,35	10,0	95	0	65	106	190
170	35,0 <t≤52,0< td=""><td>1,62</td><td>12,0</td><td>82</td><td>76</td><td>76</td><td>1,30</td><td>10,0</td><td>96</td><td>0</td><td>61</td><td>104</td><td>182</td></t≤52,0<>	1,62	12,0	82	76	76	1,30	10,0	96	0	61	104	182
	52,0 <t≤69,0< td=""><td>1,54</td><td>11,5</td><td>87</td><td>80</td><td>80</td><td>1,26</td><td>9,5</td><td>97</td><td>0</td><td>58</td><td>102</td><td>175</td></t≤69,0<>	1,54	11,5	87	80	80	1,26	9,5	97	0	58	102	175

		Crê	te de la TTR	(p.u.) pour le	es courants :	symétriques	Vermo	átria intormó	Misiro ^a	1,5	1,5 Condition	0,87	0,87
Asymetri	Asymet	Asymet	syinet	lle assi	gnee		Asyille		salaire		CUIIUIU	ns a arc	
2 3 4 5	3 4 5	4 5	5		6	7	8	9	10	11	12	13	14
Durée I _{crête} Durée de d <i>i</i>	I _{crête} Durée de di	Durée de di	di	(d <i>t</i> 1 ^{er}	di/dt 2 ^{ème} cêlo cui	di/dt 3 ^{ème} câlo cui	$I_{crête}$	Durée de	di/dr 1 ^{er} aâla aui	1 ^{er} pôle	Durée d'arc	Durée d'arc	Durée d'arc
				be ^b	coupe bui	coupe ^b		ce	coupe ^d ui	dui coupe	après la	2 ^{ème} pôle	2 ^{ème} pôle
											grande alternance	qui coupe après la	qui coupe après la
											avec TTR par	grande	grande
(%) (ms) (%)	(%) (ms) (%)	(%) (sm)	(%)		(%)	(%)	('n'd)	(ms)	(%)	(。)	le 1 ^{er} pôle qui coupe	alternance	alternance
											(。)	(。)	(。)
69,0< <i>t</i> ≤86,0 1,47 11,0 91	1,47 11,0 91	11,0 91	91		81	81	1,23	9,5	98	0	56	100	169
86,0 1,41 10,5 93	1,41 10,5 93	10,5 93	63		82	82	1,20	9,5	66	0	54	66	164
rie intermédiaire est le niveau d'asymétrie obtenu	est le niveau d'asymétrie obtenu	au d'asymétrie obtenu	rie obtenu	dar	ıs un essai di	rect triphasé	dans la pha	ase ayant l'as	symétrie rédu	uite.			
espondant au zéro de courant (pourcentage du d	<pre>\$ro de courant (pourcentage du d</pre>	ant (pourcentage du d	tage du d	i/dt c	du courant sy	métrique assi	igné).						

Ηz
0
9
ŗ.
ຕົ
Ļ,
"
<i>k</i> D1
L.
ŏ
s
ne
гi
éti
ξ
as)
ŝ
on
ΞŦ
pu
ပ္ပ
es
'n
re
ffé
q
les
ur
bod
<u>.</u>
пb
ē
is.
sa
es
σ
es
ètr
Ĕ
ara
ñ
Ξ.
<u> </u>
au
ble
Tal

Ċ	-/ UTT -/ -/ -/ -/ -/ -/ -/ -/ -/ -/ -/ -/ -/											277	10	
כֿ	רו או הו	nod (-n-			Śank			•		с, <u>-</u>	c,1	1,21	1,21	n, i
			Asyn	nétrie assi	gnée	-	Asyme	étrie intermé	diaire ^ª			Conditions d'	arc	
Colonne 1	2	ო	4	5	9	7	œ	Ø	10	11	12	13	14	15
ت (ms)	Durée minimale de coupure	Icrête	Durée de l'alternan ce	d <i>i/dt</i> 1 ^{er} pôle qui coupe ^b	di/dt 2 ^{ème} pôle qui	d <i>i/dt</i> 3 ^{ème} pôle qui	<i>I</i> crête	Durée de l'alternan ce	d <i>i/dt</i> 1 ^{er} pôle qui coupe ^b	1 ^{er} pôle qui	Durée d'arc corresponda nt à la	Durées d'arc correspond	Durées d'arc correspond	Durées d'arc correspond
					coupe	coupe				coupe	coupure après la grande alternance	ant au ∠ pôle qui coupe après la	ant au ∠ pôle qui coupe après la	ant au dernier pôle qui coupe
	(sm)	(n.)	(sm)	(%)	(%)	(%)	(.n.d)	(sm)	(%)	(。)	avec TTR par le 1 ^{er} pôle qui coupe	alternance	grande alternance	après la grande alternance
	8,5< <i>t</i> ≤19,0	1,58	11,5	89	81	50	1,27	10,0	98	0	58	92	168	197
L.	19,0< <i>t</i> ≤36,0	1,40	10,5	96	86	54	1,19	9,5	100	0	53	87	152	186
0	36,0 <t≤53,0< td=""><td>1,27</td><td>10,0</td><td>98</td><td>88</td><td>56</td><td>1,13</td><td>9,0</td><td>100</td><td>0</td><td>49</td><td>84</td><td>142</td><td>178</td></t≤53,0<>	1,27	10,0	98	88	56	1,13	9,0	100	0	49	84	142	178
	53,0< <i>t</i> ≤70,0	1,19	9,5	100	89	57	1,09	9,0	100	0	47	82	135	173
	8,5< <i>t</i> ≤18,5	1,66	12,0	83	76	46	1,32	10,0	96	0	62	95	176	202
	18,5< <i>t</i> ≤36,0	1,50	11,0	91	83	51	1,24	9,5	98	0	56	06	161	192
60	36,0 <t≤53,0< td=""><td>1,38</td><td>10,5</td><td>95</td><td>86</td><td>54</td><td>1,18</td><td>9,5</td><td>66</td><td>0</td><td>53</td><td>87</td><td>151</td><td>185</td></t≤53,0<>	1,38	10,5	95	86	54	1,18	9,5	66	0	53	87	151	185
	53,0< <i>t</i> ≤70,0	1,29	10,0	98	88	55	1,14	9,0	66	0	50	84	143	179
	70,0 <t≤87,0< td=""><td>1,22</td><td>9,5</td><td>66</td><td>89</td><td>56</td><td>1,11</td><td>9,0</td><td>100</td><td>0</td><td>48</td><td>82</td><td>137</td><td>175</td></t≤87,0<>	1,22	9,5	66	89	56	1,11	9,0	100	0	48	82	137	175
	8,5< <i>t</i> ≤18,5	1,72	12,5	77	72	43	1,35	10,0	95	0	64	97	181	205
	18,5< <i>t</i> ≤35,5	1,57	11,5	87	79	49	1,28	10,0	97	0	59	92	168	196
76	35,5< <i>t</i> ≤52,5	1,46	11,0	92	83	52	1,22	9,5	98	0	55	89	158	189
2	52,5< <i>t</i> ≤69,5	1,37	10,5	95	86	54	1,18	9,5	66	0	52	87	150	184
	69,5< <i>t</i> ≤86,5	1,30	10,0	97	87	55	1,14	9,0	100	0	50	85	144	179
	86,5< <i>t</i> ≤103,5	1,24	9,5	98	87	56	1,11	9,0	100	0	49	83	139	176
	8,5< <i>t</i> ≤18,0	1,81	13,5	66	63	36	1,40	10,5	93	0	70	102	192	211
120	18,0< <i>t</i> ≤35,0	1,71	12,5	76	70	42	1,35	10,0	95	0	65	98	181	204
	35,0 <t≤52,0< td=""><td>1,62</td><td>12,0</td><td>82</td><td>76</td><td>46</td><td>1,30</td><td>10,0</td><td>96</td><td>0</td><td>61</td><td>94</td><td>172</td><td>198</td></t≤52,0<>	1,62	12,0	82	76	46	1,30	10,0	96	0	61	94	172	198

Ū	rête de la TTR (p	Inod ('n'	r les courant	s symétriq	lues					1,3	1,3	1,27	1,27	1,0
			Asyn	nétrie assi	gnée		Asymé	étrie intermé	édiaire ^a			Conditions d'a	arc	
Colonne 1	2	3	4	5	9	7	8	6	10	11	12	13	14	15
ر ms)	Durée minimale de coupure	<i>I</i> crête	Durée de l'alternan ce	d <i>i/dt</i> 1 ^{er} pôle qui coupe ^b	d <i>i/dt</i> 2 ^{ème} pôle qui coupe ^b	d <i>i/dt</i> 3 ^{ème} pôle qui coupe ^b	<i>I</i> crête	Durée de l'alternan ce	d <i>i/dt</i> 1 ^{er} pôle qui coupe ^b	1 ^{er} pôle qui coupe	Durée d'arc corresponda nt à la coupure	Durées d'arc correspond ant au 2 ^{ème}	Durées d'arc correspond ant au 2 ^{ème}	Durées d'arc correspond ant au
											après la grande alternance	pôle qui coupe après la	pôle qui coupe après la	dernier pôle qui coupe
	(sm)	(.u.d)	(sm)	(%)	(%)	(%)	(.u.q)	(ms)	(%)	(。)	avec LLK par le 1 ^{er} pôle qui coupe	grande alternance	grande alternance	apres la grande alternance
											(。)	(。)	(。)	(°)
	52,0 <t≤69,0< td=""><td>1,54</td><td>11,5</td><td>87</td><td>80</td><td>49</td><td>1,26</td><td>9,5</td><td>97</td><td>0</td><td>58</td><td>92</td><td>165</td><td>194</td></t≤69,0<>	1,54	11,5	87	80	49	1,26	9,5	97	0	58	92	165	194
	69,0< <i>t</i> ≤86,0	1,47	11,0	91	82	51	1,23	9,5	98	0	56	06	158	189
	86,0 <t≤103,0< td=""><td>1,41</td><td>10,5</td><td>93</td><td>83</td><td>53</td><td>1,20</td><td>9,5</td><td>66</td><td>0</td><td>54</td><td>88</td><td>153</td><td>186</td></t≤103,0<>	1,41	10,5	93	83	53	1,20	9,5	66	0	54	88	153	186
a L'asym b d <i>i</i> /d <i>t</i> .cc	étrie intermédiair	te est le r céro de ce	niveau d'asyr ourant (pourc	nétrie obter entage du	nu dans un di/dr du cou	essai direc urant svmé	st triphasé trique ass	é dans la pha signé).	ase ayant l'	asymétrie	eréduite.			

	Tab	leau L.	.14 – Parar	mètres d	'essais r	equis po	ur les	différente	s conditi	ons as	ymétriques	pour $k_{pp} = 1$,2, <i>f</i> _r = 60 Hz	
		Crête d	e la TTR (p.u	ı.) pour les	courants	symétrique	Se			1,2	1,2	1,15	1,15	1,0
			Asyn	nétrie assiç	gnée		Asymé	ştrie intermé	diaire ^a			Conditions d	l'arc	
Colonne 1	2	3	4	5	9	7	8	თ	10	11	12	13	14	15
r (ms)	Durée minimale de coupure (ms)	l _{crête} (p.u.)	Durée de l'alternan ce (ms)	di/dr 1°r pôle qui coupe ^b (%)	di/dt 2 ^{ème} pôle qui coupe ^b (%)	di/dr 3 ^{ême} pôle qui coupe ^b (%)	I _{crête} (p.u.)	Durée de l'alternan ce (ms)	di/dr 1°r pôle qui coupe ^b (%)	1 ^{er} pôle qui (°)	Durée d'arc correspond ant à la coupure après la grande alternance avec TTR par le 1 ^{er} pôle qui coupe	Durées d'arc corresponda nt au 2 ^{ème} pôle qui coupe après la grande alternance (°)	Durées d'arc corresponda nt au 2 ^{éme} pôle qui coupe après la grande alternance (°)	Durées d'arc corresponda nt au dernier pôle qui coupe après la grande alternance (°)
	8,5< <i>t</i> ≤18,0	1,81	13,5	66	62	48	1,40	10,5	93	0	70	97	188	211
	18,0< <i>t</i> ≤35,0	1,71	12,5	76	71	56	1,35	10,0	95	0	65	93	176	204
001	35,0< <i>t</i> ≤52,0	1,62	12,0	82	76	61	1,30	10,0	96	0	61	89	167	198
071	52,0< <i>t</i> ≤69,0	1,54	11,5	87	81	65	1,26	9,5	97	0	58	86	159	194
	69,0 <t≤86,0< td=""><td>1,47</td><td>11,0</td><td>91</td><td>84</td><td>68</td><td>1,23</td><td>9,5</td><td>98</td><td>0</td><td>56</td><td>84</td><td>153</td><td>189</td></t≤86,0<>	1,47	11,0	91	84	68	1,23	9,5	98	0	56	84	153	189
	86,0< <i>t</i> ≤103,0	1,41	10,5	93	86	70	1,20	9,5	66	0	54	82	148	186
a L'asym	étrie intermédiair	re est le r	niveau d'asym	nétrie obten	iu dans un	essai direc	t triphasé	é dans la pha	ise ayant l'a	asymétrie	e réduite.			
b di/dt cc	rrespondant au z	zéro de ci	ourant (pourc	entage du «	di/dt du coi	urant symét	trique as	signé).						

62271-101 © CEI:2012

Essai No.	Séquence d'essais		Conditions d'arc	TTR		Courant injecté
		Degrés	Durée d'arc	Valeur de <i>u</i> c	VATR	
		électriques		basée sur k _{pp}	p.u.	di/dt
1	Os	0	$t_{\rm arc\ min}$ premier pôle qui coupe ($k_{\rm pp}$ =1,3 et 1,5)	1,5	1	100 %
2	Os	–18 ^a	réallumage	1,5	1	100 %
3	Od-CdOs	42	$t_{arc max}$ premier pôle qui coupe (k_{pp} =1,3 et 1,5)	1,5	1	100 %
4	CdOs	90	$t_{arc min}$ deuxième pôle qui coupe $(k_{pp}=1,3)$ dernier pôle qui coupe $(k_{pp}=1,5)$	1,3	0,95	89 %
5	Od-CdOs	132	$t_{arc max}$ deuxième pôle qui coupe $(k_{pp}=1,3)$ dernier pôle qui coupe $(k_{pp}=1,5)$	1,3	0,95	89 %
6	Od-CdOs	162	t _{arc max} dernier pôle qui coupe (k _{pp} =1,3)	1,0	0,70	57 %
^a Pour o	démontrer la d	urée d'arc minir	nale.			

Tableau L.15 – Procédure de combinaison de k_{pp} = 1,5 et 1,3 pendant les séquences d'essais T10, T30, T60 et T100s(b)

Essai No.	Séquence d'essais	Condition d'asymétrie	Conditions d'arc		TTR acd		Courant injecté
			Degrés électriques	Durée d'arc	Valeur de u _c	VATR	di/dt
			•		basee sur κ_{pp}	p.u.	unui
1	Os	Grande alternance intermédiaire (Tableau L.9/L.12 col. 8 et 9)	0	^t _{arc min} premier pôle qui coupe (k _{pp} =1,5 et 1,3)	1,5	1	100 %
2	Os	Grande alternance intermédiaire (Tableau L.9/L.12 col. 8 et 9)	–18 ^b	Réallumage dans le 1 ^{er} pôle qui coupe pour confirmer t _{arc min}	1,5	1	100 %
3	Os	Grande alternance assignée (Tableau L.9/L.12 col. 3 et 4)	(Tableau L.10/L.13. col.12)	^t _{arc max} premier pôle qui coupe (k _{pp} =1,3 et 1,5)	1,5	1	100 %
4	Os	Grande alternance assignée (Tableau L.9/L.12 col. 3 et 4)	(Tableau L.9/L.12. col.13)	$t_{arc med}$ deuxième pôle qui coupe (k_{pp} =1,3) dernier pôle qui coupe (k_{pp} =1,5)	1,3	0,95	89 %
5	Os	Grande alternance assignée (Tableau L.9/L.12 col. 3 et 4)	(Tableau L.10/L.13. col.14)	^t _{arc max} deuxième pôle qui coupe (k _{pp} =1,3)	1,3	0,95	89 %
6	Os	Grande alternance assignée (Tableau L.9/L.12 col. 3 et 4)	(Tableau L.10/L.13. col.15)	$t_{arc max}$ dernier pôle qui coupe $(k_{pp}=1,3 \text{ et } 1,5)$	1,0	0,70	87 %

Tableau L.16 – Procédure de combinaison de k_{pp} = 1,5 et 1,3 pendant la séquence d'essais T100a

a Les valeurs données ici se rapportent à des conditions symétriques. Pour l'essai 3, voir les tableaux de l'Annexe I pour les valeurs corrigées de la TTR.

b Pour démontrer la durée d'arc minimale.

c La réduction de la TTR peut être appliquée à l'aide de l'Annexe P de la CEI 62271-100:2008 pour les essais 1 et 2.

d La réduction simplifiée de la TTR pour les essais 4, 5 et 6 peut être réalisée en utilisant les facteurs VATR et u_c de ce tableau dans les tableaux de l'Annexe I.

Annexe M

(normative)

Tolérances sur les paramètres d'essais lors des essais de type

Au cours des essais de type, les tolérances suivantes peuvent être normalement distinguées:

- tolérances sur les paramètres d'essais qui déterminent directement les contraintes appliquées à l'objet d'essai;
- tolérances sur les caractéristiques et sur le comportement de l'objet d'essai avant et après un essai;
- tolérances sur les conditions d'essais;
- tolérances sur les paramètres des dispositifs de mesure à utiliser.

Dans le Tableau M.1, seules les tolérances sur les paramètres d'essais ont été considérées.

Une tolérance est définie comme étant l'intervalle de la valeur d'essai spécifiée dans la présente norme à l'intérieur duquel il convient que la valeur mesurée en essai se trouve pour que l'essai soit valable. Dans certains cas, l'essai peut rester valable même si la valeur mesurée est hors tolérance.

Tout écart dû à l'imprécision de la mesure sur la valeur mesurée durant l'essai par rapport à la valeur réelle n'est pas pris en considération.

Les règles de base pour l'application des tolérances sur les paramètres d'essais durant les essais de type sont les suivantes:

- a) les stations d'essais doivent tenter, dans la mesure du possible, d'obtenir les valeurs d'essais spécifiées;
- b) les tolérances spécifiées sur les paramètres d'essais doivent être respectées par les stations d'essais. Il est permis d'appliquer au disjoncteur des contraintes plus élevées que celles données par les tolérances spécifiées seulement avec l'accord du constructeur. Des contraintes moins élevées rendent l'essai invalide;
- c) lorsque cette norme ne donne aucune tolérance sur un paramètre d'essais, les tolérances de la CEI 62271-100 s'appliquent. La limite supérieure des contraintes est sujette à l'accord du constructeur;
- d) si, pour n'importe quel paramètre d'essais, seulement une limite est donnée, alors l'autre limite doit être considérée comme étant le plus près possible de la valeur spécifiée.

Tableau M.1 – Tolérances sur les paramètres d'essais lors des essais de type (1 de 2)

Identification de l'essai	Paramètre d'essais	Valeur d'essai spécifiée	Tolérances d'essais/ limites des valeurs d'essais
	d <i>i/dt</i> au zéro de courant pour T10 ^a	10 % de di/dr au zéro de courant du pouvoir de coupure assigné en court-circuit	\pm 20 %
Octomental de actionale accordente	d <i>i/dt</i> au zéro de courant pour T30 ^a	30 % de d <i>i/dt</i> au zéro de courant du pouvoir de coupure assigné en court-circuit	\pm 20 %
sequence a essais ae count-circuit fondamental	d <i>i/dt</i> au zéro de courant pour T60 ^a	60 % de di/dr au zéro de courant du pouvoir de coupure assigné en court-circuit	\pm 10 %
	di/dt au zéro de courant en T100s et T100a a	d <i>i/dt</i> au zéro de courant du pouvoir de coupure assigné en court-circuit	+ 5 %
Essais au courant critique	d <i>i/dt</i> au zéro de courant ^a	d <i>i/dt</i> au zéro de courant du courant défini en 6.107.2 de la CEI 66271-100:2008	\pm 20 %
Essais de défaut monophasé ou de double défaut à la terre	d <i>i/dt</i> au zéro de courant ^a	d <i>i/dt</i> au zéro de courant du courant défini à la Figure 45 de la CEI 62271-100:2008	+ 5 %
	d <i>i/dt</i> au zéro de courant pour L ₉₀ ^a	di/dr au zéro de courant du pouvoir de coupure assigné en court-circuit	90 % à 92 %
	Vitesse d'accroissement de la tension de rétablissement côté source pour L ₉₀	90 % de la vitesse de montée donnée aux Tableaux 1 à 5 de la CEI 62271-100:2008	+5%
	d <i>i/dt</i> au zéro de courant pour L ₇₅ ^a	di/dt au zéro de courant du pouvoir de coupure assigné en court-circuit	71 % à 79 %
Essais de défaut proche en ligne	Vitesse de montée de la tension de rétablissement côté source pour L ₇₅	75 % de la vitesse de montée donnée aux Tableaux 1 à 5 de la CEI 62271-100:2008	+ 5 %
	d <i>i/dt</i> au zéro de courant pour L ₆₀ ^a	d <i>i/dt</i> au zéro de courant du pouvoir de coupure assigné en court-circuit	55 % à 65 %
	Vitesse de montée de la tension de rétablissement côté source pour L ₆₀	60 % de la vitesse de montée donnée aux Tableaux 1 à 5 de la CEI 62271-100:2008	+ 5%

Tableau M.1 (2 de 2)

Identification de l'essai	Paramètre d'essais	Valeur d'essai spécifiée	Tolérances d'essais/ limites des valeurs d'essais
Ecocity di Atamonofication de la contrario	di/dt au zéro de courant pour OP1 ^a	d <i>i/dt</i> au zéro de courant, à 30 % du pouvoir de coupure assigné en discordance de phases	\pm 20 %
discordance de phases	d <i>i/dt</i> au zéro de courant pour OP2 ^a	d <i>i/dt</i> au zéro de courant du pouvoir de coupure assigné en discordance de phases	+ 10 %
Essais d'établissement et de coupure en courant capacitif	Fréquence du courant de coupure	Fréquence assignée	45 Hz – 65 Hz
a Ces tolérances s'appliquent uniqueme	ent au circuit d'essai à injection de courant.		

Annexe N

(informative)

Circuits d'essai types pour les disjoncteurs sous enveloppe métallique et à cuve mise à la terre

La présente annexe décrit quelques circuits d'essais synthétiques typiques, pour disjoncteurs sous enveloppe métallique et à cuve mise à la terre, applicables aux essais de type d'établissement et de coupure de courants de court-circuit et de coupure de courants de charge. D'autres méthodes ne sont pas à écarter, à condition qu'elles apportent les contraintes correctes aux bornes de phase, entre les phases et entre les bornes et l'enveloppe du disjoncteur.

De nombreux circuits sont possibles avec des caractéristiques différentes. Quelques exemples sont donnés dans les Figures N.1 à N.9 comme suit:

- essais de défauts aux bornes sur une ou plusieurs unités de disjoncteur sous enveloppe métallique ou à cuve mise à la terre (Figures N.1 à N.4);
- essais d'établissement et de coupure de courants capacitifs (Figures N.5 à N.7);
- essais d'établissement et de coupure en discordance de phase (Figure N.8);
- essais de défauts aux bornes du pôle complet avec une tension appliquée aux bornes et à l'enveloppe métallique (Figure N.9).



a – Exemple type de circuit à injection avec circuit de tension en parallèle avec l'unité (les unités) soumise(s) à l'essai



b – Exemple type de circuit à injection avec circuit de tension en parallèle avec l'unité (les unités) utilisée(s) comme disjoncteur auxiliaire

Légende

S _a	unité(s) du disjoncteur utilisée(s) comme disjoncteur auxiliaire
S _t	unité(s) du disjoncteur utilisée(s) comme disjoncteur d'essai
G	source d'alimentation de u_{E} , appliquée à l'enveloppe
u _{cs}	tension du circuit de courant
i _{cs}	courant du circuit de courant
i _h	courant injecté
i _t	courant à travers S _t
L ₁	inductance du circuit de courant
L _h	inductance du circuit de tension
Z _h	impédance d'onde équivalente du circuit de tension
C _h	capacité du circuit de tension qui règle la plus grande partie de la TTR avec ${\it L}_{\rm h}$

Pour une explication de u_t , u_E et u_A voir Figure N.2

Figure N.1 – Circuit d'essai pour essais par éléments séparés (disjoncteur avec interaction due à la circulation de gaz)



Exemples types d'ondes de tension dans un circuit d'injection de courant, conformément à la Figure N.1a, avec le circuit de tension en parallèle avec l'unité (les unités) comme le disjoncteur d'essai Exemples types d'ondes de tension dans un circuit d'injection de courant, conformément à la Figure N.1b, avec le circuit de tension en parallèle avec l'unité (les unités) comme le disjoncteur auxiliaire

Légende

- *u*_E tension appliquée à l'enveloppe isolée
- tension appliquée à l'intervalle de contact de l'unité (des unités) soumise(s) à l'essai (tension résultante entre la borne non mise à la terre de l'unité soumise à l'essai et l'enveloppe; on suppose une répartition linéaire de la tension entre les unités).
- *u*_{cs} tension du circuit de courant
- *u*_A tension résultante entre une borne et l'enveloppe
- u_C crête de la TTR

Figure N.2 – Essais d'un demi-pôle d'un disjoncteur dans le circuit d'essai donné à la Figure N.1 – Exemple des TTR requises devant être appliquées entre les bornes de l'unité (des unités) soumise(s) à l'essai et entre les parties sous tension et l'enveloppe isolée





a – Exemple type de circuit à injection avec circuit de tension en parallèle avec l'unité (les unités) soumise(s) à l'essai



b – Exemple type de circuit à injection avec circuit de tension en parallèle avec le disjoncteur auxiliaire

Légende

S _a	disjoncteur auxiliaire
S _t	unité(s) du disjoncteur en essai
G	source d'alimentation de <i>u</i> _E , appliquée à l'enveloppe
u _A	tension résultante entre une borne et l'enveloppe
u _{cs}	tension du circuit de courant
i _{cs}	courant du circuit de courant
i _h	courant injecté
i _t	courant à travers S _t
L _h	inductance du circuit de tension
Z _h	impédance d'onde équivalente du circuit de tension
C _h	capacité du circuit de tension qui règle la plus grande partie de la TTR avec $L_{ m h}$
Pour une ex	plication de u_t , u_E et u_A voir Figure N.4

Figure N.3 – Circuit d'essai synthétique pour essais par éléments séparés (si l'essai par éléments séparés est autorisé par le 6.102.4.2 de la CEI 62271-100:2008)


- *u*_E tension appliquée à l'enveloppe isolée
- u_{t} tension appliquée à l'intervalle de contact de l'unité (des unités) soumise(s) à l'essai
- *u*_A tension résultante entre une borne et l'enveloppe
- u_c crête de la TTR

Figure N.4 – Essais d'un demi-pôle d'un disjoncteur dans le circuit d'essai de la Figure N.3 – Exemple des TTR requises devant être appliquées entre les bornes de l'unité (des unités) soumise(s) à l'essai et entre les parties sous tension et l'enveloppe isolée









b – Formes d'onde de courant et de tension qualitatives

Figure N.5 – Circuit pour essais capacitifs avec injection de courant avec enveloppe du disjoncteur sous tension





i_v i_t

- S_a disjoncteurs auxiliaires
- S_t disjoncteur en essai
- u_v tension du circuit de tension
- u_{cs} tension du circuit de courant
- *i*_{cs} courant du circuit de courant
 - courant du circuit de tension
 - courant d'essai
- u_A tension résultante entre la borne alimentée du disjoncteur et l'enveloppe
- u_B tension résultante entre la borne de terre du disjoncteur et l'enveloppe
- *u*_t tension d'essai

a - Montage général du circuit d'essai



b – Formes d'ondes de courant et de tension qualitatives

Figure N.6 – Circuit synthétique pour essais capacitifs utilisant deux sources à fréquence industrielle et avec l'enveloppe du disjoncteur sous tension





- S_a disjoncteurs auxiliaires
- S_t disjoncteur en essai
- u_E tension c.c. appliquée à l'enveloppe isolée
- u_{cs} tension du circuit de courant
- i_{cs} courant du circuit de courant
- *i*_v courant injecté
- it courant d'essai
- *u*_t tension d'essai

$$u_{\rm t} = \frac{2 \times U_{\rm r} \times K \times k_{\rm c}}{\sqrt{3}}$$

$$u_{\mathsf{E}} = \left[\left(2 \times k_{\mathsf{C}} \times K \right) - k_{\mathsf{L}} \right] \times U_{\mathsf{r}} \sqrt{\frac{2}{3}}$$

U_r tension assignée du disjoncteur

 $k_{\rm c}$ facteur multiplicatif des essais d'établissement et de coupure du courant capacitif monophasé

K facteur de distribution de la tension

 $k_{\rm L}$ facteur de charge capacitive basé sur le système de référence triphasé (voir la CEI 62271-100:2008, O.3.3)

Figure N.7 – Circuit synthétique pour essais capacitifs avec injection de courant – Exemple d'essais par éléments séparés d'un demi-pôle d'un disjoncteur ayant deux éléments par pôle – Enveloppe alimentée par une source de tension c.c.



S_a unité(s) du disjoncteur utilisée(s) comme disjoncteur auxiliaire

 ${\rm S}_{\rm t}$ unité(s) du disjoncteur utilisée(s) comme disjoncteur d'essai

*u*_A tension appliquée à l'une des bornes du disjoncteur soumis à l'essai

*u*_B tension appliquée à l'autre borne du disjoncteur soumis à l'essai

- *u*_t tension d'essai
- *u*_{cs} tension du circuit de courant
- *i*_t courant à travers S_t
- L₁ inductances du circuit de courant

Figure N.8 – Circuit d'essai synthétique symétrique pour les essais d'établissement et de coupure en discordance de phases d'un pôle complet de disjoncteur



Figure N.9 – Essai de pôle complet avec une tension appliquée aux bornes et à l'enveloppe métallique		
L ₁	inductances du circuit de courant	
i _t	courant à travers S _t	
u _{cs}	tension du circuit de courant	
u _t	tension d'essai	
и _в	tension appliquée à l'autre borne et à l'enveloppe du disjoncteur soumis à l'essai	
u _A	tension appliquée à l'une des bornes du disjoncteur soumis à l'essai	
St	disjoncteur en essai	
S _a	disjoncteurs auxiliaires	

Annexe O

(informative)

Combinaison des méthodes par injection de courant et par injection de tension

0.1 Méthodes par injection de courant

Les informations relatives aux méthodes par injection de courant se trouvent en 4.2.1 et à l'Annexe B de la présente norme.

O.2 Méthodes par injection de tension

Les informations relatives aux méthodes par injection de tension se trouvent en 4.2.2 et à l'Annexe C de la présente norme.

0.3 Circuits combinés d'injection de courant et de tension

O.3.1 Généralités

Dans un circuit d'essais synthétiques utilisant la combinaison des méthodes par injection de courant et par injection de tension, la partie initiale de la tension transitoire de rétablissement est générée par le circuit d'injection de courant.

La seconde partie de la tension transitoire de rétablissement est générée par un circuit d'injection de tension (à un ou plusieurs étages).

Deux exemples de circuits d'essais synthétiques sont pris en compte dans la présente Annexe, combinant une injection de courant et une injection de tension (voir 0.3.2 et 0.3.3).

Si un quelconque dispositif ayant un pouvoir de coupure coupe le courant dans le disjoncteur en essai en même temps que le disjoncteur en essai, la méthode n'est pas considérée comme une méthode par injection de courant conforme à 4.2.1 et n'est pas valide pour soumettre à l'essai le comportement thermique du disjoncteur en essai.

O.3.2 Circuit combiné d'injection de courant et de tension avec application de la tension d'essai complète par rapport à la terre

Ce circuit d'essais synthétiques avec injection combinée de courant et de tension applique la tension d'essai complète à une borne du disjoncteur en essai tandis que l'autre borne est mise à la terre (Figure 0.1).

O.3.3 Circuit combiné d'injection de courant et de tension avec application séparée de la tension d'essai

Ce circuit d'essais synthétiques applique le circuit d'injection de courant à une borne et le circuit d'injection de tension à la seconde borne (et à l'enveloppe le cas échéant) du disjoncteur en essai (Figure O.2).

En cas de cuve mise à la terre ou de disjoncteur isolé au gaz, ce circuit d'essai peut être utilisé pour une séquence d'essai en discordance de phases, avec la cuve à la terre.





u _{cs}	tension du circuit de courant	$U_{\rm h1},~U_{\rm h2}$	tension de charge des circuits de tension
L ₁	inductance du circuit de courant	i _{cs}	courant du circuit de courant
S _{a1} , S _{a2}	disjoncteurs auxiliaires	i _v	courant injecté
St	disjoncteur en essai	i _t	courant traversant le disjoncteur en essai
Z _{h1} , Z _{h2}	impédance d'onde équivalente des circuits de tension	<i>u</i> _{c1} , <i>u</i> _{c2}	tension des circuits de tension
L _{h1} , L _{h2}	inductance du circuit de tension	u _t	tension aux bornes du disjoncteur en essai





Figure O.2 – Exemple de circuit combiné d'injection de courant et de tension avec application séparée de la tension d'essai

Bibliographie

CEI 60050-441:1984, Vocabulaire Electrotechnique International (VEI) – Chapitre 441: Appareillage et fusibles

CEI 62271-306, *High-voltage switchgear and controlgear – Part 306: Guide to IEC 62271-100, IEC 62271-1 and other IEC standards related to alternating current circuit-breakers*¹ (disponible en anglais seulement)

¹ To be published.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

3, rue de Varembé PO Box 131 CH-1211 Geneva 20 Switzerland

Tel: + 41 22 919 02 11 Fax: + 41 22 919 03 00 info@iec.ch www.iec.ch