

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor die products –
Part 1: Procurement and use**

**Produits de puces de semiconducteurs –
Partie 1: Approvisionnement et utilisation**



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2009 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland
Email: inmail@iec.ch
Web: www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

- Catalogue of IEC publications: www.iec.ch/searchpub

The IEC on-line Catalogue enables you to search by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, withdrawn and replaced publications.

- IEC Just Published: www.iec.ch/online_news/justpub

Stay up to date on all new IEC publications. Just Published details twice a month all new publications released. Available on-line and also by email.

- Electropedia: www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 20 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary online.

- Customer Service Centre: www.iec.ch/webstore/custserv

If you wish to give us your feedback on this publication or need further assistance, please visit the Customer Service Centre FAQ or contact us:

Email: csc@iec.ch

Tel.: +41 22 919 02 11

Fax: +41 22 919 03 00

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

- Catalogue des publications de la CEI: www.iec.ch/searchpub/cur_fut-f.htm

Le Catalogue en-ligne de la CEI vous permet d'effectuer des recherches en utilisant différents critères (numéro de référence, texte, comité d'études,...). Il donne aussi des informations sur les projets et les publications retirées ou remplacées.

- Just Published CEI: www.iec.ch/online_news/justpub

Restez informé sur les nouvelles publications de la CEI. Just Published détaille deux fois par mois les nouvelles publications parues. Disponible en-ligne et aussi par email.

- Electropedia: www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International en ligne.

- Service Clients: www.iec.ch/webstore/custserv/custserv_entry-f.htm

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions, visitez le FAQ du Service clients ou contactez-nous:

Email: csc@iec.ch

Tél.: +41 22 919 02 11

Fax: +41 22 919 03 00



IEC 62258-1

Edition 2.0 2009-04

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor die products –
Part 1: Procurement and use**

**Produits de puces de semiconducteurs –
Partie 1 : Approvisionnement et utilisation**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX



ICS 31.080.99

ISBN 2-8318-1036-7

CONTENTS

FOREWORD.....	5
INTRODUCTION.....	7
1 Scope.....	8
2 Normative references.....	8
3 Terms and definitions	9
3.1 Basic definitions	9
3.2 General terminology	10
3.3 Semiconductor manufacturing and interconnection terminology.....	12
4 General requirements	13
5 Data exchange	13
6 Requirements for all devices.....	14
6.1 Data package	14
6.1.1 General	14
6.1.2 Information source	14
6.1.3 Data version	14
6.1.4 Data exchange formats	14
6.2 Identity and source	14
6.2.1 General	14
6.2.2 Type number	14
6.2.3 Manufacturer	14
6.2.4 Supplier	14
6.2.5 Signature.....	14
6.3 Function	14
6.4 Physical characteristics	15
6.4.1 Semiconductor material	15
6.4.2 Technology.....	15
6.5 Ratings and limiting conditions.....	15
6.5.1 Power dissipation.....	15
6.5.2 Operating temperature	15
6.6 Connectivity.....	15
6.6.1 General	15
6.6.2 Terminal count.....	15
6.6.3 Terminal information	15
6.6.4 Permutability.....	16
6.7 Documentation	16
6.8 Form of supply.....	16
6.8.1 Physical form	16
6.8.2 Packing	16
6.9 Simulation and modelling	16
6.9.1 General	16
6.9.2 Electrical modelling and simulation.....	16
6.9.3 Thermal data and modelling	16
7 Requirements for bare die and wafers with or without connection structures	17
7.1 General	17
7.2 Identity	17
7.2.1 General	17

7.2.2	Die name	17
7.2.3	Die version	17
7.3	Materials	17
7.3.1	Substrate material	17
7.3.2	Substrate connection	17
7.3.3	Backside detail	17
7.3.4	Passivation material	17
7.3.5	Metallisation	17
7.3.6	Terminal material	17
7.3.7	Terminal structure	18
7.3.8	Vias	18
7.4	Geometry	18
7.4.1	General	18
7.4.2	Units of measurement	18
7.4.3	Geometric view	18
7.4.4	Die size	18
7.4.5	Die thickness	18
7.4.6	Dimension tolerances	18
7.4.7	Geometric origin	18
7.4.8	Terminal shape and size	18
7.4.9	Die fiducials	19
7.4.10	Die picture	19
7.5	Wafer data	19
7.5.1	General	19
7.5.2	Wafer size	19
7.5.3	Wafer index	19
7.5.4	Wafer die count and step size	19
7.5.5	Wafer reticules	19
8	Minimally-packaged devices	19
8.1	General	19
8.2	Number of terminals	19
8.3	Terminal position	19
8.4	Terminal shape and size	20
8.5	Device size	20
8.6	Seated height	20
8.7	Encapsulation material	20
8.8	Moisture sensitivity	20
8.9	Package style code	20
8.10	Outline drawing	20
9	Quality, test and reliability	21
9.1	General	21
9.2	Outgoing quality level	21
9.2.1	Value	21
9.2.2	Description	21
9.3	Electrical parameters specified	21
9.4	Compliance to standards	21
9.5	Additional device screening	21
9.6	Product status	21
9.7	Testability features	21

9.8	Additional test requirements.....	21
9.9	Reliability.....	22
9.9.1	Reliability estimate.....	22
9.9.2	Reliability calculation	22
10	Handling and packing	22
10.1	General requirements for all devices.....	22
10.1.1	General	22
10.1.2	Customer part number	22
10.1.3	Type number	23
10.1.4	Supplier	23
10.1.5	Manufacturer	23
10.1.6	Traceability.....	23
10.1.7	Quantity.....	23
10.1.8	ESD sensitivity.....	23
10.1.9	Requirements for environmental protection	23
10.2	Specific requirement for bare die or wafers – mask version	23
10.3	Specific requirement for wafers – wafer map.....	23
10.4	Special item requirements	23
10.4.1	General	23
10.4.2	Special protection requirements	24
10.4.3	Unencapsulated die warning label	24
10.4.4	Toxic material warning	24
10.4.5	Fragile components warning	24
10.4.6	ESD sensitivity warning.....	24
11	Storage	24
11.1	General	24
11.2	Storage duration and conditions.....	24
11.3	Long-term storage	24
11.4	Storage limitations	24
12	Assembly.....	25
12.1	General	25
12.2	Attach methods and materials.....	25
12.3	Bonding method and materials.....	25
12.4	Attachment limitations.....	25
12.4.1	General	25
12.4.2	Temperature/time profile.....	25
12.5	Process limitations	25
Annex A (informative)	Terminology.....	26
Annex B (informative)	Acronyms.....	36
Bibliography		43

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DIE PRODUCTS –

Part 1: Procurement and use

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with an IEC Publication.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62258-1 has been prepared by IEC technical committee 47: Semiconductor devices.

This second edition cancels and replaces the first edition published in 2005, and constitutes a technical revision.

The main changes that have been introduced in this issue have been to ensure consistency across all parts of the standard. The ordering of the subclauses, particularly in Clause 6, has been changed to be more logical and the text of some of the requirements has been amended to add requirements on further information as covered by IEC/TR 62258-4, IEC/TR 62258-7 and IEC/TR 62258-8. New requirements include information on permutability of terminals and functional elements (6.6.4) and moisture sensitivity for partially encapsulated devices (8.8).

The text of this standard is based on the following documents:

CDV	Report on voting
47/1974/CDV	47/2004/RVC

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all the parts in the IEC 62258 series, under the general title *Semiconductor die products*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the maintenance result date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

INTRODUCTION

This standard is based on the work carried out in the ESPRIT 4th Framework project GOOD-DIE which resulted in the publication of the ES59008 series of European specifications. Organisations that helped prepare this document included the European IST ENCASIT project, JEITA, JEDEC and ZVEI.

The structure of this International Standard as currently conceived is as follows:

- Part 1: Procurement and use
- Part 2: Exchange data formats
- Part 3: Recommendations for good practice in handling, packing and storage (technical report)
- Part 4: Questionnaire for die users and suppliers (technical report)
- Part 5: Requirements for information concerning electrical simulation
- Part 6: Requirements for information concerning thermal simulation
- Part 7: XML schema for data exchange (technical report)
- Part 8: EXPRESS model schema for data exchange (technical report)

Further parts may be added as required.

SEMICONDUCTOR DIE PRODUCTS –

Part 1: Procurement and use

1 Scope

This part of IEC 62258 has been developed to facilitate the production, supply and use of semiconductor die products, including

- wafers,
- singulated bare die,
- die and wafers with attached connection structures,
- minimally or partially encapsulated die and wafers.

The standard defines the minimum requirements for the data that are needed to describe such die products and is intended as an aid to the design of and procurement for assemblies incorporating die products. It covers the requirements for data, including

- product identity
- product data
- die mechanical information
- test, quality, assembly and reliability information
- handling, shipping and storage information

It covers the specific requirements for the data that are needed to describe the geometrical properties of die, their physical properties and the means of connection necessary for their use in the development and manufacture of products. It also contains, in the annexes, a vocabulary and list of common acronyms.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60050 (all parts), *International Electrotechnical Vocabulary*

IEC 60191 (all parts), *Mechanical standardization of semiconductor devices*

IEC 60191-4:1999, *Mechanical standardization of semiconductor devices – Part 4: Coding system and classification into forms of package outlines for semiconductor device packages*
Amendment 1 (2001)
Amendment 2 (2002)

IEC 61360-1, *Standard data element types with associated classification scheme for electric components – Part 1: Definitions – Principles and methods*

IEC 62258-2, *Semiconductor die products – Part 2: Exchange data formats*

IEC/TR 62258-3, *Semiconductor die products – Part 3: Recommendations for good practice in handling, packing and storage*

IEC/TR 62258-4, *Semiconductor die products – Part 4: Questionnaire for die users and suppliers*

IEC 62258-5, *Semiconductor die products – Part 5: Requirements for information concerning electrical simulation*

IEC 62258-6, *Semiconductor die products – Part 6: Requirements for information concerning thermal simulation*

IEC/TR 62258-7, *Semiconductor die products – Part 7: XML schema for data exchange*

IEC/TR 62258-8, *Semiconductor die products – Part 8: EXPRESS model schema for data exchange*

ISO 14644-1:1999, *Cleanrooms and associated controlled environments – Part 1: Classification of air cleanliness*

3 Terms and definitions

For the purpose of this document, the following terms and definitions are applicable. All the terms and definitions defined here are in addition to the relevant terms and definitions that are defined in IEC 60050 series¹. Additional terms and acronyms are given for information in Annexes A and B.

3.1 Basic definitions

3.1.1

die (singular or plural)

separated piece(s) of semiconductor wafer that constitute a discrete semiconductor or whole integrated circuit

3.1.2

wafer

slice or flat disc, either of semiconductor material or of such a material deposited on a substrate, in which devices or circuits are simultaneously processed and which may be subsequently separated into die

3.1.3

singulated die

individual and distinct die which have been separated from the wafer

3.1.4

singulation

die separation

separation of wafers into individual die devices, including sawing, scribing and dicing

3.1.5

bare die

unpackaged discrete semiconductor or integrated circuit with pads on the upper surface suitable for interconnection to the substrate or package

¹ The terms in this series are available at www.Electropedia.org, also known as the "IEV On line".

3.1.6

bare die with connection structures

unpackaged die that have had added bumps, lead frames or other terminations to interconnect for electrical attachment

NOTE Typically these can be die that have had solder or other metallic bumps added to the metallised pads on the die in the form of peripheral bumps or arrays (also known as flip-chip) or die that have had fine leads attached to the metallised pads on the die known as TAB.

3.1.7

minimally-packaged die

MPD

die that have had some exterior packaging medium and interconnection structure added for protection and ease of handling

NOTE This definition includes such packaging technologies as Chip Scale Package (CSP) and Wafer Level Package (WLP) in which the area of the package is not significantly greater than the area of the bare die.

3.1.8

die device

bare die, with or without connection structures, or a minimally-packaged die

3.1.9

data package

aggregate of information on a die device produced in compliance with this standard

3.2 General terminology

3.2.1

chip

common parlance for die

3.2.2

chip scale package

chip size package

CSP

generic term for packaging technologies that result in a packaged part that is only marginally larger than the internal die

3.2.3

wafer level package

WLP

generic term for packaging technologies in which the encapsulation and any interconnection structures are added to the wafer before separation into individual die

3.2.4

discrete (semiconductor)

single two-, three- or four-terminal semiconductor device

NOTE Discrete semiconductors include such devices as individual diodes, transistors and thyristors.

3.2.5

hybrid (circuit)

module or encapsulated sub-assembly that comprises semiconductor die and printed or otherwise attached passive components

NOTE Also see multi-chip module and multi-chip package.

3.2.6**known good die****KGD**

qualification of a semiconductor die which indicates that the die has been tested to a specified or determined level of quality or “goodness”

NOTE A commonly accepted definition of KGD is a die that has been tested and/or screened to quality levels that are of the same order as those applicable to the equivalent packaged parts.

3.2.7**package**

total assembly which protects one or more electronic components from mechanical, environmental and electrical damage throughout its operational life and which provides means of interconnection

3.2.8**packaging**

process of assembling one or more electronic components into a package

NOTE The use of “packaging” as a participle (e.g. “When packaging ICs into dual-in-line packages ...”) is deprecated.

3.2.9**packing**

material which is used to protect electronic items from mechanical, environmental and electrical damage during transportation or storage and which is discarded prior to the incorporation of the item into its end application

3.2.10**multi-chip module****MCM**

module that contains two or more die and/or minimally-packaged die

NOTE Also see hybrid 3.2.5 and multi-chip package 3.2.11.

3.2.11**multi-chip package****MCP**

package that contains two or more die and/or minimally-packaged die

NOTE Also see hybrid (3.2.5) and multi-chip module (3.2.10).

3.2.12**system in a package****SiP**

functional system or sub-system in a single package that contains two or more die devices that individually perform separate system functions

3.2.13**multi-device sub-assembly****MDS**

sub-system which consists of multiple electronic devices including at least one integrated circuit

NOTE This is a generic term which includes, among others, hybrid, MCM, MCP and SiP.

3.2.14**pad**

conducting feature on a die device forming a terminal to which external electrical connections are made

NOTE For bare die without external connections, the pad acts as the terminal itself. For bumped die the terminal is in the form of additional conducting material placed on a pad whilst for die with attached lead frame the terminal is in the form of a conductor connected to the pad and extending from the die.

3.3 Semiconductor manufacturing and interconnection terminology

3.3.1

mask

- a) optical overlay used in photo-etching during the process of semiconductor fabrication
- b) major individual patterning stages that are used within the fabrication process

3.3.2

layer

level in the interconnection structure on a die device

3.3.3

passivation

top or final processing and covering on a die, usually of semiconductor oxide or nitride, that protects and seals the active areas of the die from further external chemical or mechanical contamination

NOTE Bond pads require an opening in this passivation to allow electrical contact.

3.3.4

scribe line

scribe lane

area surrounding the die that is set aside on the wafer for the purposes of scribing and sawing the die from the wafer

NOTE This feature may be covered by many other terms such as scribe street, saw lane, dicing lane etc.

3.3.5

wire bonding

process of attaching interconnection wire or ribbon to a die

3.3.6

bond pads

metallised areas on the die that are used for temporary or permanent electrical connection (bonding)

3.3.7

bump

pillar

post

column

raised metallised area on the die that is used for temporary or permanent electrical connection

3.3.8

lead frame

supporting structure upon which a die is mounted and which also includes the connection structure to which the die is bonded

3.3.9

die attach

method and materials used to attach a die to a substrate

3.3.10

flip-chip

semiconductor die which is electrically and/or mechanically connected to an interconnection structure in such a way that the active area faces the interconnection structure

3.3.11**interposer**

material placed between two surfaces giving electrical insulation, mechanical strength and/or controlled mechanical separation between the two surfaces

NOTE An interposer may be used as a means for redistributing electrical connections and/or allowing for different thermal expansions between adjacent surfaces.

3.3.12**redistribution**

process of moving terminals on die to more convenient positions by additional connectivity layers or by the use of an interposer

3.3.13**die stacking****wafer stacking**

placing of die or wafers on top of each other to form a three dimensional stack die stacking

NOTE 1 Die are interconnected by wire-bonding, edge plating or printing, or by using through silicon vias.

NOTE 2 Die or wafers may be stacked back to face and/or face to face.

3.3.14**through silicon via****TSV**

interconnection structure made through the semiconductor material of the die device from one surface of the device to the other

NOTE The via may also have a bump, pillar or post attached to either or both sides to enable stacking of the die, or the via itself may form a copper nail.

4 General requirements

Suppliers of die devices shall furnish, in a data package, information that is necessary and sufficient for users of the devices at all stages of design, procurement, manufacture and test of products containing them. Details of the requirements are given below and in other parts of this standard.

Whilst it is expected that much of the information supplied in conformance with this International Standard will be in the public domain and available from such sources as manufacturers' data sheets, this specification does not place an obligation on a supplier to make information public. Any information that a supplier considers to be proprietary or commercially sensitive may be supplied under the terms of a non-disclosure agreement.

For further details of requirements, refer to Clauses 6 to 12.

5 Data exchange

It is recommended that data intended for exchange by electronic means should be formatted in accordance with the provisions of IEC 62258-2, IEC/TR 62258-7 and IEC/TR 62258-8. The questionnaire in IEC/TR 62258-4, and the associated spreadsheet, may be used as an aid to compliance with the requirements of this part of the standard with the possibility of converting the spreadsheet content into one of the exchange formats.

6 Requirements for all devices

6.1 Data package

6.1.1 General

Information on the data package itself shall be supplied, including sources of the information, its version and corresponding dates.

6.1.2 Information source

The identity of the organisation or individual responsible for creating the data set shall be given.

6.1.3 Data version

The version and/or date of creation of the data set shall be given.

6.1.4 Data exchange formats

Where the data are supplied in a form suitable for data exchange using a defined schema, the identity and version of the schema shall be stated. In addition, if the data were produced by a software package, the identity and version of the software should also be given.

NOTE For information on suitable defined schemas, reference should be made to IEC 62258-2, IEC/TR 62258-7 and IEC/TR 62258-8.

6.2 Identity and source

6.2.1 General

The identity and source of supply for die devices shall be given with sufficient information for the customer to communicate adequately with the supplier.

6.2.2 Type number

The type number or reference name given by the manufacturer and/or supplier to identify the die device as supplied to the customer shall be given. In addition, the type number of an equivalent packaged part using the same die should also be given.

6.2.3 Manufacturer

The identity of the firm responsible for manufacture of the die or wafer shall be given.

6.2.4 Supplier

The identity of the supplier of the die when this is different from the die manufacturer shall be stated.

6.2.5 Signature

Where information on the identity of the device is embedded electronically or optically, this should be stated together with details of the methods needed to read it.

6.3 Function

A description of the electrical function and performance variants of the die device shall be given.

6.4 Physical characteristics

6.4.1 Semiconductor material

The type of active semiconductor material used in fabricating the die device should be stated.

6.4.2 Technology

The technology of manufacture of the die device, for example CMOS, BiCMOS, bipolar etc. shall be stated.

6.5 Ratings and limiting conditions

6.5.1 Power dissipation

Either the power dissipation within the die or the operating supply current at nominal operating voltage under stated normal operating conditions shall be provided.

NOTE If figures for both typical and maximum power dissipation are available, both should be given.

6.5.2 Operating temperature

The range of operating temperatures of the die over which the device will operate according to its published specifications shall be given.

6.6 Connectivity

6.6.1 General

The electrical function of all terminals shall be given in such a way that the relationships between electrical function and geometric position of the terminals are fully defined.

6.6.2 Terminal count

The number of separate terminals, pads or other connections on the die device shall be stated.

6.6.3 Terminal information

For each terminal or pad on the die device, the following information shall be given :

- a) **position** – the coordinates of the geometric centre of the terminal with respect to the geometric origin
- b) **shape** – the shape and associated dimensions of the terminal at that position

- c) **orientation** – the orientation of the terminal with respect to a reference direction on the die device
- d) **signal name** – the name of the signal or supply connection made to the terminal
- e) **signal type** – the type of signal, power supply or other connection to each terminal (input, output, supply voltage, no connect etc.)

6.6.4 Permutability

Where applicable, information should be given which is needed to specify logical and/or physical permutability of terminals and functional blocks of a die device.

6.7 Documentation

Data sheets containing all the information prescribed herein shall be provided. These may be supplied as hard copy or in electronic form.

6.8 Form of supply

6.8.1 Physical form

The physical form in which the die devices or wafers are supplied shall be stated, whether as singulated die, sawn or unsawn wafers and with or without connection structures or minimal packaging.

6.8.2 Packing

Information on the packing used to protect the die devices or wafers during handling, shipment and storage shall be given.

6.9 Simulation and modelling

6.9.1 General

Information should be given on simulation models and the corresponding simulators available for simulation and modelling of electrical and thermal performance.

6.9.2 Electrical modelling and simulation

The availability of any models for simulation or test of the die device should be stated together with information on the simulator packages for which they are intended.

For detailed requirements, reference should be made to IEC 62258-5.

6.9.3 Thermal data and modelling

Thermal properties needed for thermal modelling of the die device should be given.

For detailed requirements, reference should be made to IEC 62258-6.

7 Requirements for bare die and wafers with or without connection structures

7.1 General

This clause covers the requirement, in addition to those in Clause 6 above, for bare die and wafers with and without connection structures.

7.2 Identity

7.2.1 General

All die devices shall have an identifier, consisting of one or more type designators, which shall distinguish each die device from all other die devices and from equivalent packaged parts. Such identifiers shall ensure the ability to distinguish among different versions of die that are intended to perform the same or different functions.

7.2.2 Die name

The name given by the manufacturer to identify the die shall be given.

7.2.3 Die version

The revision or step code to identify the mask version or revision used in production of the die shall be given.

7.3 Materials

7.3.1 Substrate material

Where the die is fabricated using a different material as a substrate to support the active semiconductor material, the type of this material should be stated.

7.3.2 Substrate connection

Any requirements on connection to the substrate of the die to ensure that the material is correctly biased shall be given and it shall be made clear whether a substrate connection is obligatory, optional or forbidden.

7.3.3 Backside detail

For a die intended for wire bonding, details of any surface finish and plating applied to a die on the surface where it is attached to the mounting surface shall be given.

7.3.4 Passivation material

The material used in the final passivation layer on the surface of the die for protection and insulation should be stated.

7.3.5 Metallisation

The material used for the metallisation on the die over that part of the surface that includes the bonding pads should be stated.

7.3.6 Terminal material

For bumped die and die with attached connection structures, the material used in forming the terminal connections shall be stated including any finish applied to the surface.

7.3.7 Terminal structure

For bumped die and die with attached connection structures, information on the structure of the terminal connections should be given, including any redistribution layers. For bumped die, this should include a description of their method of attachment and details of any under-bump materials

7.3.8 Vias

The structure of all vias should be given, including the materials used and their positions on the die.

7.4 Geometry

7.4.1 General

All physical dimensions needed for layout and assembly of a product containing die shall be given. These shall include dimensions of the die and the size, shape and position of all terminals.

7.4.2 Units of measurement

The units in which die and terminal dimensions are given shall be stated. For exchange of data that complies with IEC 61360-1, all dimensions shall be given in metres.

7.4.3 Geometric view

A statement shall be made as to whether the die is viewed from the top (active side upwards) or bottom (active side downwards). The preferred view is from the top.

7.4.4 Die size

The maximum length and width of the die shall be given:

- a) for bare die these are the maximum dimensions after sawing or if these are not available, the step-and-repeat dimensions
- b) for wafers these are the step-and-repeat dimensions.

7.4.5 Die thickness

The thickness of the finished die shall be given.

7.4.6 Dimension tolerances

Tolerances for die size, die thickness, pad dimensions and pad positions should be given.

7.4.7 Geometric origin

The coordinates of a reference position on the die with respect to the geometric centre of the die surface shall be given. This forms the origin of the coordinate system with respect to which the position of die features, such as pad positions and fiducials, are referenced.

7.4.8 Terminal shape and size

For die with connection structures in the form of bumps, balls or similar, the height of the terminals perpendicular to the die surface shall be given. In addition, the tolerance on the height of the terminals, their shapes and dimensions parallel to the die surface should also be given. Where appropriate, a drawing or diagram of the terminals should also be supplied as a document or in electronic form using a suitable graphics format.

7.4.9 Die fiducials

Information should be given on identifying marks on the die that serve to assist in its differentiation from other die and in orientation for mounting. This information should include pictures of the fiducials, supplied as a document or in electronic form using a suitable graphics format, together with the size and position of each.

7.4.10 Die picture

A drawing or photograph of the die which shows the relative positions of the pads, bumps or lead-frame connections should be supplied as a document or in electronic form using a suitable graphics format.

7.5 Wafer data

7.5.1 General

Where die are supplied in the form of sawn or unsawn wafers, the following information shall be supplied as necessary.

7.5.2 Wafer size

The diameter and thickness of the wafer shall be given and the tolerance on the thickness of the wafer should also be given.

7.5.3 Wafer index

The form and orientation of any index should be stated.

7.5.4 Wafer die count and step size

The gross die count and die step sizes should be given.

7.5.5 Wafer reticules

If die are supplied in wafer form with reticules, the gross die count and die step sizes should be supplied for each reticule.

8 Minimally-packaged devices

8.1 General

Information as described in the following subclauses is required in addition to that required in Clause 6 and any relevant information as defined in Clause 7. Where appropriate, reference should be made to standard package outline styles in IEC 60191 series or in corresponding national standards.

8.2 Number of terminals

The number of terminal positions and the number of actual terminals shall be given. Where terminals are disposed over a rectangular array or along the edges of a rectangular package, the numbers of terminal positions in each of the length and width directions shall also be given.

8.3 Terminal position

Information shall be given which will allow the user to determine the position of all terminals on the device.

Where the terminals are not in a regular rectangular array, the information shall be a list of the coordinates of the geometric centres of all terminals with respect to the geometric origin.

Where information is not given in this form and where terminals are in a regular rectangular array, the information shall be given in such a form that there is sufficient information to deduce the geometric position of every terminal in the array:

- a) terminal pitch - the distance between the centres of adjacent terminals. If the pitch is different for the length and width directions, both values shall be given;
- b) terminal pattern - the pattern of occupied terminal positions shall be given either by an associated diagram or other representation.

8.4 Terminal shape and size

The type of terminals on the device shall be stated, for example ball-grid array, and the following information shall be given:

- a) for ball- or column-grid arrays, the height of the terminals perpendicular to the die surface shall be given. In addition, the tolerance on the height of the terminals, their shapes and dimensions parallel to the die surface should also be given. Where appropriate, a drawing or diagram of the terminals should also be supplied as a document or in electronic form using a suitable graphics format.
- b) for non-leaded packages, the dimensions of the effective footprint area on the mounting surface shall be given.

8.5 Device size

The maximum length and width of the minimally-packaged device shall be given. Associated tolerances should also be given.

8.6 Seated height

The maximum seated height of the minimally-packaged device when mounted shall be given. Associated tolerances should also be given.

8.7 Encapsulation material

The type of material used for the outer coating or encapsulation of the device should be stated.

8.8 Moisture sensitivity

The moisture sensitivity level (MSL) of the encapsulation should be given together with the standard against which it is defined.

8.9 Package style code

The package style code in accordance with IEC 60191-4 should be given.

8.10 Outline drawing

Where appropriate, a dimensioned outline drawing of the device should be supplied either as a document or in electronic form using a suitable graphics format.

9 Quality, test and reliability

9.1 General

An indication of the expected quality level and information on device reliability shall be given.

NOTE Quality, test and reliability information, if deemed sensitive, may be subject to a non-disclosure agreement (NDA) between supplier and purchaser.

9.2 Outgoing quality level

9.2.1 Value

Information shall be given on the outgoing quality level of the die product. This may, for example, be expressed as defects per million (dpm), acceptable quality level (AQL) or other metric.

9.2.2 Description

The manufacturer or supplier shall provide a description of the method, parameters and associated values used to calculate the outgoing quality level as stated in 9.2.1. Information should also be given on the procedures used to assess the quality of the die devices and the stages of the production process at which they are applied.

9.3 Electrical parameters specified

The manufacturer or supplier shall state the conditions for which the electrical parameters are specified, but it is the responsibility of the customer to review all data supplied for suitability within his module design requirements and end application.

9.4 Compliance to standards

The compliance of the die device to any specific standards shall be stated.

9.5 Additional device screening

The existence of additional screening specifically for die devices, employed by the manufacturer or supplier, for the purposes of standards compliance or for enhancing outgoing reliability should be stated.

9.6 Product status

The manufacturer shall make available, upon request, information stating the availability and status of the product, for instance, an impending electrical/mechanical change to the die device, such as a die shrink or planned end of production of the device.

9.7 Testability features

Information should be supplied on designed-in testability features (e.g. redundancy, control fuses, error correction, ad-hoc structured boundary scan, built-in self test etc.) with description and explanation of each where it is required for customer testing and does not infringe intellectual property rights.

9.8 Additional test requirements

Any other product-specific information relevant to electrical testing by the user should be given, for example special test strategy or voltage stress to achieve quality goals.

9.9 Reliability

9.9.1 Reliability estimate

A reliability estimate for the die product type shall be supplied. The corresponding reliability value shall be supplied as a FIT rate, MTTF or other metric, together with the conditions for which the estimate was made.

NOTE Final module reliability is a combination of the individual die type reliability, quantity of die in the module, substrate signal routing, thermal dissipation properties and many other variables. Any reliability data so provided by the manufacturer or supplier should be treated as only for an individual die device type, and only as "*as received*", not "*as assembled*".

9.9.2 Reliability calculation

The method, parameters and data upon which the estimate of reliability is based shall be stated.

10 Handling and packing

10.1 General requirements for all devices

10.1.1 General

Information necessary for handling of the die shall be provided, including, as appropriate, details of the form in which the die are supplied and of the form of packing for shipment and recommendations for ESD protection.

All shipping and handling methods shall provide a system for coding and maintaining traceability of each die to its wafer lot.

Information specified in this clause shall either be on the die device, primary or secondary packing, or on accompanying documentation including, where appropriate, invoices.

The user should be aware that, unless each die is uniquely identified, additional procedures and documentation will be required to maintain traceability once the die device has been removed from the primary packing.

All shipping methods shall provide protection from mechanical damage, electrostatic discharge (ESD), and contamination, while allowing recovery of die. If multiple units are shipped in the same package, means such as a waffle pack or a wafer boat shall be provided to prevent any intermingling that could cause physical damage.

Each shipping method should also provide a means to prevent excessive movement or rotation of product such as may cause damage to or prevent the automated handling of the product.

For detailed guidance on topics covered by this clause, reference should be made to IEC/TR 62258-3.

NOTE This information as required by this clause is supplied with the delivered product and does not form part of the data package.

10.1.2 Customer part number

The part number designated and required by the customer shall be stated where this is different from the type number or the manufacturer's part number.

10.1.3 Type number

The type number or device name given by the manufacturer to identify the finished die as supplied to the customer shall be given.

10.1.4 Supplier

The name of the supplier shall be stated.

10.1.5 Manufacturer

The name of the manufacturer, if different from the supplier, shall be stated.

10.1.6 Traceability

The supplier lot number, or any other information necessary to uniquely link the die device, or batch of devices, to the corresponding documentation from the wafer fabrication lot and/or test lot shall be stated.

10.1.7 Quantity

The total quantity of die in the shipment and the breakdown of quantities in each packing unit such as waffle pack, reel or wafer shall be stated. In the case of wafers, this quantity may be the number of good die on the wafer.

10.1.8 ESD sensitivity

The maximum allowable limits and methodology used to specify the sensitivity of the device to electrostatic damage should be given.

10.1.9 Requirements for environmental protection

The supplier shall make a declaration that national or regional legal requirements have been met detailing appropriate measures taken to protect the environment.

NOTE Consideration should also be given to the recycling of packing materials, reuse of packing materials and the control of toxic materials.

10.2 Specific requirement for bare die or wafers – mask version

The revision or step code to identify the mask version shall be given.

10.3 Specific requirement for wafers – wafer map

Where die are provided in the form of a tested wafer, information shall be supplied to enable the user to identify good die products, or grades of die products. This information may be supplied in the form of a wafer map, in printed or electronic form, showing the results from the test and uniquely identifying selected die on the wafer.

Alternatively, the wafer itself may be physically marked, for example by marking reject or secondary grade die by an ink dot, in which case a corresponding statement shall be made as to the size, nature and meaning of the marks.

10.4 Special item requirements

10.4.1 General

If there are special requirements for unpacking and handling the product, appropriate labelling of primary and secondary packing shall provide warnings to persons handling the container.

10.4.2 Special protection requirements

A description of any unique materials or exposed surfaces that may require special protection during handling shall be given. For example, some die devices must not be touched on the top surface or some die devices must not be exposed to UV light.

10.4.3 Unencapsulated die warning label

When the primary package contains unencapsulated die or wafers, information shall be given to indicate that a container is to be opened in a controlled environment as classified by ISO 14644-1. This information shall be in the form of a warning label affixed to the primary packing.

10.4.4 Toxic material warning

When the package contains toxic material, adequate warning information shall be given in accordance with legal requirements and regulations applicable throughout the supply chain.

10.4.5 Fragile components warning

When the package contains fragile components that could be damaged when the container is opened, an appropriate warning shall be included on the primary packing.

10.4.6 ESD sensitivity warning

When the package contains ESD sensitive components that could be damaged when the product is handled, an appropriate warning shall be included on the primary packing.

11 Storage

11.1 General

Die products are normally moisture and oxygen sensitive and any environment used to store die should be designed to reduce the risk of contamination whilst ensuring that the product degradation is minimised.

Bare die and wafers are also placed into long term storage, known as wafer banking, as a solution to the component obsolescence problem. Whilst it is accepted that bare die and wafers can be stored for long periods of time, the storage conditions and packing materials need to ensure minimum product degradation during storage.

For detailed guidance on topics covered by this clause, reference should be made to IEC/TR 62258-3.

11.2 Storage duration and conditions

Specific issues that affect the maximum duration of storage shall be stated together with the conditions under which this storage period is valid.

11.3 Long-term storage

Where product has been intentionally stored for an extended duration, the long-term storage conditions shall be given and the supplier shall certify that these conditions and traceability of product stored have been maintained.

11.4 Storage limitations

Any limitations on the storage of a die device should be stated.

12 Assembly

12.1 General

Whilst it is accepted that the semiconductor manufacturer or supplier has neither control nor liability over the assembly methods used by the assembler of die products, there may be specific instances where additional information is required for correct assembly or operation of the die. This may be of particular importance for the assembly of MEMS products.

Items related to assembly that are essential to the correct use of the product are detailed in this clause.

12.2 Attach methods and materials

Information on special or abnormal attach methods and materials, including pre-conditioning, shall be given where required for proper assembly of the product.

12.3 Bonding method and materials

Information on special bonding methods to be used shall be given together with information on suitable bonding materials where these methods and/or materials are required for correct operation of the die.

12.4 Attachment limitations

12.4.1 General

Any limitations on the methods, materials or processes used for attaching the die device should be stated, for example, any areas on the die where it is not allowed to apply ultrasonic power or pressure or place additional materials.

12.4.2 Temperature/time profile

The maximum temperature to which the device may be exposed during any part of die attach, device soldering or other manufacturing process shall be given. The maximum time for which the device may be exposed to the maximum temperature during any part of these processes should also be given.

12.5 Process limitations

Any limitations on the processes used in bonding the die should be stated, for example, warnings should be given of active circuitry under any bond pad.

Annex A (informative)

Terminology

A.1 Assembly terminology

A.1.1 Chip-On-Board (COB)

mounting and attach technology where the die is mounted onto a substrate, often a printed-circuit board

A.1.2 MCM-C

MCM using interconnections on a ceramic substrate

A.1.3 MCM-D

MCM using interconnections on a dielectric substrate

A.1.4 MCM-L

MCM using interconnections on a laminated substrate

A.1.5 Surface Mount Technology (SMT)

assembly and PCB technology requiring the components to be mounted on the surface of a PCB, without the need of holes to align and connect to the component pins

A.1.6 pin-in-hole

common term used to express an assembly and PCB technology whereby components are attached by and connected to pins or leads that are mounted through holes in the PCB.

A.2 Test terminology

A.2.1 absolute maximum ratings

range of voltages, currents, temperatures, etc., beyond which a device may suffer degradation in performance or reliability, may cease functioning or may suffer irreversible damage

A.2.2 bond pull

test involving the pulling of the bond wires to destruction to determine the strength of the bonds

A.2.3 burn-in

time/temperature/voltage related process intended to uncover potential failures

A.2.4 Defect Level (DL)

number of undetected defects in a lot

A.2.5 Device Under Test (DUT)

actual semiconductor device that is currently undergoing electrical or environmental test

A.2.6 ESD Protected Area (EPA)

area or workplace that has protection against ESD

A.2.7 Electro-Static Discharge Sensitive device (ESDS)

device with known sensitivity or susceptibility to ESD

A.2.8 lot accept number

maximum number of devices, which may fail a sample test without causing rejection of the lot

A.2.9 lot reject number

for a sample test, the number of failed devices which will cause lot rejection

A.2.10 Lot Tolerance Percent Defective (LTPD)

single-lot sampling concept that statistically ensures rejection of 90 % of all lots having a greater percent defective than the specified LTPD

A.2.11 prober

machine to facilitate the electrical connection to individual die on a wafer

A.2.12 resistance to solvents

test that requires immersion of sample devices in such solvents as trichlorotrifluoroethane and methylene chloride, followed by brushing to determine the durability of unit marking

A.2.13 sampling plan

statistically derived set of sample sizes, accept numbers, and/or reject number which will confirm that a given lot of materials meets established AQLs or LTPDs

A.2.14 stabilisation bake

placement of devices in a chamber at elevated temperature without electrical bias

A.2.15 temporary carrier

system of contacts, used to hold die during electrical test, which does not make permanent contact to the die, and which possibly can be re-used

A.2.16 testability

measure of whether an IC can be electrically tested economically in production

A.2.17 tester

generic term generally relating to an electronic apparatus designed and used for the purposes of testing and analysing electronic components, including integrated circuits

A.2.18 test vectors

series of test stimuli and expected responses applied to and received by either a simulator to a device model, or a tester to an actual device

A.2.19 wafer inking

process of applying dots of ink to individual die on a wafer to indicate reject or failed devices

A.3 Semiconductor terminology

A.3.1 metal

metallic conducting layer, usually but not specifically aluminium

A.3.2 via

void or hole in a non-conducting layer in order to allow two or more conducting layers to be connected

A.3.3 thermal via

via included for the express purpose of assisting thermal conductivity

A.3.4 poly

layer consisting of poly-crystalline silicon

A.3.5 passivation step

change in thickness of the passivation for metal-to-metal or metal-to-semiconductor interconnection by design, where passivation layers have been removed as a result of normal device processing

A.3.6 glassivation

top layer(s) of transparent insulating material that covers the active circuit area including metallisation, except bond pads. Also see passivation

A.3.7 crazing

minute cracks in the glassivation

A.3.8 glob top

encapsulation performed by depositing an epoxy resin or similar material over a bonded or attached die

A.3.9 contact window

opening that has been etched in the semiconductor oxide, nitride or other insulating layer, grown or deposited directly onto the die, so as to allow ohmic contact to the underlying semiconductor material

A.3.10 flat

missing segment of a circular wafer used for orientation purposes

A.3.11 under-bump metallisation

metallic layer placed on a pad to provide a good connection between a bump and the pad

A.3.12 wafer-level packaging

technique of partial encapsulation and protection of die whilst still on the wafer and before the wafer is sawn or divided into singulated die

A.3.13 reflow

technique for connection of components to a substrate by reheating and melting solder

A.3.14 thickness reduction

process of reducing the thickness of die or wafer for a specific application

A.3.15 bipolar (technology)

fabrication technology, resulting in the creation of bipolar devices

A.3.16 Metal Oxide Semiconductor (MOS)

fabrication technology, resulting in the creation of FET devices

A.3.17 N-type Metal Oxide Semiconductor (NMOS)

fabrication technology that results in the creation of NMOS FET devices

A.3.18 P-type Metal Oxide Semiconductor (PMOS)

fabrication technology that results in the creation of PMOS FET devices

A.3.19 Complementary Metal Oxide Semiconductor (CMOS)

fabrication technology that results in the creation of both NMOS and PMOS FET devices

A.3.20 BiCMOS

transistor fabrication technology, resulting in the creation of both bipolar and CMOS devices

A.3.21 GaAs

Gallium Arsenide (GaAs) technology. A semiconductor material having higher performance speeds than silicon

A.3.22 micron

unit of length, 10^{-6} m. Commonly used to describe the geometry of a process, the smallest viable dimension sustainable and practicable in that process

A.3.23 mil

unit of length, 10^{-3} inch. A non-preferred unit commonly used in describing the dimensions of a die

A.3.24 Multi-Project Wafer (MPW)

a means of processing prototypes or low volume runs of different ASICs on the same wafer

A.3.25 Silicon On Insulator (SOI)

fabrication technology that uses an insulating material as the bulk material instead of Silicon, which may be Sapphire (SOS)

NOTE It is generally implied that an SOI technology is also a CMOS technology.

A.3.26 Silicon On Sapphire (SOS)

fabrication technology that uses sapphire, a variety of corundum (Al_2O_3), as the bulk material instead of silicon

NOTE It is generally implied that an SOS technology is also a CMOS technology.

A.4 Semiconductor assembly technology**A.4.1 ball bond**

capillary-formed impact bond of ball shape, using thermosonic or thermocompression action to create the electrical bond joint

A.4.2 wedge bond

bond joint created by ultrasonic action

A.4.3 laser bond

bond joint created using laser technology

A.4.4 eutectic attach

die attach method relying on a gold-silicon eutectic joint being formed at the Si-Au eutectic temperature of 483°C

A.4.5 silver-glass attach

die attach method using a glass paste loaded with silver particles for thermal and / or electrical conductivity

A.4.6 polyimide attach

die attach method using a thermally cured organic compound (polyimide), optionally containing a conductive or thermo-conductive additive

A.4.7 polymer attach

die attach method using a thermally cured or thermo-plastic organic compound, optionally containing a conductive or thermo-conductive additive

A.4.8 epoxy attach

die attach method using a thermally cured organic compound (an epoxy resin), optionally containing a conductive or thermo-conductive additive

A.4.9 θ_{JC}

thermal resistance between a die junction and the external surface of a package containing it

A.4.10 metallisation run

batch of wafers metallised at the same time. Since the number of wafers accommodated by the evaporation (i.e. metallisation) chamber is frequently less than the number of wafers accommodated by a diffusion chamber, it is possible to have several metallisation runs, which come from the same wafer run

A.4.11 traces, tracks

term used to describe the pattern of electrical interconnects on a substrate (this term is generally used in PCB engineering)

A.4.12 thermal relief

void or series of voids in a thermally conductive layer intended to relieve mechanical stress caused by thermal expansion and contraction

A.4.13 wafer back-lapping

action of polishing the back side of the wafer to reduce surface roughness

A.4.14 wafer thinning

action of reducing the thickness of a wafer from the bulk semiconductor to a given value. Wafers are normally thinned by mechanical means with final polish, plasma etch or CMP

A.5 Design and simulation terminology

A.5.1 workstation

computer system, usually multi-user and multi-tasking, with powerful graphics facilities

A.5.2 netlist

software file containing interconnection and instance information pertinent to a specific design

A.5.3 model

mathematical, software or textual representation describing the behaviour of a circuit or device

A.5.4 library

suite of data representing a semiconductor technology

A.5.5 Simulation Package for Integrated Circuit Electronics (SPICE)

generic term describing a range of commercial analogue simulators, having common ancestry in the original Berkeley SPICE2 electrical simulation program. The majority of modern SPICE simulators maintain a common compliance level for SPICE modelling

A.5.6 VITAL

timing compliant library for use with VHDL simulators

A.5.7 Verilog²

simulation and synthesis language, overseen by the Open Verilog Institute (OVI), and defined in IEEE 1364. Verilog® is a registered trademark of Cadence Design Systems, Inc.

A.5.8 Register Transfer Level (RTL)

level of logic design abstraction used to simplify the visualisation of a design

A.5.9 Layout Versus Schematic (LVS)

process to verify a semiconductor IC or MCM layout matches the intended device schematic (or netlist)

A.5.10 Design Rules Check (DRC)

process to verify that mechanical or topological design rules have not been infringed, specifically applicable for a semiconductor IC or MCM layout

A.5.11 Electrical Rules Check (ERC)

process to verify that electrical and electromechanical design rules have not been infringed, specifically applicable for a semiconductor IC or MCM layout and schematic

A.5.12 synthesis

automatic way of carrying out logic design

A.5.13 layout

representation of the geometric implementation of an electronic design

² Verilog® is a registered trademark of Cadence Design Systems, Inc. This information is given for the convenience of users of this standard and does not constitute an endorsement by IEC of the trademark holder or any of its products.

A.5.14 pad layout

drawing, photograph or reproduction of the die metallisation pattern, giving sufficient information as to the placement of the connection or bond pads

A.5.15 extraction

term given to the mechanism of obtaining electrical and/or netlist data from a physical/mechanical layout

A.5.16 data pack

collection of information, often including design documentation and test results, which identify and document all aspects of the qualification process for a given design or a given lot of die

A.5.17 deck

common expression for a file or files containing either checking rules, e.g. for LVS, DRC and ERC, or variable parameters for simulation, e.g. SPICE

A.5.18 Joint Test Action Group (JTAG)

international group that resulted in the creation of a test specification and definition relating to the interconnection of ICs and their testability as IEEE 1149.1

A.5.19 Quality Test Action Group (QTAG)

international technical group researching into test techniques

A.5.20 Boundary Scan Definition Language (BSDL)

software language (model) specification for use with and defined in the IEEE 1149.1 standard for boundary scan testing

A.5.21 Die Information Exchange (DIE)

software language and file format specification used for the transfer of pertinent die data

A.5.22 Electronic Design Interchange Format (EDIF)

specification for the transfer of electronic CAD data. Current versions are EDIF 2 0 0 and EDIF 3 0 0, whilst EDIF 4 0 0 supports the description of MCMs

A.5.23 Initial Graphics Exchange Specification (IGES)

specification for the interchange of geometric data

A.5.24 Standards for the Exchange of Product data (STEP)

ISO 10303 series of standards

A.5.25 Graphical Display System (GDSII)³

software language and file format specification used in the transfer of semiconductor physical layout design data. GDSII is a registered trademark of Cadence Design Systems.

A.5.26 stream format

alternative name often given to GDSII data

³ GDSII is a registered trademark of Cadence Design Systems. This information is given for the convenience of users of this standard and does not constitute an endorsement by IEC of the trademark holder or any of its products.

A.5.27 Caltech Intermediate Format (CIF)

software language and file format specification used in the transfer of semiconductor physical layout design data, defined and specified by the California Institute of Technology

A.5.28 Drawing eXchange Format (DXF)⁴

software language and file format specification used to transfer mechanical drawing data. DXF is a registered trademark of Autodesk Inc.

A.5.29 Comma Separated Variable (CSV)

common data format, where discrete data fields are separated by commas

A.6 Packing and delivery terminology

NOTE Refer to IEC 61340-5-1 for the basic specification on the protection of electrostatic sensitive devices.

A.6.1 date code

three or four digit number identifying the date of assembly of a lot. The first one or two digits commonly identify the year, the last two the week

A.6.2 wafer box, wafer pot

container in which wafers may be housed for storage and transport

A.6.3 waffle tray, waffle pack, die tray

compartmentalised shallow tray in which the die may be housed for storage and transport

A.6.4 dry pack

container that maintains the moisture content of the packages of die devices within specified limits

A.6.5 GEL-PAKTM⁵

proprietary name for a container similar to a waffle pack (q.v.) used for die storage and transportation which uses a low-tack insert gel in place of compartments to hold the die in a specific position

A.6.6 wafer foil carrier

plastic foil membrane or film stretched across a frame and having one side slightly adhesive, which holds a wafer in position for sawing and subsequent processing

A.6.7 sawn on film

wafers that have been probed and sawn on film and stretched and mounted on a ring or frame

A.6.8 matrix on film

visually good die that are selected from the sawn wafer, placed on film mounted in a ring or frame, and arranged in a uniform matrix

⁴ DXF is a registered trademark of Autodesk Inc. This information is given for the convenience of users of this standard and does not constitute an endorsement by IEC of the trademark holder or any of its products.

⁵ GEL-PAKTM is a registered trademark. This information is given for the convenience of users of this standard and does not constitute an endorsement by IEC of the trademark holder or any of its products

A.6.9 Nitto™⁶

common proprietary brand of film carrier

A.6.10 vial

packing method in which the die are suspended in a fluid, typically Freon or equivalent

A.6.11 storage time

maximum permissible time that die/wafers may be stored before requiring re-screening

A.6.12 wafer and die banking

intentional storage of finished die and wafers under controlled storage conditions

A.6.13 tape and reel

method of packing die for transport secured by adhesion or in enclosed pockets on reels of tape of various available widths, thickness, cavity pitch and size

A.6.14 SurfTape™⁷

proprietary brand of tape used in tape and reel delivery forms

A.7 Handling terminology

A.7.1 deionised water (DI)

water that has been treated to remove ionic contaminants

A.7.2 mapping

method of identifying good/bad or selected die on a wafer

A.7.3 orientation

direction in which the die or wafer is located in the packing medium. The direction is referenced from a feature of the die (i.e. pin 1) or wafer (i.e. flat) to a feature of the packing medium

A.7.4 tweezers

hand tools that are used to pick up and hold wafers or die

A.7.5 vacuum pencil

hand tool designed for the efficient handling of die, or sometimes wafers, without causing damage

A.8 Fabrication terminology

A.8.1 front end of line (FEOL)

processes occurring at the start of wafer fabrication

NOTE FEOL is used in the context of this document to define the point in the process where TSVs are fabricated.

⁶ Nitto™ is a registered trademark. This information is given for the convenience of users of this standard and does not constitute an endorsement by IEC of the trademark holder or any of its products.

⁷ SurfTape™ is a registered trademark. This information is given for the convenience of users of this standard and does not constitute an endorsement by IEC of the trademark holder or any of its products.

A.8.2 back end of line (BEOL)

processes occurring after a wafer has been diffused and passivated

NOTE BEOL is used in the context of this document to define the point in the process where TSVs are fabricated.

Annex B (informative)

Acronyms

B.1 Organisations and standards

ANSI	American National Standards Institute
ASCII	American Standard Code for Information Interchange
BSI	British Standards Institution (UK)
CCITT	Consultative Committee for International Telegraph and Telephone
CECC	CENELEC Electronic Components Committee
CENELEC	Comité Européen de Normalisation ELECTrotechnique
DIN	Deutsches Institut für Normung (DE)
DOD	Department of Defence (USA)
EECA	European Electronic Component Manufacturers Association
EIA	Electronic Industries Alliance (USA)
ENCAST	European Network for Coordination of Advanced Semiconductor Technologies (EU project)
ENCASIT	European Network for the Coordination of Advanced System Integration Technologies (EU project)
ESA	European Space Agency
ESPRIT	European Strategic Programme for Research in Information Technology
Eureka	European Research and Co-ordination Agency
EU	European Union
GOOD-DIE	Get Organised Our Dissemination of Die Information in Europe (ESPRIT project)
HDPUG	High Density Packaging User Group
IEC	International Electrotechnical Commission
IECQ	IEC Quality Assurance System for Electronic Components
IEEE	Institute of Electrical and Electronic Engineers (USA)
ISO	International Organization for Standardization
JEDEC	Joint Electronic Devices Engineering Council (USA)
JEITA	Japan Electronics and Information Technology Industries Association
JESSI	Joint European Sub-micron Silicon Initiative
NASA	National Aeronautics and Space Administration (USA)

NIST	National Institute of Standards and Technology (USA)
NSO	National Standards Organisation
PCMCIA	Personal Computer Memory Card International Association
SI	Système International d'unités

B.2 General terminology

BLOB	Binary Large Object
CA	Capability Approval
CD-ROM	Compact Disc Read-Only Memory
dpm	Defects Per Million
DTD	Document Type Definition (for SGML and XML)
DTP	Desk-Top Publishing
EMC	Electro-Magnetic Compatibility
EMI	Electro-Magnetic Interference
FIT	Failures In Time
FMEA	Failure Mode and Effects Analysis
HDP	High Density Packaging
HTML	HyperText Markup Language
KGD	Known Good Die
MCM	Multi-Chip Module
MCP	Multi-Chip Package, Metallised Ceramic Package
MPD	Minimally-Packaged Device
MPP	Minimally-Packaged Part (see MPD)
MTBF	Mean Time Between Failures
MTTF	Mean Time To Failure
MTTR	Mean Time To Repair
NDA	Non Disclosure Agreement
PCB	Printed Circuit Board
ppm	Parts Per Million
QA	Qualification Approval, Quality Assessment
QML	Qualified Manufacturing Line
QPL	Qualified Products List
SGML	Standard Generalized Markup Language (ISO 8879)

SME	Small or Medium sized Enterprise
TA	Technology Approval
TCE	Thermal Coefficient of Expansion
XML	eXtensible Markup Language

B.3 Manufacturing and test terminology

AQL	Acceptable Quality Level
ATE	Automatic Test Equipment
BEOL	Back End Of Line
BOAC	Bond Over Active Circuitry
CuP	Circuit under Pad
CMP	Chemical Mechanical Polishing
DBG	Dice Before Grind
DI	De-Ionised water
DUT	Device Under Test
EPA	ESD Protected Area
ESD	Electro-Static Discharge
ESDS	Electro-Static Discharge Sensitive device
FEOL	Front End Of Line
LAT	Lot Acceptance Test
LTPD	Lot Tolerance Percent Defective
PAT	Part Average Testing
PoA	Pad over Active
RIE	Reactive Ion Etch
SEM	Scanning Electron Microscopy
SPC	Statistical Process Control
TCA	Temporary Chip Attachment
TDC	Temporary Die Carrier
UBM	Under-Bump (Ball, Bond) Metallisation
WLBI	Wafer-Level Burn-In

B.4 Semiconductors

BiCMOS	Bipolar and CMOS
BJT	Bipolar Junction Transistor

CMOS	Complementary Metal Oxide Semiconductor
FET	Field-Effect Transistor
GaAs	Gallium Arsenide
InP	Indium Phosphide
MOS	Metal Oxide Semiconductor
MPW	Multi-Project Wafer
NMOS	N-type Metal Oxide Semiconductor
PMOS	P-type Metal Oxide Semiconductor
SOI	Silicon On Insulator
SOS	Silicon On Sapphire

B.5 Design, simulation and data exchange

ATPG	Automatic Test Pattern Generation (or Generator)
BILBO	Built-In Logic Block Observation
BIST	Built-In Self Test
BSDL	Boundary Scan Definition Language
CAD	Computer Aided Design
CAE	Computer Aided Engineering
CAM	Computer Aided Manufacturing
CIF	Caltech Intermediate Format
CSV	Comma Separated Variable
DDX	Die Data eXchange (IEC 62258-2)
DIE	Die Information Exchange
DRC	Design Rules Check
DXF	Drawing eXchange Format
ECAD	Electronic Computer Aided Design
EDA	Electronic Design Automation (see ECAD)
EDIF	Electronic Design Interchange Format
ERC	Electrical Rules Check
GDSII	Graphical Display System
IBIS	I/O Buffer Information Specification
IGES	Initial Graphics Exchange Specification
JTAG	Joint Test Action Group
LVS	Layout Versus Schematic

OVI	Open Verilog Institute
QTAG	Quality Test Action Group
MRC	Manufacturing Rules Check
RTL	Register Transfer Level
SPICE	Simulation Package for Integrated Circuit Electronics
STEP	STandards for the Exchange of Product data
VHDL	VHSIC Hardware Description Language

B.6 Electronic technology

ADC	Analogue to Digital Converter
ASIC	Application Specific Integrated Circuit
ASSP	Application Specific Standard Part
CBIC	Cell Based Integrated Circuit
CLB	Configurable Logic Block
CSIC	Customer Specific Integrated Circuit
DAC	Digital to Analogue Converter
DRAM	Dynamic Random Access Memory
DSP	Digital Signal Processing (or Processor)
EEPROM	Electrically Erasable Programmable Read Only Memory
EPLD	Erasable Programmable Logic Device
EPROM	Erasable Programmable Read Only Memory
FCIC	Full Custom Integrated Circuit
FPGA	Field Programmable Gate Array
FSM	Finite State Machine
GA	Gate Array
GAL	Gate Array Logic
IC	Integrated Circuit
LSI	Large Scale Integration
MPGA	Mask Programmable Gate Array
MSI	Medium Scale Integration
PAL	Programmable Array Logic
PLD	Programmable Logic Device
ROM	Read Only Memory
PROM	Programmable Read Only Memory

RAM	Random Access Memory
SOC	System On Chip
SRAM	Static Random Access Memory
SSI	Small Scale Integration
VHSIC	Very High Speed Integrated Circuit
VLSI	Very Large Scale Integration
VRAM	Video Random Access Memory

B.7 Packaging

NOTE For a comprehensive description of package naming and terminology, refer to IEC 60191-4.

Some of the package style acronyms below may be prefixed by a single letter to indicate variants as follows :

C	ceramic
P	plastic
T	thin
V	very thin
BGA	Ball Grid Array package
CERDIP	CERamic Dual In-line Package
CGA	Column Grid Array package
COB	Chip-On-Board
DIL	Dual-In-Line package (DIP preferred)
DIP	Dual-In-line Package
DSO	Dual Small Outline package
LCC	Leadless Chip Carrier (QCC preferred)
LGA	Landed Grid Array package
PGA	Pin Grid Array package
QCC	Quad Chip Carrier package
QFP	Quad Flat Pack
SIP	Single-In-line Package
SMD	Surface Mount Device
SMT	Surface Mount Technology
SOIC	Small Outline Integrated Circuit
SON	Small-Outline, Non-leaded package
SOP	Small Outline Package

TAB	Tape-Automated Bonding
WLP	Wafer-Level Packaging
ZIP	Zig-zag In-line Package
μBGA	micro Ball Grid Array package
μPGA	micro Pin Grid Array package

Bibliography

- [1] IEC 60068 (all parts), *Test methods*
- [2] IEC 60749-26, *Semiconductor devices – Mechanical and climatic test methods – Part 26: Electrostatic discharge (ESD) sensitivity testing – Human body model (HBM)*
- [3] IEC 60749-27, *Semiconductor devices – Mechanical and climatic test methods – Part 27: Electrostatic discharge (ESD) sensitivity testing – Machine model (MM)*
- [4] IEC 61340-5-1, *Electrostatics – Part 5-1: Protection of electronic devices from electrostatic phenomena – General requirements*
- [5] IEC 61340-5-2, *Electrostatics – Part 5-2: Protection of electronic devices from electrostatic phenomena – User guide*
- [6] ISO 8879, *Information processing – Text and office systems – Standard Generalized Markup Language (SGML)*
- [7] ISO 9000, *Quality management system*
- [8] ISO 10303 (all parts), *Industrial automation systems and integration -- Product data representation and exchange*
- [9] ISO/IEC : 11179-3, *Information technology – Metadata registries (MDR) – Part 3: Registry metamodel and basic attributes*
- [10] *Die Information Exchange (DIE) Format Version 1.0.3: November 1994*
- [11] JEDEC standard J-STD-012 *Implementation of flip-chip and chip scale technology*, January 1996
- [12] EIA/JEDEC JESD16 *Assessment of Microcircuit Outgoing Non-conforming Levels in Parts Per Million*
- [13] EIA/JEDEC JESD46 *Guidelines for User Notification of Process Changes by Semiconductor Suppliers*
- [14] EIA/JEDEC JEP95 *Registered and standard outlines for solid state and related products*
- [15] ANSI/EIA 554 *Assessment of microcircuits outgoing non-conformance levels in parts per million (PPM)*
- [16] ANSI/EIA 557-A *Statistical Process Control Systems*
- [17] ANSI/EIA 599 *National Electronic Process Certification Standard*
- [18] IEEE 1029.1 *Waveform and Vector Exchange Specification*
- [19] IEEE 1076 *VHSIC Hardware Description Language*
- [20] FED-STD-209 *Clean Room and Workstation Requirements, Controlled Environments*
- [21] MIL-STD-883 *Microelectronics, Test Methods and Procedures*
- [22] MIL-PRF-19500 *General Specification for Semiconductor Devices*
- [23] MIL-PRF-38534 *General Specification for Hybrid Microcircuits*
- [24] IPC/JEDEC J-STD-020C *Standard for moisture/reflow sensitivity classification for nonhermetic solid state surface-mount devices*, July 2004
- [25] IPC/EIA J-STD-026 *Semiconductor design standard for flip-chip applications*, August 1999

- [26] IPC/EIA J-STD-028 *Performance standard for construction of flip-chip and chip scale bumps*, 1999
 - [27] IPC/JEDEC J-STD-033B *Standard for handling, packing, shipping and use of moisture/reflow sensitive surface-mount devices*, October 2005
 - [28] EIAJ EDR-4701B *Handling guidance for semiconductors*, March 1996
 - [29] EIAJ EDR-4703 *Quality assurance guidelines for bare die including KGD*, April 1999
-

SOMMAIRE

AVANT-PROPOS	49
INTRODUCTION	51
1 Domaine d'application	52
2 Références normatives	52
3 Définitions	53
3.1 Définitions de base	53
3.2 Terminologie générale	54
3.3 Terminologie de la fabrication et des interconnexions de semiconducteurs	56
4 Exigences générales	57
5 Echanges de données	58
6 Exigences applicables à l'ensemble des dispositifs	58
6.1 Données programme	58
6.1.1 Généralités	58
6.1.2 Source d'informations	58
6.1.3 Version des données	58
6.1.4 Formats d'échanges de données	58
6.2 Identité et source	58
6.2.1 Généralités	58
6.2.2 Numéro de type	58
6.2.3 Fabricant	59
6.2.4 Fournisseur	59
6.2.5 Signature	59
6.3 Fonction	59
6.4 Caractéristiques physiques	59
6.4.1 Matériau semiconducteur	59
6.4.2 Technologie	59
6.5 Valeurs assignées et conditions limites	59
6.5.1 Dissipation de puissance	59
6.5.2 Température de service	59
6.6 Connectivité	59
6.6.1 Généralités	59
6.6.2 Nombre de bornes	59
6.6.3 Informations relatives aux bornes	60
6.6.4 Permutabilité	60
6.7 Documentation	60
6.8 Forme de fourniture	60
6.8.1 Forme physique	60
6.8.2 Emballage et conditionnement	60
6.9 Simulation et modélisation	60
6.9.1 Généralités	60
6.9.2 Modélisation et simulation électrique	60
6.9.3 Données et modélisation thermiques	61
7 Exigences relatives aux puces nues et aux tranches, avec ou sans structure de connexion	61
7.1 Généralités	61
7.2 Identité	61

7.2.1	Généralités	61
7.2.2	Désignation des puces	61
7.2.3	Version des puces	61
7.3	Matériaux	61
7.3.1	Substrats	61
7.3.2	Connexion au substrat	61
7.3.3	Détails du verso	61
7.3.4	Matériau de passivation	61
7.3.5	Métallisation	62
7.3.6	Matériau des bornes	62
7.3.7	Structure des bornes	62
7.3.8	Trous de liaison	62
7.4	Géométrie	62
7.4.1	Généralités	62
7.4.2	Unités de mesure	62
7.4.3	Vue géométrique	62
7.4.4	Dimension de la puce	62
7.4.5	Epaisseur des puces	62
7.4.6	Tolérances dimensionnelles	62
7.4.7	Origine géométrique	63
7.4.8	Formes et dimensions des bornes	63
7.4.9	Références locales de la puce	63
7.4.10	Image de la puce	63
7.5	Données concernant les tranches	63
7.5.1	Généralités	63
7.5.2	Dimensions des tranches	63
7.5.3	Indice de tranche	63
7.5.4	Nombre de puces d'une tranche et taille des pas	63
7.5.5	Réticules de tranches	63
8	Dispositifs à encapsulation réduite	64
8.1	Généralités	64
8.2	Nombre de bornes	64
8.3	Position des bornes	64
8.4	Formes et dimensions des bornes	64
8.5	Dimensions du dispositif	64
8.6	Hauteur du boîtier reporté (en place)	64
8.7	Matériau d'encapsulation	65
8.8	Sensibilité à l'humidité	65
8.9	Code de type de boîtier	65
8.10	Dessin du boîtier	65
9	Qualité, essais et fiabilité	65
9.1	Généralités	65
9.2	Niveau de qualité après contrôle	65
9.2.1	Valeur	65
9.2.2	Description	65
9.3	Paramètres électriques spécifiés	65
9.4	Conformité aux normes	65
9.5	Tri supplémentaire des dispositifs	66
9.6	Etat du produit	66

9.7	Caractéristiques de testabilité	66
9.8	Exigences d'essai supplémentaires	66
9.9	Fiabilité	66
9.9.1	Estimation de la fiabilité	66
9.9.2	Calcul de la fiabilité	66
10	Manutention et conditionnement	66
10.1	Exigences générales applicables à tous les dispositifs	66
10.1.1	Généralités	66
10.1.2	Référence client	67
10.1.3	Numéro de type	67
10.1.4	Fournisseur	67
10.1.5	Fabricant	67
10.1.6	Traçabilité	67
10.1.7	Quantité	67
10.1.8	Sensibilité aux décharges électrostatiques	68
10.1.9	Exigences en matière de protection environnementale	68
10.2	Exigence particulière pour les puces nues ou les tranches – version de masque	68
10.3	Exigence particulière pour les tranches – carte de tranche	68
10.4	Exigences particulières concernant les articles	68
10.4.1	Généralités	68
10.4.2	Exigences de protection particulières	68
10.4.3	Étiquette d'avertissement pour puces non encapsulées	68
10.4.4	Avertissement concernant les matières toxiques	68
10.4.5	Avertissement concernant les composants fragiles	69
10.4.6	Avertissement concernant la sensibilité aux décharges électrostatiques	69
11	Stockage	69
11.1	Généralités	69
11.2	Durée et conditions de stockage	69
11.3	Stockage de longue durée	69
11.4	Restrictions en matière de stockage	69
12	Assemblage	69
12.1	Généralités	69
12.2	Méthodes et matériaux de fixation	70
12.3	Méthodes et matériaux de liaison	70
12.4	Restrictions en matière de fixations	70
12.4.1	Généralités	70
12.4.2	Profil température/temps	70
12.5	Restrictions relatives au processus	70
Annexe A (informative)	Terminologie	71
Annexe B (informative)	Acronymes	81
Bibliographie		89

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

PRODUITS DE PUCES DE SEMICONDUCTEURS –

Partie 1: Approvisionnement et utilisation

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI n'a prévu aucune procédure de marquage valant indication d'approbation et n'engage pas sa responsabilité pour les équipements déclarés conformes à une de ses Publications.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme Internationale CEI 62258-1 a été établie par le comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Cette deuxième édition annule et remplace la première édition publiée en 2005 et constitue une révision technique.

Les principales modifications ayant été introduites dans la présente édition sont destinées à assurer la cohérence entre toutes les parties de la norme. L'ordre des paragraphes, notamment à l'Article 6, a été modifié de manière à être plus logique, et le texte de certaines des exigences, a été amendé de manière à ajouter les exigences relatives aux informations supplémentaires objet de la CEI/TR 62258-4, de la CEI/TR 62258-7 et de la CEI/TR 62258-8. Les nouvelles exigences comprennent les informations sur la permutabilité des bornes et des éléments fonctionnels (6.6.4) et sur la sensibilité à l'humidité des dispositifs partiellement encapsulés (8.8).

Le texte de cette norme est issu des documents suivants:

CDV	Rapport de vote
47/1974/CDV	47/2004/RVC

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Une liste de toutes les parties de la série CEI 62258 présentées sous le titre général *Produits de puces de semiconducteurs*, peut être consultée sur le site web de la CEI.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de maintenance indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

INTRODUCTION

La présente norme est fondée sur les travaux réalisés dans le cadre du projet ESPRIT 4, GOOD-DIE, qui a donné lieu à la publication de la série de spécifications européennes ES59008. Les organismes qui ont aidé à la préparation du présent document incluent des membres du projet européen IST ENCASIT, JEITA, JEDEC et ZVEI.

La structure de la présente norme internationale telle qu'actuellement conçue est la suivante:

- Partie 1: Approvisionnement et utilisation
- Partie 2: Formats de données d'échange
- Partie 3: Bonnes pratiques recommandées pour la manipulation, le conditionnement et le stockage (rapport technique)
- Partie 4: Questionnaire destiné aux utilisateurs et fournisseurs de puces (rapport technique)
- Partie 5: Exigences d'informations concernant la simulation électrique
- Partie 6: Exigences d'informations concernant la simulation thermique
- Partie 7: Schéma XML d'échange de données (rapport technique)
- Partie 8: Schéma du modèle EXPRESS pour échange de données (rapport technique)

D'autres parties peuvent être ajoutées si nécessaire.

PRODUITS DE PUCES DE SEMICONDUCTEURS –

Partie 1: Approvisionnement et utilisation

1 Domaine d'application

La présente partie de la CEI 62258 a été élaborée afin de faciliter la production, la fourniture et l'utilisation de produits de puces de semiconducteurs, y compris:

- les tranches,
- les puces nues isolées,
- les puces et les tranches munies de leurs structures de connexion,
- les puces et les tranches à encapsulation minimale ou partielle.

La présente norme définit les exigences minimales applicables aux données nécessaires à la description desdits produits de puces et constitue une aide à la conception et à l'approvisionnement d'ensembles intégrant des produits de puces. Les exigences ainsi couvertes comprennent:

- l'identification du produit,
- les données du produit,
- les informations mécaniques concernant les puces,
- les informations concernant les essais, la qualité, l'assemblage et la fiabilité,
- les informations relatives à la manipulation, à l'expédition et au stockage.

Cette norme couvre également les exigences spécifiques applicables aux données nécessaires à la description des propriétés géométriques des puces, leurs propriétés physiques et les connexions nécessaires à leur utilisation pour l'élaboration et la fabrication des produits. Elle fournit également, dans les annexes, le vocabulaire utilisé et une liste des acronymes les plus communs.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 60050 (toutes les parties), *Vocabulaire Electrotechnique International*

CEI 60191(toutes les parties), *Normalisation mécanique des dispositifs à semiconducteurs*

CEI 60191-4:1999, *Normalisation mécanique des dispositifs à semiconducteurs – Partie 4: Système de codification et classification en formes des boîtiers pour dispositifs à semiconducteurs*

Amendement 1 (2001)

Amendement 2 (2002)

CEI 61360-1, *Standard data element types with associated classification scheme for electric components – Part 1: Definitions – Principles and methods* (disponible en anglais seulement)

CEI 62258-2, *Semiconductor die products – Part 2: Exchange data formats* (disponible en anglais seulement)

CEI/TR 62258-3, *Semiconductor die products – Part 3: Recommendations for good practice in handling, packing and storage* (disponible en anglais seulement)

CEI/TR 62258-4, *Semiconductor die products – Part 4: Questionnaire for die users and suppliers* (disponible en anglais seulement)

CEI 62258-5, *Semiconductor die products – Part 5: Requirements for information concerning electrical simulation* (disponible en anglais seulement)

CEI 62258-6, *Semiconductor die products – Part 6: Requirements for information concerning thermal simulation* (disponible en anglais seulement)

CEI/TR 62258-7, *Semiconductor die products – Part 7: XML schema for data exchange* (disponible en anglais seulement)

CEI/TR 62258-8, *Semiconductor die products – Part 8: EXPRESS model schema for data exchange* (disponible en anglais seulement)

ISO 14644-1:1999, *Salles propres et environnements maîtrisés apparentés – Partie 1: Classification de la propreté de l'air*

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent. Tous les termes et définitions définis ici s'ajoutent aux termes et définitions pertinents définis dans la série CEI 60050¹. D'autres termes et acronymes sont donnés pour information dans les Annexes A et B.

3.1 Définitions de base

3.1.1

puce

composant découpé dans une tranche de semiconducteur et qui constitue un semiconducteur discret ou un circuit intégré entier

3.1.2

tranche

disque de faible épaisseur constitué d'un matériau semiconducteur ou d'un tel matériau déposé sur un substrat, dans lequel un ou plusieurs circuits ou dispositifs peuvent être réalisés et qui peut être ultérieurement découpé en puces

3.1.3

puce isolée

puce individuelle et distincte qui a été séparée de la tranche

3.1.4

singulation

découpage de puces

découpage des tranches en dispositifs de puces individuels, ce qui comprend le sciage, le traçage des chemins de découpe et le découpage en dés

¹ Les termes de cette série sont disponibles sur www.Electropedia.org, connu aussi sous l'appellation « VEI en ligne ».

3.1.5

puce nue

semiconducteur discret ou circuit intégré non encapsulé comportant des plages à sa partie supérieure, permettant l'interconnexion au substrat ou au boîtier

3.1.6

puce nue avec structures de connexion

puce non encapsulée à laquelle ont été ajoutés des plots de contact, des grilles de connexion ou autres bornes de sortie pour interconnexion à un accessoire électrique

NOTE En général, il s'agit de puces comportant des parties métallisées auxquelles ont été ajoutées des plages de soudure ou des plages métallisées, sous la forme de plots ou de matrices de lignes périphériques (également appelées puces à bosses) ou il peut s'agir de puces comportant des plages métallisées auxquelles sont fixés des conducteurs fins (procédé également appelé TAB pour Soudage Automatisé sur Bande).

3.1.7

puces à encapsulation réduite

MPD (Minimally-Packaged Die)

puces auxquelles a été ajouté un matériau extérieur d'encapsulation et une structure d'interconnexion pour le protéger et en faciliter la manipulation

NOTE Cette définition inclut des technologies d'encapsulation telles que le boîtier-puce (CSP: Chip Scale Package) et l'encapsulation sur tranches (WLP: Wafer Level Package) dans lesquelles la surface du boîtier n'est pas notablement supérieure à la surface de la puce nue.

3.1.8

dispositif de puce

puce nue, avec ou sans structure de connexion ou une puce à encapsulation réduite

3.1.9

données programme

ensemble d'informations sur un dispositif de puce produit conformément à la présente norme

3.2 Terminologie générale

3.2.1

circuit-intégré

autre terme pour puce

3.2.2

boîtier-puce

CSP (Chip Scale Package)

terme générique pour des technologies de mise sous boîtier (encapsulation) qui donnent un élément encapsulé dont la taille est à peine plus grande que celle de la puce qu'il enferme

3.2.3

encapsulation sur tranches

WLP (Wafer Level Package)

terme générique pour des technologies de mise sous boîtier dans lesquelles l'encapsulation et les éventuelles structures d'interconnexion sont ajoutées à la tranche avant découpage en puces individuelles

3.2.4

(semiconducteur) discret

dispositif à semiconducteur simple à deux, trois ou quatre bornes

NOTE Les semiconducteurs discrets comprennent des composants élémentaires tels que les diodes, transistors et thyristors, individuels.

3.2.5**(circuit) hybride**

module ou sous-ensemble encapsulé qui comprend la puce de semiconducteur et des composants passifs imprimés ou fixés de toute autre manière

NOTE Voir également module multipuce et boîtier multipuce.

3.2.6**puce reconnue de qualité****KGD (Known Good Die)**

qualification d'une puce de semiconducteur indiquant que la puce a été soumise à des essais de conformité à un niveau de qualité spécifié ou déterminé ou d'“adéquation”

NOTE Une définition couramment acceptée de KGD signifie que la puce a été soumise à des essais et/ou sélectionnée en fonction de niveaux de qualité du même ordre que ceux qui sont applicables à des composants encapsulés équivalents.

3.2.7**boîtier**

ensemble complet qui protège un ou plusieurs composants électroniques contre les dommages mécaniques, climatiques et électriques pendant toute sa (leur) durée de vie en service et qui comprend des moyens d'interconnexion

3.2.8**mise sous boîtier, encapsulation**

processus d'assemblage d'un ou de plusieurs composants électroniques dans un boîtier

NOTE L'utilisation du terme “packaging” dans sa forme verbale (par exemple “When packaging ICs into dual-in-line packages ...”) est déconseillée.

3.2.9**emballage**

matériau utilisé pour protéger des éléments électroniques contre les dommages mécaniques, climatiques et électriques en cours de transport ou de stockage et qui est retiré avant d'intégrer l'élément dans son application finale

3.2.10**module multipuce****MCM (Multi-Chip Module)**

module comportant au moins deux puces et/ou des puces à encapsulation réduite

NOTE Voir également la définition de (circuit) hybride en 3.2.5 et de boîtier multipuce en 3.2.11.

3.2.11**boîtier multipuce****MCP (Multi-Chip Package)**

boîtier comportant au moins deux puces et/ou des puces à encapsulation réduite

NOTE Voir également la définition de (circuit) hybride en 3.2.5 et de module multipuce en 3.2.10.

3.2.12**système dans un boîtier****SiP (system in a package)**

système ou sous-système fonctionnel en un seul boîtier contenant au moins deux dispositifs de puces qui remplissent séparément des fonctions système différentes

3.2.13**sous-ensemble à dispositifs multiples****MDS (Multi-Device Sub-assembly)**

sous-système constitué de plusieurs dispositifs électroniques dont au moins un est un circuit intégré

NOTE Il s'agit d'un terme générique qui comprend, entre autres, les hybrides, les modules MCM, les boîtiers MCP et les SiP.

3.2.14

plage

partie conductrice sur un dispositif de puce qui constitue une borne permettant de réaliser des connexions électriques externes

NOTE Pour une puce nue sans connexions externes, la plage est la borne proprement dite. Pour une puce à bosses, la borne se présente sous la forme d'un matériau conducteur supplémentaire placé sur une plage, alors que pour une puce à laquelle est montée une grille de connexion, la borne se présente sous la forme d'un conducteur relié à la plage et dépassant de la puce.

3.3 Terminologie de la fabrication et des interconnexions de semiconducteurs

3.3.1

masque

- a) recouvrement optique utilisé en photogravure pendant le processus de fabrication des semiconducteurs
- b) étapes majeures de réalisation de motifs particuliers dans le processus de fabrication

3.3.2

couche

niveau de la structure d'interconnexion d'un dispositif de puce

3.3.3

passivation

traitement de surface ou final et recouvrement d'une puce, en général d'une fine couche d'oxyde ou de nitrure semiconducteur qui protège et assure l'étanchéité des zones actives de la puce contre toute contamination extérieure chimique ou mécanique

NOTE Les plages de liaison nécessitent une ouverture dans cette passivation afin de permettre le contact électrique.

3.3.4

ligne de traçage

chemin de traçage

zone entourant la puce qui est réservée sur la tranche pour le traçage et le sciage de la puce à partir de la tranche

NOTE Il existe de nombreux autres termes tels que chemin de traçage, chemin de sciage, chemin de découpage en dés, etc.

3.3.5

liaison filaire

processus consistant à fixer un fil ou un ruban d'interconnexion sur une puce

3.3.6

plages de liaison

zones métallisées de la puce utilisées pour une connexion électrique (liaison) temporaire ou permanente

3.3.7

bosse

borne à trou

borne

colonnette

zone métallisée surélevée de la puce utilisée pour une connexion électrique temporaire ou permanente

3.3.8**grille de connexion**

structure d'appui sur laquelle est montée une puce et qui comprend également la structure de connexion de la puce

3.3.9**fixation de puce**

méthode et matériaux utilisés pour fixer une puce sur un substrat

3.3.10**puce à bosses – puce retournée**

puce de semiconducteur électriquement et/ou mécaniquement reliée à une structure d'interconnexion de sorte que la surface active fait face à la structure d'interconnexion

3.3.11**interposeur**

matériau placé entre deux surfaces assurant l'isolation électrique, la résistance mécanique et/ou la séparation mécanique maîtrisée entre les deux surfaces

NOTE Un interposeur peut être utilisé comme moyen de redistribuer les connexions électriques et/ou de compenser les différentes dilatations thermiques entre surfaces adjacentes.

3.3.12**redistribution**

processus qui consiste à déplacer les bornes d'une puce en des positions plus commodes au moyen de couches de connectivité supplémentaires ou d'un interposeur

3.3.13**empilage de puces****empilage de tranches**

action qui consiste à mettre des puces ou des tranches les unes sur les autres, de manière à constituer un empilage tridimensionnel

NOTE 1 Les puces sont interconnectées par liaison filaire, par impression ou revêtement métallique des bords, ou encore au moyen de trous de liaison à travers le silicium.

NOTE 2 Les puces ou les tranches peuvent être empilées dos contre face et/ou face contre face.

3.3.14**trou de liaison à travers le silicium****TSV (Through Silicon Via)**

structure d'interconnexion réalisée à travers le matériau semiconducteur d'une surface à l'autre du dispositif de puce

NOTE Il peut être fixé à l'un ou aux deux côtés du trou de liaison une bosse ou une borne permettant l'empilage des puces ou encore le trou de liaison proprement dit peut constituer une broche en cuivre.

4 Exigences générales

Les fournisseurs de dispositifs de puces doivent remettre, dans un ensemble de données programme, les informations nécessaires et suffisantes aux utilisateurs des dispositifs, à toutes les étapes de conception, d'approvisionnement, de fabrication et d'essai des produits qui les contiennent. Une description détaillée de ces exigences est fournie ci-dessous ainsi que dans d'autres parties de la présente norme.

Même s'il est vraisemblable que la plupart des informations fournies conformément à la présente norme internationale soient déjà dans le domaine public et disponibles à partir de sources telles que les fiches techniques des fabricants, la présente spécification n'oblige en aucune manière un fournisseur à les rendre publiques. Les éventuelles informations

considérées par un fournisseur comme propriétaires ou sensibles du point de vue commercial, peuvent être fournies en vertu des termes et conditions d'un accord de non divulgation.

Pour plus de détails concernant ces exigences, voir les Articles 6 à 12.

5 Echanges de données

Il est recommandé que les données destinées à être échangées par des moyens électroniques soient formatées conformément aux dispositions de la CEI 62258-2, de la CEI/TR 62258-7 et de la CEI/TR 62258-8. Le questionnaire donné dans la CEI/TR 62258-4 ainsi que la feuille de calcul correspondante, peuvent être utilisés comme guides pour la conformité aux exigences de la présente partie de la norme, sachant qu'il est possible de convertir le contenu de la feuille de calcul en l'un des formats d'échange prévus.

6 Exigences applicables à l'ensemble des dispositifs

6.1 Données programme

6.1.1 Généralités

Les informations relatives aux données programme proprement dites, y compris les sources d'informations, la version des données programme et les dates correspondantes, doivent être fournies.

6.1.2 Source d'informations

L'identité de la personne physique ou morale ayant créé le jeu de données doit être fournie.

6.1.3 Version des données

La version et/ou la date de création des données, doivent être fournies.

6.1.4 Formats d'échanges de données

Lorsque les données sont fournies sous une forme appropriée pour un échange de données utilisant un schéma bien défini, l'identité et la version du schéma doivent être déclarées. En outre, si les données ont été produites au moyen d'un progiciel, il convient de donner l'identité et la version du logiciel correspondant.

NOTE Pour des informations concernant des schémas définis appropriés, il convient de se reporter à la CEI 62258-2, à la CEI/TR 62258-7 et à la CEI/TR 62258-8.

6.2 Identité et source

6.2.1 Généralités

L'identité et la source d'approvisionnement des dispositifs de puces doivent être fournies avec suffisamment d'informations pour que le client puisse communiquer de manière appropriée avec le fournisseur.

6.2.2 Numéro de type

Le numéro de type ou la désignation de référence donné(e) par le fabricant et/ou le fournisseur pour identifier le dispositif de puce tel que fourni au client, doit être indiqué(e). En outre, il convient également de fournir le numéro de type d'un élément encapsulé équivalent utilisant la même puce.

6.2.3 Fabricant

L'identité de l'entreprise ayant fabriqué la puce ou la tranche doit être fournie.

6.2.4 Fournisseur

L'identité du fournisseur de la puce, lorsqu'elle est différente de celle du fabricant de la puce, doit être déclarée.

6.2.5 Signature

Lorsque les informations relatives à l'identité du dispositif sont intégrées par des moyens électroniques ou optiques, il convient que cela soit déclaré en même temps qu'une description détaillée des méthodes nécessaires à la lecture desdites informations.

6.3 Fonction

Une description de la fonction électrique et des variantes de performance du dispositif de puce doit être fournie.

6.4 Caractéristiques physiques

6.4.1 Matériau semiconducteur

Il convient de déclarer le type de matériau semiconducteur actif utilisé pour la fabrication du dispositif de puce.

6.4.2 Technologie

La technologie de fabrication du dispositif de puce, par exemple CMOS, BiCMOS, bipolaire, etc., doit être déclarée.

6.5 Valeurs assignées et conditions limites

6.5.1 Dissipation de puissance

Les informations concernant la dissipation de puissance dans la puce ou le courant d'alimentation de service à la tension de service nominale, dans des conditions assignées de fonctionnement normal, doivent être fournies.

NOTE Si les valeurs concernant à la fois la dissipation de puissance type et la dissipation de puissance maximale sont disponibles, il convient de les fournir toutes les deux.

6.5.2 Température de service

La plage de températures de service de la puce permettant au dispositif de fonctionner conformément à ses spécifications déclarées, doit être fournie.

6.6 Connectivité

6.6.1 Généralités

La fonction électrique de l'ensemble des bornes doit être donnée de façon à ce que la relation entre la fonction électrique et les positions géométriques des bornes soit pleinement définie.

6.6.2 Nombre de bornes

Le nombre de bornes individuelles, de plages ou autres connexions sur le dispositif de puce, doit être déclaré.

6.6.3 Informations relatives aux bornes

Pour chaque borne ou plage sur le dispositif de puce, les informations suivantes doivent être fournies:

- a) **position** – les coordonnées du centre géométrique de la borne par rapport à son origine géométrique
- b) **forme** – la forme et les dimensions associées de la borne dans cette position
- c) **orientation** – l'orientation de la borne par rapport à la direction de référence du dispositif de puce
- d) **nom du signal** – le nom du signal ou de la connexion d'alimentation effectuée sur la borne
- e) **type de signal** – le type de signal, d'alimentation ou de toute autre connexion à chaque borne (entrée, sortie, tension d'alimentation, pas de connexion, etc.)

6.6.4 Permutabilité

Le cas échéant, il convient de donner les informations nécessaires permettant de spécifier la permutabilité logique et/ou physique des bornes et des blocs fonctionnels d'un dispositif de puce.

6.7 Documentation

Il doit être fourni des fiches techniques contenant l'ensemble des informations prescrites dans la présente norme. Les fiches techniques peuvent être fournies sous format papier ou électronique.

6.8 Forme de fourniture

6.8.1 Forme physique

La forme physique sous laquelle les dispositifs de puces ou les tranches sont fournis doit être déclarée, qu'il s'agisse de puces isolées, de tranches sciées ou non sciées et avec ou sans structure de connexion ou à encapsulation réduite.

6.8.2 Emballage et conditionnement

Les informations relatives au conditionnement utilisé pour protéger les dispositifs de puces ou les tranches lors de leur manutention, expédition et stockage, doivent être fournies.

6.9 Simulation et modélisation

6.9.1 Généralités

Il convient de fournir des informations concernant les modèles de simulation et les simulateurs correspondants disponibles pour effectuer la simulation et la modélisation des performances électriques et thermiques.

6.9.2 Modélisation et simulation électrique

Il convient d'indiquer la disponibilité d'éventuels modèles de simulation ou d'essai des dispositifs de puces et de fournir les informations concernant les ensembles de simulateurs auxquels ils sont destinés.

Pour plus de détails concernant ces exigences, se reporter à la CEI 62258-5.

6.9.3 Données et modélisation thermiques

Il convient de fournir les propriétés thermiques nécessaires à la modélisation thermique du dispositif de puce.

Pour plus de détails concernant ces exigences, se reporter à la CEI 62258-6.

7 Exigences relatives aux puces nues et aux tranches, avec ou sans structure de connexion

7.1 Généralités

Outre les exigences de l'Article 6, le présent article traite des exigences applicables aux puces nues et aux tranches avec ou sans structure de connexion.

7.2 Identité

7.2.1 Généralités

Tous les dispositifs de puces doivent disposer d'un identifiant, constitué d'un ou de plusieurs indicateurs de type, qui doivent permettre de distinguer chaque dispositif de puce de tous les autres dispositifs de puces et éléments encapsulés équivalents. Ces identifiants doivent permettre de faire la distinction entre les versions différentes de puces conçues pour réaliser des fonctions identiques ou différentes.

7.2.2 Désignation des puces

La désignation donnée par le fabricant pour identifier les puces doit être fournie.

7.2.3 Version des puces

La révision ou le code d'étape permettant d'identifier la version de masque ou la révision utilisée lors de la production des puces doit être fourni(e).

7.3 Matériaux

7.3.1 Substrats

Lorsque la puce est fabriquée en utilisant un matériau différent comme substrat pour recevoir le matériau semiconducteur actif, il convient d'indiquer le type de ce matériau.

7.3.2 Connexion au substrat

Les éventuelles exigences relatives à la connexion au substrat de la puce pour garantir une polarisation correcte du matériau doivent être données ; et il faut indiquer clairement si une connexion au substrat est obligatoire, facultative ou interdite.

7.3.3 Détails du verso

Lorsqu'une puce est à liaison filaire, une description détaillée de l'éventuelle finition de surface et du revêtement métallique appliqué à la surface de la puce fixée au plan de montage, doit être fournie.

7.3.4 Matériau de passivation

Il convient d'indiquer le matériau utilisé dans la couche de passivation finale de la surface de la puce pour protection et isolation.

7.3.5 Métallisation

Il convient d'indiquer le matériau utilisé pour la métallisation de la partie de la surface de la puce qui porte les plages de liaison. ²

7.3.6 Matériau des bornes

Pour les puces à bosses et les puces à structures de connexion fixées, le matériau utilisé pour former les connexions à bornes doit être indiqué, y compris les éventuelles finitions appliquées à la surface.

7.3.7 Structure des bornes

Pour les puces à bosses et les puces à structures de connexion fixées, il convient de fournir des informations sur la structure de connexion à bornes, y compris les éventuelles couches de redistribution. Pour ce qui concerne les puces à bosses, il convient que ces informations donnent une description de la méthode de fixation ainsi que des détails relatifs aux éventuels matériaux de fixation utilisés sous les bosses.

7.3.8 Trous de liaison

Il convient d'indiquer la structure de tous les trous de liaison, y compris les matériaux utilisés et leur position sur la puce.

7.4 Géométrie

7.4.1 Généralités

Toutes les dimensions physiques nécessaires à l'implantation et à l'assemblage d'un produit contenant des puces, doivent être fournies. Ceci doit comprendre les dimensions de la puce ainsi que la taille, la position et la forme de toutes les bornes.

7.4.2 Unités de mesure

Les unités de dimensionnement des puces et des bornes doivent être indiquées. Pour les échanges de données conformément à la CEI 61360-1, toutes les dimensions doivent être données en mètres.

7.4.3 Vue géométrique

La vue de la puce doit être indiquée: vue de haut (face active vers le haut) ou vue de dessous (face active vers le bas). Il est préférable d'utiliser une vue de haut.

7.4.4 Dimension de la puce

La longueur et la largeur maximales de la puce doivent être fournies:

- a) pour une puce nue, il s'agit des dimensions maximales après sciage ou, lorsque ces dernières ne sont pas disponibles, des dimensions de projection répétitive ;
- b) pour les tranches, il s'agit des dimensions de projection répétitive.

7.4.5 Epaisseur des puces

L'épaisseur des puces finies doit être indiquée.

7.4.6 Tolérances dimensionnelles

Il convient d'indiquer les tolérances applicables aux dimensions et à l'épaisseur des puces ainsi qu'aux dimensions et aux positions des plages.

7.4.7 Origine géométrique

Les coordonnées d'une position de référence sur la puce, par rapport au centre géométrique de la surface de la puce, doivent être indiquées. Ceci constitue l'origine du système de coordonnées par rapport auquel est référencée la position des caractéristiques de la puce telles que la position de plage et les références locales.

7.4.8 Formes et dimensions des bornes

Pour les puces munies de structures de connexion sous la forme de bosses, de billes ou similaires, la hauteur des bornes perpendiculairement à la surface de la puce doit être indiquée. En outre, il convient également de fournir la tolérance de hauteur des bornes ainsi que leurs formes et dimensions parallèlement à la surface de la puce. Le cas échéant, il convient également de fournir un schéma ou un dessin des bornes, sous forme de document ou sous forme électronique, en utilisant un format graphique approprié.

7.4.9 Références locales de la puce

Il convient de fournir des informations relatives aux repères d'identification de la puce permettant de la différencier d'autres puces et de l'orienter pour l'assemblage. Il convient que ces informations incluent des images des références locales, fournies sous forme de document ou sous forme électronique, en format graphique approprié, en indiquant les dimensions et la position de chaque référence locale.

7.4.10 Image de la puce

Il convient de fournir, sous forme de document ou sous forme électronique, en utilisant un format graphique approprié, un plan ou une photographie de la puce montrant les positions relatives des plages, des bosses ou des grilles de connexion.

7.5 Données concernant les tranches

7.5.1 Généralités

Lorsque les puces se présentent sous forme de tranches sciées ou non sciées, les informations suivantes doivent, le cas échéant, être fournies.

7.5.2 Dimensions des tranches

Le diamètre et l'épaisseur de la tranche doivent être donnés ; il convient également d'indiquer la tolérance d'épaisseur de la tranche.

7.5.3 Indice de tranche

Il convient d'indiquer la forme et l'orientation de tout indice.

7.5.4 Nombre de puces d'une tranche et taille des pas

Il convient de fournir le nombre brut de puces et les tailles de pas de puces.

7.5.5 Réticules de tranches

Si les puces sont fournies sous forme de tranches avec réticules, il convient de fournir le nombre brut de puces et les tailles de pas de puces pour chaque réticule.

8 Dispositifs à encapsulation réduite

8.1 Généralités

Outre les exigences de l'Article 6 et les éventuelles informations pertinentes de l'Article 7, les informations fournies dans les paragraphes ci-après sont nécessaires. Il convient, le cas échéant, de faire référence aux types de boîtiers normalisés donnés dans la série CEI 60191 ou dans les normes nationales correspondantes.

8.2 Nombre de bornes

Le nombre de positions de bornes et le nombre réel de bornes doivent être fournis. Lorsque les bornes sont disposées sur une matrice rectangulaire ou le long des bords d'un boîtier rectangulaire, le nombre de positions de bornes sur chaque longueur et largeur, doit également être fourni.

8.3 Position des bornes

Il doit être fourni des informations permettant à l'utilisateur de déterminer la position de toutes les bornes sur le dispositif.

Lorsque les bornes ne sont pas contenues dans une matrice rectangulaire régulière, des informations doivent être fournies sous la forme d'une liste de coordonnées des centres géométriques de toutes les bornes par rapport à l'origine géométrique.

Lorsque les informations ne sont pas fournies sous cette forme et lorsque les bornes sont dans une matrice rectangulaire régulière, les informations doivent être fournies sous une forme suffisante pour déduire la position géométrique de chaque borne dans la matrice:

- a) pas des bornes - la distance entre les entraxes de bornes adjacentes. Si le pas est différent dans le sens de la longueur et de la largeur, les deux valeurs doivent être fournies ;
- b) plan des bornes - le plan des positions de bornes occupées doit être fourni sous la forme d'un schéma associé ou autre représentation.

8.4 Formes et dimensions des bornes

Les types de bornes sur le dispositif (par exemple boîtier matriciel à boule), ainsi que les informations suivantes, doivent être fournis:

- a) pour les boîtiers matriciels à boule ou à colonnette, la hauteur des bornes perpendiculairement à la surface de la puce, doit être fournie. En outre, il convient également de fournir la tolérance de hauteur des bornes ainsi que leurs formes et dimensions parallèlement à la surface de la puce. Le cas échéant, il convient également de fournir un schéma ou un dessin des bornes, sous forme de document ou sous forme électronique, en utilisant un format graphique approprié.
- b) pour les boîtiers sans broches, les dimensions de l'aire efficace de l'empreinte sur la surface de montage doivent être fournies.

8.5 Dimensions du dispositif

La longueur et la largeur maximales du dispositif à encapsulation réduite doivent être fournies. Il convient également de donner les tolérances correspondantes.

8.6 Hauteur du boîtier reporté (en place)

La hauteur maximale du dispositif à encapsulation réduite, lorsqu'il est monté en place, doit être fournie. Il convient également de donner les tolérances correspondantes.

8.7 Matériau d'encapsulation

Il convient d'indiquer le type de matériau utilisé pour le revêtement extérieur ou l'encapsulation du dispositif de puce.

8.8 Sensibilité à l'humidité

Il convient de fournir le niveau de sensibilité à l'humidité (MSL - moisture sensitivity level) de l'encapsulation ainsi que la norme qui a permis de le définir.

8.9 Code de type de boîtier

Il convient de fournir le code de type de boîtier, conformément à la CEI 60191-4.

8.10 Dessin du boîtier

Le cas échéant, il convient de fournir un dessin coté du dispositif, soit sous forme de document soit sous forme électronique, en utilisant un format graphique approprié.

9 Qualité, essais et fiabilité

9.1 Généralités

Il doit être fourni une indication du niveau de qualité prévu et des informations sur la fiabilité du dispositif.

NOTE Si elles sont considérées importantes, les informations relatives à la qualité, aux essais et à la fiabilité, peuvent faire l'objet d'un accord de non divulgation (NDA - non-disclosure agreement) entre le fournisseur et l'acquéreur.

9.2 Niveau de qualité après contrôle

9.2.1 Valeur

Des informations doivent être fournies sur le niveau de qualité après contrôle du produit de puce. Ceci peut, par exemple, être exprimé sous forme de défauts par million (dpm), de niveau de qualité acceptable (NQA) ou autre mesure similaire.

9.2.2 Description

Le fabricant ou fournisseur doit donner une description de la méthode, des paramètres et des valeurs correspondantes utilisés pour calculer le niveau de qualité après contrôle, comme indiqué en 9.2.1. Il convient également de fournir des informations relatives aux modes opératoires utilisés pour évaluer la qualité des dispositifs de puces et les étapes du processus de production au cours desquelles ils ont été appliqués.

9.3 Paramètres électriques spécifiés

Le fabricant ou le fournisseur doit indiquer les conditions pour lesquelles les paramètres électriques sont spécifiés ; il incombe cependant au client de revoir l'ensemble des données fournies et de s'assurer de leur adéquation aux exigences de conception de son module et de l'application finale.

9.4 Conformité aux normes

La conformité des dispositifs de puces à d'éventuelles normes particulières doit être indiquée.

9.5 Tri supplémentaire des dispositifs

Il convient d'indiquer l'existence de procédures supplémentaires de sélection spécifiquement utilisées par le fabricant ou le fournisseur pour les dispositifs de puces, afin d'assurer une conformité aux normes ou d'améliorer la fiabilité après contrôle.

9.6 Etat du produit

Sur demande, le fabricant doit mettre à disposition des informations relatives à la disponibilité et à l'état du produit, comme par exemple une modification électrique/mécanique apportée au dispositif de puce, une dévalorisation de la puce ou une fin de production prévue du dispositif.

9.7 Caractéristiques de testabilité

Il convient de fournir des informations sur les fonctions de testabilité intégrées (par exemple redondance, fusibles de contrôle, correction des erreurs, architecture adaptée à l'essai en registre à décalage, auto-contrôle intégré, etc.) avec une description et une explication de chacune des fonctions lorsqu'elle est nécessaire aux essais à effectuer par les clients et qu'elle n'enfreint pas des droits de propriété intellectuelle.

9.8 Exigences d'essai supplémentaires

Il convient de fournir toute autre information spécifique au produit, concernant les essais électriques à réaliser par l'utilisateur, par exemple une stratégie d'essai ou des contraintes de tension particulières permettant d'atteindre les objectifs de qualité.

9.9 Fiabilité

9.9.1 Estimation de la fiabilité

Il doit être fourni une estimation de la fiabilité pour le type de produit de puce. La valeur de fiabilité correspondante doit être fournie en taux de défaillances dans le temps (FIT pour Failures In Time), en temps moyen de fonctionnement avant défaillance (MTTF pour Mean Time To Failure) ou autre mesure similaire, en indiquant les conditions dans lesquelles l'estimation a été effectuée.

NOTE La fiabilité finale du module est une combinaison de la fiabilité du type de puce particulier, du nombre de puces dans le module, du routage des signaux dans le substrat, des propriétés de dissipation thermique et de nombreuses autres variables. Il convient de considérer les éventuelles données de fiabilité ainsi soumises par le fabricant ou le fournisseur comme applicables uniquement à un type de dispositif de puce particulier et seulement "en l'état de livraison", et non "assemblé".

9.9.2 Calcul de la fiabilité

La méthode, les paramètres et les données sur lesquelles se fonde l'estimation de la fiabilité doivent être indiqués.

10 Manutention et conditionnement

10.1 Exigences générales applicables à tous les dispositifs

10.1.1 Généralités

Les informations nécessaires à la manutention des puces doivent être fournies, y compris, le cas échéant, une description détaillée de la forme sous laquelle les puces sont livrées et de la forme du conditionnement pour expédition, ainsi que les recommandations de protection contre les décharges électrostatiques (ESD).

Toutes les méthodes d'expédition et de manutention doivent comporter un système de codage et de maintien de la traçabilité de chaque puce vis-à-vis de son lot de tranches.

Les informations données dans le présent article doivent être indiquées sur le dispositif de puce, l'emballage primaire ou secondaire ou sur la documentation d'accompagnement, y compris, le cas échéant, sur les factures.

A moins que chaque puce ne porte une identification unique, il convient que l'utilisateur soit parfaitement conscient que des procédures et une documentation supplémentaires seront nécessaires pour assurer la traçabilité des produits une fois le dispositif de puce retiré de son emballage primaire.

Toutes les méthodes d'expédition doivent assurer la protection des produits contre les dommages mécaniques, les décharges électrostatiques (ESD) et la contamination, tout en permettant de récupérer facilement la puce. Si plusieurs unités sont expédiées dans le même emballage, il doit être prévu des moyens tels que des boîtiers alvéolés ou des nacelles pour tranches, afin d'éviter un éventuel mélange des produits qui pourrait entraîner un dommage physique.

Il convient que toute méthode d'expédition prévienne également un moyen permettant de prévenir tout mouvement excessif ou rotation des produits qui risquerait de les endommager ou d'empêcher une manutention automatisée des produits.

Pour plus de détails concernant les informations, objet du présent article, il convient de se reporter à la CEI/TR 62258-3.

NOTE Les informations exigées par le présent article sont fournies avec le produit livré et ne font pas partie des données programme.

10.1.2 Référence client

La référence, indiquée et exigée par le client, doit être fournie lorsqu'elle est différente du numéro de type ou de la référence du fabricant.

10.1.3 Numéro de type

Le numéro de type ou la désignation du dispositif donné(e) par le fabricant pour identifier la puce finie telle que fournie au client, doit être indiqué(e).

10.1.4 Fournisseur

Le nom du fournisseur doit être indiqué.

10.1.5 Fabricant

Le nom du fabricant, s'il est différent de celui du fournisseur, doit être indiqué.

10.1.6 Traçabilité

Le numéro de lot du fournisseur, ou toute autre information nécessaire pour lier de manière unique le dispositif de puce ou le lot de composants à la documentation correspondante à partir du lot de fabrication de tranche et/ou du lot d'essai, doit être indiqué.

10.1.7 Quantité

Le nombre total de puces du lot d'expédition et la décomposition des quantités dans chaque unité de conditionnement, tel qu'un boîtier alvéolé, une bobine ou une tranche, doivent être indiqués. Pour ce qui concerne les tranches, cette quantité peut être le nombre de puces reconnues de qualité sur la tranche.

10.1.8 Sensibilité aux décharges électrostatiques

Il convient d'indiquer les limites maximales admissibles et la méthodologie utilisée pour spécifier la sensibilité du dispositif aux dommages d'une décharge électrostatique.

10.1.9 Exigences en matière de protection environnementale

Le fournisseur doit soumettre une déclaration selon laquelle les exigences et la réglementation nationale ou régionale sont satisfaites, en décrivant de manière détaillée les mesures appropriées prises pour protéger l'environnement.

NOTE Il convient également de tenir compte du recyclage des matériaux d'emballage, de leur ré-utilisation et du contrôle des matières toxiques.

10.2 Exigence particulière pour les puces nues ou les tranches – version de masque

La révision ou le code d'étape permettant d'identifier la version de masque doit être fourni(e).

10.3 Exigence particulière pour les tranches – carte de tranche

Lorsque les puces sont fournies sous la forme d'une tranche contrôlée, il doit être fourni des informations permettant à l'utilisateur d'identifier des produits de puces reconnues de qualité ou des qualités de puces. Ces informations peuvent être fournies sous la forme d'une carte de tranche, sous forme papier ou électronique, démontrant les résultats des essais et identifiant de manière unique la puce sélectionnée sur la tranche.

Il est également possible d'identifier physiquement les tranches en marquant par exemple d'un point noir les puces à rebuter ou de qualité secondaire, auquel cas il doit être fourni une déclaration correspondante relative à la dimension, à la nature et à la signification des marques.

10.4 Exigences particulières concernant les articles

10.4.1 Généralités

S'il existe des exigences particulières de déballage et de manutention du produit, un étiquetage approprié de l'emballage primaire et secondaire doit avertir les personnes chargées de manipuler le conteneur.

10.4.2 Exigences de protection particulières

Une description d'éventuels matériaux singuliers ou de surfaces exposées qui peuvent nécessiter une protection particulière en cours de manutention, doit être fournie. Par exemple, il ne faut pas toucher la surface supérieure de certains dispositifs de puces ou encore les dispositifs eux-mêmes ne doivent pas être exposés aux UV.

10.4.3 Etiquette d'avertissement pour puces non encapsulées

Lorsque l'emballage primaire contient des puces non encapsulées ou des tranches, il doit être indiqué que le conteneur doit être ouvert dans un environnement maîtrisé, conformément à l'ISO 14644-1. Ces informations doivent se présenter sous la forme d'une étiquette d'avertissement apposée sur l'emballage primaire.

10.4.4 Avertissement concernant les matières toxiques

Lorsque l'emballage contient des matières toxiques, des informations appropriées doivent avertir l'utilisateur, conformément aux exigences légales et à la réglementation applicable, pendant l'ensemble du cycle de fourniture.

10.4.5 Avertissement concernant les composants fragiles

Lorsque l'emballage contient des composants fragiles qui pourraient être endommagés lors de l'ouverture du conteneur, un avertissement approprié doit figurer sur l'emballage primaire.

10.4.6 Avertissement concernant la sensibilité aux décharges électrostatiques

Lorsque l'emballage contient des composants sensibles aux décharges électrostatiques qui pourraient être endommagés lors de la manutention du produit, un avertissement approprié doit figurer sur l'emballage primaire.

11 Stockage

11.1 Généralités

Les produits de puces sont en général sensibles à l'humidité et à l'oxygène ; il convient que tout environnement de stockage de puces soit conçu de manière à réduire le risque de contamination tout en réduisant au minimum une éventuelle perte de qualité des produits.

Les puces nues et les tranches sont également conservées dans des lieux de stockage de longue durée, appelés mise en réserve des tranches, comme solution au problème de l'obsolescence des composants. Même s'il est notoire que les puces nues et les tranches peuvent être stockées pendant de longues périodes, les conditions de stockage et les matériaux d'emballage doivent assurer une protection maximale et une perte de qualité minimale des produits en cours de stockage.

Pour plus de détails concernant les informations, objet du présent article, il convient de se reporter à la CEI 62258-3.

11.2 Durée et conditions de stockage

S'il existe des conditions particulières affectant la durée maximale de stockage, elles doivent être indiquées en même temps que les conditions pour lesquelles cette période de stockage est valable.

11.3 Stockage de longue durée

Lorsqu'il est prévu de stocker le produit pour une longue période, les conditions de stockage doivent être indiquées et le fournisseur doit certifier que ces conditions et la traçabilité du produit stocké, sont bien maintenues.

11.4 Restrictions en matière de stockage

Il convient d'indiquer les éventuelles restrictions applicables au stockage du dispositif de puce.

12 Assemblage

12.1 Généralités

Il est évident que le fabricant ou le fournisseur des semiconducteurs n'a ni la maîtrise ni la responsabilité concernant les méthodes d'assemblage utilisées par l'assembleur des produits de puces ; cependant, dans certaines circonstances particulières, des informations supplémentaires sont nécessaires pour un assemblage ou un fonctionnement correct des puces. Ceci revêt une importance particulière pour l'assemblage des produits pour systèmes micro-électromécaniques (MEMS pour Micro-ElectroMechanical Systems).

Le présent article décrit en détail les points relatifs à l'assemblage et essentiels pour l'utilisation correcte du produit.

12.2 Méthodes et matériaux de fixation

Lorsque cela est nécessaire pour un assemblage correct du produit, des informations relatives à des méthodes et à des matériaux particuliers ou anormaux de fixation, y compris en termes de pré-conditionnement, doivent être fournies.

12.3 Méthodes et matériaux de liaison

Lorsque cela est nécessaire à un fonctionnement correct de la puce, des informations relatives à l'utilisation de méthodes de liaison particulières doivent être fournies en même temps que des informations concernant les matériaux de liaison appropriés.

12.4 Restrictions en matière de fixations

12.4.1 Généralités

Il convient d'indiquer les éventuelles restrictions applicables aux méthodes, matériaux et procédés utilisés pour les fixations du dispositif de puce, par exemple les éventuelles zones de la puce où il n'est pas admis d'appliquer des ultrasons ou de la pression ou d'ajouter des matériaux.

12.4.2 Profil température/temps

La température maximale à laquelle le dispositif peut être exposé au cours d'une quelconque étape du processus de fixation de la puce, de soudage du composant ou autre procédé de fabrication, doit être indiquée. Il convient également d'indiquer la durée maximale pendant laquelle le dispositif peut être exposé à la température maximale au cours d'une quelconque étape du processus ci-dessus.

12.5 Restrictions relatives au processus

Il convient d'indiquer les éventuelles restrictions applicables aux processus utilisés pour la liaison de la puce, par exemple des avertissements concernant les circuits actifs sous une plage de liaison.

Annexe A (informative)

Terminologie

A.1 Terminologie d'assemblage

A.1.1 puce sur carte (COB pour Chip-On-Board)

technologie d'assemblage et de fixation qui consiste à monter la puce sur un substrat, en général une carte imprimée

A.1.2 MCM-C

module multipuce (**MCM** pour Multi-Chip Module) utilisant des interconnexions sur un substrat céramique (**C**)

A.1.3 MCM-D

module multipuce (**MCM** pour Multi-Chip Module) utilisant des interconnexions sur un substrat diélectrique (**D**)

A.1.4 MCM-L

module multipuce (**MCM** pour Multi-Chip Module) utilisant des interconnexions sur un substrat stratifié (**L** pour Laminated)

A.1.5 technologie de montage en surface (SMT pour Surface Mount Technology)

technologie d'assemblage et de fabrication de cartes à circuits imprimés utilisant des composants montés à la surface d'une carte à circuit imprimé sans percer de trous pour l'alignement et la connexion des broches de composants

A.1.6 trou de brochage

terme commun utilisé pour désigner une technologie d'assemblage et de fabrication de cartes à circuits imprimés, consistant à fixer et à connecter les composants au moyen de broches ou de sorties montées à travers les trous percés dans la carte à circuit imprimé

A.2 Terminologie des essais

A.2.1 valeurs maximales absolues des caractéristiques assignées

plage de tensions, d'intensités, de températures, etc., au-delà de laquelle un dispositif peut subir une dégradation de performance ou de fiabilité, peut cesser de fonctionner ou peut être irréversiblement endommagé

A.2.2 essai de traction de liaison

essai impliquant une traction des fils de liaison jusqu'à destruction afin de déterminer la résistance de liaison

A.2.3 vieillissement artificiel à chaud

processus lié à la durée, à la température et à la tension, destiné à découvrir des défaillances potentielles

A.2.4 taux de défauts (DL pour Defect Level)

nombre de défauts non détectés dans un lot donné

A.2.5 dispositif en essai (DEE)

dispositif à semiconducteur réel qui est soumis aux essais courants électriques ou climatiques

A.2.6 zone protégée contre les décharges électrostatiques (EPA pour ESD protected Area)

zone ou lieu qui dispose de protections contre les décharges électrostatiques

A.2.7 composant sensible aux décharges électrostatiques (ESDS pour Electro-Static Discharge Sensitive)

composant de sensibilité ou de susceptibilité connue aux décharges électrostatiques

A.2.8 limite d'acceptation du lot

nombre maximal de composants qui peuvent échouer à un essai de prélèvement, sans provoquer le rejet du lot

A.2.9 limite de rejet du lot

pour un essai de prélèvement, nombre de composants ayant échoué à l'essai, entraînant ainsi le rejet du lot

A.2.10 niveau de qualité toléré (NQT)

concept d'échantillonnage à lot unique qui garantit le rejet de 90 % de tous les lots ayant un pourcentage de défauts supérieur au NQT spécifié

A.2.11 testeur

machine qui facilite la connexion électrique des puces individuelles d'une tranche

A.2.12 résistance aux solvants

essai qui nécessite l'immersion des composants échantillons dans des solvants tels que le trichlorotrifluoroéthane et le chlorure de méthylène, suivie par un brossage afin de déterminer la durabilité du marquage unitaire

A.2.13 plan d'échantillonnage

ensemble obtenu statistiquement, d'effectifs d'échantillons, de limites d'acceptation et/ou de limites de rejet, permettant de confirmer qu'un lot donné de matériaux satisfait aux exigences établies de NQA ou de NQT

A.2.14 étuvage de stabilisation

opération qui consiste à placer les composants dans une enceinte à température élevée, sans polarisation électrique

A.2.15 support temporaire

système de contacts, utilisé pour maintenir la puce lors d'essais électriques, sans constituer de contact permanent avec la puce et éventuellement réutilisable

A.2.16 testabilité

mesure de la possibilité de soumettre, de manière rentable, un CI à des essais électriques en cours de production

A.2.17 testeur

terme générique qui fait généralement référence à un appareillage électronique conçu et utilisé aux fins d'essais et d'analyse de composants électroniques, y compris les circuits intégrés

A.2.18 vecteurs d'essai

série de stimuli d'essai et de réponses attendues appliqués par un simulateur ou un testeur et reçus par un modèle de composant élémentaire ou un composant élémentaire réel

A.2.19 encrage de tranche

processus consistant à appliquer des taches d'encre à des puces particulières sur une tranche donnée pour indiquer le rejet ou la défaillance de composant élémentaire

A.3 Terminologie des semiconducteurs**A.3.1 métal**

couche conductrice métallique, en général mais pas toujours, en aluminium

A.3.2 trou de liaison

vide ou trou dans une couche non conductrice permettant de connecter au moins deux couches conductrices

A.3.3 traversée de dissipation thermique

traversée expressément destinée à améliorer la conductivité thermique

A.3.4 couche poly

couche constituée de silicium polycristallin

A.3.5 étape de passivation

changement d'épaisseur de la passivation pour l'interconnexion métal-métal ou métal-semiconducteur par calcul, les couches de passivation étant retirées suite à un traitement normal du composant élémentaire

A.3.6 glassivation

une ou plusieurs couches de matériau isolant transparent couvrant la zone du circuit actif, y compris la métallisation mais non les plages de liaison. Voir également passivation

A.3.7 craquelure

fissures infimes de la glassivation

A.3.8 encapsulation globulaire

encapsulation réalisée par dépôt de résine époxy ou matériau similaire sur une puce connectée ou fixée

A.3.9 fenêtre de contact

ouverture gravée dans l'oxyde semiconducteur, le nitrure ou autre couche d'isolation, dont la croissance ou le dépôt s'effectue directement sur la puce, de manière à permettre un contact ohmique avec le matériau semiconducteur sous-jacent

A.3.10 méplat

segment manquant d'une tranche circulaire utilisée à des fins d'orientation

A.3.11 métallisation sous bosse

couche métallique placée sur une plage pour assurer une bonne connexion entre la bosse et la plage

A.3.12 encapsulation sur tranches

technique d'encapsulation partielle et de protection de la puce alors qu'elle est encore sur la tranche et avant sciage ou division de la tranche en puces isolées

A.3.13 refusion

technique de connexion des composants à un substrat par réchauffement et fusion de la brasure

A.3.14 réduction d'épaisseur

processus consistant à réduire l'épaisseur d'une puce ou d'une tranche pour une application spécifique

A.3.15 technologie bipolaire

technologie de fabrication permettant d'obtenir des composants élémentaires bipolaires

A.3.16 métal-oxyde-semiconducteur (MOS pour Metal Oxide Semiconductor)

technologie de fabrication permettant d'obtenir des composants élémentaires à TEC

A.3.17 métal-oxyde-semiconducteur de type N (NMOS)

technologie de fabrication permettant d'obtenir des composants élémentaires à TEC de type NMOS

A.3.18 métal-oxyde-semiconducteur de type P (PMOS)

technologie de fabrication permettant d'obtenir des composants élémentaires à TEC de type PMOS

A.3.19 métal-oxyde-semiconducteur complémentaire (CMOS)

technologie de fabrication permettant d'obtenir des composants élémentaires à TEC de type à la fois PMOS et NMOS

A.3.20 BiCMOS

technologie de fabrication de transistors permettant d'obtenir des composants élémentaires de type à la fois bipolaire et CMOS

A.3.21 GaAs

technologie utilisant l'arséniure de gallium (GaAs). Matériau semiconducteur ayant des vitesses de performance plus élevées que le silicium

A.3.22 micron

unité de longueur égale à 10^{-6} m. ; généralement utilisée pour décrire la géométrie d'un procédé, la dimension viable la plus petite soutenable et réalisable dans ce procédé

A.3.23 millième ; millième de pouce

unité de longueur égale à un millième (10^{-3}) de pouce (0,0254 mm). Il s'agit d'une unité non normalisée, généralement utilisée pour décrire les dimensions d'une puce

A.3.24 circuit multi-projet (CMP)

traitement de prototypes ou de faibles volumes de circuits ASIC (Application Specific Integrated Circuits: circuits intégrés spécifiques à une application) sur une même tranche

A.3.25 silicium sur isolant (procédé) (SOI pour Silicon On Insulator)

technologie de fabrication qui utilise un matériau isolant comme matériau de base en lieu et place du silicium ; il peut s'agir du saphir (SOS pour Silicon On Sapphire)

NOTE On considère en général qu'une technologie SOI est également une technologie CMOS.

A.3.26 silicium sur saphir (SOS pour Silicon On Sapphire)

technologie de fabrication qui utilise le saphir, une variété de corindon (Al_2O_3), comme matériau de base en lieu et place du silicium

NOTE On considère en général qu'une technologie SOS est également une technologie CMOS.

A.4 Technologie d'assemblage des semiconducteurs**A.4.1 soudage en boule**

liaison par impact, réalisée par action capillaire, de forme sphérique, utilisant un procédé thermosonique ou la thermocompression pour obtenir la soudure d'une liaison électrique

A.4.2 soudage en coin

joint de liaison électrique obtenu par un procédé ultrasonique

A.4.3 soudage au laser

joint de liaison électrique obtenu par les technologies au laser

A.4.4 fixation par eutexie

méthode de fixation d'une puce fondée sur la formation d'un joint eutectique entre l'or et le silicium, réalisé à la température eutectique de l'alliage Si-Au de 483 °C

A.4.5 fixation verre-argent

méthode de fixation d'une puce au moyen d'une pâte de verre chargée de particules d'argent, assurant la conductivité thermique et / ou électrique

A.4.6 fixation polyimide

méthode de fixation d'une puce utilisant un composé organique durci thermiquement (polyimide), contenant éventuellement un additif conducteur ou thermo-conducteur

A.4.7 fixation polymère

méthode de fixation d'une puce utilisant un composé organique durci thermiquement ou thermoplastique, contenant éventuellement un additif conducteur ou thermo-conducteur

A.4.8 fixation époxy

méthode de fixation d'une puce utilisant un composé organique durci thermiquement (une résine époxy), contenant éventuellement un additif conducteur ou thermo-conducteur

A.4.9 θ_{JC} (pour Junction/Case - Jonction/boîtier)

résistance thermique entre la jonction de puce et la surface extérieure du boîtier qui la contient

A.4.10 campagne de métallisation

lot de tranches métallisées en même temps. Sachant que le nombre de tranches que l'on peut placer dans l'enceinte d'évaporation (c'est-à-dire de métallisation) est souvent inférieur au nombre de tranches que peut recevoir une chambre de diffusion, il est possible d'avoir plusieurs campagnes de métallisation pour un même lot de tranches

A.4.11 traces, pistes

terme utilisé pour décrire le motif des interconnexions électriques sur un substrat (ce terme est généralement utilisé en ingénierie des circuits imprimés)

A.4.12 déchargement thermique

vide ou série de vides dans une couche thermiquement conductrice destinée à détendre les contraintes mécaniques dues à la dilatation et à la contraction thermiques

A.4.13 rodage de la face arrière d'une tranche

action de polir l'envers de la tranche pour réduire la rugosité de surface

A.4.14 amincissement d'une tranche

action de réduire l'épaisseur d'une tranche à partir du semiconducteur brut jusqu'à une valeur donnée. En général, les tranches sont amincies par des moyens mécaniques avec polissage final, décapage au plasma ou PMC

A.5 Terminologie de la conception et de la simulation

A.5.1 station de travail

système informatique, en général multi-utilisateur et multitâche, disposant de puissantes fonctions graphiques

A.5.2 liste d'interconnexions

fichier logiciel énumérant les interconnexions et les informations d'instance concernant une conception spécifique

A.5.3 modèle

représentation mathématique, logicielle ou textuelle décrivant le comportement d'un circuit ou d'un composant élémentaire

A.5.4 bibliothèque

ensemble de données représentant une technologie de semiconducteur

A.5.5 progiciel de simulation pour circuits intégrés (SPICE pour Simulation Package for Integrated Circuit Emphasis)

terme générique décrivant une gamme de simulateurs analogiques du commerce ayant comme ancêtre commun le programme original de simulation électrique de Berkeley SPICE2. La plupart des simulateurs SPICE modernes maintiennent un niveau de conformité commun pour la modélisation SPICE

A.5.6 VITAL (pour VHDL Initiative Towards ASIC Libraries)

bibliothèque assurant une conformité temporelle et utilisée avec les simulateurs VHDL (pour VHSIC - Very High Speed Integrated Circuit- Hardware Description Language: Langage de description matérielle des CI de très grande vitesse)

A.5.7 Verilog²

langage de simulation et de synthèse, encadré par Open Verilog Institute (OVI), et défini dans l'IEEE 1364. Verilog® est une marque déposée de Cadence Design Systems, Inc.

²Verilog® est une marque déposée de Cadence Design Systems, Inc. Cette information est donnée aux utilisateurs de la présente norme par souci de commodité et ne signifie nullement que la CEI approuve ou recommande le détenteur de la marque ou de l'un de ses produits.

A.5.8 transfert au niveau des registres (RTL pour Register Transfer Level)

niveau d'abstraction de conception logique utilisé pour simplifier la visualisation d'une conception

A.5.9 logiciel de vérification de schéma (LVS)

logiciel et processus correspondant permettant de comparer la topologie d'un CI ou d'un MCM semiconducteur par rapport au schéma d'origine du dispositif (ou de sa liste d'interconnexions)

A.5.10 vérification des règles de conception (DRC pour Design Rules Check)

processus permettant de vérifier que les règles de conception mécaniques ou topologiques n'ont pas été enfreintes, notamment applicable à l'implantation d'un CI ou d'un MCM semiconducteur

A.5.11 vérification des règles électriques (ERC pour Electrical Rules Check)

processus permettant de vérifier que les règles de conception électriques et électromécaniques n'ont pas été enfreintes, notamment applicable à l'implantation et au schéma d'un CI ou d'un MCM semiconducteur

A.5.12 synthèse

moyen de réaliser automatiquement une conception logique

A.5.13 topologie

représentation de la mise en œuvre géométrique d'une conception électronique

A.5.14 configuration des plages

dessin, photographie ou reproduction du motif de métallisation de la puce, donnant suffisamment d'informations quant au placement des connexions ou des plages de liaison

A.5.15 extraction

terme donné au mécanisme qui permet d'obtenir des informations électriques et/ou des données de la liste d'interconnexions à partir d'une topologie physique/mécanique

A.5.16 dossier technique

recueil d'informations qui inclut souvent la documentation de conception et les résultats d'essais, et qui permet d'identifier et de documenter tous les aspects du processus de qualification pour une conception donnée ou un lot donné de puces

A.5.17 dossier de contrôle

expression ordinaire pour un ou plusieurs fichiers contenant soit des règles de vérification par exemple LVS, DRC et ERC, ou encore des paramètres variables de simulation, comme SPICE

A.5.18 groupe conjoint d'études sur les essais (JTAG pour Joint Test Action Group)

groupe de travail international qui a élaboré la spécification et la définition d'essais relatifs à l'interconnexion des CI et à leur testabilité décrits dans la norme IEEE 1149.1

A.5.19 groupe d'études sur les essais de qualité (QTAG pour Quality Test Action Group)

groupe de travail international effectuant des recherches dans le domaine des techniques d'essai

A.5.20 langage de définition d'une architecture d'essais en registre à décalage (BSDL pour Boundary Scan Definition Language)

spécification d'un langage (modèle) logiciel utilisé et défini dans la norme IEEE 1149.1 pour les essais en registre à décalage

A.5.21 échange d'informations de puce (DIE pour Die Information Exchange)

spécification d'un langage logiciel et d'un format de fichier utilisée pour le transfert de données de puce pertinentes

A.5.22 format d'échange de la conception des circuits électroniques (EDIF pour Electronic Design Interchange Format)

spécification pour le transfert de données CAO en électronique. Les versions actuelles sont EDIF 2 0 0 et EDIF 3 0 0 ; pour sa part la version EDIF 4 0 0 prend en charge la description des MCM

A.5.23 spécification d'échanges de graphiques initiaux (IGES pour Initial Graphics Exchange Specification)

spécification pour l'échange de données géométriques

A.5.24 normes d'échange de données de produits (STEP)

série de normes ISO 10303

A.5.25 système d'affichage graphique (GDSII pour Graphical Display System)³

spécification d'un langage logiciel et d'un format de fichier utilisée pour le transfert de données de conception de la topologie physique des semiconducteurs. GDSII est une marque déposée de Cadence Design Systems

A.5.26 flot de référence

autre nom fréquemment utilisé pour les données GDSII

A.5.27 format intermédiaire Caltech (CIF pour Caltech Intermediate Format)

spécification d'un langage logiciel et d'un format de fichier utilisée pour le transfert de données de conception de la topologie physique des semiconducteurs, définie et spécifiée par le California Institute of Technology (Institut de technologie de Californie)

A.5.28 format d'échange de dessins (DXF pour Drawing exchange Format)⁴

spécification d'un langage logiciel et d'un format de fichier utilisée pour le transfert de données de dessins mécaniques. DXF est une marque déposée de Autodesk Inc.

A.5.29 variables séparées par une virgule (CSV Comma Separated Variable)

format de données commun, dans lequel les champs de données discrètes sont séparés par des virgules

³ GDSII est une marque déposée de Cadence Design Systems. Cette information est donnée aux utilisateurs de la présente norme par souci de commodité et ne signifie nullement que la CEI approuve ou recommande le détenteur de la marque ou de l'un de ses produits.

⁴ DXF est une marque déposée de Autodesk Inc. Cette information est donnée aux utilisateurs de la présente norme par souci de commodité et ne signifie nullement que la CEI approuve ou recommande le détenteur de la marque ou de l'un de ses produits.

A.6 Terminologie du conditionnement et de la livraison

NOTE Pour les spécifications de base concernant la protection des dispositifs sensibles aux décharges électrostatiques, voir la CEI 61340-5-1.

A.6.1 code de date

nombre à trois ou quatre chiffres indiquant la date d'assemblage d'un lot. En général, le premier ou les deux premiers chiffres identifient l'année et les deux derniers identifient la semaine

A.6.2 boîte à tranches, casier à tranches

conteneur qui reçoit les tranches pour le stockage et le transport

A.6.3 bac alvéolé, boîtier alvéolé, plateau pour puces

plateau compartimenté de faible hauteur qui reçoit les puces pour le stockage et le transport

A.6.4 emballage sec

conteneur qui maintient la teneur en humidité des boîtiers de dispositifs de puces dans des limites spécifiées

A.6.5 GEL-PAK™⁵

nom propriétaire d'un conteneur similaire à un boîtier alvéolé (cité précédemment) servant au stockage et au transport des puces et utilisant un gel de remplissage à faible adhérence au lieu des compartiments pour maintenir les puces dans une position spécifique

A.6.6 feuille support de tranches

membrane ou film en plastique tendu(e) sur un cadre et dont un côté est légèrement adhésif, utilisé pour maintenir une tranche en place à des fins de sciage et autres traitements

A.6.7 sciage sur film

tranches qui ont été contrôlées et sciées sur un film tendu et monté sur un anneau ou un cadre

A.6.8 matrice sur film

puces visuellement reconnues de qualité, sélectionnées à partir de la tranche sciée, placées sur un film monté sur un châssis circulaire ou un cadre et disposées en matrice uniforme

A.6.9 Nitto™⁶

marque propriétaire communément utilisée de films support

A.6.10 fiole

méthode d'emballage dans laquelle les puces sont suspendues dans un fluide, en général du Fréon ou équivalent

A.6.11 durée de stockage

durée maximale admissible de stockage des puces/tranches avant qu'un nouveau tri ne soit nécessaire

⁵ GEL-PAK™ est une marque déposée. Cette information est donnée aux utilisateurs de la présente norme par souci de commodité et ne signifie nullement que la CEI approuve ou recommande le détenteur de la marque ou de l'un de ses produits.

⁶ Nitto™ est une marque déposée. Cette information est donnée aux utilisateurs de la présente norme par souci de commodité et ne signifie nullement que la CEI approuve ou recommande le détenteur de la marque ou de l'un de ses produits.

A.6.12 mise en réserve de tranches et de puces

stockage intentionnel de puces et de tranches finies dans des conditions maîtrisées de stockage

A.6.13 mise en bande

méthode d'emballage des puces pour le transport consistant à les assujettir par adhésion ou à les enfermer dans des pochettes fermées sur des bobines de bandes disponibles en diverses largeurs, épaisseurs, empreintes et dimensions

A.6.14 SurfTape™⁷

marque propriétaire de bandes utilisées pour des livraisons mises en bandes

A.7 Terminologie de la manutention

A.7.1 eau déionisée (DI pour deionised water)

eau qui a été traitée afin d'en éliminer les contaminants ioniques

A.7.2 mappage

méthode d'identification de puces réputées bonnes/médiocres ou sélectionnées sur une tranche

A.7.3 orientation

sens de mise en place de la puce ou de la tranche dans le matériau d'emballage. Le sens est référencé par rapport à une caractéristique donnée de la puce (par exemple la broche 1) ou de la tranche (par exemple un méplat) en fonction d'une caractéristique du matériau d'emballage

A.7.4 pincettes ; brucelles

outils manuels utilisés pour saisir et maintenir des tranches ou des puces

A.7.5 pipette à vide

outil à main conçu pour une manutention efficace des puces et quelquefois des tranches, sans les endommager

A.8 Terminologie de la fabrication

A.8.1 début de ligne (FOL pour Front End Of Line)

ensemble des opérations effectuées au début de la fabrication des tranches

NOTE Dans le contexte du présent document, le terme FEOL est utilisé pour définir l'étape du processus au cours de laquelle les TSV sont fabriqués.

A.8.2 fin de ligne (BEOL pour Back End Of Line)

ensemble des opérations effectuées après traitement de diffusion et de passivation des tranches

NOTE Dans le contexte du présent document, le terme BEOL est utilisé pour définir l'étape du processus au cours de laquelle les TSV sont fabriqués.

⁷ SurfTape™ est une marque déposée. Cette information est donnée aux utilisateurs de la présente norme par souci de commodité et ne signifie nullement que la CEI approuve ou recommande le détenteur de la marque ou de l'un de ses produits.

Annexe B (informative)

Acronymes

B.1 Organismes et normes

ANSI	American National Standards Institute
ASCII	American Standard Code for Information Interchange
BSI	British Standards Institution (Royaume-Uni)
CCITT	Comité consultatif international télégraphique et téléphonique
CECC	CENELEC Comité des composants électroniques (du Comité Européen de Normalisation Electrotechnique)
CENELEC	Comité Européen de Normalisation Electrotechnique
DIN	Deutsches Institut für Normung (DE)
DOD	Department of Defence (Ministère de la Défense des Etats-Unis)
EECA	European Electronic Component Manufacturers Association (Association des fabricants européens de composants électroniques)
EIA	Electronic Industries Alliance (Etats-Unis)
ENCAST	Réseau européen pour la coordination des technologies de pointe dans le domaine des semiconducteurs - European Network for Coordination of Advanced Semiconductor Technologies (projet de l'EU)
ENCASIT	Réseau européen pour la coordination des technologies de pointe dans le domaine de l'intégration système - European Network for the Coordination of Advanced System Integration Technologies (projet de l'EU)
ESA	European Space Agency (ASE: Agence Spatiale Européenne)
ESPRIT	European Strategic Programme for Research in Information Technology (Programme stratégique européen pour la recherche en technologie de l'information)
Eureka	European Research and Co-ordination Agency (Agence européenne de recherches et de coordination)
UE	Union Européenne
GOOD-DIE	Programme stratégique européen pour la recherche en matière de technologies de l'information - Get Organised Our Dissemination of Die Information in Europe (projet ESPRIT)
HDPUG	High Density Packaging User Group (Groupement des utilisateurs d'encapsulation haute densité)
CEI	Commission Electrotechnique Internationale
IECQ	Système CEI d'assurance de la qualité des composants électroniques et matériels associés
IEEE	Institute of Electrical and Electronic Engineers (Etats-Unis)

ISO	Organisation internationale de normalisation
JEDEC	Joint Electronic Devices Engineering Council (Etats-Unis)
JEITA	Japan Electronics and Information Technology Industries Association (Association japonaise des industries)
JESSI	Joint European Sub-micron Silicon Initiative (Initiative de coopération européenne dans le domaine de la recherche submicronique)
NASA	National Aeronautics and Space Administration (Etats-Unis)
NIST	National Institute of Standards and Technology (Etats-Unis)
ONN	Organisme National de Normalisation
PCMCIA	Personal Computer Memory Card International Association (Association internationale des cartes mémoires pour ordinateurs personnels)
SI	Système International d'unités

B.2 Terminologie générale

BLOB	Grand Objet Binaire (de l'anglais Binary Large Object)
CA	Agrément de savoir-faire (de l'anglais Capability Approval)
CD-ROM	Compact Disc Read-Only Memory (Disque compact à mémoire morte)
dpm	Défauts Par Million
DTD	Définition de Type de Document (en SGML et XML)
PAO	Publication Assistée par ordinateur (Editique)
CEM	Compatibilité ElectroMagnétique
EMI	Perturbations électromagnétiques (de l'anglais Electro-Magnetic Interference)
FIT	Taux de défaillances dans le temps (de l'anglais Failures In Time)
AMDE	Analyse des Modes de Défaillance et de leurs Effets
HDP	Encapsulation haute densité (de l'anglais High Density Packaging)
HTML	Langage de balisage hypertexte (de l'anglais HyperText Markup Language)
KGD	Puce reconnue de qualité (de l'anglais Known Good Die)
MCM	Module multipuce (de l'anglais Multi-Chip Module)
MCP	boîtier multipuce ; boîtier en céramique métallisée (resp. de l'anglais Multi-Chip Package et Metallised Ceramic Package)
MPD	Dispositif à encapsulation réduite (de l'anglais Minimally-Packaged Device)
MPP	Composant à encapsulation réduite (de l'anglais Minimally-Packaged Part) (voir MPD)
MTBF	Moyenne des Temps de Bon Fonctionnement
MTTF	Temps moyen de fonctionnement avant défaillance ; durée moyenne de fonctionnement avant la première défaillance (de l'anglais Mean Time To Failure)

MTTR	Moyenne de temps de réparation ; temps moyen avant remise en service (de l'anglais Mean Time To Repair)
NDA	Accord de non-divulgaration ; accord de confidentialité (de l'anglais Non Disclosure Agreement)
PCB	Carte à circuit imprimé (de l'anglais Printed Circuit Board)
ppm	Parties par million
QA	Evaluation de la qualité (Anglais: Quality Assessment) ; homologation (Anglais QA: Qualification Approval)
QML	Ligne de fabrication qualifiée (de l'anglais Qualified Manufacturing Line)
QPL	Liste de produits qualifiés (de l'anglais Qualified Products List)
SGML	Langage normalisé de balisage généralisé (de l'anglais Standard Generalized Markup Language, voir l'ISO 8879)
PME	Petites et Moyennes Entreprises
TA	Agrément de filière (de l'anglais Technology Approval)
TCE	Coefficient de dilatation thermique (de l'anglais Thermal Coefficient of Expansion)
XML	Langage de balisage extensible (de l'anglais eXtensible Markup Language)

B.3 Terminologie de la fabrication et des essais

NQA	Niveau de qualité acceptable
ATE	Appareillage de contrôle automatique (de l'anglais Automatic Test Equipment)
BEOL	Fin de ligne ; phase d'assemblage et d'essai (de l'anglais Back End Of Line)
BOAC	Liaison sur circuit actif (de l'anglais Bond Over Active Circuitry)
CuP	Circuit sous plage de contact (de l'anglais Circuit under Pad)
PMC	Polissage mécano-chimique - planarisation
DBG	Découpage avant polissage (de l'anglais Dice Before Grind)
DI	Eau déionisée (de l'anglais De-ionised Water)
DEE	Dispositif en essai
EPA	Zone protégée contre les décharges électrostatiques (de l'anglais ESD Protected Area)
ESD	Décharge électrostatique (de l'anglais Electro-Static Discharge)
ESDS	Dispositif sensible aux décharges électrostatiques (de l'anglais Electro-Static Discharge Sensitive device)
FEOL	Début de ligne (de l'anglais Front End Of Line)
LAT	Essai d'acceptation du lot (de l'anglais Lot Acceptance Test)
NQT	Niveau de qualité toléré
PAT	essai/ tri des pièces fondé sur les moyennes (de l'anglais Part Average Testing)

PoA	Plage de contact sur partie active (de l'anglais Pad over Active)
RIE	Gravure par plasma ionique (de l'anglais Reactive Ion Etch)
MEB	Microscopie électronique à balayage
SPC	Gestion statistique des processus (de l'anglais Statistical Process Control)
TCA	Fixation temporaire des puces (de l'anglais Temporary Chip Attachment)
TDC	Support temporaire de puce (de l'anglais Temporary Die Carrier)
UBM	Métallisation sous bosse (bille, liaison) (de l'anglais Under-Bump (Ball, Bond) Metallisation)
WLBI	Déverminage au niveau tranche (de l'anglais Wafer-Level Burn-In)

B.4 Semiconducteurs

BiCMOS	(dispositif) bipolaire et CMOS
BJT	Transistor à jonctions bipolaires
CMOS	Métal-oxyde-semiconducteur complémentaire
TEC	Transistor à effet de Champ
GaAs	Arséniure de gallium
InP	Phosphure d'indium
MOS	Métal-oxyde-semiconducteur
CMP	Circuit multi-projet
NMOS	Métal-oxyde-semiconducteur de type N
PMOS	Métal-oxyde-semiconducteur de type P
SOI	Silicium sur isolant (de l'anglais Silicon On Insulator)
SOS	Silicium sur saphir (de l'anglais Silicon On Sapphire)

B.5 Conception, simulation et échange de données

ATPG	Génération (ou Générateur) automatique de motifs d'essai (de l'anglais Automatic Test Pattern Generation (or Generator))
BILBO	Observation de blocs à logique intégrée (de l'anglais Built-In Logic Block Observation)
BIST	Auto-contrôle ou essai automatique intégré (de l'anglais Built-In Self Test)
BSDL	Langage de définition d'une architecture d'essais en registre à décalage (de l'anglais Boundary Scan Definition Language)
CAO	Conception assistée par ordinateur
IAO	Ingénierie assistée par ordinateur
FAO	Fabrication assistée par ordinateur
CIF	Format intermédiaire Caltech (de l'anglais Caltech Intermediate Format)

CSV	Variable séparée par une virgule (de l'anglais Comma Separated Variable)
DDX	Echange des données de puce (CEI 62258-2) (de l'anglais Die Data eXchange)
DIE	Echange d'informations de puce (de l'anglais Die Information Exchange)
DRC	Vérification des règles de conception (de l'anglais Design Rules Check)
DXF	Format d'échange de dessins (de l'anglais Drawing eXchange Format)
CAOE	Conception assistée par ordinateur appliquée aux circuits électroniques
EDA	Automatisation de la conception des circuits électroniques (voir CAO) (de l'anglais Electronic Design Automation)
EDIF	Format d'échange de la conception des circuits électroniques (de l'anglais Electronic Design Interchange Format)
ERC	Vérification des règles électriques (de l'anglais Electrical Rules Check)
GDSII	Système d'affichage graphique (de l'anglais Graphical Display System)
IBIS	Spécification des informations tampons d'E/S (de l'anglais I/O Buffer Information Specification)
IGES	Spécification d'échange de graphiques initiaux (de l'anglais Initial Graphics Exchange Specification)
JTAG	Groupe conjoint d'études sur les essais (de l'anglais Joint Test Action Group)
LVS	Logiciel de vérification de schéma
OVI	Open Verilog Institute
QTAG	Groupe d'études sur les essais de qualité (de l'anglais Quality Test Action Group)
MRC	Vérification des règles de fabrication (de l'anglais Manufacturing Rules Check)
RTL	Transfert au niveau des registres (de l'anglais Register Transfer Level)
SPICE	progiciel de simulation pour circuits intégrés (de l'anglais Simulation Package for Integrated Circuit Electronics)
STEP	Normes d'échange de données de produits (de l'anglais Standards for the Exchange of Product data)
VHDL	Langage de description matérielle des VHSIC (de l'anglais VHSIC Hardware Description Language)

B.6 Technologie électronique

CAN	Convertisseur analogique/ numérique
ASIC	Circuit intégré spécifique à une application donnée (de l'anglais Application Specific Integrated Circuit)
ASSP	Composant normalisé spécifique à une application donnée (de l'anglais Application Specific Standard Part)
CBIC	Circuit intégré à base de cellules pré-caractérisées (de l'anglais Cell Based Integrated Circuit)

CLB	Bloc logique configurable (de l'anglais Configurable Logic Block)
CSIC	Circuit intégré personnalisé (de l'anglais Customer Specific Integrated Circuit)
CNA	Convertisseur numérique/analogique
DRAM	Mémoire vive (à accès aléatoire) dynamique (de l'anglais Dynamic Random Access Memory)
DSP	Traitement (ou Processeur) numérique de signaux (de l'anglais Digital Signal Processing/Processor)
EEPROM	Mémoire morte à reprogrammation électrique (de l'anglais Electrically Erasable Programmable Read Only Memory)
EPLD	Circuit logique programmable effaçable (de l'anglais Erasable Programmable Logic Device)
EPROM	Mémoire morte reprogrammable (de l'anglais Erasable Programmable Read Only Memory)
FCIC	Circuit intégré entièrement personnalisé (de l'anglais Full Custom Integrated Circuit)
FPGA	Circuit intégré prédiffusé programmable sur site (de l'anglais Field Programmable Gate Array)
FSM	Machine ou automate à états finis (de l'anglais Finite State Machine)
GA	Circuit intégré prédiffusé (de l'anglais Gate Array)
GAL	Circuit logique programmable (de l'anglais Gate Array Logic)
CI	Circuit Intégré
LSI	Intégration à haute densité ou à grande échelle (de l'anglais Large Scale Integration)
MPGA	Circuit prédiffusé programmable par masque (de l'anglais Mask Programmable Gate Array)
MSI	Intégration à moyenne densité ou à moyenne échelle (de l'anglais Medium Scale Integration)
PAL	Logique à réseau programmable (de l'anglais Programmable Array Logic)
PLD	Circuit logique programmable (de l'anglais Programmable Logic Device)
ROM	Mémoire morte (à lecture seule) (de l'anglais Read Only Memory)
PROM	Mémoire morte programmable (de l'anglais Programmable Read Only Memory)
RAM	Mémoire vive (à accès aléatoire) (de l'anglais Random Access Memory)
SOC	Système sur puce (de l'anglais System On Chip)
SRAM	Mémoire vive (à accès aléatoire) statique (de l'anglais Static Random Access Memory)
SSI	Intégration à faible densité ou à petite échelle (de l'anglais Small Scale Integration)
VHSIC	Circuit intégré à très grande vitesse (de l'anglais Very High Speed Integrated Circuit)

VLSI Intégration à très haute densité (de l'anglais Very Large Scale Integration)

VRAM Mémoire vive vidéo (de l'anglais Video Random Access Memory)

B.7 Mise sous boîtier - Encapsulation

NOTE Pour une description exhaustive des désignations et de la terminologie des mises sous boîtier, se reporter à la CEI 60191-4.

Certains acronymes des types de boîtiers ci-dessous peuvent être précédés d'une lettre indiquant les variantes, comme défini ci-après:

C	céramique
P	plastique
T	mince (pour thin)
V	très mince (pour very thin)
BGA	Boîtier matriciel à boules (de l'anglais Ball Grid Array package)
CERDIP	Boîtier céramique à double rangée de connexions (de l'anglais CERamic Dual In-line Package)
CGA	Boîtier matriciel à colonnette (de l'anglais Column Grid Array package)
COB	Puce sur carte, pastillage (de l'anglais Chip-On-Board)
DIL	(synonyme de DIP qui est de préférence utilisé) Boîtier à deux rangées de broches (de l'anglais Dual-In-Line package (DIP preferred))
DIP	Boîtier à deux rangées de broches (de l'anglais Dual-In-line Package)
DSO	Boîtier double de petite dimension (de l'anglais Dual Small Outline package)
LCC	(synonyme de QCC qui est de préférence utilisé) Porte-puce sans sorties (de l'anglais Leadless Chip Carrier (QCC preferred))
LGA	Boîtier matriciel à plages de soudage (de l'anglais Landed Grid Array package)
PGA	Boîtier matriciel à broches (de l'anglais Pin Grid Array package)
QCC	Boîtier porte puce à quatre rangées de sorties (de l'anglais Quad Chip Carrier package)
QFP	Boîtier plat à quatre rangées de sorties (de l'anglais Quad Flat Pack)
SIP	Boîtier à une rangée de broches (de l'anglais Single-In-line Package)
CMS	Composant monté en surface (de l'anglais SMD Surface Mount Device)
SMT	Technologie de montage en surface (de l'anglais SMT Surface Mount Technology)
SOIC	Circuit intégré de petite dimension (de l'anglais Small Outline Integrated Circuit)
SON	Boîtier sans broches de petite dimension (de l'anglais Small-Outline, Non-leaded package)
SOP	Boîtier de petite dimension (de l'anglais Small Outline Package)

TAB	Soudage automatisé sur bande
WLP	Encapsulation sur tranches (de l'anglais Wafer-Level Packaging)
ZIP	Boîtier à connexions en zigzag (de l'anglais Zig-zag In-line Package)
μBGA	Boîtier matriciel à micro-boules (de l'anglais micro Ball Grid Array package)
μPGA	Boîtier matriciel à micro-broches (de l'anglais micro Pin Grid Array package)

Bibliographie

- [1] CEI 60068 (toutes les parties), *Méthodes d'essai*
- [2] CEI 60749-26, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 27: Essai de sensibilité aux décharges électrostatiques (DES) - Modèle du corps humain (HBM)*
- [3] CEI 60749-27, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 27: Essai de sensibilité aux décharges électrostatiques (DES) - Modèle de machine (MM)*
- [4] CEI 61340-5-1, *Electrostatique – Partie 5-1: Protection des dispositifs électroniques contre les phénomènes électrostatiques – Exigences générales*
- [5] CEI 61340-5-2, *Electrostatique - Partie 5-2: Protection des dispositifs électroniques contre les phénomènes électrostatiques – Guide d'utilisation*
- [6] ISO 8879, *Traitement de l'information – Systèmes bureautiques – Langage normalisé de balisage généralisé (SGML)*
- [7] ISO 9000, *Système de management de la qualité*
- [8] ISO 10303 (all parts), *Systèmes d'automatisation industrielle et intégration -- Représentation et échange de données de produits*
- [9] ISO/CEI: 11179-3, *Technologies de l'information – Registres de métadonnées (MDR) – Partie 3: Métamodèle de registre et attributs de base*
- [10] *Die Information Exchange (DIE) Format Version 1.0.3: November 1994*
- [11] JEDEC standard J-STD-012 *Implementation of flip-chip and chip scale technology*, January 1996
- [12] EIA/JEDEC JESD16 *Assessment of Microcircuit Outgoing Non-conforming Levels in Parts Per Million*
- [13] EIA/JEDEC JESD46 *Guidelines for User Notification of Process Changes by Semiconductor Suppliers*
- [14] EIA/JEDEC JEP95 *Registered and standard outlines for solid state and related products*
- [15] ANSI/EIA 554 *Assessment of microcircuits outgoing non-conformance levels in parts per million (PPM)*
- [16] ANSI/EIA 557-A *Statistical Process Control Systems*
- [17] ANSI/EIA 599 *National Electronic Process Certification Standard*
- [18] IEEE 1029.1 *Waveform and Vector Exchange Specification*
- [19] IEEE 1076 *VHSIC Hardware Description Language*
- [20] FED-STD-209 *Clean Room and Workstation Requirements, Controlled Environments*
- [21] MIL-STD-883 *Microelectronics, Test Methods and Procedures*

- [22] MIL-PRF-19500 *General Specification for Semiconductor Devices*
 - [23] MIL-PRF-38534 *General Specification for Hybrid Microcircuits*
 - [24] IPC/JEDEC J-STD-020C *Standard for moisture/reflow sensitivity classification for nonhermetic solid state surface-mount devices*, July 2004
 - [25] IPC/EIA J-STD-026 *Semiconductor design standard for flip-chip applications*, August 1999
 - [26] IPC/EIA J-STD-028 *Performance standard for construction of flip-chip and chip scale bumps*, 1999
 - [27] IPC/JEDEC J-STD-033B *Standard for handling, packing, shipping and use of moisture/reflow sensitive surface-mount devices*, October 2005
 - [28] EIAJ EDR-4701B *Handling guidance for semiconductors*, March 1996
 - [29] EIAJ EDR-4703 *Quality assurance guidelines for bare die including KGD*, April 1999
-

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

3, rue de Varembé
PO Box 131
CH-1211 Geneva 20
Switzerland

Tel: + 41 22 919 02 11
Fax: + 41 22 919 03 00
info@iec.ch
www.iec.ch