IEC 62215-3

Edition 1.0 2013-07

INTERNATIONAL STANDARD

NORME INTERNATIONALE

Integrated circuits – Measurement of impulse immunity – Part 3: Non-synchronous transient injection method

Circuits intégrés – Mesure de l'immunité aux impulsions – Partie 3: Méthode d'injection de transitoires non synchrones

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

THIS PUBLICATION IS COPYRIGHT PROTECTED
Copyright © 2013 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.
If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.
Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembé
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

Useful links:

IEC publications search - www.iec.ch/searchpub

The advanced search enables you to find IEC publications by a variety of criteria (reference number, text, technical committee,…).
It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available on-line and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 30 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary (IEV) on-line.

Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Liens utiles:

Recherche de publications CEI - www.iec.ch/searchpub

La recherche avancée vous permet de trouver des publications CEI en utilisant différents critères (numéro de référence, texte, comité d'études,…).
Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

Just Published CEI - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications de la CEI. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 30 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (VEI) en ligne.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

IEC 62215-3

Edition 1.0 2013-07

INTERNATIONAL STANDARD

NORME INTERNATIONALE

Integrated circuits – Measurement of impulse immunity – Part 3: Non-synchronous transient injection method

Circuits intégrés – Mesure de l'immunité aux impulsions – Partie 3: Méthode d'injection de transitoires non synchrones

INTERNATIONAL ELECTROTECHNICAL COMMISSION

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

PRICE CODE
CODE PRIX

V

ICS 31.200

ISBN 978-2-8322-0994-3

Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.

® Registered trademark of the International Electrotechnical Commission
Marque déposée de la Commission Electrotechnique Internationale

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

CONTENTS

FOREWORD 4
1 Scope 6
2 Normative references 6
3 Terms and definitions 6
4 General 8
5 Coupling networks 9
5.1 General on coupling networks 9
5.2 Supply injection network 9
5.2.1 Direct injection 9
5.2.2 Capacitive coupling 10
5.3 Input injection 10
5.4 Output injection 11
5.5 Simultaneous multiple pin injection 12
6 IC configuration and evaluation 12
6.1 IC configuration and operating modes 12
6.2 IC monitoring 13
6.3 IC performance classes 13
7 Test conditions 14
7.1 General 14
7.2 Ambient electromagnetic environment 14
7.3 Ambient temperature 14
7.4 IC supply voltage 14
8 Test equipment 14
8.1 General requirements for test equipment 14
8.2 Cables 14
8.3 Shielding 14
8.4 Transient generator 14
8.5 Power supply 14
8.6 Monitoring and stimulation equipment 14
8.7 Control unit 15
9 Test set up 15
9.1 General 15
9.2 EMC test board 15
10 Test procedure 17
10.1 Test plan 17
10.2 Test preparation 17
10.3 Characterization of coupled impulses 17
10.4 Impulse immunity measurement 17
10.5 Interpretation and comparison of results 18
10.6 Transient immunity acceptance level 18
11 Test report 18
Annex A (informative) Test board recommendations 19
Annex B (informative) Selection hints for coupling and decoupling network values 24
Annex C (informative) Industrial and consumer applications 26
Annex D (informative) Vehicle applications 29

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Figure 1 – Typical pin injection test implementation 9
Figure 2 – Supply pin direct injection test implementation 10
Figure 3 – Supply pin capacitive injection test implementation 10
Figure 4 – Input pin injection test implementation 11
Figure 5 – Output pin injection test implementation 12
Figure 6 – Multiple pin injection test implementation 12
Figure 7 – Test set-up diagram 15
Figure 8 – Example of the routing from the injection port to a pin of the DUT 16
Figure A.1 – Typical EMC test board topology 22
Figure A.2 – Example of implementation of multiple injection structures 23

Table A.1 – Position of vias over the board 19
Table C.1 – Definition of pin types 26
Table C.2 – Test circuit values 27
Table C.3 – Example of IC impulse test level (IEC 61000-4-4) 28
Table D.1 – IC pin type definition 29
Table D.2 – Transient test level 12 V (ISO 7637-2) 30
Table D.3 – Transient test level 24 V (ISO 7637-2) 31
Table D.4 – Example of transient test specification 32

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

INTERNATIONAL ELECTROTECHNICAL COMMISSION

INTEGRATED CIRCUITS – MEASUREMENT OF IMPULSE IMMUNITY –

Part 3: Non-synchronous transient injection method

FOREWORD

1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
6) All users should ensure that they have the latest edition of this publication.
7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62215-3 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this standard is based on the following documents:

CDV	Report on voting
47A/881/CDV	47A/890/RVC

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 62215 series, published under the general title *Integrated circuits – Measurement of impulse immunity* can be found on the IEC website.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "http://webstore.iec.ch" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

INTEGRATED CIRCUITS – MEASUREMENT OF IMPULSE IMMUNITY –

Part 3: Non-synchronous transient injection method

1 Scope

This part of IEC 62215 specifies a method for measuring the immunity of an integrated circuit (IC) to standardized conducted electrical transient disturbances. The disturbances, not necessarily synchronized to the operation of the device under test (DUT), are applied to the IC pins via coupling networks. This method enables understanding and classification of interaction between conducted transient disturbances and performance degradation induced in ICs regardless of transients within or beyond the specified operating voltage range.

2 Normative references

The following documents, in whole or in part, are normatively referenced in this document and are indispensable for its application. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60050 (all parts), *International Electrotechnical Vocabulary (IEV)* (available at <http://www.electropedia.org>)

IEC 61000-4-4:2012, *Electromagnetic compatibility (EMC) – Part 4-4: Testing and measurement techniques – Electrical fast transient/burst immunity test*

IEC 61000-4-5:2005, *Electromagnetic compatibility (EMC) – Part 4-5: Testing and measurement techniques – Surge immunity test*

IEC 62132-4:2006, *Integrated circuits – Measurement of electromagnetic immunity 150 kHz to 1 GHz – Part 4: Direct RF power injection method*

ISO 7637-2:2011, *Road vehicles – Electrical disturbances from conduction and coupling – Part 2: Electrical transient conduction along supply lines only*

3 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 60050-131 and IEC 60050-161, some of which have been added for convenience, as well as the following apply.

3.1
auxiliary equipment
equipment not under test but is indispensable for setting up all the functions and assessing the correct performance (operation) of the equipment under test (EUT) during its exposure to the disturbance

3.2
burst
sequence of a limited number of distinct impulses or an oscillation of limited duration

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

3.3
coupling network
electrical circuit for transferring energy from one circuit to another with well-defined impedance and known transfer characteristics

3.4
performance degradation
undesired departure in the operational performance of any device, equipment or system from its intended performance

Note 1 to entry: The term “degradation” can apply to temporary or permanent failure.

3.5
DUT
device under test
device, equipment or system being evaluated

Note 1 to entry: In this part of IEC 62215, it refers to a semiconductor device being tested.

Note 2 to entry: This note applies to the French language only.

3.6
EMC
electromagnetic compatibility
ability of an equipment or system to function satisfactorily in its electromagnetic environment without introducing intolerable electromagnetic disturbance to anything in that environment

3.7
global pin
pin that carries a signal or power which enters or leaves the application board without any active device in between

3.8
immunity
ability of a device, equipment or system to perform without degradation in the presence of an electromagnetic disturbance

3.9
jitter
short-term variations of the significant instants of a digital signal from their ideal positions in time

3.10
local pin
pin that carries a signal or power which does not leave the application board

Note 1 to entry: The signal or power remains on the application board as a signal between two components with or without additional EMC circuitry.

3.11
response signal
signal generated by the DUT for the purpose of monitoring for detecting performance degradation

3.12
electromagnetic ambient
totality of electromagnetic phenomena existing at a given location

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

3.13
transient
pertaining to or designating a phenomenon or a quantity which varies between two consecutive steady states during a time interval which is short compared with the time-scale of interest

3.14
surge voltage
transient voltage wave propagating along a line or a circuit and characterized by rapid increase followed by a slower decrease of the voltage

3.15
VS
power supply input

3.16
Z_L
line impedance of a trace on the test board

4 General

Electrical transients are a common part of the EMC environment of electrical and electronic devices. These transients are generated often on power nets and are directly applied or coupled to the terminals of integrated circuits which may affect the functionality of the device. The knowledge about the impulse immunity level enables the optimization of the IC as well as the definition of application requirements.

The transient waveforms are dependent on the application area of the DUT. Typical transient waveforms are burst and surge voltages as specified in IEC 61000-4-4 and IEC 61000-4-5 for industrial and consumer applications and in ISO 7637-2 for automotive application to get reproducible and comparable results for different DUTs.

The impulse immunity measurement method as described in this standard uses impulses with different amplitude and rise times, duration, energy and polarity in a conductive mode to the IC. In this test method the test time or the number of the applied impulses has to be chosen in a way that statistical effects are covered.

This method is similar to immunity test method of integrated circuits in the presence of conducted RF disturbances defined in IEC 62132-4. As in IEC 62132-4, the disturbance signal can be injected into I/O pins, supply pins and into the PCB reference via defined coupling networks. The EMC test board for this method can be the same as the one specified in IEC 62132-4.

The pin injection test method evaluates the performance of individual IC pins or groups of them when subjected to a transient waveform. Both positive and negative polarity transients, referenced to ground are applied. The basic test implementation is shown in Figure 1 .

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

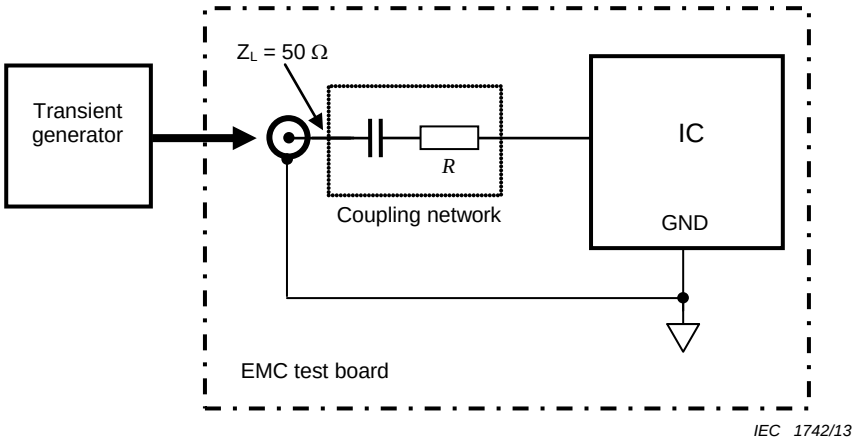

Figure 1 – Typical pin injection test implementation

5 Coupling networks

5.1 General on coupling networks

The transient disturbances are applied to the IC pin under test via defined coupling networks implemented on the PCB and connected to a device pin with respect to the pin functionality and the disturbance signal. Coupling networks are defined for:

- supply injection;
- input injection;
- output injection;
- multiple pin injection.

The coupling network shown in Figure 1 is identical to that used for RF immunity testing in IEC 62132-4. The series resistance (R) can be used to control the injected current, if required. The capacitance (C) is a DC block with a value selected to represent coupling effects in practice and to provide sufficient signal bandwidth while not excessively loading the connected pin (see Annex B). Default values of the series resistor and DC block capacitor are 0 Ω and 1 nF (representing capacity of 10 m parallel lines), respectively. A different capacity value may be used if required for correct functionality. The actual value of resistor and capacitor, including the rationale for their selection, shall be documented in the test report.

5.2 Supply injection network

5.2.1 Direct injection

For supply pins directly connected to the power net a direct injection as shown in Figure 2 shall be used. For these tests the coupling and decoupling networks of the transient generators standardized in IEC 61000-4-4 and IEC 61000-4-5 for industrial or ISO 7637-2 for automotive applications are used.

Mandatory blocking capacitors (C_{BL}), filter or protection components at the supply pin have to be used as recommended by the manufacturer.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

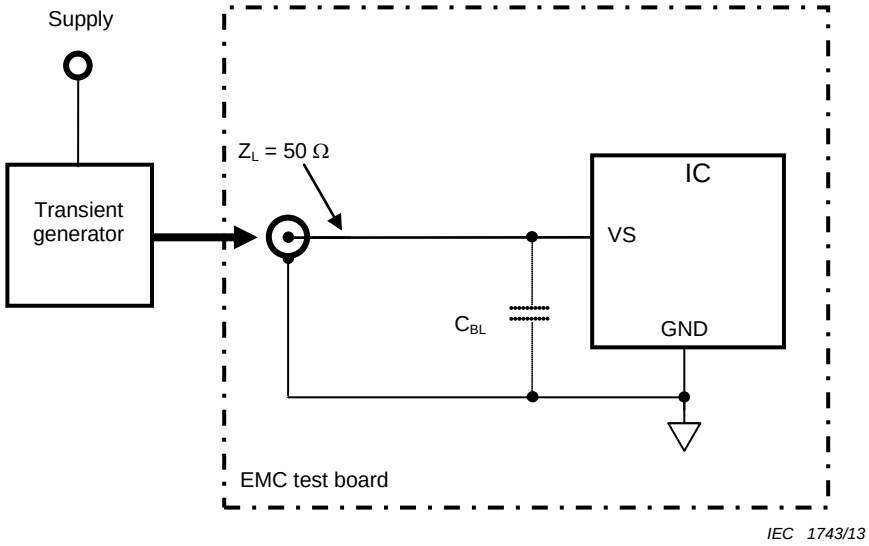

Figure 2 – Supply pin direct injection test implementation

5.2.2 Capacitive coupling

For supply pins which are not directly connected to the power net, such as global distributed sub-supply nets isolated by power converters, the test circuitry shall be implemented as shown in Figure 3. The default values of the coupling network are 0 Ω for the resistor and 1 nF for the coupling capacitor. The external DC power supply should be decoupled from the supply pin(s) of the DUT with impedance (Z) greater than 400 Ω (default) over the frequency range of the test impulse spectrum. Other values for coupling and decoupling networks are possible but must be stated in the test report (see also Clause 11).

Mandatory blocking capacitors, filter- or protection components at the supply pin have to be used as recommended by the manufacturer.

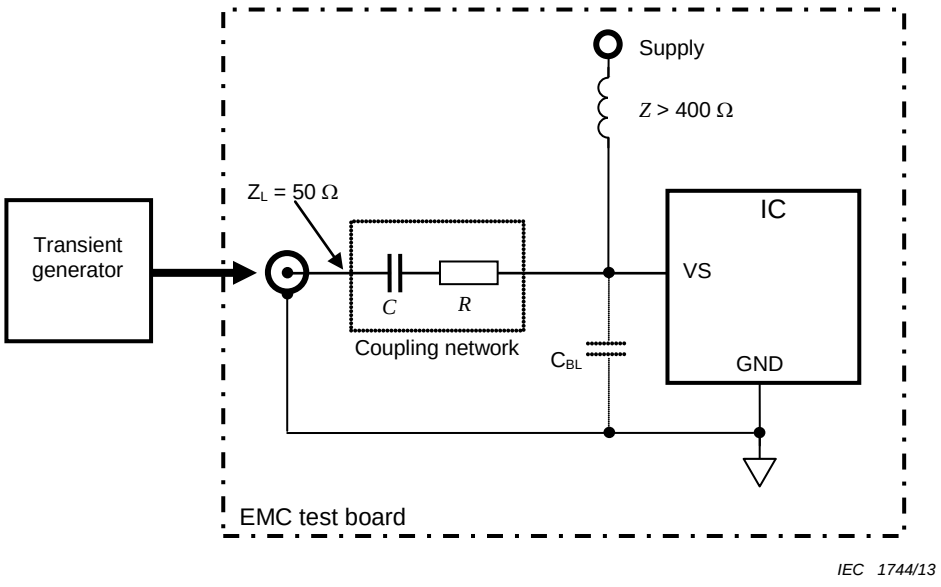

Figure 3 – Supply pin capacitive injection test implementation

5.3 Input injection

For general purpose I/O pins configured as inputs or input-only pins and globally connected, the test circuitry shall be implemented as shown in Figure 4. The default values of the

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

coupling network are 0 Ω for the resistor and 1 nF for the coupling capacitor. External signal sources (e.g. signal generator) which are connected to the input signal connector should be decoupled from the input pin(s) of the DUT with impedance (Z) greater than 400 Ω (default) over the frequency range of the test impulse spectrum. Other values for coupling and decoupling networks are possible but shall be stated in the test report. The input shall be configured as recommended by the manufacturer, only mandatory components have to be applied (e.g. with an appropriate external pull up resistor (R_U), a pull down resistor (R_D) or a series resistor (R_S)). The DUT function shall not be affected by the coupling network.

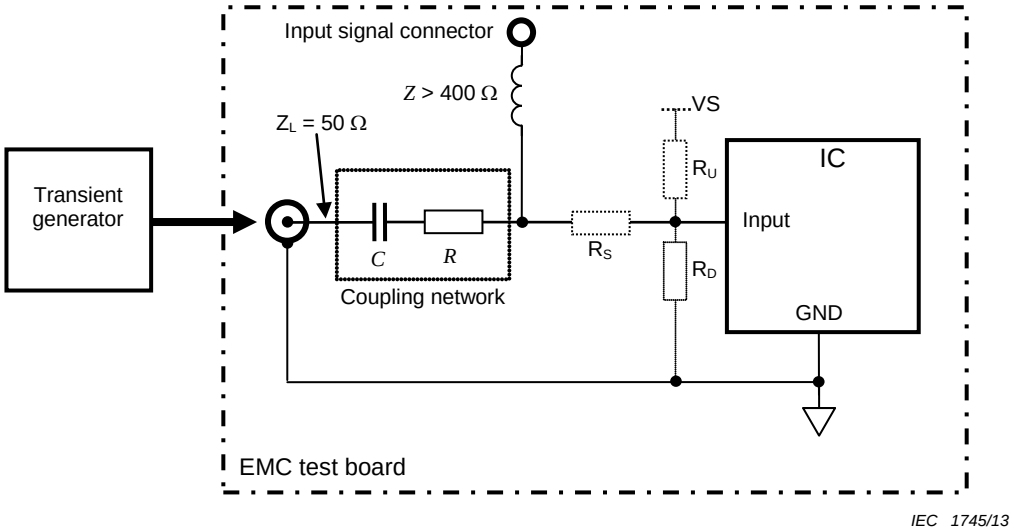

Figure 4 – Input pin injection test implementation

5.4 Output injection

For general purpose I/O pins configured as outputs or output-only pins and globally connected, the test circuitry shall be implemented as shown in Figure 5. The default values of the coupling network are 0 Ω for the resistor and 1 nF for the coupling capacitor. External signal processing units or loads which are connected to the output signal connector should be decoupled from the output pin(s) of the DUT with impedance (Z) greater than 400 Ω (default) over the frequency range of the test impulse spectrum. Other values can be assigned to the coupling and decoupling networks but they shall be stated in the test report. The output shall be configured and loaded (e.g. with an appropriate external capacitive load (C_L)) as specified by the manufacturer. Only mandatory external components according to the specification should be connected during test.

For output pins, the DC block capacitance shall not exceed the rated capacitive load of this output to prevent an unacceptable deviation of the output signal.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

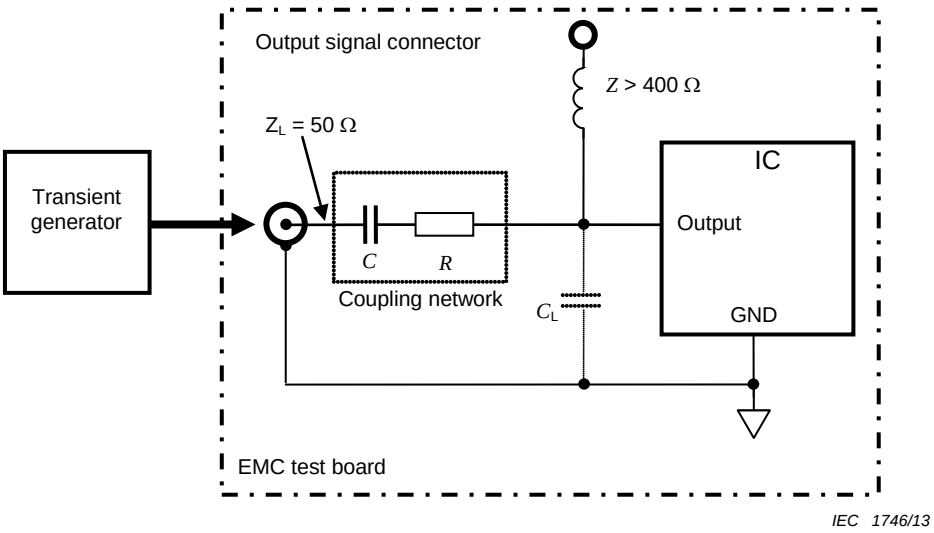

Figure 5 – Output pin injection test implementation

5.5 Simultaneous multiple pin injection

For parallel coupling to multiple pins or pin groups a coupling network consisting of one injection point and a capacitive impulse signal splitter can be used as shown in Figure 6. The default values of those coupling networks are the same as for respective single pins.

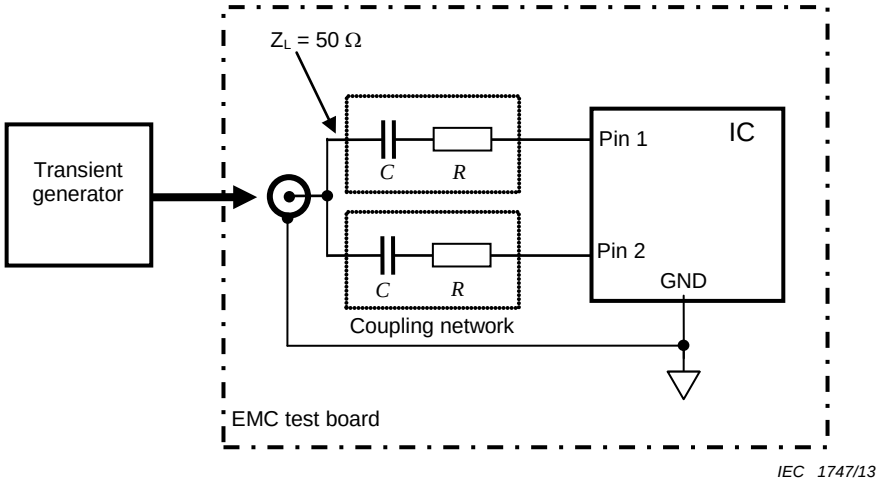

Figure 6 – Multiple pin injection test implementation

6 IC configuration and evaluation

6.1 IC configuration and operating modes

For the impulse immunity test the IC shall be set in normal operating conditions according to the typical data sheet values. This means the supply voltage shall be set to the nominal value and not to the minimum and maximum values given in the data sheet. Depending on the IC functionality relevant IC operation modes should be selected. Attempts should be made to fully exercise all functions and modes of operation that significantly influence the immunity of the DUT. If possible, the IC stimulation should be done as expected in a typical application or by auxiliary equipment not affecting the immunity performance of the DUT. When a watchdog function is available, it may be disabled during the test to collect additional information.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Mandatory components listed in the data sheet, which are necessary for the IC functionality or stimulation, shall be applied. The position of mandatory components and test board layout shall be designed not to affect adversely the test results of the IC.

NOTE To fulfil a certain test level, additional components can be necessary. Such components are regarded as mandatory for such applications.

6.2 IC monitoring

The DUT should be monitored such that immunity performance can be determined as completely as possible. The monitoring shall be implemented such that the immunity performance of the DUT is not affected.

In mixed signal ICs various response signals can be generated depending on implemented functions or installed software programs. The response signal can be monitored for indications of susceptibility that include, but are not limited to, the following parametric and functional characteristics:

- cycle-to-cycle jitter, frequency, or duty cycle of a periodic waveform;
- signal transition time (rise or fall) of the output waveform;
- signal source voltage, current or resistance;
- spikes, glitches or other transient phenomena on the output waveform;
- DUT reset;
- DUT hang;
- DUT latch-up;
- digital data loss or deviation;
- memory content corruption.

Monitoring can be done by I/O signal detection, oscilloscopes, voltmeter, logic analyser, data analyser etc. considering certain failure criteria.

For monitored response signals, failure criteria have to be defined individually for the dedicated IC impulse immunity test. A failure criterion is defined by a nominal signal value and an allowed tolerance.

6.3 IC performance classes

The IC immunity is categorised in IC performance classes as follows:

Class A_{IC}: all monitored functions of the IC perform within the defined tolerances during and after exposure to disturbance;

Class B_{IC}: short time degradation of one or more monitored signals during exposure to disturbance is not evaluable for IC only. Therefore this classification may not be applicable for ICs (see Note);

Class C_{IC}: at least one of the monitored functions of the IC is out of the defined tolerances during the disturbance but returns automatically to the defined tolerances after the exposure to disturbance;

Class D_{IC}: at least one monitored function of the IC does not perform within the defined tolerances during exposure and does not return to normal operation by itself. The IC returns to normal operation by manual intervention;

- Class $D1_{IC}$: the IC returns to normal operation by manual intervention: (e.g. reset);
- Class $D2_{IC}$: the IC returns to normal operation by power cycling the device;

Class E_{IC}: at least one monitored function of the IC does not perform within the defined tolerances after exposure and cannot be returned to proper operation.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

NOTE Short time degradation of one or more monitored signals can be tolerable in the application by its error handling. This error handling is unknown in most cases for IC test.

7 Test conditions

7.1 General

Unless otherwise specified in the manufacturer's specifications, the following ambient conditions shall apply.

7.2 Ambient electromagnetic environment

The electromagnetic ambient shall not affect responses of the DUT.

7.3 Ambient temperature

The ambient temperature during the test shall be (23 ± 5) °C.

7.4 IC supply voltage

The supply voltage(s) shall be set to the nominal supply voltage(s) as specified by the IC manufacturer with a tolerance of ± 5 %.

8 Test equipment

8.1 General requirements for test equipment

All equipment used in this test shall be immune to the applied transient such that the test results will not be influenced. The test equipment shall meet the following test equipment requirements.

8.2 Cables

Coaxial cables are recommended to carry the disturbance signal to protect the test environment and prevent cross coupling of disturbance signals to stimulation and monitoring signals. For proper test signal delivery under high voltage test conditions, a cable rated for the maximum test voltage to be applied shall be specified and used.

8.3 Shielding

To ensure proper ambient environments on DUT functionality or to suppress coupling to the environment, testing in a shielded room may be required.

8.4 Transient generator

A transient generator according to IEC 61000-4-4, IEC 61000-4-5 or ISO 7637-2 shall be used.

8.5 Power supply

The DUT shall be powered by a source that is not affected by the injected disturbance signal. If a battery is used, it shall meet the IC requirements and the supply voltage level shall be checked to maintain a consistent operating environment.

8.6 Monitoring and stimulation equipment

The monitoring and stimulation equipment should not be affected by the injected disturbance signal. Care should be taken that the monitoring and stimulation equipment do not adversely affect the DUT or the test result.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

8.7 Control unit

A control unit is recommended to automate control of the transient generator, stimulate the IC and acquire data from the performance monitoring.

9 Test set up

9.1 General

A block diagram of the test set-up for the non-synchronous transient immunity test is shown in Figure 7. The transient generator injects the disturbance into the IC pin under test via the coupling network on the EMC test board. The output of the transient generator is directly connected to the coaxial connector of the coupling network. The transient generator ground shall be connected to the reference ground provided by the EMC test board. A response signal driven from the IC is monitored for any indication of susceptibility while the IC is powered and a required functional stimulation is applied. The system can be controlled by a control unit.

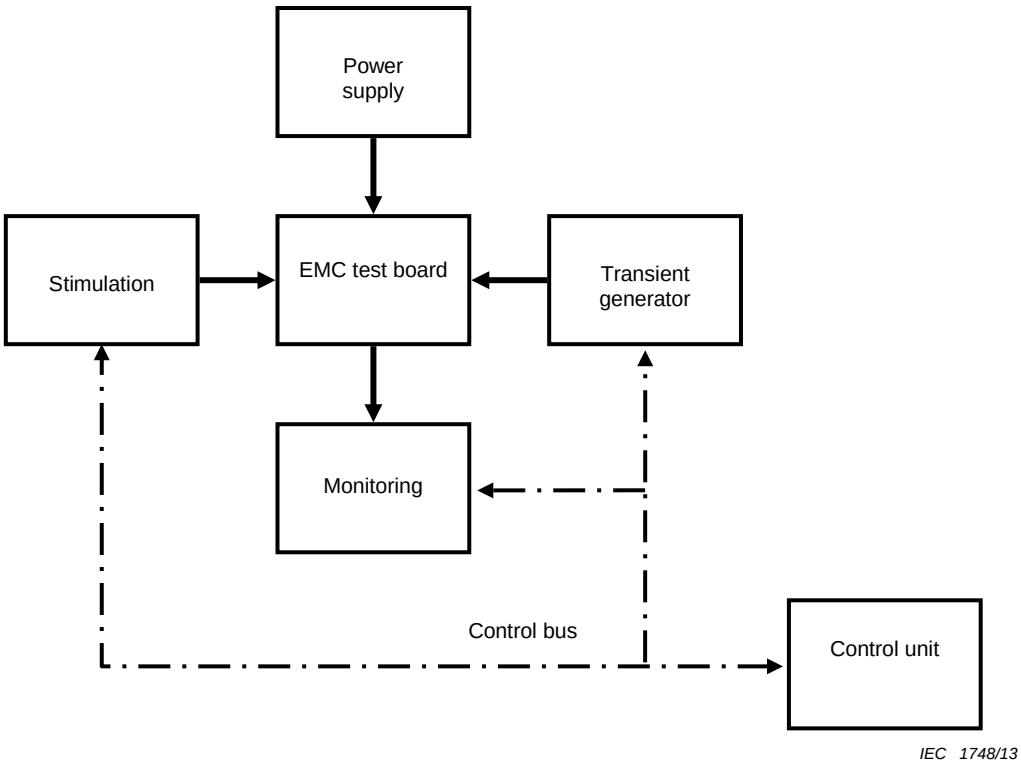

Figure 7 – Test set-up diagram

9.2 EMC test board

An EMC test board carrying the DUT, mandatory components and the necessary coupling and decoupling networks is required to perform this test method. The test board is also described in IEC 62132-4.

The use of a printed circuit board with a common ground plane for impulse testing of ICs is recommended. The DUT should be placed on the test board without sockets. If a socket is used care should be taken that the inductance of the socket does not significantly affect the test results especially for fast transients.

It is the main purpose of this standard to test the impulse immunity of the DUT only. Therefore, external protection components of the DUT shall be removed except when they are mandatory

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

for proper function of the IC (e.g. blocking capacitors, timer capacitors, etc.). Such mandatory components shall be placed directly at the IC and grounded on the same ground plane. Return paths from mandatory blocking components to the DUT or the shield of a transmission line should not have slits.

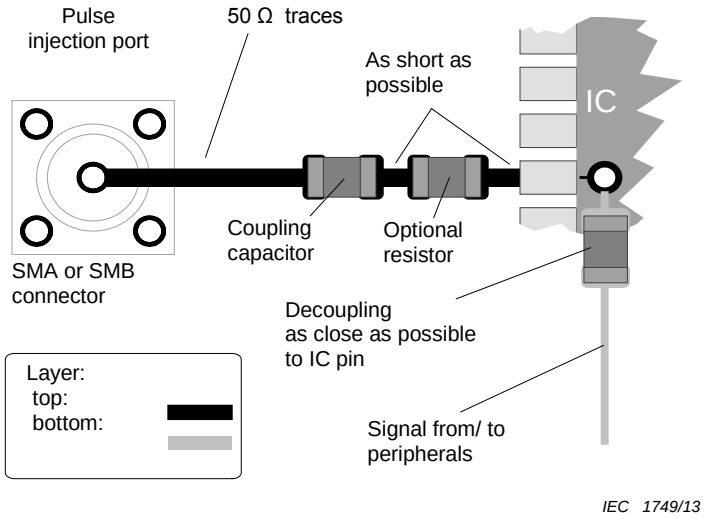

Figure 8 – Example of the routing from the injection port to a pin of the DUT

The trace from impulse injection port connector to the coupling network should be a 50 Ω transmission line (see example in Figure 8). The end of the transmission line to the pin of the DUT should be as short as possible. A trace length equal to 1/20 of the shortest wavelength applied is a reasonable target. For transients defined in the time domain, the trace length can be calculated by:

$$l_t \leq \frac{t_r \cdot v_p}{20} \tag{1}$$

$$v_p = \frac{c}{\sqrt{\varepsilon_r}} \tag{2}$$

where

l_t is trace length (cm)

t_r is rise time (ns)

c is speed of light (m/s)

v_p is propagation speed (cm/ns)
(e.g. air: v_p = 30 cm/ns, PCB material FR4: v_p = 14,8 cm/ns)

ε_r is relative permittivity

Shorter trace lengths are advantageous.

The ground plane shall not have slits in the return paths of traces carrying coupled signals. If not possible, slits in the return paths of coupled signal carrying traces shall not exceed 1/20 of the shortest wave length.

To have a reliable ground reference, the impedance between the DUT ground pin(s) and the shield of any transmission line providing the coupled signal shall be as low as possible.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Therefore using a ground plane on PCB to minimise the impedance of the ground connections is strongly recommended. The impulse decoupling network should be placed as close as possible to the pin where the impulse is injected.

If it is not possible to follow these rules, the deviations shall be described in the test report.

The impulse immunity test board can be based on the RF immunity test board of IEC 62132-4 with some modifications. Additional test board recommendations are provided in Annex A.

10 Test procedure

10.1 Test plan

The test plan shall include all conditions regarding the DUT and transients to be applied:

- selection of relevant impulses, test levels and polarity according to the target application and related basic standards;
- generator settings (repetition rate, number of impulses, output impedance);
- operation mode(s);
- monitored function and failure criteria;
- pin to be coupled.

NOTE In case of a device having a large number of pins, only a representative selection of pins depending on their type and location can be tested. The rationale for their selection are documented in the test report.

10.2 Test preparation

Energise the DUT and complete an operational check to verify proper function of the device (i.e. run DUT test code) in the ambient test condition. During the operational check, the transient generator and any stimulation and monitoring equipment shall be powered and connected to the PCB; however, the output of the transient generator shall be disabled. The performance of the DUT shall not be degraded by ambient conditions.

10.3 Characterization of coupled impulses

For consistent and repeatable testing it is necessary to characterize the generator output voltage signal under open load conditions as specified in IEC 61000-4-4, IEC 61000-4-5 or ISO 7637-2 respectively. Additionally, it is important that the coupled impulses are characterized at the DUT landing pad under open load condition. This characterization includes the impulse generator, connection lines, coupling network, mandatory components and used decoupling networks. The transfer characteristic can be estimated by the signal difference between the signal at the impulse generator output under open load conditions and the measured signal at the DUT landing pad. Both measurements should be done using an oscilloscope as defined in the respective impulse definition standard.

10.4 Impulse immunity measurement

With the EMC test board energized and the DUT being operated in the intended test mode, measure the immunity to the injected transient disturbance signal.

The applied test level shall be increased according to the test plan in steps until a malfunction is observed or the maximum test level is reached. The test shall be performed with voltage step sizes not greater than those specified in the test plan. The voltage levels listed in the test plan are the characterized transient generator output impulses under open load conditions.

At each test level, the transient signal shall be applied for a minimum of 10 s (or at least the time necessary for the DUT to respond and the monitoring system to detect any performance degradation).

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

For definition of the minimum dwell time statistical coverage of process timing and disturbing impulse events, thermal stress and life time test have to be considered. Typical values have to be established for standard applications. The default value is 10 min.

Test schedule in detail:

1) Connect all the equipment as shown in Figure 7.
2) Verify the proper operation of the DUT.
3) Set the transient generator for the desired voltage level.
4) Set the transient generator for the desired polarity.
5) Inject the transient for the required dwell time. Monitor the DUT performance during transient injection for performance degradation.
6) If testing at additional voltage levels is desired, go to step 3.

10.5 Interpretation and comparison of results

Results may be directly compared as long as measurements have been carried out under the same conditions. If comparison is intended, the devices should be running the same code and the test environment shall be as consistent as possible. The same kind of test boards shall be used.

For determination of IC performance classes it has to be considered if the deviation of a monitored signal is caused by an IC function or by a superposition of the disturbance signal to the functional signal. If the functional signal degradation is caused by an IC activity it shall be differentiated whether this activity is an intended (e.g. protection function as overvoltage, undervoltage, overcurrent protection, etc.) or an unintended misoperation.

10.6 Transient immunity acceptance level

The transient immunity acceptance level of an IC, if any, is to be agreed upon between the manufacturer and the user of the IC in respect to the target application of the IC. Typical application levels are described in Annexes C and D.

11 Test report

The test report shall provide all necessary information to interpret and reproduce the test results. It should contain:

- test conditions;
- test parameters as test impulses, test levels, test duration, dwell time, repetition rate according to basic standards;
- EMC test board information;
- tested pins, operation modes, software, monitoring and failure criteria, performance results;
- any deviation from the described standard method;
- coupling characteristic.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Annex A
(informative)

Test board recommendations

A.1 Board description – mechanical

The typical board size is (100^{+3}_{-1}) mm by (100^{+3}_{-1}) mm (such that it can be used with other IC test methods). Holes may be added at the corners of the board, as shown in Figure A.1. All edges of the board should be tinned for at least 5 mm, or made conducting in order to make proper contact. As an alternative, edges may be gold-plated.

The vias at the outer edge of the board should be at least 5 mm away from that edge.

A.2 Board description – electrical

A.2.1 Board design – electrical

The EMC test board drawing in Figure A.1 should be taken as a guide. A double layer board is proposed as a minimum requirement. However, if functionally needed, layers 2 and 3 or others may be added in-between such that a multi-layer board appears.

Layer 1 is always used as the ground plane. Layer 4 allows other signals, but should be left as much intact as possible, to be a ground plane as well. At least the area in layer 1, underneath the IC, is left as a ground plane for which the characteristic impedances need to be defined.

The PCB should be made such that only the IC package remains on one side (top side) and all other components and trace patterns remain on the opposite side (bottom side).

For proper function of the board under high voltage conditions care has to be taken that flashovers are avoided (e.g. careful board layout, component selection).

A.2.2 Ground planes

The ground planes (layers 1 and 4) are inter-connected by means of vias. These vias should be placed at the following positions over the board as described in Table A.1:

Table A.1 – Position of vias over the board

Via position	Location
1	All around, at the edges of the board
2	Just outside the DUT area
3	Just inside, underneath the IC area

The ground plane at layer 1 is continued in-between vias at position 2. As such the ground plane at layer 1 is continued over the whole board.

If possible, the same should be done for layer 4, but the possibility to do so depends on the IC package and the space available.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

A.2.3 Pins

A.2.3.1 Location of functionally necessary components

All functionally necessary components, other than the IC, are mounted on layer 4. It is therefore necessary to feed I/O and other required pins from layer 1 to layer 4. The loop areas, trace length, via placement and component orientation should be optimised such that minimum loop areas are obtained.

A.2.3.2 DIL packages

These packages do not require vias, as plated-through hole pins are considered present or established by the pins themselves.

A.2.3.3 SO, PLCC, QFP packages

These packages require the use of vias. The vias should preferably be centred in the pads used for soldering the ICs. Preferably, these vias should be placed at position 3, Table A.1 to minimise the loop-area involved in which the IC currents will flow.

A.2.3.4 PGA, BGA

Under consideration.

A.2.4 Vias

A.2.4.1 Via type

All vias at position 1 shall have a hole diameter of 0,8 mm. All other vias shall have a diameter of ≥ 0,2 mm.

A.2.4.2 Via distance

A maximum lateral distance between vias is required for measurements up to 1 GHz.

- Vias connecting layer 1 with layer 4 are at a maximum distance of 10 mm in-between.
- Vias accompanying signal traces should be as close as possible to those vias connecting layers 1 to 4, to create small return signal loops.

A.2.5 Additional components

All additional components should be mounted at layer 4. They are placed in such a way that they do not interfere with the constraints as set for layer 1 and 4 and vias in-between.

A.2.6 Supply decoupling

To obtain reproducible data of measurement, adequate supply decoupling is required in accordance with the test board specifications. Decoupling capacitors on the test board are classified into two groups described below. The values and layout positions of the decoupling capacitors and other decoupling components are stated in the individual test report.

- IC decoupling capacitors:

  Supply decoupling for the IC is in accordance with the manufacturer's recommendations. IC decoupling capacitors, if any, are connected to the ground plane in layer 4, underneath the IC, to maintain the proper operation of the DUT. The value and layout position of a decoupling capacitor of each supply pin of the DUT may be as advised by the manufacturer, or otherwise, as long as this is stated in the test report.

- Power supply decoupling for the test board:

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Impedance of the test board power supply and impulse signal path may affect the measurement results if the test board is not adequately designed. To control the supply impedance of the test board for any external power supply that may be used in the measurement, a group of decoupling capacitors is located on the test board. Their values and layout positions are as described in the individual measurement standards, or otherwise, as long as this is stated in the test report.

A.2.7 I/O load

Additional components necessary to load or activate the IC should be mounted on layer 4, preferably directly underneath the IC package area.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

All dimensions are in mm

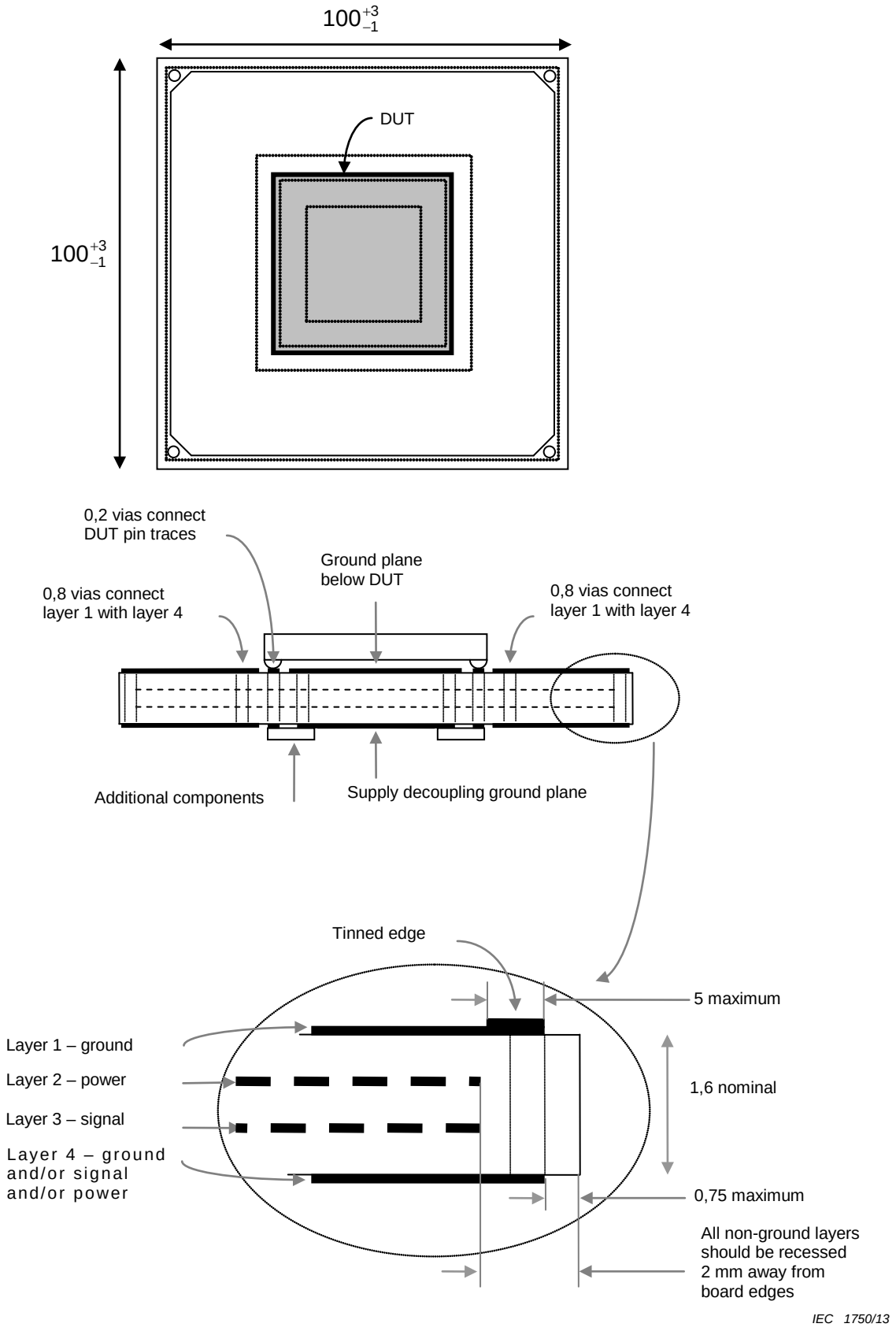

Figure A.1 – Typical EMC test board topology

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

A.3 Example of test board with different coupling networks

Multiple injection test structures may be implemented on a single EMC test board in order to fully-characterize an IC. A schematic example showing of all the available injection test structures implemented on a single board is contained in Figure A.2. For ICs with additional supply, ground, input or output pins, the appropriate test structure can be replicated. Multiple supply and ground pins of the same name (i.e. VS1, VS2, etc.) should be grouped together, connected to a single test structure, and tested as a single pin. A blocking capacitor (C_{BL}) required by the manufacturer is connected between the supply and local ground as shown. The value of this decoupling **capacitor is as stated in the device user guide.**

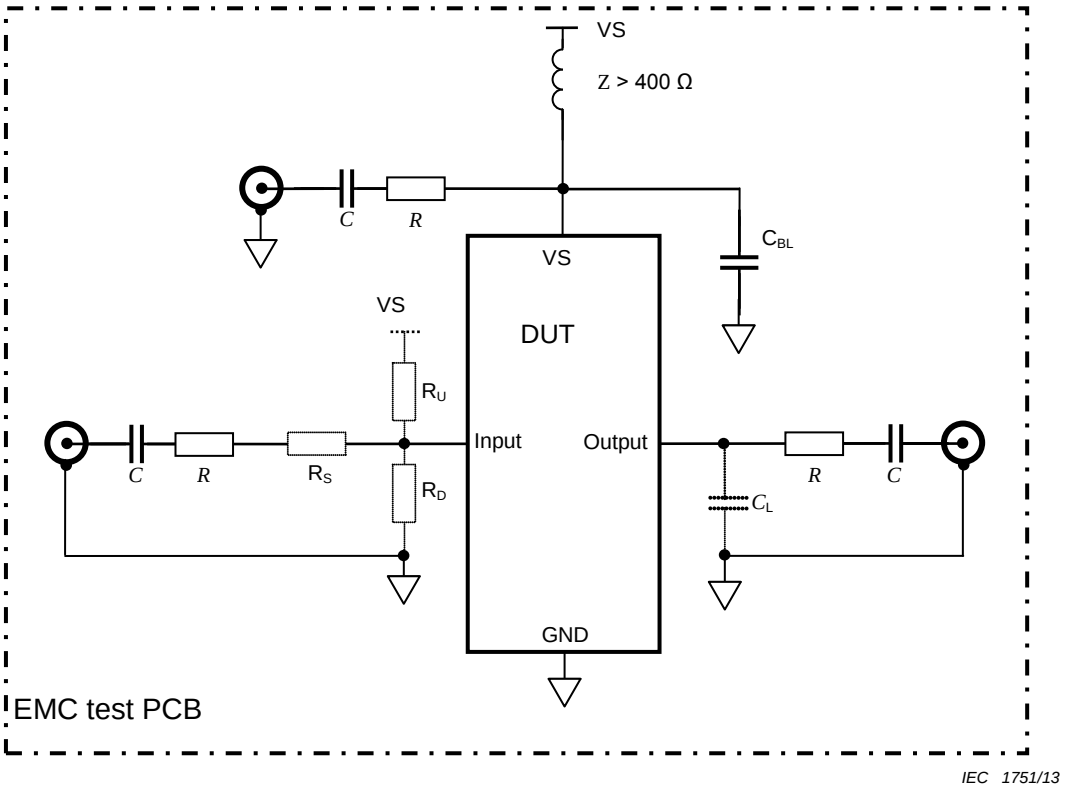

Figure A.2 – Example of implementation of multiple injection structures

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Annex B
(informative)

Selection hints for coupling and decoupling network values

B.1 General requirements

The coupling and decoupling networks are defined with respect to the expected transient environment and coupling phenomena of IC applications. The capacitor values for indirect capacitive coupling are taken from the capacity per unit length with 100 pF/m. For global pins connected to the wire harness a wire length of 10 m is considered as representative. For this kind of connected pins the default value of the coupling capacitor is 1 nF. For local pins remaining on the application board, trace length is in the range of 0,05 m up to 0,2 m and can be represented by a coupling capacitor from 10 pF to 47 pF.

B.2 Coupling and decoupling networks for global IC pins

B.2.1 Coupling and decoupling networks for power supply pins

B.2.1.1 Direct injection into supply pins

For supply pin(s) directly connected to and powered via the transient generator in the test setup, the coupling and decoupling networks are provided by the generator as specified in IEC 61000-4-4, IEC 61000-4-5 or ISO 7637-2 respectively.

For supply pin(s) not directly connected to and powered via the transient generator in the test setup, the following coupling networks should be used:

For fast impulses (rise time < 10 ns):

Coupling network: generator internal network or C = 1 nF (ceramic SMD), R = 0 Ω

Decoupling network: L = 5 µH ± 10 % for automotive
(optional matching to e.g. fixed values 50 Ω, 150 Ω or 400 Ω)
L = 50 µH ± 10 % for industrial
(optional matching to e.g. fixed values 50 Ω, 150 Ω or 400 Ω)

For slow impulses (rise time >= 1 µs):

Coupling network: generator internal network or C = 100 nF, R = 0 Ω

Decoupling network: L = 5 µH ± 10 % for automotive
(optional matching to e.g. fixed values 50 Ω, 150 Ω or 400 Ω)
L = 50 µH ± 10 % for industrial
(optional matching to e.g. fixed values 50 Ω, 150 Ω or 400 Ω)
diode for decoupling of positive impulses towards the power net and power switch for disconnecting power net when negative impulses are applied (devices rating according to expected current and voltage values)

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

B.2.1.2 Capacitive coupling into supply pins

For sub-supply pin(s) not directly connected to and powered via the transient generator in the test setup the following coupling networks shall be used:

For fast and slow impulses:

Coupling network: C = 1 nF (ceramic SMD), R = 0 Ω

Decoupling network: choke with approximately Z ~ 400 Ω, for automotive and industrial (optional matching to e.g. fixed values 50 Ω, 150 Ω or 400 Ω)

B.2.2 Coupling and decoupling networks for I/O pin(s)

For fast and slow impulses

Coupling network: C = 1 nF (ceramic SMD), R = 0 Ω

Decoupling network: Choke with approximately Z ~ 400 Ω, for automotive and industrial (optional matching to e.g. fixed values 50 Ω, 150 Ω or 400 Ω)

B.3 Coupling and decoupling networks for local pins

Depending on the definition of the load to a specific IC pin, an adapted coupling – decoupling structure may be used. The values for this structure shall be chosen in such a way that:

- the maximum load of the pin shall not be exceeded;
- the impulses shall be sufficiently coupled to meet application requirements;
- the decoupling inductance/choke shows a high impedance compared to the coupling capacitor impedance.

Coupling networks for coupling on PCB traces shall be: C = 10 pF to 47 pF (ceramic SMD), R = 0 Ω.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Annex C
(informative)

Industrial and consumer applications

C.1 General information

For industrial applications, the IC shall be tested according to typical impulse disturbances as defined by IEC 61000-4-4 and IEC 61000-4-5.

C.2 Definition of pin types

Based on typical applications, the IC pin(s) should be classified according to Table C.1.

Table C.1 – Definition of pin types

Pin category	Pin type	Pin type examples	Test circuit	Test circuit values according to Table C.2	Remarks
Local	Power supplies	I/O, core, analog, PLL	Fig. 3	L1	
	Inputs	General purpose input ports, reset, IRQ, amplifier input or analog input	Figs. 4, 6	L2	Inputs can respond to injections as valid signals. 10 pF to emulate board trace coupling.
	Output	General purpose outputs Output port	Figs. 5, 6	L3	10 pF to emulate board trace coupling.
	Oscillator	Crystal oscillator	Fig. 4	L4	Sensitive to loading. Injection with low capacitance (1 pF to 5 pF).
Global	Power supplies	Main supply	Figs. 2, 3	G1	Subject to fast transients, surge. 1 nF for coupling into battery or AC mains power supply if the pin is not directly connected to the power net.
	Inputs	General purpose input port	Figs.4, 6	G2	Inputs can respond to injections as valid signals. 1 nF for long wire to wire or wire to case coupling.
	Outputs	General purpose output port	Figs.5, 6	G3	1 nF for long wire to wire or wire to case coupling.
	Communication I/Os	SCI, USB, Ethernet, I^2C	Figs.4,5	G2, G3	Long lines, various protection requirements, 1 nF for long wire to wire coupling.

Some pins of devices intended for use in industrial and consumer applications may be global or local depending on the specific application. In this case these pins should be tested with the more severe global test levels. Furthermore, in the case of a large number of global pins, a representative sample of pins depending on their type and location may be tested.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

C.3 Test types

The test circuit value Table C.2 shows recommended population values for single pin injection. If these values or options cannot be used for proper device operation or evaluation, the deviations shall be described in the test report. For multiple pin injection the values for the coupling networks should be set as for the respective single pins.

Table C.2 – Test circuit values

Test	Type	Figure	C	R	Z	R_S	R_U	R_D	C_L	C_{BL}
L1	Power supply	3	tbd	tbd	tbd	tbd	tbd	tbd	tbd	tbd
L2	Input	4	10 pF	0	n.p.	0	10 kΩ	10 kΩ	n.a.	n.a.
L3	Output	5	10 pF	0	n.p.	0	n.p.	n.p.	47 pF	n.a.
L4	Sensitive input	4	1 pF to 5 pF	0	n.p.	0	n.p.	n.p.	n.a.	n.a.
G1	Power supply	2, 3[a]	n.a. 1 nF	n.a. 0	n.a. 50 µH	n.a. n.a.	n.a. n.a.	n.a n.a.	n.a. n.a.	as required
G2[b]	Input	4	1 nF	0	n.p.	0	10 kΩ	10 kΩ	n.a.	n.a.
G3[b]	Output	5	1 nF	0	n.p.	n.a.	n.a.	n.a.	47 pF	n.a.

tbd – to be defined.

n.p. – not populated unless required for proper operation.

n.a. – not applicable.

R_U / R_D – populate either pull-up or pull-down.

[a] If the power supply pin is not directly connected to the power net and the generator internal coupling network, as specified in IEC 61000-4-4 and IEC61000-4-5, cannot be used.

[b] For communication I/Os other values regarding proper operation may be necessary.

C.4 Impulse characteristics

Impulse characteristics shall be equivalent to injection characteristics described in IEC 61000-4-4 and IEC 61000-4-5.

C.5 Test levels

Test levels will be set as determined by the application requirements (e.g., motor control, metering, appliance device, industrial controller) (see Table C.3).

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Table C.3 – Example of IC impulse test level (IEC 61000-4-4)

Pin number	**Test**	**Type**	**Configuration**	**Polarity**	**Initial test injection voltage** (V)	**Final test injection voltage** (V)	**Injection voltage step** (V)	**Impulse dwell time** (s)
1	L2	Input	Pull up	positive	500	4 000	500	60
1	L2	Input	Pull up	negative	500	4 000	500	60
4	L1	Power supply	–	positive	500	4 000	500	60
4	L1	Power supply	–	negative	500	4 000	500	60
16	L4	Sensitive input	Crystal oscillator	positive	500	4 000	500	60
16	L4	Sensitive input	Crystal oscillator	negative	500	4 000	500	60
23	G2	Communication input	Serial input port	positive	500	4 000	500	60
23	G2	Communication input	Serial input port	negative	500	4 000	500	60

Test injection values will be recorded as the open circuit voltage of the generator.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Annex D
(informative)

Vehicle applications

D.1 General information

For vehicle application the IC shall be tested according to typical impulse disturbances as defined in ISO 7637-2. Clauses D.2 to D.4 can be used for test level selections at defined pin types.

D.2 Definition of IC pin types

Based on typical applications, the IC pin(s) should be classified according to Table D.1.

Table D.1 – IC pin type definition

Pin type	**Coupling of transient disturbances**	**Transient disturbances** (according to ISO 7637-2)
1	Pins directly connected to vehicle battery supply lines	ISO impulse 1, ISO impulse 2a, ISO impulses 3a/3b
2	Pins directly connected to wiring harness	ISO impulses 3a/3b
3	Pins indirectly connected to wiring harness vehicle battery supply lines (trough expected but not mandatory specified filter or protection devices)	ISO impulse 1, ISO impulse 2a, ISO impulses 3a/3b
4	Pins indirectly connected to wiring harness I/O lines (trough expected but not mandatory specified filter or protection devices)	ISO impulses 3a/3b
5	Pins not directly connected to vehicle wiring harness (only relevant for cross coupling on PCB, coupling networks must be adapted)	ISO impulses 3a/3b

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

D.3 Test level

The test level depends on the application area of the IC. To meet relevant application requirements for different pin types, the recommended transient test levels are defined in Tables D.2 and D.3.

Table D.2 – Transient test level 12 V (ISO 7637-2)

Impulse	Limit classes	Global pin				Local pin	Performance classes
		type 1 direct **test level** (V)	**type 2** capacitive 1 nF **test level** (V)	**type 3** direct filtered **test level** (V)	**type 4** capacitive 1 nF filtered **test level** (V)	**type 5** capacitive 10 pF **test level** (V)	**A_{IC}, C_{IC}, D_{IC}**
ISO 1	I	-75	n.a.	-75	n.a.	n.a.	C_{IC}
	II	-112		-112			
	III	-150		-150			
ISO 2a	I	37	n.a.	37	n.a.	n.a.	A_{IC}, C_{IC}
	II	55		55			
	III	112		112			
ISO 3a	I	-112	-112	-112	-112	-112	A_{IC}, C_{IC}
	II	-165	-165	-165	-165	-165	
	III	-220	-220	-220	-220	-220	
ISO 3b	I	75	75	75	75	75	A_{IC}, C_{IC}
	II	112	112	112	112	112	
	III	150	150	150	150	150	
Depending on test level and maximum ratings of the IC, external protection may be required. By pin selection for test it has to be checked whether a transient exposure is expected in the application of the IC or not.							

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Table D.3 – Transient test level 24 V (ISO 7637-2)

Impulse	Limit classes	Global pin				Local pin	Performance classes
		type 1 direct **test level** (V)	**type 2** capacitive 1 nF **test level** (V)	**type 3** direct filtered **test level** (V)	**type 4** capacitive 1 nF filtered **test level** (V)	**type 5** capacitive 10 pF **test level** (V)	**A_{IC}, C_{IC}, D_{IC}**
ISO 1	I	-300	n.a.	-300	n.a.	n.a.	C_{IC}
	II	-450		-450			
	III	-600		-600			
ISO 2a	I	37	n.a.	37	n.a.	n.a.	A_{IC}, C_{IC}
	II	55		55			
	III	112		112			
ISO 3a	I	-150	-150	-150	-150	-150	A_{IC}, C_{IC}
	II	-220	-220	-220	-220	-220	
	III	-300	-300	-300	-300	-300	
ISO 3b	I	150	150	150	150	150	A_{IC}, C_{IC}
	II	220	220	220	220	220	
	III	300	300	300	300	300	
Depending on test level and maximum ratings of the IC, external protection may be required. By pin selection for test it has to be checked whether a transient exposure is expected in the application of the IC or not.							

The repetition time and impulse parameters shall be according to ISO 7637-2 and noted in the test report.

For the test duration it shall be considered that the impulses are not synchronized with the IC functional timing. For a statistical coverage a minimum test time of 10 min per impulse type is recommended.

For test impulse amplitudes higher than the operating voltage it is expected that protection circuits in the IC will be activated and lead to an additional thermal load of the IC. Therefore the test time should be longer than the thermal time constant of the IC in its test setup. A test time of 10 min per test impulse is recommended. If other test time values are used they have to be noted in the test report.

D.4 Example of IC transient test specification

The transient test specification for ICs shall be developed in respect to the target application. To define relevant pins and appropriate test levels, the IC pins shall be classified in pin types as defined in Table D.1. Based on the pin type and the supply system, the related test levels can be selected out of Tables D.2 or D.3. Depending on the IC function and the desired functionality during or after the transient disturbances, the dwell times or number of impulses, monitoring conditions and functional status classes have to be defined. An example of a transient test specification is given in Table D.4.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Table D.4 – Example of transient test specification

Pin no.	Pin type	V_{bat}/VS (V)	Impulse 1			Impulse 2			Impulse 3a			Impulse 3b		
			V_P (V)	FPSC	No. of impulses / dwell time (min)	V_P (V)	FPSC	No. of impulses / dwell time (min)	V_P (V)	FPSC	No. of impulses / dwell time (min)	V_P (V)	FPSC	No. of impulses / dwell time (min)
3	2	12/5	n.a.	–	–	± 30	A_{IC}	100	-60	A_{IC}	10	40	A_{IC}	10
4	2	12/5	n.a.	–	–	± 30	C_{IC}	100	-60	C_{IC}	10	40	C_{IC}	10
7	4	12/5	n.a.	–	–	± 9,6	C_{IC}	50	– 19,2	C_{IC}	10	12,8	C_{IC}	10
12	4	12/5	n.a.	–	–	± 9,6	C_{IC}	50	– 19,2	C_{IC}	10	12,8	C_{IC}	10
32	2	12/5	n.a.	–	–	± 30	C_{IC}	100	-60	C_{IC}	10	40	C_{IC}	10
33	2	12/5	n.a.	–	–	± 30	C_{IC}	100	-60	C_{IC}	10	40	C_{IC}	10
36	5	12/3,3	n.a.	–	–	± 3,3	C_{IC}	50	-3,3	C_{IC}	10	3,3	C_{IC}	10
38	5	12/3,3	n.a.	–	–	± 3,3	D_{IC}	50	-3,3	E_{IC}	10	3,3	D_{IC}	10

V_{bat} = Vehicle battery supply voltage

VS = IC operating voltage (for multiple operating voltages of the IC)

V_P = maximum test impulse voltage (expected in the application)

FPSC = Functional performance status class (defined for the specific IC)

n.a. = not applicable

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when print

SOMMAIRE

AVANT-PROPOS 36
1 Domaine d'application 38
2 Références normatives 38
3 Termes et définitions 38
4 Généralités 40
5 Réseau de couplage 41
5.1 Généralités sur les réseaux de couplage 41
5.2 Réseau d'injection sur l'alimentation 41
5.2.1 Injection directe 41
5.2.2 Couplage capacitif 42
5.3 Injection sur l'entrée 43
5.4 Injection sur la sortie 43
5.5 Injection simultanée sur plusieurs broches 44
6 Configuration et évaluation de circuit intégré 44
6.1 Configuration de circuit intégré et modes de fonctionnement 44
6.2 Contrôle de circuit intégré 45
6.3 Classes de performance de circuits intégrés 45
7 Conditions d'essai 46
7.1 Généralités 46
7.2 Environnement électromagnétique ambiant 46
7.3 Température ambiante 46
7.4 Tension d'alimentation des circuits intégrés 46
8 Matériel d'essai 46
8.1 Exigences générales pour le matériel d'essai 46
8.2 Câbles 46
8.3 Blindage 46
8.4 Générateur de transitoires 47
8.5 Alimentation 47
8.6 Matériel de contrôle et de stimulation 47
8.7 Unité de commande 47
9 Montage d'essai 47
9.1 Généralités 47
9.2 Carte d'essai CEM 48
10 Procédure d'essai 50
10.1 Plan d'essai 50
10.2 Préparation d'essai 50
10.3 Caractérisation des impulsions couplées 50
10.4 Mesure de l'immunité aux impulsions 50
10.5 Interprétation et comparaison des résultats 51
10.6 Niveau d'acceptation de l'immunité aux transitoires 51
11 Rapport d'essai 51
Annexe A (informative) Recommandations concernant les cartes d'essai 53
Annexe B (informative) Conseils pour le choix des valeurs des réseaux de couplage et de découplage 58
Annexe C (informative) Applications industrielles et grand public 60

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Annexe D (informative) Applications pour l'industrie automobile.....63

Figure 1 – Mise en œuvre d'essai d'injection sur des broches typiques.....41
Figure 2 – Mise en œuvre d'essai d'injection directe sur les broches d'alimentation.....42
Figure 3 – Mise en œuvre d'essai d'injection capacitive sur les broches d'alimentation.....42
Figure 4 – Mise en œuvre d'essai d'injection sur des broches d'entrée.....43
Figure 5 – Mise en œuvre d'essai d'injection sur des broches de sortie.....44
Figure 6 – Mise en œuvre d'essai d'injection sur plusieurs broches.....44
Figure 7 – Schéma du montage d'essai.....48
Figure 8 – Exemple de cheminement entre le port d'injection et une broche du DUT.....49
Figure A.1 – Topologie de carte d'essai CEM typique.....56
Figure A.2 – Exemple de mise en œuvre de plusieurs structures d'injection.....57

Tableau A.1 – Position des trous d'interconnexion sur la carte.....53
Tableau C.1 – Définition des types de broches.....60
Tableau C.2 – Valeurs de circuit d'essai.....61
Tableau C.3 – Exemple de niveau d'essai d'impulsion du circuit intégré (CEI 61000-4-4).....62
Tableau D.1 – Définition des types de broches de circuit intégré.....63
Tableau D.2 – Niveau d'essai de transitoires 12 V (ISO 7637-2).....64
Tableau D.3 – Niveau d'essai de transitoires 24 V (ISO 7637-2).....65
Tableau D.4 – Exemple de spécification d'essai de transitoires.....66

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

_____

CIRCUITS INTÉGRÉS – MESURE DE L'IMMUNITÉ AUX IMPULSIONS –

Partie 3: Méthode d'injection de transitoires non synchrones

AVANT-PROPOS

1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de brevet. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale CEI 62215-3 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Le texte de cette norme est issu des documents suivants:

CDV	Rapport de vote
47A/881/CDV	47A/890/RVC

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Une liste de toutes les parties de la série CEI 62215, publiées sous le titre général *Circuits intégrés – Mesure de l'immunité aux impulsions*, peut être consultée sur le site web de la CEI.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "http://webstore.iec.ch" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

CIRCUITS INTÉGRÉS – MESURE DE L'IMMUNITÉ AUX IMPULSIONS –

Partie 3: Méthode d'injection de transitoires non synchrones

1 Domaine d'application

La présente partie de la CEI 62215 spécifie une méthode pour mesurer l'immunité d'un circuit intégré (CI) aux perturbations transitoires électriques conduites normalisées. Les perturbations, non nécessairement synchronisées sur le fonctionnement du dispositif en essai (DUT, *device under test*), sont appliquées aux broches du circuit intégré via des réseaux de couplage. Cette méthode permet de comprendre et de classer les interactions entre des perturbations transitoires conduites et la dégradation de fonctionnement induite dans les circuits intégrés indépendamment des transitoires à l'intérieur ou au-delà de la gamme de tensions de fonctionnement spécifiées.

2 Références normatives

Les documents suivants sont cités en référence de manière normative, en intégralité ou en partie, dans le présent document et sont indispensables pour son application. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 60050 (toutes les parties), *Vocabulaire Electrotechnique International (VEI)* (disponible à l'adresse <http://www.electropedia.org>)

CEI 61000-4-4:2012, *Compatibilité électromagnétique (CEM) – Partie 4-4: Techniques d'essai et de mesure – Essai d'immunité aux transitoires électriques rapides en salves*

CEI 61000-4-5:2005, *Compatibilité électromagnétique (CEM) – Partie 4-5: Techniques d'essai et de mesure – Essai d'immunité aux ondes de choc*

CEI 62132-4:2006, *Circuits intégrés – Mesure de l'immunité électromagnétique, 150 kHz à 1 GHz – Partie 4: Méthode d'injection directe de puissance RF*

ISO 7637-2:2011, *Véhicules routiers – Perturbations électriques par conduction et par couplage – Partie 2: Perturbations électriques transitoires par conduction uniquement le long des lignes d'alimentation*

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions de la CEI 60050-131 et de la CEI 60050-161, dont certains ont été ajoutés par souci de commodité, ainsi que les suivants, s'appliquent.

3.1
matériel auxiliaire
matériel qui n'est pas en essai et qui est indispensable pour l'établissement de toutes les fonctions et l'évaluation du fonctionnement correct du matériel en essai (EUT: *Equipment Under Test*) au cours de son exposition aux perturbations

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

3.2
salve
suite d'un nombre fini d'impulsions distinctes ou oscillation de durée limitée

3.3
réseau de couplage
circuit électrique destiné au transfert de l'énergie d'un circuit à un autre avec une impédance bien définie et des caractéristiques de transfert connues

3.4
dégradation de fonctionnement
écart non désiré des caractéristiques de fonctionnement d'un dispositif, d'un appareil ou d'un système par rapport aux caractéristiques attendues

Note 1 à l'article: Le terme dégradation peut s'appliquer à une défaillance temporaire ou permanente.

3.5
DUT
dispositif en essai
dispositif, matériel ou système soumis à une évaluation

Note 1 à l'article: Dans la présente partie de la CEI 62215, il se rapport à un dispositif à semiconducteur en essai.

Note 2 à l'article: L'abréviation DUT vient de l'anglais « Device Under Test ».

3.6
compatibilité électromagnétique
CEM
aptitude d'un appareil ou d'un système à fonctionner dans son environnement électromagnétique de façon satisfaisante et sans produire lui-même des perturbations électromagnétiques intolérables pour tout ce qui se trouve dans cet environnement

3.7
broche globale
broche qui transporte un signal ou une puissance qui entre ou sort de la carte d'application sans dispositif actif interposé

3.8
immunité
aptitude d'un dispositif, d'un matériel ou d'un système à fonctionner sans dégradation en présence d'une perturbation électromagnétique

3.9
gigue
variations rapides des instants significatifs d'un signal numérique par rapport à leurs positions idéales dans le temps

3.10
broche locale
broche qui transporte un signal ou une puissance qui ne sort pas de la carte d'application

Note 1 à l'article: Le signal ou la puissance reste dans la carte d'application comme un signal entre deux composants avec ou sans circuit CEM supplémentaire.

3.11
signal de réponse
signal généré par le DUT pour détecter une éventuelle dégradation de fonctionnement

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

3.12
environnement électromagnétique
ensemble des phénomènes électromagnétiques existant à un endroit donné

3.13
transitoire
se dit d'un phénomène ou d'une grandeur qui varie entre deux régimes établis consécutifs dans un intervalle de temps court par rapport à l'échelle de temps considérée

3.14
tension de choc
onde de tension transitoire se propageant le long d'une ligne ou d'un circuit et caractérisée par une montée rapide de la tension suivie d'une décroissance plus lente de celle-ci

3.15
VS
entrée d'alimentation

3.16
Z_L
impédance de ligne d'une piste sur la carte d'essai

4 Généralités

Les transitoires électriques font partie de l'environnement CEM des dispositifs électriques et électroniques. Ces transitoires sont souvent générés sur des réseaux d'alimentation et sont appliqués ou couplés directement aux bornes de circuits intégrés qui peuvent affecter la fonctionnalité du dispositif. La connaissance du niveau d'immunité aux impulsions permet l'optimisation du circuit intégré ainsi que la définition des exigences d'application.

Les formes d'onde transitoires dépendent de la zone d'application du DUT. Les formes d'onde transitoires typiques sont les salves et les tensions de surcharge comme spécifié dans la CEI 61000-4-4 et la CEI 61000-4-5 pour les applications industrielles et de consommation et dans la norme ISO 7637-2 pour les applications automobiles pour obtenir des résultats reproductibles et comparables pour les différents DUT.

La méthode de mesure de l'immunité aux impulsions telle que décrite dans la présente norme utilise des impulsions avec différents temps de montée, amplitudes, durées, énergies et polarités en mode conducteur vers le circuit intégré. Dans cette méthode d'essai, la durée d'essai ou le nombre d'impulsions appliqué doit être choisi de telle sorte que les effets statistiques soient couverts.

Cette méthode est similaire à la méthode d'essai d'immunité des circuits intégrés en présence de perturbations RF conduites définies dans la CEI 62132-4. Comme dans la CEI 62132-4, le signal de perturbation peut être injecté sur des broches E/S, des broches d'alimentation et une carte imprimée de référence via des réseaux de couplage définis. La carte d'essai CEM pour cette méthode peut être identique à celle spécifiée dans la CEI 62132-4.

La méthode d'essai d'injection sur des broches évalue le fonctionnement de chaque broche ou de chaque groupe de broches du circuit intégré lorsqu'elles sont soumises à une forme d'onde transitoire. Des transitoires de polarité positive et négative, référencées par rapport à la terre sont appliquées. La mise en œuvre élémentaire de l'essai est présentée à la Figure 1.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

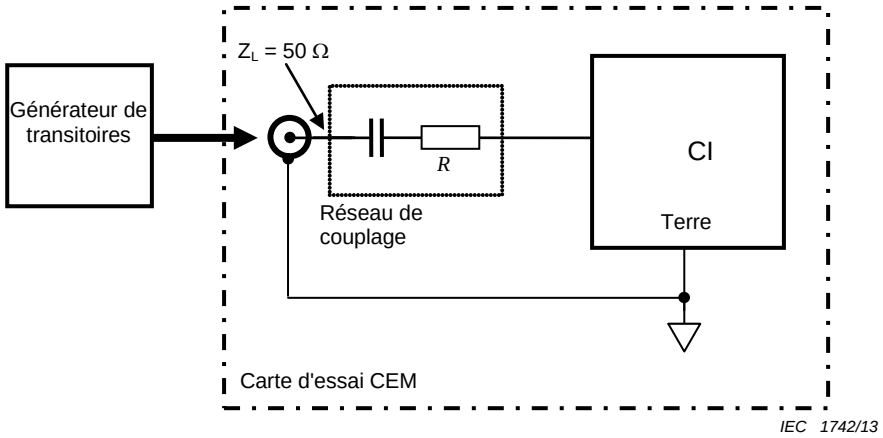

Figure 1 – Mise en œuvre d'essai d'injection sur des broches typiques

5 Réseau de couplage

5.1 Généralités sur les réseaux de couplage

Les perturbations transitoires sont appliquées à la broche du circuit intégré en essai via des réseaux de couplage définis mis en œuvre sur la carte imprimée et connectés à une broche du dispositif en fonction de la fonctionnalité de la broche et du signal de perturbation. Les réseaux de couplage sont définis pour:

- l'injection sur l'alimentation;
- l'injection sur l'entrée;
- l'injection sur la sortie;
- l'injection sur plusieurs broches.

Le réseau de couplage représenté sur la Figure 1 est identique à celui utilisé pour les essais d'immunité aux perturbations RF dans la CEI 62132-4. La résistance-série (R) peut être utilisée pour contrôler le courant injecté, si nécessaire. La capacité (C) est un bloc de courant continu avec une valeur choisie pour représenter des effets de couplage dans la pratique et pour fournir une bande passante de signal suffisante sans charger excessivement la broche connectée (voir Annexe B). Les valeurs par défaut de la résistance en série et du condensateur du bloc de courant continu sont 0 Ω et 1 nF (représentant la capacité de lignes parallèles de 10 m), respectivement. Une valeur de capacité différente peut être utilisée si nécessaire pour corriger la fonctionnalité. Les valeurs réelles de la résistance et du condensateur, y compris le raisonnement qui a conduit à leur choix, doivent figurer dans le rapport d'essai.

5.2 Réseau d'injection sur l'alimentation

5.2.1 Injection directe

Pour les broches d'alimentation directement connectées au réseau d'alimentation, une injection directe telle que celle représentée à la Figure 2 doit être utilisée. Pour ces essais, on utilise les réseaux de couplage et de découplage des générateurs de transitoires normalisés dans la CEI 61000-4-4 et la CEI 61000-4-5 pour des applications industrielles ou dans l'ISO 7637-2 pour des applications de l'industrie automobile.

Des condensateurs de blocage obligatoires (C_{BL}), un filtre ou des composants de protection au niveau de la broche d'alimentation doivent être utilisés selon les recommandations du fabricant.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

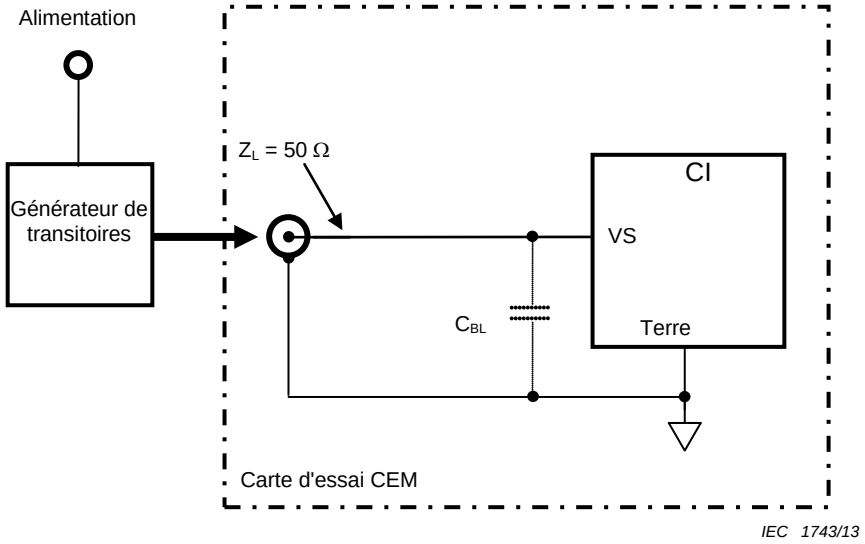

Figure 2 – Mise en œuvre d'essai d'injection directe sur les broches d'alimentation

5.2.2 Couplage capacitif

Pour les broches d'alimentation qui ne sont pas directement connectées au réseau d'alimentation, tel que des sous-réseaux d'alimentation distribués globaux isolés par des convertisseurs de puissance, les circuits d'essai doivent être mis en œuvre comme cela est représenté à la Figure 3. Les valeurs par défaut du réseau de couplage sont 0 Ω pour la résistance et 1 nF pour le condensateur de couplage. Il convient de découpler l'alimentation continue externe de la ou des broches d'alimentation du DUT avec une impédance (Z) supérieure à 400 Ω (par défaut) sur la gamme de fréquences du spectre des impulsions d'essai. D'autres valeurs pour les réseaux de couplage et de découplage sont possibles, mais elles doivent être indiquées dans le rapport d'essai (voir également l'Article 11).

Des condensateurs de blocage obligatoires, un filtre ou des composants de protection au niveau de la broche d'alimentation doivent être utilisés selon les recommandations du fabricant.

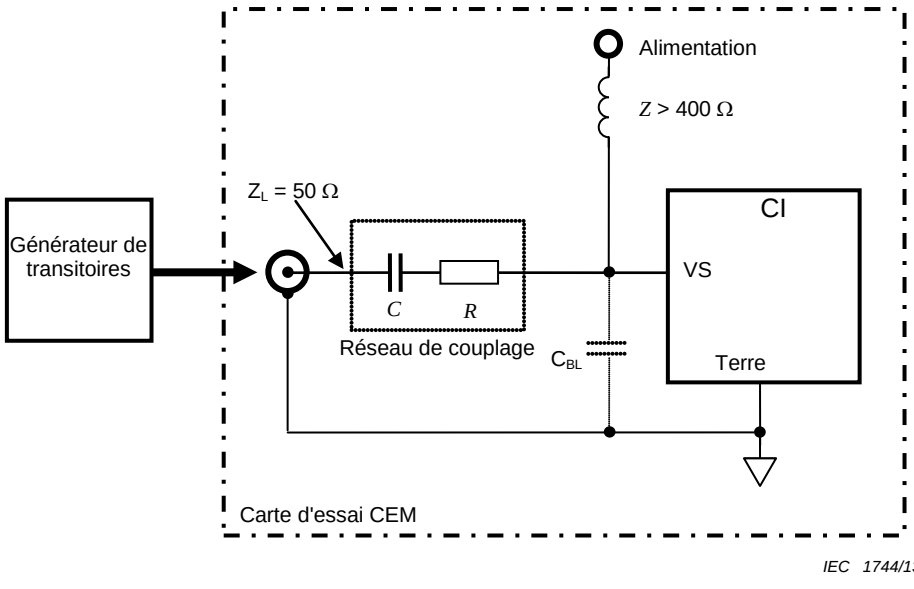

Figure 3 – Mise en œuvre d'essai d'injection capacitive sur les broches d'alimentation

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

5.3 Injection sur l'entrée

Pour les broches E/S universelles configurées comme des entrées ou des broches d'entrée seules et connectées globalement, les circuits d'essai doivent être mis en œuvre comme cela est représenté à la Figure 4. Les valeurs par défaut du réseau de couplage sont 0 Ω pour la résistance et 1 nF pour le condensateur de couplage. Il convient de découpler les sources de signaux externes (par exemple des générateurs de signaux), qui sont raccordées au connecteur de signal d'entrée, de la ou des broches d'entrée du DUT avec une impédance (Z) supérieure à 400 Ω (par défaut) sur la gamme de fréquences du spectre des impulsions d'essai. D'autres valeurs pour les réseaux de couplage et de découplage sont possibles, mais elles doivent être indiquées dans le rapport d'essai. L'entrée doit être configurée selon les recommandations du fabricant, seuls les composants obligatoires doivent être appliqués (par exemple avec une résistance externe appropriée, résistance au rail d'alimentation (pull-up) (R_U), une résistance à la masse (R_D) ou une résistance en série (R_S)). La fonction du DUT ne doit pas être affectée par le réseau de couplage.

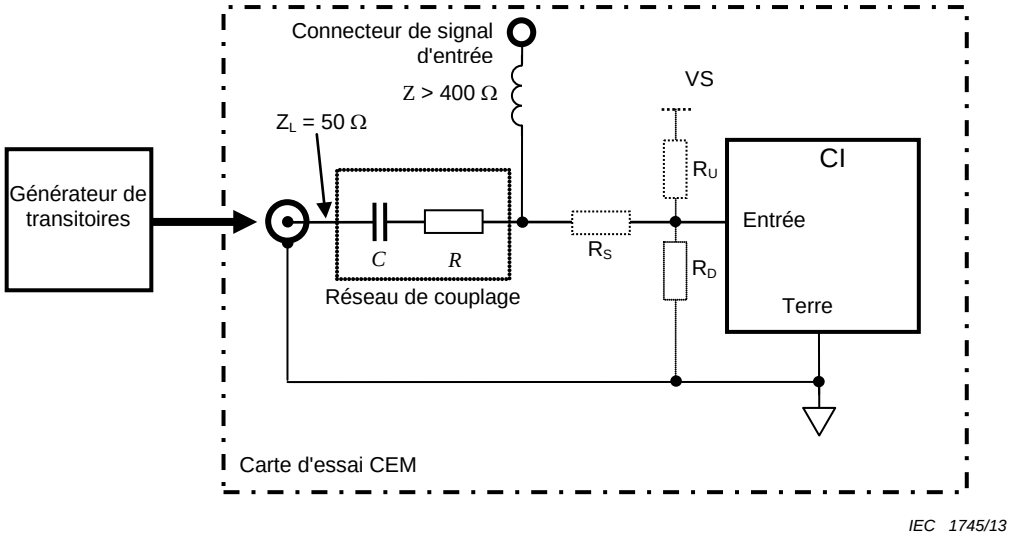

Figure 4 – Mise en œuvre d'essai d'injection sur des broches d'entrée

5.4 Injection sur la sortie

Pour les broches E/S universelles configurées comme des sorties ou des broches de sortie seules et connectées globalement, les circuits d'essai doivent être mis en œuvre comme cela est représenté à la Figure 5. Les valeurs par défaut du réseau de couplage sont 0 Ω pour la résistance et 1 nF pour le condensateur de couplage. Il convient de découpler les unités de traitement des signaux externes, ou les charges qui sont raccordées au connecteur de signal de sortie, de la ou des broches de sortie du DUT avec une impédance (Z) supérieure à 400 Ω (par défaut) sur la gamme de fréquences du spectre des impulsions d'essai. D'autres valeurs peuvent être assignées aux réseaux de couplage et de découplage, mais elles doivent être indiquées dans le rapport d'essai. La sortie doit être configurée et chargée (par exemple avec une charge capacitive externe appropriée (C_L)) selon les spécifications du fabricant. Pendant l'essai, il convient de ne connecter que des composants externes obligatoires conformément à la spécification.

Pour des broches de sortie, la capacité du bloc de courant continu ne doit pas dépasser la charge capacitive assignée de cette sortie pour empêcher un écart inacceptable du signal de sortie.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

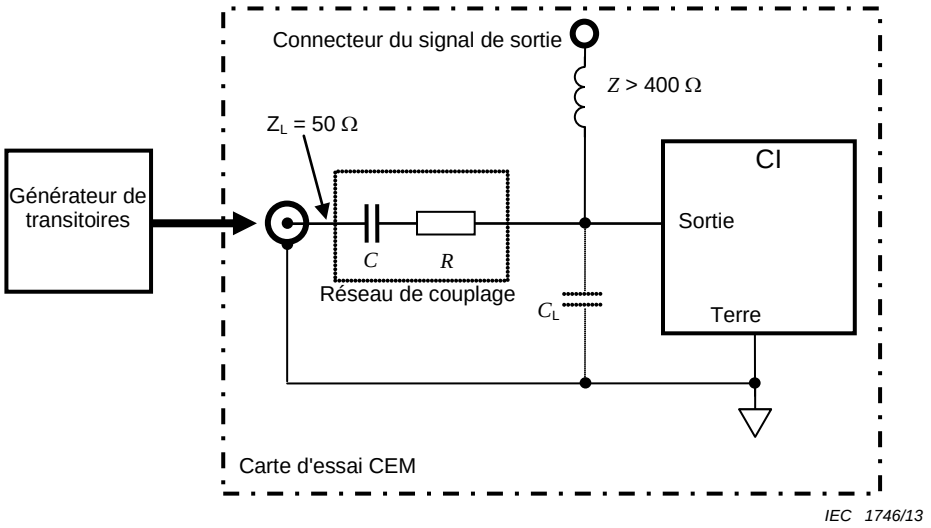

Figure 5 – Mise en œuvre d'essai d'injection sur des broches de sortie

5.5 Injection simultanée sur plusieurs broches

Pour un couplage parallèle vers plusieurs broches ou des groupes de broches, un réseau de couplage constitué d'un point d'injection et d'un diviseur de signal d'impulsions capacitif peut être utilisé comme cela est représenté à la Figure 6. Les valeurs par défaut de ces réseaux de couplage sont les mêmes que pour les broches simples respectives.

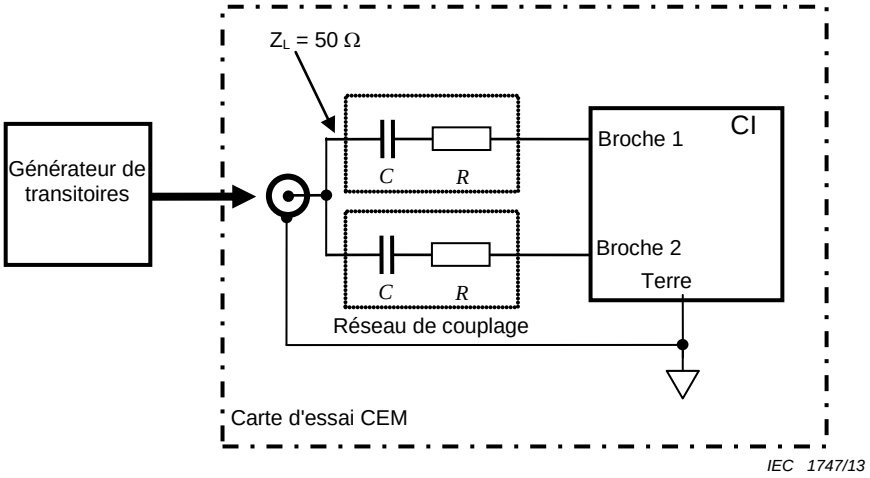

Figure 6 – Mise en œuvre d'essai d'injection sur plusieurs broches

6 Configuration et évaluation de circuit intégré

6.1 Configuration de circuit intégré et modes de fonctionnement

Pour l'essai d'immunité aux impulsions, le circuit intégré doit être réglé dans les conditions normales de fonctionnement conformément aux valeurs des fiches techniques typiques. Ceci signifie que la tension d'alimentation doit être réglée à la valeur nominale et non aux valeurs minimales et maximales données dans les fiches techniques. En fonction des fonctionnalités du circuit intégré, il convient de choisir des modes de fonctionnement appropriés du circuit intégré. Il convient d'essayer d'exercer pleinement toutes les fonctions et les modes de fonctionnement qui influencent de manière significative l'immunité du DUT. Si possible, il convient de procéder à la stimulation du circuit intégré comme attendu dans une application typique ou par un matériel auxiliaire n'affectant pas la performance d'immunité du DUT.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Quand une fonction de surveillance est disponible, elle peut être désactivée pendant l'essai pour collecter des informations supplémentaires.

Les composants obligatoires énumérés dans la fiche technique, nécessaires pour la fonctionnalité ou la stimulation du circuit intégré, doivent être appliqués. La position des composants obligatoires et la disposition de la carte d'essai doivent être conçues pour ne pas nuire aux résultats d'essai du circuit intégré.

NOTE D'autres composants peuvent être nécessaires pour satisfaire à un certain niveau d'essai. De tels composants sont considérés comme obligatoires pour de telles applications.

6.2 Contrôle de circuit intégré

Il convient de contrôler le DUT pour pouvoir déterminer la performance d'immunité de manière aussi exhaustive que possible. Le contrôle doit être mis en œuvre de telle sorte que la performance d'immunité du DUT ne soit pas affectée.

Dans des circuits intégrés avec des signaux mélangés, différents signaux de réponse peuvent être produits selon les fonctions mises en œuvre ou les programmes logiciels installés. Le signal de réponse peut être contrôlé pour des indications de susceptibilité qui incluent, sans y être limité, les caractéristiques fonctionnelles et les paramètres suivants:

- gigue cycle-à-cycle, fréquence ou cycle de service d'une forme d'onde périodique;
- temps de transition du signal (montée ou descente) de la forme d'onde de sortie;
- tension, courant ou résistance de la source du signal;
- pointes et impulsions transitoires ou autres phénomènes transitoires sur la forme d'onde de sortie;
- réinitialisation du DUT;
- suspension du DUT;
- verrouillage du DUT;
- écart ou perte des données numériques;
- corruption de contenu de mémoire.

Le contrôle peut être réalisé par une détection du signal E/S, des oscilloscopes, un voltmètre, un analyseur logique, un analyseur de données, etc. en tenant compte de certains critères de défaillance.

Pour les signaux de réponse contrôlés, des critères de défaillance doivent être définis individuellement pour l'essai d'immunité aux impulsions du circuit intégré dédié. Un critère de défaillance est défini par une valeur nominale du signal et une tolérance permise.

6.3 Classes de performance de circuits intégrés

L'immunité des circuits intégrés est classée dans des classes de performance de circuits intégrés comme suit:

Classe A_{IC}: toutes les fonctions contrôlées du circuit intégré sont réalisées en respectant les tolérances définies pendant et après l'exposition à une perturbation;

Classe B_{IC}: la dégradation de courte durée d'un ou plusieurs signaux contrôlés pendant l'exposition à une perturbation ne peut pas être évaluée seulement pour un circuit intégré. Par conséquent, cette classification peut ne pas être applicable aux circuits intégrés (voir la Note);

Classe C_{IC}: au moins une des fonctions contrôlées du circuit intégré dépasse les tolérances définies pendant la perturbation mais revient automatiquement aux tolérances définies après l'exposition à une perturbation;

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Classe D_{IC}: au moins une fonction contrôlée du circuit intégré n'est pas réalisée dans les tolérances définies pendant l'exposition et ne revient pas d'elle-même au fonctionnement normal. Le circuit intégré revient au fonctionnement normal par intervention manuelle;

- Classe $D1_{IC}$ le circuit intégré revient au fonctionnement normal par intervention manuelle (par exemple par une réinitialisation);
- Classe $D2_{IC}$ le circuit intégré revient au fonctionnement normal en appliquant des cycles de puissance au dispositif;

Classe E_{IC}: au moins une fonction contrôlée du circuit intégré n'est pas réalisée dans les tolérances définies après l'exposition et ne peut pas revenir au fonctionnement normal.

NOTE La dégradation de courte durée d'un ou plusieurs signaux contrôlés peut être tolérée dans l'application par sa gestion des erreurs. Dans la plupart des cas, cette gestion des erreurs n'est pas connue pour l'essai d'un circuit intégré.

7 Conditions d'essai

7.1 Généralités

Sauf indication contraire dans les spécifications du fabricant, les conditions ambiantes suivantes doivent s'appliquer.

7.2 Environnement électromagnétique ambiant

L'environnement électromagnétique ambiant ne doit pas affecter les réponses du DUT.

7.3 Température ambiante

La température ambiante pendant l'essai doit être (23 ± 5) °C.

7.4 Tension d'alimentation des circuits intégrés

La ou les tensions d'alimentation doivent être réglées aux tensions d'alimentation nominales spécifiées par le fabricant de circuit intégré avec une tolérance ± 5 %.

8 Matériel d'essai

8.1 Exigences générales pour le matériel d'essai

Tout matériel utilisé dans cet essai doit être immunisé contre les transitoires appliqués de telle sorte que les résultats d'essai ne seront pas influencés. Le matériel d'essai doit satisfaire aux exigences suivantes sur les matériels d'essai.

8.2 Câbles

Il est recommandé d'utiliser des câbles coaxiaux pour transporter le signal de perturbation, afin de protéger l'environnement d'essai et d'éviter le couplage croisé des signaux de perturbation sur les signaux de stimulation et de contrôle. Pour que le signal d'essai soit correctement délivré dans des conditions de haute tension d'essai, un câble assigné pour la tension d'essai maximale à appliquer doit être spécifié et utilisé.

8.3 Blindage

Pour assurer un environnement ambiant correct sur la fonctionnalité du DUT ou pour supprimer le couplage avec l'environnement, il peut être nécessaire de réaliser les essais dans une salle blindée.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

8.4 Générateur de transitoires

Un générateur de transitoires selon la CEI 61000-4-4, la CEI 61000-4-5 ou l'ISO 7637-2 doit être utilisé.

8.5 Alimentation

Le DUT doit être alimenté par une source qui n'est pas affectée par le signal de perturbation injecté. Si une batterie est utilisée, elle doit satisfaire aux exigences du circuit intégré et le niveau de tension doit être vérifié pour maintenir un environnement de fonctionnement cohérent.

8.6 Matériel de contrôle et de stimulation

Il convient que le matériel de contrôle et de stimulation ne soit pas affecté par le signal de perturbation injecté. Il convient de veiller à ce que le matériel de contrôle et de stimulation ne nuisent pas au DUT ni aux résultats des essais.

8.7 Unité de commande

Une unité de commande est recommandée pour automatiser la commande du générateur de transitoires, stimuler le circuit intégré et acquérir les données du contrôle de performance.

9 Montage d'essai

9.1 Généralités

Un schéma fonctionnel du montage d'essai d'immunité aux transitoires non synchrones est représenté à la Figure 7. Le générateur de transitoires injecte la perturbation dans la broche du circuit intégré en essai via le réseau de couplage sur la carte d'essai CEM. La sortie du générateur de transitoires est raccordée directement au connecteur coaxial du réseau de couplage. La terre du générateur de transitoires doit être connectée à la terre de référence fournie par la carte d'essai CEM. Un signal de réponse délivré par le circuit intégré est contrôlé pour détecter toute indication de susceptibilité lorsque le circuit intégré est alimenté et une stimulation fonctionnelle requise est appliquée. Le système peut être commandé par une unité de commande.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

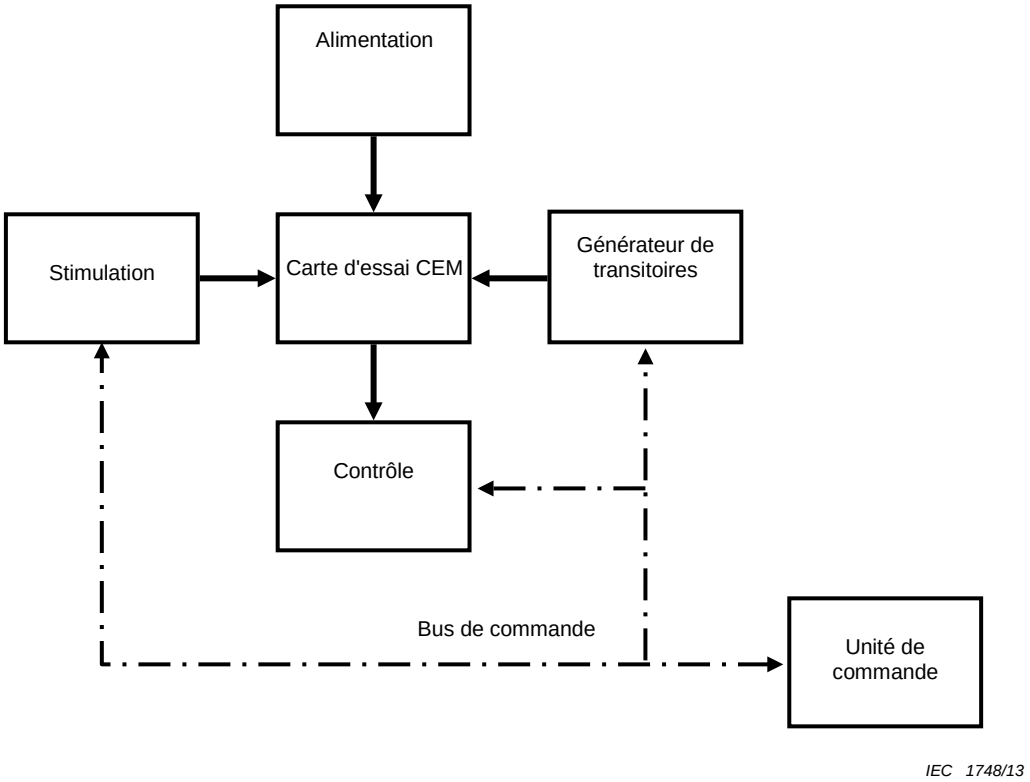

Figure 7 – Schéma du montage d'essai

9.2 Carte d'essai CEM

Une carte d'essai CEM portant le DUT, les composants obligatoires et les réseaux de couplage et de découplage nécessaires est requise pour effectuer cette méthode d'essai. La carte d'essai est également décrite dans la CEI 62132-4.

Il est recommandé d'utiliser une carte imprimée avec un plan de masse commun pour les essais d'impulsions des circuits intégrés. Il convient de placer le DUT sur la carte d'essai sans embases. Si une embase est utilisée, il convient de veiller à ce que l'inductance de l'embase n'affecte pas de manière significative les résultats d'essai, en particulier pour les transitoires rapides.

L'objectif principal de la présente norme est de soumettre le DUT aux essais d'immunité aux ondes de choc uniquement. Par conséquent, les composants de protection externes du DUT doivent être retirés sauf s'ils sont nécessaires au fonctionnement correct du circuit intégré (par exemple des condensateurs de blocage, des condensateurs de temporisation, etc.). De tels composants obligatoires doivent être placés directement au niveau du circuit intégré et mis à la terre sur le même plan de masse. Il convient que les chemins de retour depuis les composants de blocage obligatoires vers le DUT ou le blindage d'une ligne de transmission ne comportent pas de fente.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

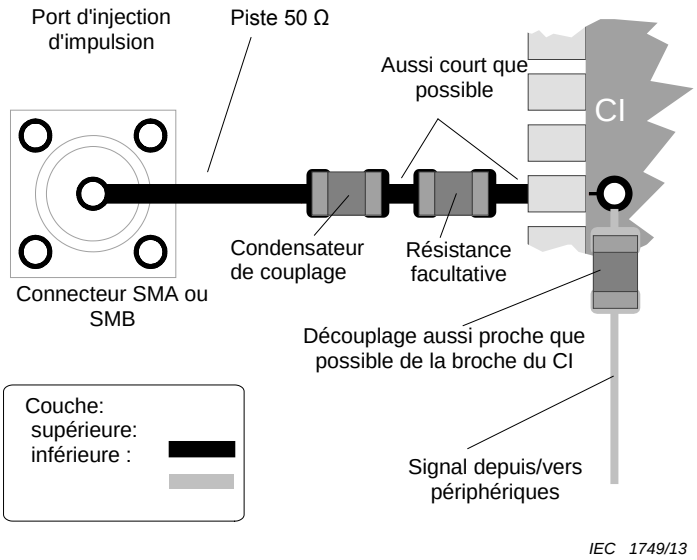

Figure 8 – Exemple de cheminement entre le port d'injection et une broche du DUT

Il convient que la piste entre le connecteur du port d'injection d'impulsions et le réseau de couplage soit une ligne de transmission de 50 Ω (voir l'exemple de la Figure 8). Il convient que l'extrémité de la ligne de transmission vers la broche du DUT soit aussi courte que possible. Une longueur de piste égale à 1/20 de la plus petite longueur d'onde appliquée est raisonnable. Pour des transitoires définies dans le domaine temporel, la longueur de la piste peut être calculée par:

$$l_t \leq \frac{t_r \cdot v_p}{20} \quad (1)$$

$$v_p = \frac{c}{\sqrt{\varepsilon_r}} \quad (2)$$

où

l_t est la longueur de la piste (cm)

t_r est le temps de montée (ns)

c est la vitesse de la lumière (m/s)

v_p est la vitesse de propagation (cm/ns) (exemple, air: v_p = 30 cm/ns, matériau de PCB FR4: v_p = 14,8 cm/ns)

ε_r est la permittivité relative

Des pistes plus courtes sont avantageuses.

Le plan de masse ne doit pas comporter de fente dans les chemins de retour des pistes transportant les signaux couplés. Si ce n'est pas possible, les fentes dans les chemins de retour des pistes transportant les signaux couplés ne doivent pas dépasser 1/20 de la plus petite longueur d'onde.

Pour obtenir une référence de terre fiable, l'impédance entre la ou les broches de terre du DUT et le blindage de n'importe quelle ligne de transmission délivrant le signal couplé doit être aussi faible que possible. Par conséquent, il est fortement recommandé d'utiliser un plan de masse sur la carte imprimée pour réduire au minimum l'impédance des connexions de

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

terre. Il convient de placer le réseau de découplage des impulsions aussi proche que possible de la broche où l'impulsion est injectée.

S'il n'est pas possible de suivre ces règles, les écarts doivent être décrits dans le rapport d'essai.

La carte d'essai d'immunité aux impulsions peut être basée sur une carte d'essai d'immunité RF selon la CEI 62132-4 avec quelques modifications. D'autres recommandations sur les cartes d'essai sont présentées à l'Annexe A.

10 Procédure d'essai

10.1 Plan d'essai

Le plan d'essai doit inclure toutes les conditions sur le DUT et les transitoires à appliquer:

- un choix d'impulsions applicables, des niveaux d'essai et une polarité selon l'application prévue et les normes fondamentales associées;
- les réglages du générateur (taux de répétition, nombre d'impulsions, impédance de sortie);
- le ou les modes de fonctionnement
- des critères de défaillance et une fonction contrôlée;
- les broches à coupler.

NOTE Dans le cas d'un dispositif ayant un grand nombre de broches, seule une sélection représentative de broches en fonction de leur type et de leur emplacement peut être soumise aux essais. La sélection est justifiée dans le rapport d'essai.

10.2 Préparation d'essai

Mettre sous tension le DUT et procéder à une vérification opérationnelle pour s'assurer du bon fonctionnement du dispositif (c'est-à-dire exécuter le code d'essai du DUT) dans les conditions ambiantes de l'essai. Pendant la vérification opérationnelle, le générateur de transitoires et tout matériel de stimulation et de contrôle doivent être mis sous tension et connectés à la carte imprimée. Toutefois, la sortie du générateur de transitoires doit être désactivée. Les performances du DUT ne doivent pas être dégradées par les conditions ambiantes.

10.3 Caractérisation des impulsions couplées

Pour des essais cohérents et reproductibles, il est nécessaire de caractériser le signal de tension de sortie du générateur dans des conditions de charge en circuit ouvert comme spécifié dans la CEI 61000-4-4, la CEI 61000-4-5 ou l'ISO 7637-2 respectivement. En outre, il est important que les impulsions couplées soient caractérisées au niveau des pastilles de connexion du DUT dans des conditions de charge en circuit ouvert. Cette caractérisation inclut le générateur d'impulsions, les lignes de connexion, le réseau de couplage, les composants obligatoires et les réseaux de découplage utilisés. La caractéristique de transfert peut être estimée par la différence de signaux entre le signal à la sortie du générateur d'impulsions sous des conditions de charge en circuit ouvert et le signal mesuré au niveau des pastilles de connexion du DUT. Il convient d'effectuer les deux mesures en utilisant un oscilloscope comme cela est défini dans la norme de définition d'impulsions respective.

10.4 Mesure de l'immunité aux impulsions

Avec la carte d'essai CEM sous tension et le DUT mis en fonctionnement dans le mode d'essai prévu, mesurer l'immunité au signal de perturbation transitoire injecté.

Le niveau d'essai appliqué doit être augmenté par paliers conformément au plan d'essai jusqu'à ce qu'un dysfonctionnement soit observé ou jusqu'à ce que le niveau d'essai maximal

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

soit atteint. L'essai doit être effectué avec des tailles de palier de tension ne dépassant pas celles spécifiées dans le plan d'essai. Les niveaux de tension indiqués dans le plan d'essai sont les impulsions de sortie du générateur de transitoires caractérisées dans des conditions de charge en circuit ouvert.

A chaque niveau d'essai, le signal transitoire doit être appliqué pendant au moins 10 s (ou au moins pendant le temps nécessaire pour que le DUT réponde et pour que le système de contrôle détecte une éventuelle dégradation de fonctionnement).

Pour définir la couverture statistique de temps de palier minimum de la synchronisation du processus et des événements d'impulsions de perturbations, la contrainte thermique et l'essai de durée de vie doivent être considérés. Des valeurs typiques doivent être établies pour les applications normalisées. La valeur par défaut est 10 min.

Détail du programme d'essai:

1) Connecter tout le matériel comme représenté à la Figure 7.
2) Vérifier le fonctionnement correct du DUT.
3) Régler le générateur de transitoires pour le niveau de tension désiré.
4) Régler le générateur de transitoires pour la polarité désirée.
5) Injecter les transitoires pour le temps de palier requis. Contrôler le fonctionnement du DUT pendant l'injection de transitoires pour détecter une éventuelle dégradation de fonctionnement.
6) S'il est souhaitable de procéder à des essais d'autres niveaux de tension, passer à l'étape 3.

10.5 Interprétation et comparaison des résultats

Les résultats peuvent être directement comparés tant que les mesures ont été effectuées dans les mêmes conditions. Si des comparaisons sont prévues, il convient que les dispositifs réalisent le même code et l'environnement d'essai doit être le plus cohérent possible. Le même type de cartes d'essai doit être utilisé.

Pour déterminer les classes de performance du circuit intégré, on doit considérer si l'écart d'un signal contrôlé est provoqué par une fonction du circuit intégré ou par une superposition du signal de perturbation et du signal fonctionnel. Si la dégradation du signal fonctionnel est provoquée par une activité du circuit intégré, on doit différencier s'il s'agit d'une activité intentionnelle (par exemple une protection contre les surtensions, contre les sous-tensions, contre les surintensités, etc.) ou s'il s'agit d'un dysfonctionnement intempestif.

10.6 Niveau d'acceptation de l'immunité aux transitoires

Le niveau d'acception de l'immunité aux transitoires d'un circuit intégré, le cas échéant, doit faire l'objet d'un accord entre le fabricant et l'utilisateur du circuit intégré, en fonction de l'application prévue du circuit intégré. Des niveaux d'applications typiques sont décrits aux Annexes C et D.

11 Rapport d'essai

Le rapport d'essai doit fournir toutes les informations nécessaires pour interpréter et reproduire les résultats d'essai. Il convient qu'il contienne:

- les conditions d'essai;
- les paramètres d'essai comme des impulsions d'essai, des niveaux d'essai, la durée d'essai, le temps de palier, le taux de répétition selon des normes fondamentales;
- les informations sur les cartes d'essai CEM;

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

- les broches soumises aux essais, les modes de fonctionnement, les critères logiciel, les critères de contrôle et de défaillance, les résultats de fonctionnement;
- tout écart par rapport à la méthode normalisée décrite;
- les caractéristiques de couplage.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Annexe A
(informative)

Recommandations concernant les cartes d'essai

A.1 Description mécanique d'une carte

La taille typique d'une carte est (100^{+3}_{-1}) mm par (100^{+3}_{-1}) mm (pour qu'elle puisse être utilisée avec d'autres méthodes d'essai de circuits intégrés). Des trous peuvent être ajoutés aux coins de la carte, comme l'illustre la Figure A.1. Il convient d'étamer tous les bords de la carte au moins sur 5 mm ou de les rendre conducteurs afin de réaliser un bon contact. En variante, les bords peuvent être plaqués or.

Il convient que les trous d'interconnexion au niveau du bord extérieur de la carte soient à au moins 5 mm de ce bord.

A.2 Description électrique d'une carte

A.2.1 Conception électrique d'une carte

Il convient d'utiliser comme guide le dessin de la carte d'essai CEM de la Figure A.1. Une carte à double couche est proposée en tant qu'exigence minimale. Cependant, si cela se justifie du point de vue fonctionnel, les couches 2 et 3 ou autres peuvent être ajoutées entre les deux pour créer une carte multicouche.

La couche 1 est toujours utilisée comme plan de masse. La couche 4 autorise d'autres signaux, mais il convient de la laisser aussi intacte que possible, pour être utilisée comme plan de masse également. Au moins la région dans la couche 1, sous le circuit intégré, est laissée comme plan de masse dans lequel les impédances caractéristiques sont définies.

Il convient de fabriquer la carte imprimée de sorte que seul le boîtier de circuit intégré reste sur un côté (côté supérieur) et tous les autres composants et les motifs de pistes restent sur le côté opposé (côté inférieur).

Pour un fonctionnement correct de la carte dans des conditions de haute tension, des précautions sont prises pour éviter les contournements (par exemple la disposition de la carte et le choix des composants sont réalisés avec soin).

A.2.2 Plans de masse

Les plans de masse (couches 1 et 4) sont interconnectés au moyen de trous d'interconnexion. Il convient de placer ces trous d'interconnexion aux positions suivantes sur la carte comme décrit dans le Tableau A.1:

Tableau A.1 – Position des trous d'interconnexion sur la carte

Position des trous d'interconnexion	Emplacement
1	Tout autour, au niveau des bords de la carte
2	Juste à l'extérieur de la zone du DUT
3	Juste à l'intérieur, en dessous de la zone du circuit intégré

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Le plan de masse au niveau de la couche 1 est poursuivi entre les trous d'interconnexion au niveau de la position 2. A ce titre, le plan de masse au niveau de la couche 1 est poursuivi sur toute la carte.

Si possible, il convient de faire de même pour la couche 4, mais la possibilité de le faire dépend du boîtier de circuit intégré et de l'espace disponible.

A.2.3 Broches

A.2.3.1 Emplacement des composants nécessaires du point de vue fonctionnel

Tous les composants nécessaires du point de vue fonctionnel, autres que le circuit intégré, sont montés sur la couche 4. Il est de ce fait nécessaire d'alimenter les E/S et autres broches requises de la couche 1 à la couche 4. Il convient d'optimiser les zones de boucle, la longueur des pistes, le placement des trous d'interconnexion et l'orientation des composants de sorte que les zones de boucles minimales soient obtenues.

A.2.3.2 Boîtiers DIL

Ces boîtiers ne nécessitent pas de trous d'interconnexion, étant donné que les broches à trous métallisés sont considérées comme présentes ou établies par les broches elles-mêmes.

A.2.3.3 Boîtiers SO, PLCC, QFP

Ces boîtiers nécessitent l'utilisation de trous d'interconnexion. Il convient que les trous d'interconnexion soient centrés dans les pastilles utilisées pour le brasage des circuits intégrés. De préférence, il convient que ces trous d'interconnexion soient placés en position 3 du Tableau A.1 pour minimiser la zone de boucle concernée dans laquelle les courants du circuit intégré circulent.

A.2.3.4 PGA, BGA

A l'étude.

A.2.4 Trous d'interconnexion

A.2.4.1 Type de trous d'interconnexion

Tous les trous d'interconnexion en position 1 doivent comporter un diamètre du trou de 0,8 mm. Tous les autres trous d'interconnexion doivent avoir un diamètre supérieur ou égal à 0,2 mm.

A.2.4.2 Distance des trous d'interconnexion (TI)

Une distance latérale maximale entre les trous d'interconnexion est nécessaire pour les mesures jusqu'à 1 GHz.

- Les trous d'interconnexion raccordant la couche 1 à la couche 4 sont espacés d'une distance maximale de 10 mm.
- Il convient que les trous d'interconnexion qui accompagnent les pistes de signaux soient aussi proches que possible des trous d'interconnexion raccordant les couches 1 à 4 afin de créer de petites boucles de signal de retour.

A.2.5 Composants supplémentaires

Il convient de monter tous les composants supplémentaires sur la couche 4. Ils sont placés de telle manière qu'ils n'interfèrent pas avec les contraintes réglées pour les couches 1 et 4 et les trous d'interconnexion entre les couches.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

A.2.6 Découplage de l'alimentation

Pour obtenir des données de mesure reproductibles, un découplage de l'alimentation approprié est nécessaire conformément aux spécifications de cartes d'essai. Les condensateurs de découplage sur la carte d'essai sont classés en deux groupes décrits ci-dessous. Les valeurs et les dispositions des condensateurs de découplage et autres composants de découplage sont indiquées dans le rapport d'essai individuel.

- Condensateurs de découplage de circuit intégré:

  Le découplage de l'alimentation pour le circuit intégré est conforme aux recommandations du fabricant. Les condensateurs de découplage de circuit intégré, le cas échéant, sont connectés au plan de masse sur la couche 4, en dessous du circuit intégré pour maintenir un fonctionnement correct du DUT. La valeur et la disposition d'un condensateur de découplage de chaque broche d'alimentation du DUT peuvent correspondre aux recommandations du fabricant ou autres, pour autant que cela soit indiqué dans le rapport d'essai.

- Découplage de l'alimentation électrique pour la carte d'essai:

  L'impédance de l'alimentation électrique de la carte d'essai et de la piste du signal d'impulsions peut affecter les résultats de mesure si la carte d'essai n'est pas conçue de manière appropriée. Pour contrôler l'impédance d'alimentation de la carte d'essai pour toute alimentation électrique externe qui peut être utilisée dans la mesure, un groupe de condensateurs de découplage est situé sur la carte d'essai. Leurs valeurs et dispositions sont conformes à la description figurant dans les normes de mesures individuelles, ou autres, pour autant que cela soit indiqué dans le rapport d'essai.

A.2.7 Charge d'E/S

Il convient de monter les composants supplémentaires nécessaires pour charger ou activer le circuit intégré sur la couche 4, de préférence directement sous la zone de boîtier de circuit intégré.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Toutes les dimensions sont indiquées en mm

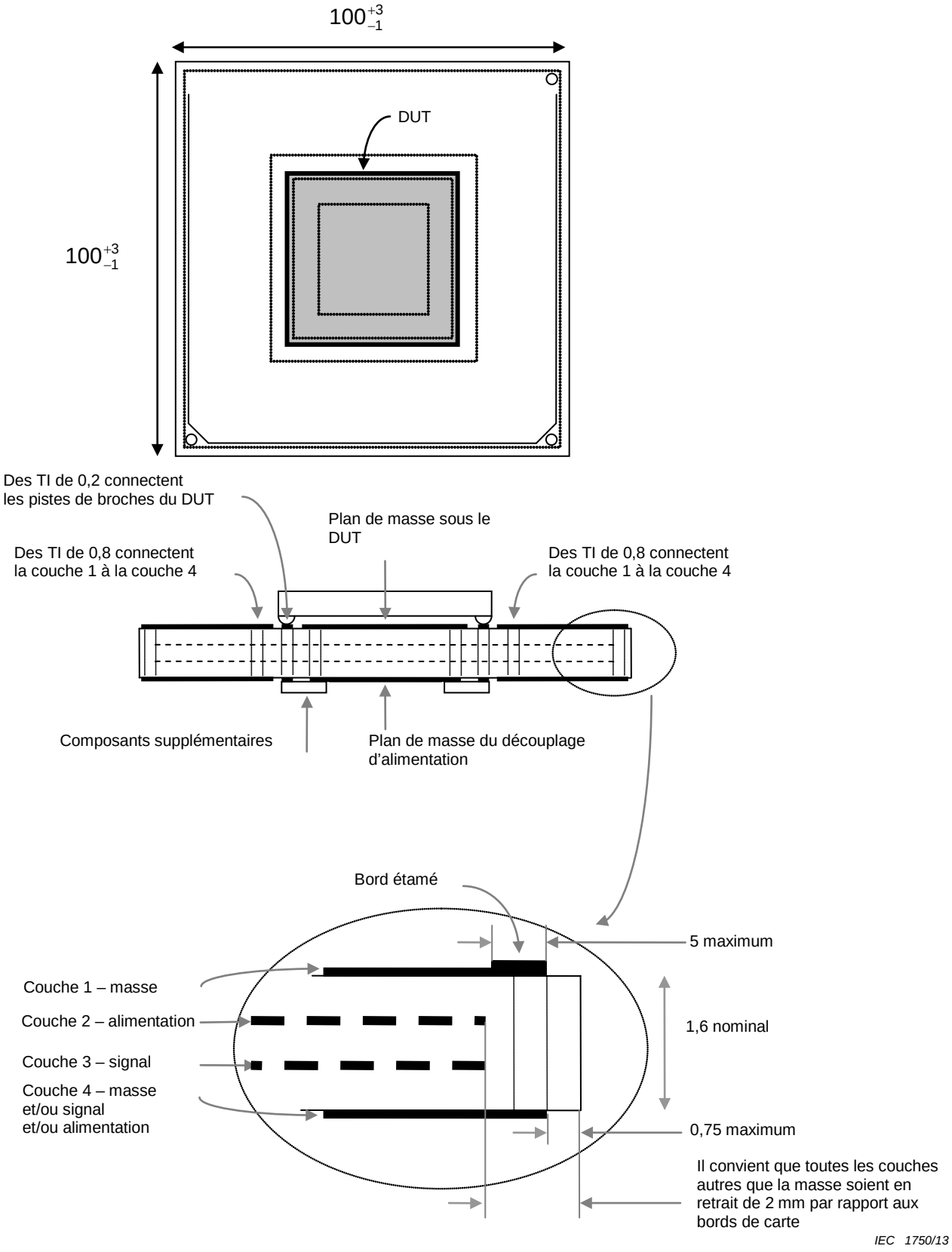

Figure A.1 – Topologie de carte d'essai CEM typique

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

A.3 Exemple de carte d'essai avec différents réseaux de couplage

Plusieurs structures d'essai d'injection peuvent être mises en œuvre sur une seule carte d'essai CEM afin de caractériser complètement un circuit intégré. La Figure A.2 illustre un exemple de schéma représentant toutes les structures d'essai d'injection disponibles mises en œuvre sur une seule carte. Pour des circuits intégrés comportant des broches d'alimentation, de terre, d'entrée ou de sortie supplémentaires, la structure d'essai appropriée peut être reproduite. Il convient de regrouper les broches d'alimentation et de terre portant le même nom (c'est-à-dire VS1, VS2, etc.), de les connecter à une seule structure d'essai et de les soumettre aux essais comme une seule broche. Un condensateur de blocage (C_{BL}) requis par le fabricant est connecté entre l'alimentation et la terre locale comme représenté. La valeur de ce condensateur de découplage est conforme à celle indiquée dans le guide d'utilisation du dispositif.

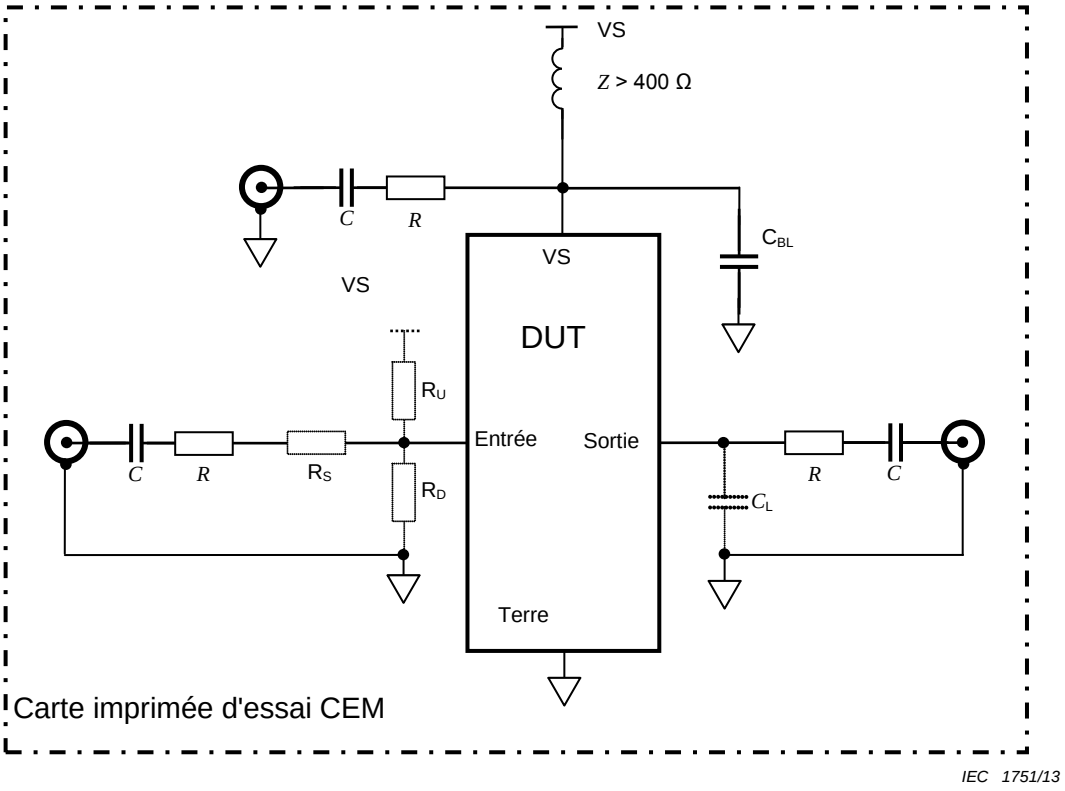

Figure A.2 – Exemple de mise en œuvre de plusieurs structures d'injection

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Annexe B
(informative)

Conseils pour le choix des valeurs des réseaux de couplage et de découplage

B.1 Exigences générales

Les réseaux de couplage et de découplage sont définis en fonction de l'environnement prévu des transitoires et des phénomènes de couplage des applications de circuit intégré. Les valeurs du condensateur pour le couplage capacitif indirect sont prises à partir de la capacité par unité de longueur avec 100 pF/m. Pour des broches globales connectées au faisceau de conducteurs, une longueur de fil de 10 m est considérée comme représentative. Pour ce genre de broches connectées, la valeur par défaut du condensateur de couplage est 1 nF. Pour des broches locales qui restent sur la carte d'application, la longueur de piste est dans la gamme de 0,05 m à 0,2 m et peut être représentée par un condensateur de couplage de 10 pF à 47 pF.

B.2 Réseaux de couplage et de découplage pour des broches de circuit intégré globales

B.2.1 Réseaux de couplage et de découplage pour des broches d'alimentation

B.2.1.1 Injection directe dans les broches d'alimentation

Pour les broches d'alimentation connectées directement à, et alimentées par le générateur de transitoires dans le montage d'essai, les réseaux de couplage et de découplage sont fournis par le générateur comme cela est spécifié dans la CEI 61000-4-4, la CEI 61000-4-5 ou l'ISO 7637-2 respectivement.

Pour les broches d'alimentation non connectées directement à, et alimentées par le générateur de transitoires dans le montage d'essai, il convient d'utiliser les réseaux de couplage suivants:

Pour les impulsions rapides (temps de montée $<$ 10 ns):

Réseau de couplage: réseau interne au générateur ou C = 1 nF (CMS céramique), R = 0 Ω

Réseau de découplage: L = 5 µH ± 10 % pour l'industrie automobile

(adaptation facultative à, par exemple, des valeurs fixes 50 Ω, 150 Ω ou 400 Ω)

L = 50 µH ± 10 % pour l'industrie générale

(adaptation facultative à, par exemple, des valeurs fixes 50 Ω, 150 Ω ou 400 Ω)

Pour les impulsions lentes (temps de montée ≥ 1 µs):

Réseau de couplage: réseau interne au générateur ou C = 100 nF, R = 0 Ω

Réseau de découplage: L = 5 µH ± 10 % pour l'industrie automobile

(adaptation facultative à, par exemple, des valeurs fixes 50 Ω, 150 Ω ou 400 Ω)

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

L = 50 µH ± 10 % pour l'industrie générale

(adaptation facultative à, par exemple, des valeurs fixes 50 Ω, 150 Ω ou 400 Ω)

diode pour le découplage d'impulsions positives vers le réseau d'alimentation et le commutateur de puissance pour déconnecter le réseau d'alimentation quand des impulsions négatives sont appliquées (caractéristiques assignées des dispositifs selon les valeurs de courant et de tension prévues)

B.2.1.2 Couplage capacitif dans des broches d'alimentation

Pour les broches d'alimentation secondaires non connectées directement à, et alimentées par le générateur de transitoires dans le montage d'essai, les réseaux de couplage suivants doivent être utilisés:

Pour les impulsions rapides et lentes:

Réseau de couplage: C = 1 nF (CMS céramique), R = 0 Ω

Réseau de découplage: Bobine avec Z ~ 400 Ω, pour l'industrie automobile et générale

(adaptation facultative à, par exemple, des valeurs fixes 50 Ω, 150 Ω ou 400 Ω)

B.2.2 Réseaux de couplage et de découplage pour des broches E/S

Pour les impulsions rapides et lentes:

Réseau de couplage: C = 1 nF (CMS céramique), R = 0 Ω

Réseau de découplage: Bobine avec Z ~ 400 Ω, pour l'industrie automobile et générale

(adaptation facultative à, par exemple, des valeurs fixes 50 Ω, 150 Ω ou 400 Ω)

B.3 Réseaux de couplage et de découplage pour des broches locales

En fonction de la définition de la charge sur une broche spécifique du circuit intégré, une structure de couplage/découplage adaptée peut être utilisée. Les valeurs pour cette structure doivent être choisies de telle sorte que:

- la charge maximale de la broche ne doit pas être dépassée;
- les impulsions doivent être suffisamment couplées pour satisfaire aux exigences d'application;
- l'inductance/bobine de découplage présente une impédance élevée par rapport à l'impédance du condensateur de couplage;

Les réseaux de couplage servant à coupler les pistes d'une carte imprimée doivent être: C = 10 pF à 47 pF (CMS céramique), R = 0 Ω.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Annexe C
(informative)

Applications industrielles et grand public

C.1 Informations générales

Pour les applications industrielles, le circuit intégré doit être soumis aux essais selon des perturbations d'impulsions typiques telles qu'elles sont définies dans la CEI 61000-4-4 et la CEI 61000-4-5.

C.2 Définition des types de broches

En se basant sur des applications typiques, il convient de classer les broches de circuit intégré selon le Tableau C.1.

Tableau C.1 – Définition des types de broches

Catégorie de broche	Type de broche	Exemples de type de broche	Circuit d'essai	Valeurs de circuit d'essai selon le Tableau C.2	Remarques
Locale	Alimentations	E/S, noyau, analogique, PLL	Fig. 3	L1	
	Entrées	Ports d'entrée universels, réinitialisation, IRQ, entrée amplificateur ou entrée analogique	Figs. 4, 6	L2	Les entrées peuvent répondre aux injections comme des signaux valides. 10 pF pour émuler le couplage d'une piste de carte.
	Sorties	Sorties universelles Port de sortie	Figs. 5, 6	L3	10 pF pour émuler le couplage d'une piste de carte.
	Oscillateur	Oscillateur à quartz	Fig. 4	L4	Sensible à la charge. Injection avec faible capacité (1 pF à 5 pF).
Globale	Alimentations	Alimentation secteur	Figs. 2, 3	G1	Soumise à des transitoires rapides, des chocs. 1 nF pour le couplage à une batterie ou à une alimentation secteur en courant alternatif, si la broche n'est pas connectée directement au réseau d'alimentation.
	Entrées	Port d'entrée universel	Figs.4, 6	G2	Les entrées peuvent répondre aux injections comme des signaux valides. 1 nF pour les couplages conducteur-conducteur ou conducteur-boîtier longs.
	Sorties	Port de sortie universel	Figs.5, 6	G3	1 nF pour les couplages conducteur-conducteur ou conducteur-boîtier longs.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Catégorie de broche	Type de broche	Exemples de type de broche	Circuit d'essai	Valeurs de circuit d'essai selon le Tableau C.2	Remarques
	E/S de communication	SCI, USB, Ethernet, I^2C	Figs.4,5	G2, G3	Lignes longues, différentes exigences de protection, 1 nF pour le couplage conducteur-conducteur long.

Certains des dispositifs destinés à des utilisations industrielles et grand public peuvent être globales ou locales selon l'application spécifique. Dans ce cas, il convient de soumettre ces broches aux essais avec les niveaux d'essai globaux plus stricts. En outre, dans le cas d'un grand nombre de broches globales, un échantillon représentatif de broches en fonction de leur type et de leur emplacement peut être soumis aux essais.

C.3 Types d'essai

Le tableau suivant de valeurs de circuit d'essai montre des valeurs de population recommandées pour l'injection sur une seule broche. Si ces valeurs ou options ne peuvent pas être utilisées pour un fonctionnement correct du dispositif, ou pour l'évaluation, les écarts doivent être décrits dans le rapport d'essai. Pour l'injection sur plusieurs broches, il convient de régler les valeurs pour les réseaux de couplage comme pour les broches simples respectives.

Tableau C.2 – Valeurs de circuit d'essai

Essai	Type	Figure	C	R	Z	R_S	R_U	R_D	C_L	C_{BL}
L1	Alimentation	3	à définir	à définir	à définir	à définir	à définir	à définir	à définir	à définir
L2	Entrée	4	10 pF	0	non inséré	0	10 kΩ	10 kΩ	sans objet	sans objet
L3	Sortie	5	10 pF	0	non inséré	0	non inséré	non inséré	47 pF	sans objet
L4	Entrée sensible	4	1 pF à 5 pF	0	non inséré	0	non inséré	non inséré	sans objet	sans objet
G1	Alimentation	2, 3[a]	sans objet 1 nF	sans objet 0	sans objet 50 µH	sans objet sans objet	sans objet sans objet	sans objet sans objet	sans objet sans objet	selon les exigences
G2[b]	Entrée	4	1 nF	0	non inséré	0	10 kΩ	10 kΩ	sans objet	sans objet
G3[b]	Sortie	5	1 nF	0	non inséré	sans objet	sans objet	sans objet	47 pF	sans objet

Non inséré – non inséré sauf si le fonctionnement correct l'exige.

R_U / R_D – résistance au rail d'alimentation (pull-up) ou résistance à la masse (pull-down).

[a] Si la broche d'alimentation n'est pas directement connectée au réseau d'alimentation et au générateur, le réseau de couplage interne spécifié dans la CEI 61000-4-4 et la CEI 61000-4-5 ne peut pas être utilisé.

[b] Pour les E/S de communication, d'autres valeurs pour un fonctionnement correct peuvent être nécessaires.

C.4 Caractéristiques des impulsions

Les caractéristiques des impulsions doivent être équivalentes aux caractéristiques d'injection décrites dans la CEI 61000-4-4 et dans la CEI 61000-4-5.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

C.5 Niveaux d'essai

Des niveaux d'essai seront définis conformément aux exigences d'application (par exemple, commandes de moteur, mesures, appareils, contrôleurs industriels) (voir Tableau C.3).

Tableau C.3 – Exemple de niveau d'essai d'impulsion du circuit intégré (CEI 61000-4-4)

Numéro de broche	Essai	Type	Configuration	Polarité	Tension d'injection d'essai initial (V)	Tension d'injection d'essai final (V)	Pas de tension d'injection (V)	Temps de palier d'impulsion (s)
1	L2	Entrée	Tirage	positive	500	4 000	500	60
1	L2	Entrée	Tirage	négative	500	4 000	500	60
4	L1	Alimentation	–	positive	500	4 000	500	60
4	L1	Alimentation	–	négative	500	4 000	500	60
16	L4	Entrée sensible	Oscillateur à quartz	positive	500	4 000	500	60
16	L4	Entrée sensible	Oscillateur à quartz	négative	500	4 000	500	60
23	G2	Entrée de communication	Port d'entrée série	positive	500	4 000	500	60
23	G2	Entrée de communication	Port d'entrée série	négative	500	4 000	500	60

Les valeurs d'injection d'essai seront enregistrées comme la tension en circuit ouvert du générateur.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Annexe D
(informative)

Applications pour l'industrie automobile

D.1 Informations générales

Pour les applications pour l'industrie automobile, le circuit intégré doit être soumis aux essais selon des perturbations d'impulsions typiques telles qu'elles sont définies dans l'ISO 7637-2. Les Articles D.2 à D.4 peuvent être utilisés pour choisir des niveaux d'essai au niveau de types de broches définis.

D.2 Définition des types de broches de circuit intégré

En se basant sur des applications typiques, il convient de classer les broches de circuit intégré selon le Tableau D.1.

Tableau D.1 – Définition des types de broches de circuit intégré

Type de broche	Couplage de perturbations transitoires	Perturbations transitoires (selon l'ISO 7637-2)
1	Broches connectées directement aux lignes d'alimentation de batteries de véhicules	ISO impulsion 1, ISO impulsion 2a, ISO impulsions 3a/3b
2	Broches connectées directement au faisceau de conducteurs	ISO impulsions 3a/3b
3	Broches connectées indirectement au faisceau de conducteurs de lignes d'alimentation de batteries de véhicules (Trou d'interconnexion prévu, mais pas de dispositifs de protection ni de filtres spécifiés obligatoires)	ISO impulsion 1, ISO impulsion 2a, ISO impulsions 3a/3b
4	Broches connectées indirectement au faisceau de conducteurs de lignes E/S (Trou d'interconnexion prévu, mais pas de dispositifs de protection ni de filtres spécifiés obligatoires)	ISO impulsions 3a/3b
5	Broches non connectées directement au faisceau de conducteurs du véhicule (s'applique uniquement au couplage croisé sur carte imprimée, les réseaux de couplage doivent être adaptés)	ISO impulsions 3a/3b

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

D.3 Niveau d'essai

Le niveau d'essai dépend du domaine d'application du circuit intégré. Pour satisfaire aux exigences d'application pour différents types de broches, les niveaux d'essai de transitoires recommandés sont définis dans les Tableaux D.2 et D.3.

Tableau D.2 – Niveau d'essai de transitoires 12 V (ISO 7637-2)

Impulsion	Classes limites	Broche globale				Broche locale	Classes de performance
		type 1 direct **niveau d'essai** (V)	**type 2** capacitif 1 nF **niveau d'essai** (V)	**type 3** direct filtré **niveau d'essai** (V)	**type 4** capacitif 1 nF filtré **niveau d'essai** (V)	**type 5** capacitif 10 pF **niveau d'essai** (V)	**A_{IC}, C_{IC}, D_{IC}**
ISO 1	I	-75	sans objet	-75	sans objet	sans objet	C_{IC}
	II	-112		-112			
	III	-150		-150			
ISO 2a	I	37	sans objet	37	sans objet	sans objet	A_{IC}, C_{IC}
	II	55		55			
	III	112		112			
ISO 3a	I	-112	-112	-112	-112	-112	A_{IC}, C_{IC}
	II	-165	-165	-165	-165	-165	
	III	-220	-220	-220	-220	-220	
ISO 3b	I	75	75	75	75	75	A_{IC}, C_{IC}
	II	112 V	112	112	112	112	
	III	150 V	150	150	150	150	
Selon le niveau d'essai et les caractéristiques maximales du circuit intégré, la protection externe peut être nécessaire. Par le choix des broches à soumettre aux essais, il doit être vérifié si une exposition transitoire est prévue pour l'application du CI ou pas.							

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Tableau D.3 – Niveau d'essai de transitoires 24 V (ISO 7637-2)

Impulsion	Classes limites	Broche globale				Broche locale	Classes de performance
		type 1 direct **niveau d'essai** (V)	**type 2** capacitif 1 nF **niveau d'essai** (V)	**type 3** direct filtré **niveau d'essai** (V)	**type 4** capacitif 1 nF filtré **niveau d'essai** (V)	**type 5** capacitif 10 pF **niveau d'essai** (V)	**A_{IC}, C_{IC}, D_{IC}**
ISO 1	I	-300	sans objet	-300	sans objet	sans objet	C_{IC}
	II	-450		-450			
	III	-600		-600			
ISO 2a	I	37	sans objet	37	sans objet	sans objet	A_{IC}, C_{IC}
	II	55		55			
	III	112		112			
ISO 3a	I	-150	-150	-150	-150	-150	A_{IC}, C_{IC}
	II	-220	-220	-220	-220	-220	
	III	-300	-300	-300	-300	-300	
ISO 3b	I	150	150	150	150	150	A_{IC}, C_{IC}
	II	220	220	220	220	220	
	III	300	300	300	300	300	
Selon le niveau d'essai et les caractéristiques maximales du circuit intégré, la protection externe peut être nécessaire. Par le choix des broches à soumettre aux essais, il doit être vérifié si une exposition transitoire est prévue pour l'application du CI ou pas.							

Le temps de répétition et les paramètres des impulsions doivent être conformes à l'ISO 7637-2 et notés dans le rapport d'essai.

Pour la durée d'essai, on doit considérer que les impulsions ne sont pas synchronisées sur la synchronisation fonctionnelle du circuit intégré. Pour une couverture statistique, un temps d'essai minimal de 10 min par type d'impulsion est recommandé.

Pour des amplitudes d'impulsions d'essai supérieures à la tension de fonctionnement, il est prévu que des circuits de protection dans le circuit intégré soient activés et entraînent une charge thermique supplémentaire du circuit intégré. Par conséquent, il convient que le temps d'essai soit plus long que la constante thermique temporelle du circuit intégré dans son montage d'essai. Un temps d'essai de 10 min par impulsion d'essai est recommandé. Si d'autres valeurs de temps d'essai sont utilisées, elles doivent être notées dans le rapport d'essai.

D.4 Exemple de spécification d'essai de transitoires pour circuits intégrés

La spécification d'essai de transitoires pour des circuits intégrés doit être développée en fonction de l'application cible. Pour définir les broches applicables et les niveaux d'essai appropriés, les broches de circuit intégré doivent être classées dans des types de broche comme défini dans le Tableau D.1. En se basant sur le type de broche et le système d'alimentation, le niveau d'essai associé peut être choisi à partir des Tableaux D.2 ou D.3. Selon la fonction du circuit intégré et la fonctionnalité désirée pendant ou après les perturbations transitoires, les temps de palier ou le nombre d'impulsions, les conditions de contrôle et des classes de statut fonctionnelles doivent être définis. Un exemple de spécification d'essai de transitoires est donné dans le Tableau D.4.

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Tableau D.4 – Exemple de spécification d'essai de transitoires

Broche n°	Type de broche	V_{bat}/VS (V)	Impulsion 1			Impulsion 2			Impulsion 3a			Impulsion 3b		
			V_P (V)	FPSC	Nombre d'impulsions par temps de palier (min)	V_P (V)	FPSC	Nombre d'impulsions par temps de palier (min)	V_P (V)	FPSC	Nombre d'impulsions par temps de palier (min)	V_P (V)	FPSC	Nombre d'impulsions par temps de palier (min)
3	2	12/5	sans objet	–	–	± 30	A_{IC}	100	-60	A_{IC}	10	40	A_{IC}	10
4	2	12/5	sans objet	–	–	± 30	C_{IC}	100	-60	C_{IC}	10	40	C_{IC}	10
7	4	12/5	sans objet	–	–	± 9,6	C_{IC}	50	– 19,2	C_{IC}	10	12,8	C_{IC}	10
12	4	12/5	sans objet	–	–	± 9,6	C_{IC}	50	– 19,2	C_{IC}	10	12,8	C_{IC}	10
32	2	12/5	sans objet	–	–	± 30	C_{IC}	100	-60	C_{IC}	10	40	C_{IC}	10
33	2	12/5	sans objet	–	–	± 30	C_{IC}	100	-60	C_{IC}	10	40	C_{IC}	10
36	5	12/3,3	sans objet	–	–	± 3,3	C_{IC}	50	-3,3	C_{IC}	10	3,3	C_{IC}	10
38	5	12/3,3	sans objet	–	–	± 3,3	D_{IC}	50	-3,3	E_{IC}	10	3,3	D_{IC}	10

V_{bat} = tension d'alimentation de batterie de véhicule

VS = tension de fonctionnement du circuit intégré (pour plusieurs tensions de fonctionnement du circuit intégré)

V_P = tension d'impulsion d'essai maximale (prévue dans l'application)

FPSC = classe de statut de performances fonctionnelles (définie pour le circuit intégré spécifique)

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when print

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

3, rue de Varembé
PO Box 131
CH-1211 Geneva 20
Switzerland

Tel: + 41 22 919 02 11
Fax: + 41 22 919 03 00
info@iec.ch
www.iec.ch

Copyrighted material licensed to BR Demo by Thomson Reuters (Scientific), Inc., subscriptions.techstreet.com, downloaded on Nov-27-2014 by James Madison. No further reproduction or distribution is permitted. Uncontrolled when printe