

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Plasma display panels –
Part 3-2: Interface – Electrical interface**

**Panneaux d'affichage à plasma –
Partie 3-2: Interface – Interface électrique**



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2009 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland
Email: inmail@iec.ch
Web: www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

- Catalogue of IEC publications: www.iec.ch/searchpub

The IEC on-line Catalogue enables you to search by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, withdrawn and replaced publications.

- IEC Just Published: www.iec.ch/online_news/justpub

Stay up to date on all new IEC publications. Just Published details twice a month all new publications released. Available on-line and also by email.

- Electropedia: www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 20 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary online.

- Customer Service Centre: www.iec.ch/webstore/custserv

If you wish to give us your feedback on this publication or need further assistance, please visit the Customer Service Centre FAQ or contact us:

Email: csc@iec.ch

Tel.: +41 22 919 02 11

Fax: +41 22 919 03 00

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

- Catalogue des publications de la CEI: www.iec.ch/searchpub/cur_fut-f.htm

Le Catalogue en-ligne de la CEI vous permet d'effectuer des recherches en utilisant différents critères (numéro de référence, texte, comité d'études,...). Il donne aussi des informations sur les projets et les publications retirées ou remplacées.

- Just Published CEI: www.iec.ch/online_news/justpub

Restez informé sur les nouvelles publications de la CEI. Just Published détaille deux fois par mois les nouvelles publications parues. Disponible en-ligne et aussi par email.

- Electropedia: www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International en ligne.

- Service Clients: www.iec.ch/webstore/custserv/custserv_entry-f.htm

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions, visitez le FAQ du Service clients ou contactez-nous:

Email: csc@iec.ch

Tél.: +41 22 919 02 11

Fax: +41 22 919 03 00



IEC 61988-3-2

Edition 1.0 2009-08

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Plasma display panels –
Part 3-2: Interface – Electrical interface**

**Panneaux d'affichage à plasma –
Partie 3-2: Interface – Interface électrique**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX

T

ICS 31.260

ISBN 2-8318-1054-3

CONTENTS

FOREWORD.....	3
1 Scope.....	5
2 Normative references	5
3 Terms, definitions and abbreviations	5
3.1 Terms and definitions	5
3.2 Abbreviations	5
4 Electrical interface requirements	6
5 Electrical interface of digital signal	6
5.1 Basic configuration.....	6
5.2 Interface input signal definition	7
5.3 Pin assignment.....	9
5.4 Input signal timing	10
5.5 Power requirement	10
Annex A (informative) LVDS, TTL and TMDS	11
Bibliography.....	24
Figure 1 – Block diagram of an example interface of data signal	7
Figure A.1 – Interface configuration	11
Figure A.2 – Timing chart for resolution 1024 x 768	14
Figure A.3 – Logic power and LVDS signals sequencing diagram	15
Figure A.4 – Data enable timing parameters	16
Figure A.5 – Interface configuration	17
Figure A.6 – Interface configuration	20
Table 1 – Example of interface signal function	8
Table 2 – Example of connector pin assignments.....	9
Table A.1 – Signal definition and function	12
Table A.2 – Connector pin assignment.....	13
Table A.3 – Input signal timing specification for resolution 1024x768.....	15
Table A.4 – Input signal specifications	18
Table A.5 – Connector pin assignments	19
Table A.6 – Input signal specifications	21
Table A.7 – Example of pin assignment of connector	21
Table A.8 –Limiting values (Absolute maximum rating system)	22
Table A.9 – Electrical characteristics	23

INTERNATIONAL ELECTROTECHNICAL COMMISSION

PLASMA DISPLAY PANELS –

**Part 3-2: Interface –
Electrical interface**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with an IEC Publication.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61988-3-2 has been prepared by IEC technical committee 110: Flat panel display devices.

The text of this standard is based on the following documents:

FDIS	Report on voting
110/181/FDIS	110/190/RVD

Full information on the voting for the approval on this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all the parts in the IEC 61988 series, under the general title *Plasma display panels*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the maintenance result date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

PLASMA DISPLAY PANELS –

Part 3-2: Interface – Electrical interface

1 Scope

This part of IEC 61988 defines the electrical interface of digital video data signals, synchronization signals and functional signals between the image processing board of the PDP set and the control board of the PDP module, and defines the description of the pin assignment of the connectors.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 61988-1, *Plasma display panels – Part 1: Terminology and letter symbols*

IEC 61988-2-1, *Plasma display panels – Part 2-1: Measuring methods – Optical*

IEC 61988-2-2, *Plasma display panels – Part 2-2: Measuring methods – Optoelectrical*

TIA/EIA-644A, *Electrical characteristics of low voltage differential signaling (LVDS) interface circuits*

JEIDA-59-1999, *Digital interface standards for monitor* (only available in English)

3 Terms, definitions and abbreviations

3.1 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 61988-1, IEC 60068-1 and IEC 60107-1 as well as the following apply.

3.1.1

image processing board

circuit board including A/D converter, scaler and video decoder, deinterlacing for image signal from input device such as TV-tuner, PC, DVD, etc.

3.2 Abbreviations

NOTE The following are acronyms for reference.

TTL	Transistor-transistor logic
LVDS	Low voltage differential signalling
TMDS	Transition minimized differential signalling
HS	Horizontal synchronization
VS	Vertical synchronization
DE	Data enable
DCLK	Data clock
APC	Auto power control

4 Electrical interface requirements

The electrical interface of PDP module is a power sequence and a digital interface of PDP module.

The power sequence of PDP module is power on- and off-sequence of all power supplies in and to PDP module. The power on- and off-sequence of PDP module shall be fully described in each relevant specification.

The digital signal interface is either an LVDS, a TTL or a TMDS interface, whose signal encodes the digital video data and function control signals.

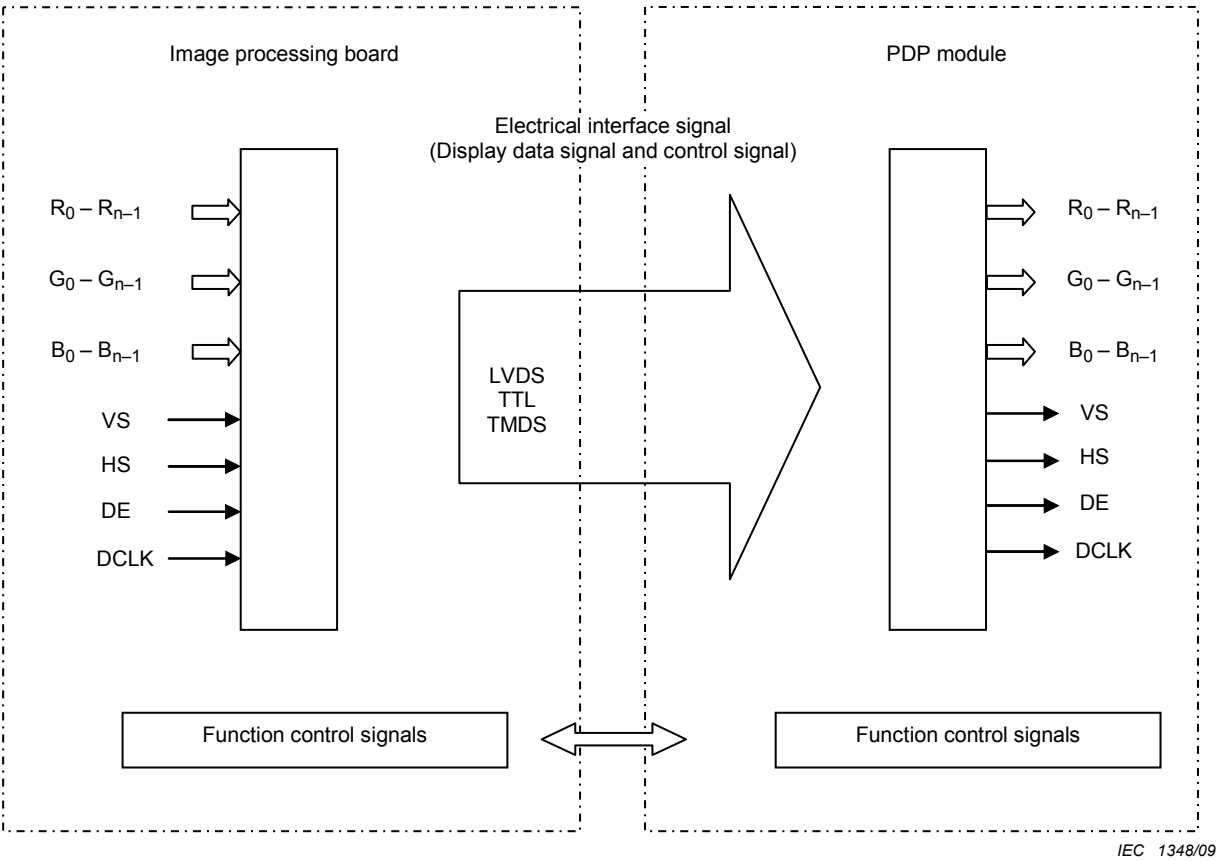
Function control signal, which is the additional signal, except digital video signal, to control the functions such as APC, shall be fully described in each detail specification.

The interface configuration, input signal definition, pin assignment, input signal timing and power requirement shall be described in each detail specification.

5 Electrical interface of digital signal

5.1 Basic configuration

The basic configuration of electrical interface of digital signal is shown in Figure 1 as one of examples. Examples of LVDS, TTL and TMDS are explained in Annex A.



NOTE 1 The image processing board includes A/D converter, scaler and video decoder for image signal from input device such as TV-tuner, PC, DVD, etc.

NOTE 2 R_i , G_i and B_i : i th bit data for n -bit digital video signal of red, green and blue, respectively ($i=0$ to $n-1$).

Figure 1 – Block diagram of an example interface of data signal

5.2 Interface input signal definition

The example of interface signal definition and function is as follows in Table 1.

Table 1 – Example of interface signal function

Symbol	I/O	Function	Description
Rx IN0+ (or RA+)	I	Display data signal: R ₀ , R ₁ , R ₂ , R ₃ , R ₄ , R ₅ , G ₀	LVDS differential data (+)
Rx IN0 - (or RA-)	I		LVDS differential data (-)
Rx IN1+ (or RB+)	I	Display data signal: G ₁ , G ₂ , G ₃ , G ₄ , G ₅ , B ₀ , B ₁	LVDS differential data (+)
Rx IN1 - (or RB-)	I		LVDS differential data (-)
Rx IN2+ (or RC+)	I	Display data signal: B ₂ , B ₃ , B ₄ , B ₅ , HS, VS, DE	LVDS differential data (+)
Rx IN2 - (or RC-)	I		LVDS differential data (-)
Rx IN3+ (or RD+)	I	Display data signal and control signal: R ₆ , R ₇ , G ₆ , G ₇ , B ₆ , B ₇ , RES	LVDS differential data (+)
Rx IN3 - (or RD-)	I		LVDS differential data (-)
Rx IN4+ (or RE+)	I	Display data signal and control signal: B ₈ , B ₉ , G ₈ , G ₉ , R ₈ , R ₉ , RES	LVDS differential data (+)
Rx IN4- (or RE-)	I		LVDS differential data (-)
Rx CLKIN+ (or CLK+)	I	Data clock signal: DCLK	LVDS differential clock (+)
Rx CLKIN- (or CLK-)	I		LVDS differential clock (-)
NOTE This example shows the case of LVDS with 10-bit video signal.			

5.3 Pin assignment

The pin assignments should be given in the form of Table 2.

Table 2 – Example of connector pin assignments

Pin no	Pin name
1	GND
2	GND
3	Rx IN0-
4	Rx IN0+
5	GND
6	GND
7	Rx IN1-
8	Rx IN1+
9	GND
10	GND
11	Rx IN2-
12	Rx IN2+
13	GND
14	GND
15	Rx CLKIN-
16	Rx CLKIN+
17	GND
18	GND
19	Rx IN3-
20	Rx IN3+
21	GND
22	GND
23	GND
24	GND
25	Rx IN4-
26	Rx IN4+
27	GND
28	GND
29	GND
30	GND
31	GND
	

5.4 Input signal timing

Timing of the interface signals of the PDP module shall be fully described. An example is given in A.1.

5.5 Power requirement

Power requirements, and power on sequence when needed, shall be fully described. An example is given in A.1.1.

Annex A
(informative)

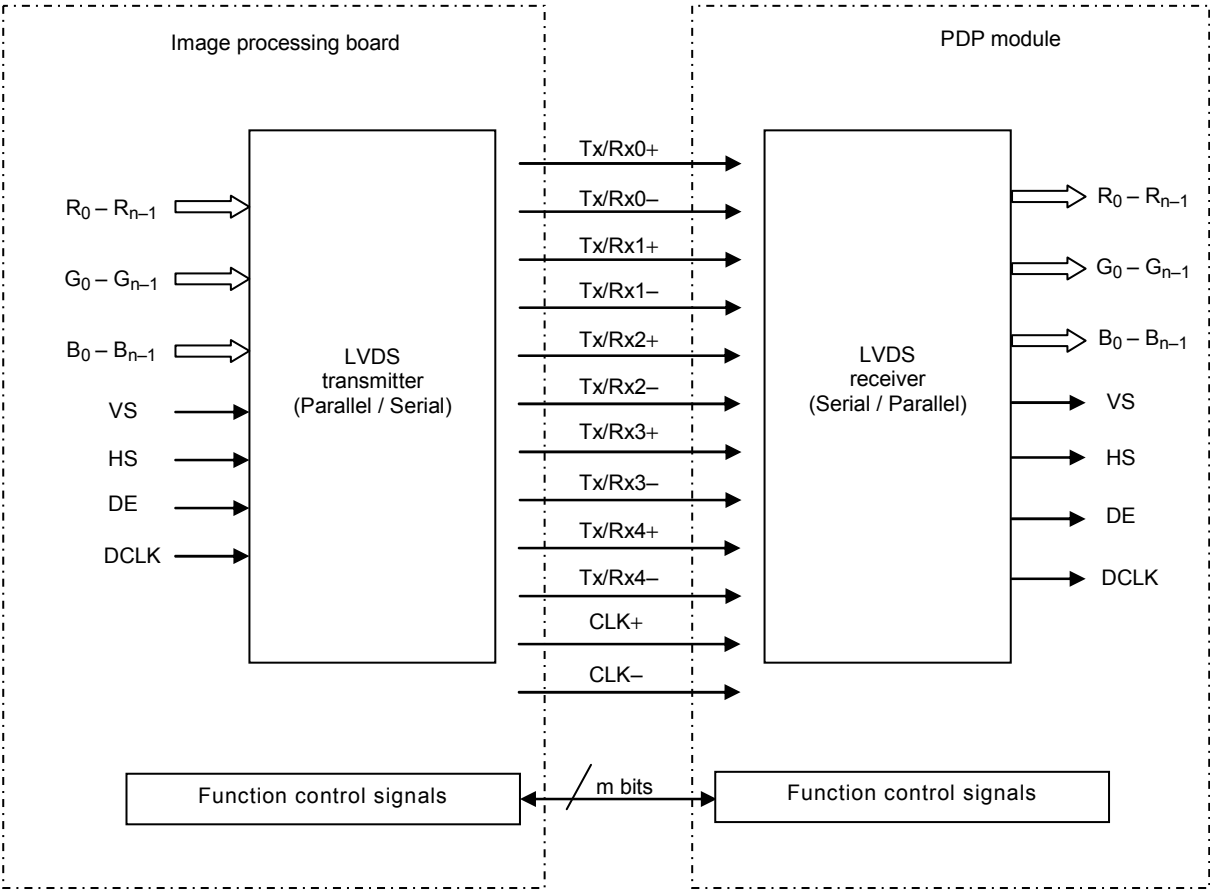
LVDS, TTL and TMDS

A.1 Video

A.1.1 LVDS

A.1.1.1 Basic configuration

Figure A.1 shows an example of interface configuration of LVDS.



IEC 1349/09

Figure A.1 – Interface configuration

A.1.1.2 Interface input signal specification

The input signal (display data signal and control signal) is converted from parallel data to serial data with the LVDS transmitter and further converted into six sets of differential signals before input to the PDP module. The LVDS signal definition and function is as follows in Table A.1.

Table A.1 – Signal definition and function

Symbol	I/O	Function	Description
Rx IN0+ (or RA+)	I	Display data signal: R ₀ , R ₁ , R ₂ , R ₃ , R ₄ , R ₅ , G ₀	LVDS differential data (+)
Rx IN0- (or RA-)	I		LVDS differential data (-)
Rx IN1+ (or RB+)	I	Display data signal: G ₁ , G ₂ , G ₃ , G ₄ , G ₅ , B ₀ , B ₁	LVDS differential data (+)
Rx IN1- (or RB-)	I		LVDS differential data (-)
Rx IN2+ (or RC+)	I	Display data signal: B ₂ , B ₃ , B ₄ , B ₅ , HS, VS, DE	LVDS differential data (+)
Rx IN2- (or RC-)	I		LVDS differential data (-)
Rx IN3+ (or RD+)	I	Display data signal and control signal: R ₆ , R ₇ , G ₆ , G ₇ , B ₆ , B ₇ , RES	LVDS differential data (+)
Rx IN3- (or RD-)	I		LVDS differential data (-)
Rx IN4+ (or RE+)	I	Display data signal and control signal: B ₈ , B ₉ , G ₈ , G ₉ , R ₈ , R ₉ , RES	LVDS differential data (+)
Rx IN4- (or RE-)	I		LVDS differential data (-)
Rx CLKIN+ (or DCLK+)	I	Data clock signal: DCLK	LVDS differential clock (+)
Rx CLKIN- (or DCLK-)	I		LVDS differential clock (-)

A.1.1.3 Pin assignment

The pin names may be given in the form of Table A.2.

Table A.2 – Connector pin assignment

Pin no	Pin name
1	GND
2	GND
3	Rx IN0-
4	Rx IN0+
5	GND
6	GND
7	Rx IN1-
8	Rx IN1+
9	GND
10	GND
11	Rx IN2-
12	Rx IN2+
13	GND
14	GND
15	Rx CLKIN-
16	Rx CLKIN+
17	GND
18	GND
19	Rx IN3-
20	Rx IN3+
21	GND
22	GND
23	GND
24	GND
25	Rx IN4-
26	Rx IN4+
27	GND
28	GND
29	GND
30	GND
31	GND
	

A.1.1.4 Input signal timing chart

Figure A.2 is an example of input signal timing chart.

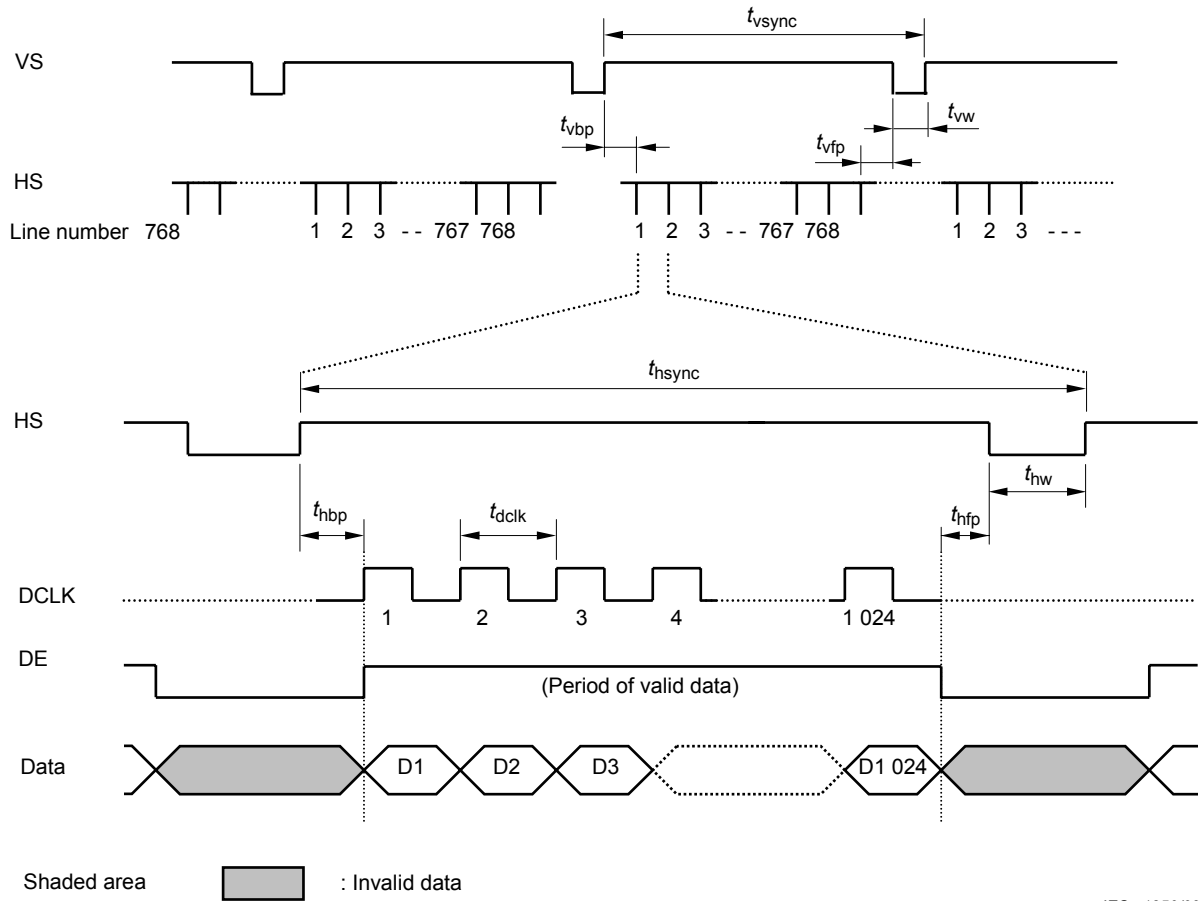


Figure A.2 – Timing chart for resolution 1 024 x 768

A.1.1.5 Input signal timing specification

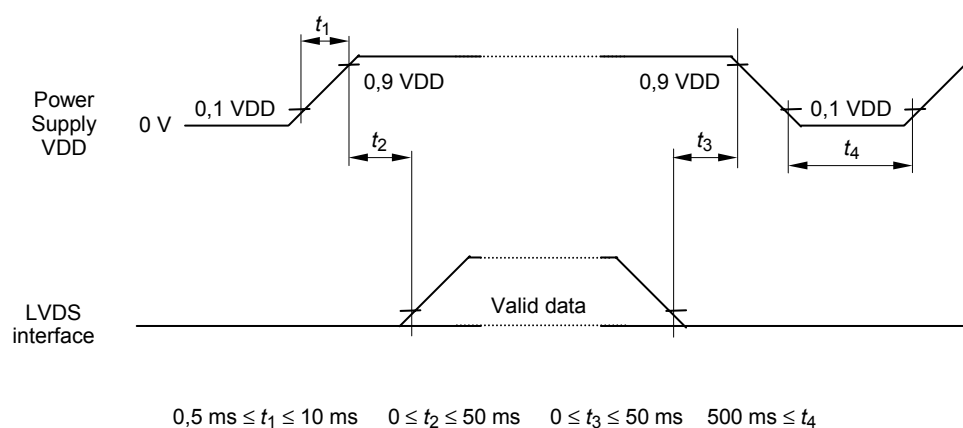
Table A.3 is an example of input signal timing specification.

Table A.3 – Input signal timing specification for resolution 1024 x 768

No	Symbol	Typical value	Unit	Remark
1	t_{vsync}	16,667	ms	60 Hz, 806 lines
2	t_{vw}	0,12	ms	6 lines
3	t_{vbp}	0,60	ms	29 lines
4	t_{vfp}	0,06	ms	3 lines
5	t_{hsync}	20,667	μ s	1 344 dots
6	t_{hw}	2,09	μ s	136 dots
7	t_{hbp}	2,46	μ s	160 dots
8	t_{hfp}	0,36	μ s	24 dots
9	t_{dclk}	15,385	ns	64,999 MHz

A.1.1.6 Power sequencing requirements

The LVDS interface requires the logic power and data/control signal sequencing and the data enable timing of Figure A.3 and Figure A.4.



IEC 1351/09

Figure A.3 – Logic power and LVDS signals sequencing diagram

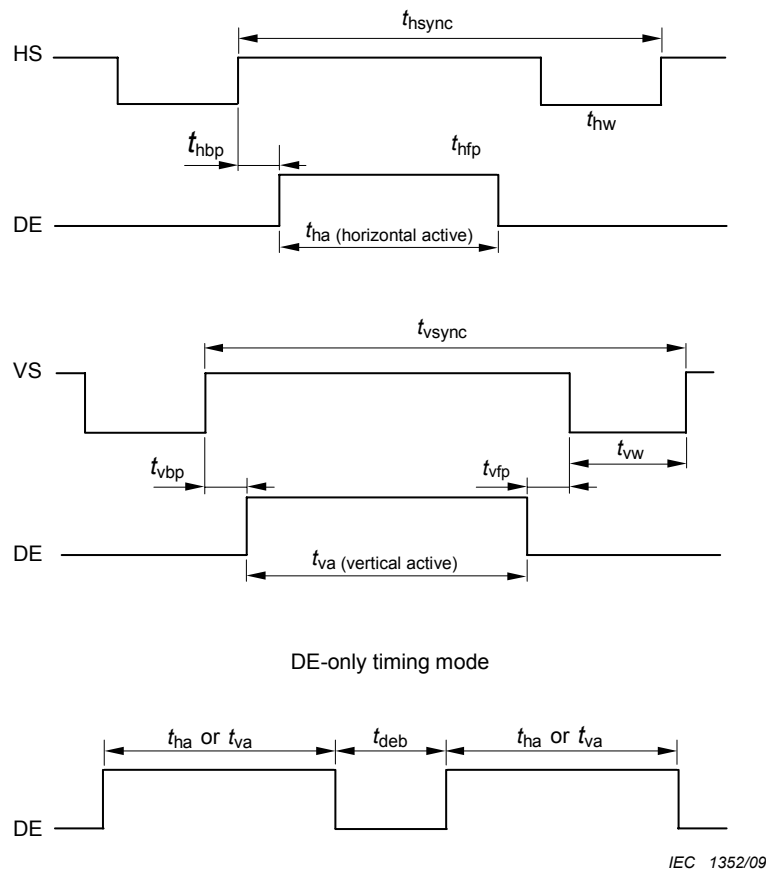


Figure A.4 – Data enable timing parameters

A.1.2 TTL

A.1.2.1 Basic configuration

Figure A.5 shows an example of interface configuration of TTL.

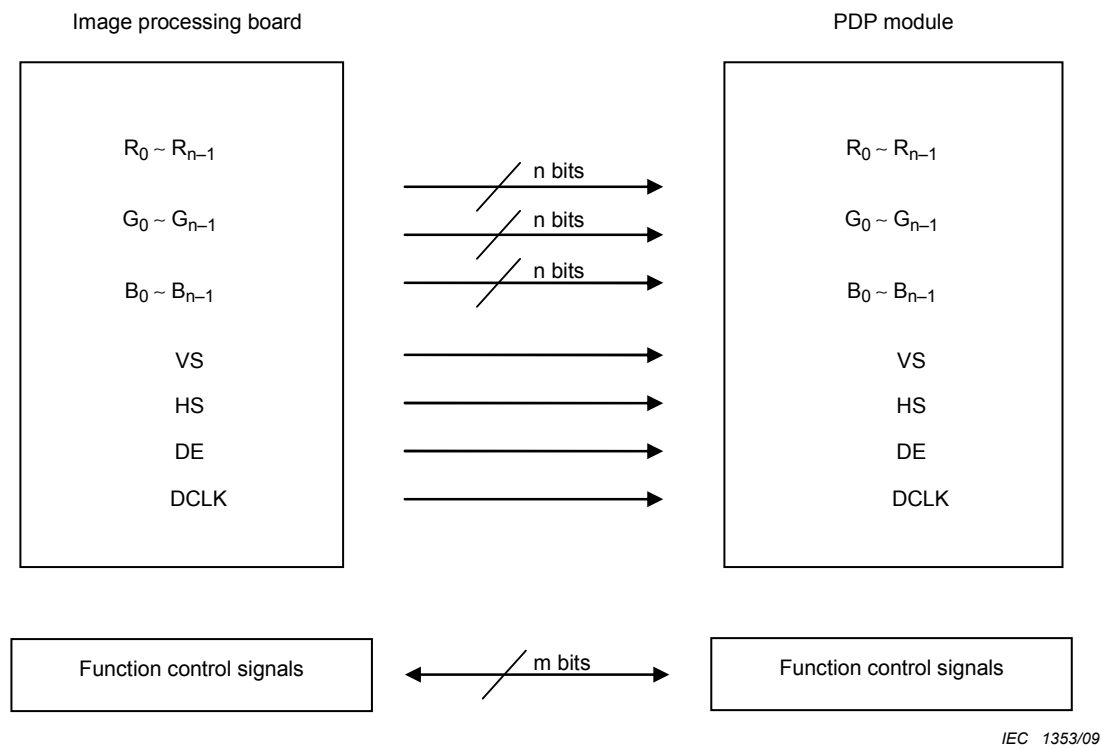


Figure A.5 – Interface configuration

A.1.2.2 Interface input signal specification

Table A.4 is an example of input signal specification.

Table A.4 – Input signal specifications

Symbol	Function	Remarks
$R_0 \sim R_{n-1}$	n bits red video signal	Display data signal: R_{n-1} : MSB*, R_0 : LSB**
$G_0 \sim G_{n-1}$	n bits green video signal	Display data signal: G_{n-1} : MSB*, G_0 : LSB**
$B_0 \sim B_{n-1}$	n bits blue video signal	Display data signal: B_{n-1} : MSB*, B_0 : LSB**
HS	Horizontal synchronous signal	This signal specifies the data period for one horizontal line. Control of the next line begins at the rising edge of HS
VS	Vertical synchronous signal	Timing signal that controls the start of the screen. Control of the next screen begins at the rising edge of VS
DE	Data enable	When DE signal is high, data is valid When DE signal is low, data is invalid
DCLK	Clock for video signal	Latch the video signal at falling edge
* MSB: Most significant bit (the highest intensity bit) ** LSB: Least significant bit (the lowest intensity bit)		

A.1.2.3 Pin assignment

Table A.5 shows an example of the pin assignments of TTL.

Table A.5 – Connector pin assignments

Pin no.	Pin name	Pin no.	Pin name	Pin no.	Pin name
1	GND	24	B2	47	GND
2	NC	25	GND	48	G5
3	GND	26	B3	49	GND
4	NC	27	GND	50	G6
5	GND	28	B4	51	GND
6	NC	29	GND	52	G7
7	GND	30	B5	53	GND
8	NC	31	GND	54	R0
9	GND	32	B6	55	GND
10	NC	33	GND	56	R1
11	GND	34	B7	57	GND
12	DCLK	35	GND	58	R2
13	GND	36	NC	59	GND
14	DE	37	GND	60	R3
15	CTRL1	38	G0	61	GND
16	DHS	39	GND	62	R4
17	CTRL2	40	G1	63	GND
18	DVS	41	GND	64	R5
19	RESET	42	G2	65	GND
20	B0	43	GND	66	R6
21	GND	44	G3	67	GND
22	B1	45	GND	68	R7
23	GND	46	G4		

A.1.2.4 Input signal timing chart

Description of input signal timing chart is basically same as that of LVDS. (See Figure A.2.)

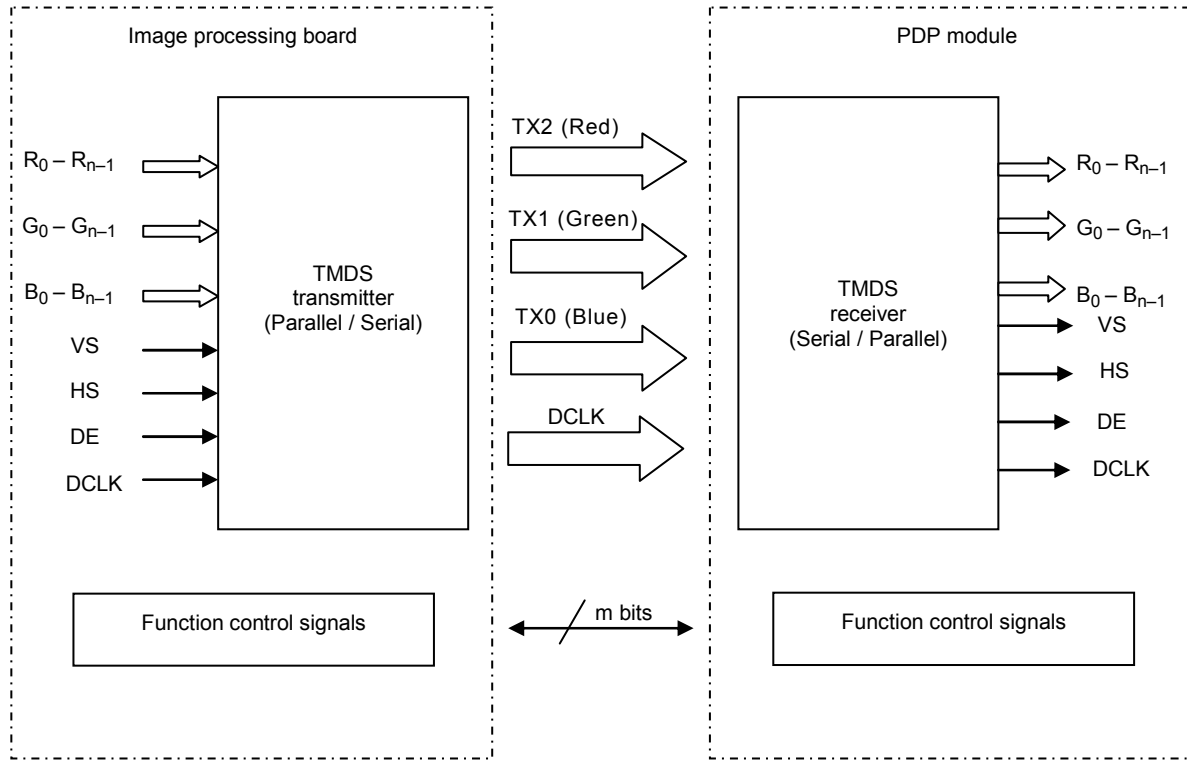
A.1.2.5 Input signal timing specification

Description of input signal timing specification is basically same as that of LVDS. (See Table A.3.)

A.1.3 TMDS

A.1.3.1 Basic configuration

Figure A.6 shows an example of interface configuration of TMDS.



IEC 1354/09

Figure A.6 – Interface configuration

A.1.3.2 Interface input signal specification

Table A.6 is an example of input signal specification.

Table A.6 – Input signal specifications

Symbol	I/O	Function	Description
TX0+	I	Display data signal: B ₀ , B ₁ , B ₂ , B ₃ , B ₄ , B ₅ , B ₆ , B ₇ , HS, VS	TMDS differential data (+)
TX0-	I		TMDS differential data (-)
TX1+	I	Display data signal: G ₀ , G ₁ , G ₂ , G ₃ , G ₄ , G ₅ , G ₆ , G ₇ , PLL SYNC	TMDS differential data (+)
TX1-	I		TMDS differential data (-)
TX2+	I	Display data signal: R ₀ , R ₁ , R ₂ , R ₃ , R ₄ , R ₅ , R ₆ , R ₇	TMDS differential data (+)
TX2-	I		TMDS differential data (-)
TXC+	I	Data clock signal: DCLK	TMDS differential clock (+)
TXC-	I		TMDS differential clock (-)

A.1.3.3 Pin assignment

Table A.7 shows an example of the pin assignments of TMDS.

Table A.7 – Example of pin assignment of connector

Pin no	Pin name
1	TX1 +
2	TX1 -
3	TX1 SIELD
4	TXC SIELD
5	TXC +
6	TXC -
7	GND
8	+5VDC
9	RES
10	RES
11	TX2 +
12	TX2 -
13	TX2 SIELD
14	TX0 SIELD
15	TX0 +
16	TX0 -
17	RES
18	SENS
19	DDC/SDA
20	DDC/SCL

NOTE SDA is the abbreviation for 'Serial data', and SCL for 'Serial clock'.

A.1.3.4 Input signal timing chart

Description of input signal timing chart is basically same as that of LVDS. (See Figure A.2.)

A.1.3.5 Input signal timing specification

Description of input signal timing specification is basically same as that of LVDS. (See Table A.3.)

A.2 Function control signal

Function control signal is the additional signal, except digital video signal, to control the functions such as APC, SDA and SCL.

A.3 Electrical characteristics

A.3.1 Limiting values (Absolute maximum rating system)

Limiting values (Absolute maximum rating system) are those values beyond which the safety of the device cannot be guaranteed.

Table A.8 shows an example of Limiting values (Absolute maximum rating system).

Table A.8 –Limiting values (Absolute maximum rating system)

Subclause	Limiting values	Symbol	Value		Unit
			Min.	Max.	
A.1.1	Supply voltage range of LVDS	V_{CC}	–0,3	4	V
A.1.2	Supply voltage range of TTL	V_{CC}	–0,5	7	V
A.1.3	Supply voltage range of TMDS	V_{CC}	–0,3	4	V

A.3.2 Signal voltage and current

Table A.9 shows an example of the electrical characteristics of LVDS, TMDS and TTL.

Table A.9 – Electrical characteristics

Signal	Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
LVDS Receiver	Common mode Voltage	V_{OC}	$V_{CC} = 3,3 \text{ V}$	1,125	1,25	1,375	mV
	Differential input high Threshold	V_{TH}	$V_{OC} = +1,2 \text{ V}$ $V_{CC} = 3,3 \text{ V}$			100	mV
	Differential input low Threshold	V_{TL}	$V_{OC} = +1,2 \text{ V}$ $V_{CC} = 3,3 \text{ V}$	–100			mV
	Input Current	I_{IN}	$V_{IN} = +2,4 \text{ V} / 0 \text{ V}$ $V_{CC} = 3,6 \text{ V}$			± 10	μA
TMDS Receiver	Differential input Voltage	V_{idiff}	$V_{CC} = 3,3 \text{ V}$	150		1200	mV
	Input common Mode Voltage	V_{icm}	$V_{CC} = 3,3 \text{ V}$	$V_{CC} - 300$		$V_{CC} - 37$	mV
	Open circuit Input Voltage	$V_{I(OC)}$	$V_{CC} = 3,3 \text{ V}$	$V_{CC} - 10$		$V_{CC} - 10$	mV
TTL	High-level input Voltage	V_{IH}	$V_{CC} = 5 \text{ V}$	2			V
	Low-level input Voltage	V_{IL}	$V_{CC} = 5 \text{ V}$			0,8	V
	Input clamp Current	I_{IK}	$V_{CC} = 5 \text{ V}$			–18	mA
	High-level input Current	I_{IH}	$V_{CC} = 5,5 \text{ V}$ $V_{IN} = 2,7 \text{ V}$			20	μA
	Low-level input Current	I_{IL}	$V_{CC} = 5,5 \text{ V}$ $V_{IN} = 0,5 \text{ V}$			–0,6	mA
NOTE Common condition: $T_a = 25 \text{ }^\circ\text{C}$.							

Bibliography

IEC 60068-1, *Environmental testing – Part 1: General and guidance*

IEC 60107-1, *Methods of measurement on receivers for television broadcast transmissions – Part 1: General considerations – Measurements at radio and video frequencies*

SOMMAIRE

AVANT-PROPOS	27
1 Domaine d'application	29
2 Références normatives	29
3 Termes, définitions et abréviations	29
3.1 Termes et définitions	29
3.2 Abréviations	29
4 Exigences d'interface électrique	30
5 Interface électrique du signal numérique	30
5.1 Configuration de base	30
5.2 Définition des signaux d'entrée d'interface	31
5.3 Affectation des broches	33
5.4 Séquencement des signaux d'entrée	34
5.5 Exigences d'alimentation	34
Annexe A (informative) LVDS, TTL et TMDS	35
Bibliographie	48
Figure 1 – Schéma fonctionnel d'un exemple d'interface de signaux de données	31
Figure A.1 – Configuration d'interface	35
Figure A.2 – Chronogramme pour la résolution 1024 × 768	38
Figure A.3 – Diagramme de séquencement logique des signaux de puissance et LVDS	39
Figure A.4 – Paramètres de séquencement de validation des données	40
Figure A.5 – Configuration d'interface	41
Figure A.6 – Configuration d'interface	44
Tableau 1 – Exemple de fonction des signaux d'interface	32
Tableau 2 – Exemple d'affectation des broches de connecteurs	33
Tableau A.1 – Définition et fonction des signaux	36
Tableau A.2 – Affectation des broches de connecteurs	37
Tableau A.3 – Spécification du séquencement des signaux d'entrée pour la résolution 1024 × 768	39
Tableau A.4 – Spécifications des signaux d'entrée	42
Tableau A.5 – Affectation des broches de connecteurs	43
Tableau A.6 – Spécifications des signaux d'entrée	45
Tableau A.7 – Exemple d'affectation des broches de connecteurs	45
Tableau A.8 – Valeurs limites (Système pour caractéristiques assignées maximales absolues)	46
Tableau A.9 – Caractéristiques électriques	47

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

PANNEAUX D’AFFICHAGE À PLASMA –**Partie 3-2: Interface –
Interface électrique****AVANT-PROPOS**

- 1) La Commission Électrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI n'a prévu aucune procédure de marquage valant indication d'approbation et n'engage pas sa responsabilité pour les équipements déclarés conformes à une de ses Publications.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 61988-3-2 a été établie par le comité d'études 110 de la CEI: Dispositifs d'affichage à panneaux plats.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
110/181/FDIS	110/190/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Une liste de toutes les parties de la série CEI 61988, présentées sous le titre général *Panneaux d'affichage à plasma*, peut être consultée sur le site web de la CEI.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de maintenance indiquée sur le site web de la CEI sous «<http://webstore.iec.ch>» dans les données relatives à la publication recherchée. À cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

PANNEAUX D’AFFICHAGE À PLASMA –

Partie 3-2: Interface – Interface électrique

1 Domaine d'application

La présente partie de la CEI 61988 définit l'interface électrique des signaux de données vidéo numériques, des signaux de synchronisation et des signaux fonctionnels entre la carte de traitement d'image de l'ensemble PDP (*plasma display panel*) et la carte de commande du module PDP, et elle définit l'affectation des broches des connecteurs.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 61988-1, *Panneaux d'affichage à plasma – Partie 1: Terminologie et symboles littéraux*

CEI 61988-2-1, *Panneaux d'affichage à plasma – Partie 2-1: Méthodes de mesure – Optiques*

CEI 61988-2-2, *Panneaux d'affichage à plasma – Partie 2-2: Méthodes de mesure – Méthodes opto-électriques*

TIA/EIA-644A, *Electrical characteristics of low voltage differential signaling (LVDS) interface circuits*

JEIDA-59-1999, *Digital interface standards for monitor* (disponible en anglais seulement)

3 Termes, définitions et abréviations

3.1 Termes et définitions

Pour les besoins du présent document, les termes et définitions donnés dans la CEI 61988-1, la CEI 60068-1 et la CEI 60107-1, ainsi que les suivants s'appliquent.

3.1.1

carte de traitement d'image

carte de circuit comprenant un convertisseur A/N, un processeur et un décodeur vidéo, un désentrelacement pour le signal d'image provenant d'un dispositif d'entrée, par exemple un syntoniseur TV, un ordinateur, un DVD, etc.

3.2 Abréviations

NOTE Les éléments suivants sont des acronymes à titre de référence.

TTL	Transistor-transistor logic
LVDS	Signal différentiel basse tension (<i>Low voltage differential signaling</i>)
TMDS	Signal différentiel à transition réduite (<i>Transition minimized differential signaling</i>)

HS	Synchronisation horizontale (<i>Horizontal synchronization</i>)
VS	Synchronisation verticale (<i>Vertical synchronization</i>)
DE	Validation des données (<i>Data enable</i>)
DCLK	Horloge de données (<i>Data clock</i>)
APC	Gestion automatique de puissance (<i>Auto power control</i>)

4 Exigences d'interface électrique

L'interface électrique d'un module PDP est une séquence d'alimentation et une interface numérique du module PDP.

La séquence d'alimentation d'un module PDP est la séquence de marche et d'arrêt de toutes les alimentations à l'intérieur du module PDP et vers ce dernier. La séquence de marche et d'arrêt de l'alimentation du module PDP doit être entièrement décrite dans chaque spécification applicable.

L'interface du signal numérique est soit une interface LVDS, TTL ou TMDS, dont le signal code les signaux de données vidéo numériques et les signaux de commande de fonction.

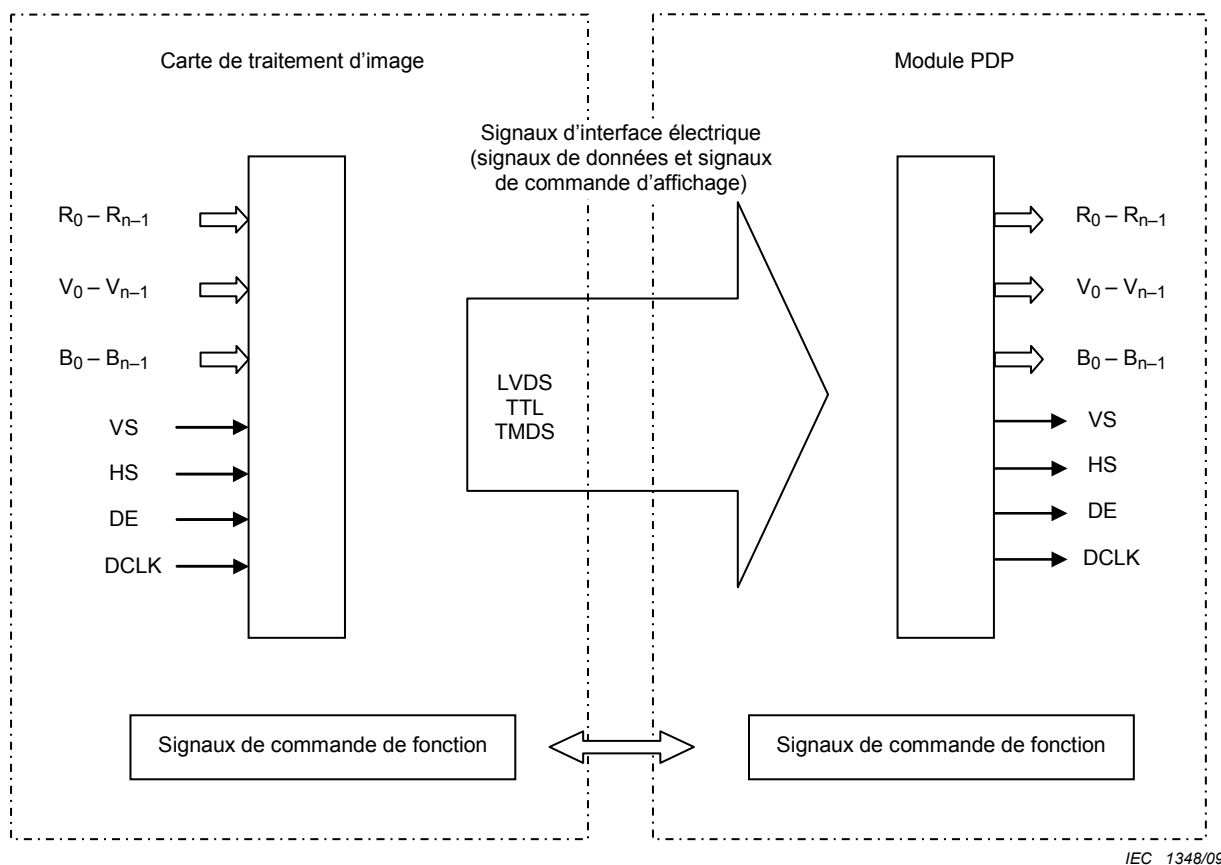
A part le signal vidéo numérique, il y a des signaux de commande supplémentaires, pour commander des fonctions telles que la gestion automatique de puissance (APC), qui doivent être entièrement décrits dans chaque spécification particulière.

Les exigences de configuration de l'interface, de définition des signaux d'entrée, d'affectation des broches, de séquençement des signaux d'entrée et d'alimentation, doivent être décrites dans chaque spécification particulière.

5 Interface électrique du signal numérique

5.1 Configuration de base

La configuration de base de l'interface électrique du signal numérique est présentée sur la Figure 1 comme un des exemples. Les exemples de LVDS, TTL et TMDS sont expliqués à l'Annexe A.



NOTE 1 La carte de traitement d'image comprend un convertisseur A/N, un processeur et un décodeur vidéo pour le signal d'image venant d'un dispositif d'entrée, par exemple un syntoniseur TV, un ordinateur, un DVD, etc.

NOTE 2 R_i , V_i et B_i : $i^{\text{ème}}$ donnée binaire pour le signal vidéo numérique sur n bits du rouge, du vert et du bleu, respectivement ($i=0$ à $n-1$).

Figure 1 – Schéma fonctionnel d'un exemple d'interface de signaux de données

5.2 Définition des signaux d'entrée d'interface

L'exemple de définition et de fonction des signaux d'interface est présenté dans le Tableau 1 ci-dessous.

Tableau 1 – Exemple de fonction des signaux d'interface

Symbole	E/S	Fonction	Description
Rx IN0+ (ou RA+)	E	Signaux de données d'affichage: $R_0, R_1, R_2, R_3, R_4, R_5, V_0$	Données différentielles de LVDS (+)
Rx IN0- (ou RA-)	E		Données différentielles de LVDS (-)
Rx IN1+ (ou RB+)	E	Signaux de données d'affichage: $V_1, V_2, V_3, V_4, V_5, B_0, B_1$	Données différentielles de LVDS (+)
Rx IN1- (ou RB-)	E		Données différentielles de LVDS (-)
Rx IN2+ (ou RC+)	E	Signaux de données d'affichage: $B_2, B_3, B_4, B_5, HS,$ VS, DE	Données différentielles de LVDS (+)
Rx IN2- (ou RC-)	E		Données différentielles de LVDS (-)
Rx IN3+ (ou RD+)	E	Signaux de données et signaux de commande d'affichage: $R_6, R_7, V_6, V_7, B_6, B_7, RES$	Données différentielles de LVDS (+)
Rx IN3- (ou RD-)	E		Données différentielles de LVDS (-)
Rx IN4+ (ou RE+)	E	Signaux de données et signaux de commande d'affichage: $B_8, B_9, V_8, V_9, R_8, R_9, RES$	Données différentielles de LVDS (+)
Rx IN4- (ou RE-)	E		Données différentielles de LVDS (-)
Rx CLKIN+ (ou CLK+)	E	Signal d'horloge de données: DCLK	Horloge différentielle de LVDS (+)
Rx CLKIN- (ou CLK-)	E		Horloge différentielle de LVDS (-)
NOTE Cet exemple présente le cas d'une LVDS avec un signal vidéo sur 10 bits.			

5.3 Affectation des broches

Il convient que l'affectation des broches soit donnée sous la forme du Tableau 2.

Tableau 2 – Exemple d'affectation des broches de connecteurs

Broche n°	Nom de broche
1	GND
2	GND
3	Rx IN0–
4	Rx IN0+
5	GND
6	GND
7	Rx IN1–
8	Rx IN1+
9	GND
10	GND
11	Rx IN2–
12	Rx IN2+
13	GND
14	GND
15	Rx CLKIN–
16	Rx CLKIN+
17	GND
18	GND
19	Rx IN3–
20	Rx IN3+
21	GND
22	GND
23	GND
24	GND
25	RX IN4–
26	RX IN4+
27	GND
28	GND
29	GND
30	GND
31	GND
	
	
	
	

5.4 Séquencement des signaux d'entrée

Le séquencement des signaux d'interface du module PDP doit être entièrement décrit. Un exemple est donné en A.1.

5.5 Exigences d'alimentation

Les exigences d'alimentation, et la séquence de marche de l'alimentation si nécessaire, doivent être entièrement décrites. Un exemple est donné en A.1.1.

Annexe A (informative)

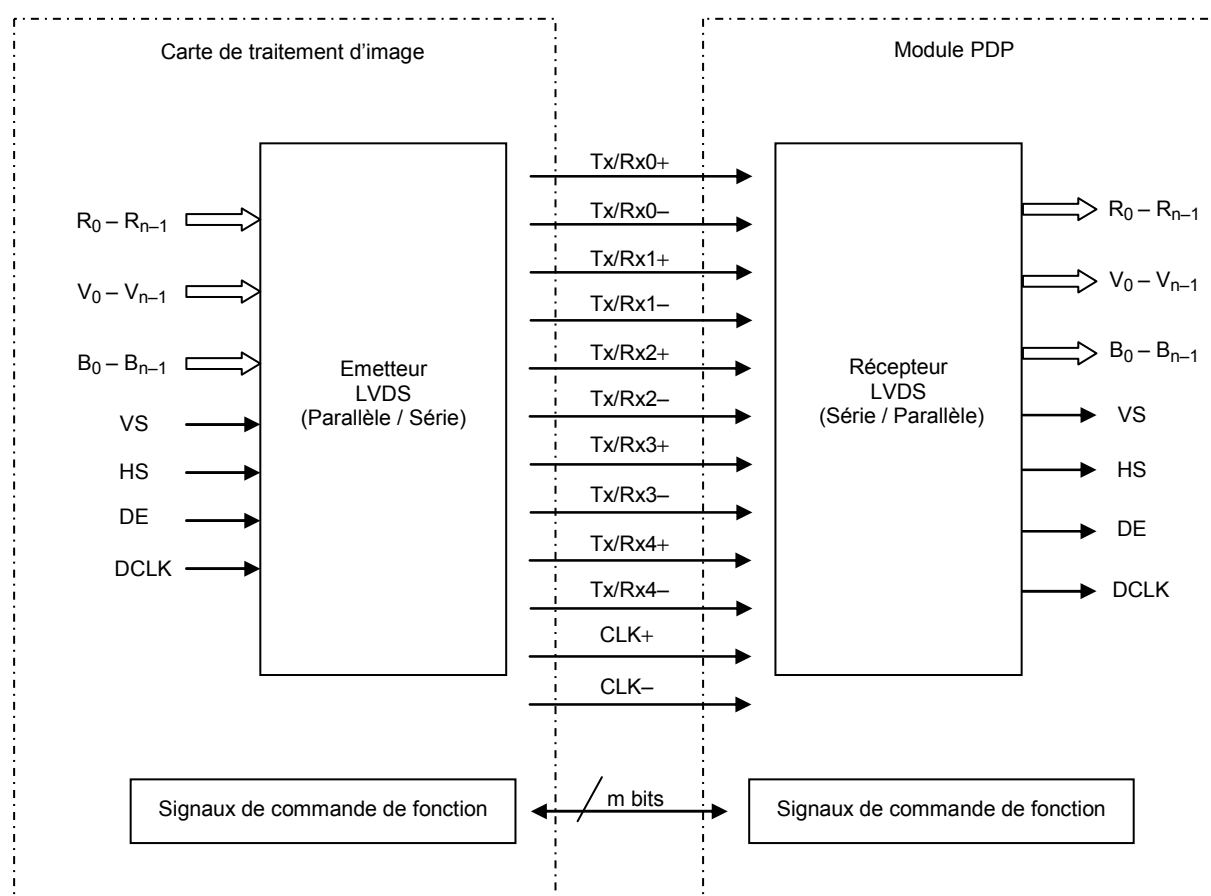
LVDS, TTL et TMDS

A.1 Vidéo

A.1.1 LVDS

A.1.1.1 Configuration de base

La Figure A.1 illustre un exemple de configuration d'interface de LVDS.



IEC 1349/09

Figure A.1 – Configuration d'interface

A.1.1.2 Spécification du signal d'entrée d'interface

Le signal d'entrée (signaux de données et signaux de commande d'affichage) est converti de données parallèles en données série avec l'émetteur LVDS, puis converti en six ensembles de signaux différentiels avant l'entrée dans le module PDP. La définition et la fonction des signaux LVDS sont présentées dans le Tableau A.1 ci-dessous.

Tableau A.1 – Définition et fonction des signaux

Symbole	E/S	Fonction	Description
Rx IN0+ (ou RA+)	E	Signaux de données d'affichage: R ₀ , R ₁ , R ₂ , R ₃ , R ₄ , R ₅ , V ₀	Données différentielles de LVDS (+)
Rx IN0- (ou RA-)	E		Données différentielles de LVDS (-)
Rx IN1+ (ou RB+)	E	Signaux de données d'affichage: V ₁ , V ₂ , V ₃ , V ₄ , V ₅ , B ₀ , B ₁	Données différentielles de LVDS (+)
Rx IN1- (ou RB-)	E		Données différentielles de LVDS (-)
Rx IN2+ (ou RC+)	E	Signaux de données d'affichage: B ₂ , B ₃ , B ₄ , B ₅ , HS, VS, DE	Données différentielles de LVDS (+)
Rx IN2- (ou RC-)	E		Données différentielles de LVDS (-)
Rx IN3+ (ou RD+)	E	Signaux de données et Signaux de commande d'affichage: R ₆ , R ₇ , V ₆ , V ₇ , B ₆ , B ₇ , RES	Données différentielles de LVDS (+)
Rx IN3- (ou RD-)	E		Données différentielles de LVDS (-)
Rx IN4+ (ou RE+)	E	Signaux de données et Signaux de commande d'affichage: B ₈ , B ₉ , V ₈ , V ₉ , R ₈ , R ₉ , RES	Données différentielles de LVDS (+)
Rx IN4- (ou RE-)	E		Données différentielles de LVDS (-)
Rx CLKIN+ (ou DCLK+)	E	Signal d'horloge de données: DCLK	Horloge différentielle de LVDS (+)
Rx CLKIN- (ou DCLK-)	E		Horloge différentielle de LVDS (-)

A.1.1.3 Affectation des broches

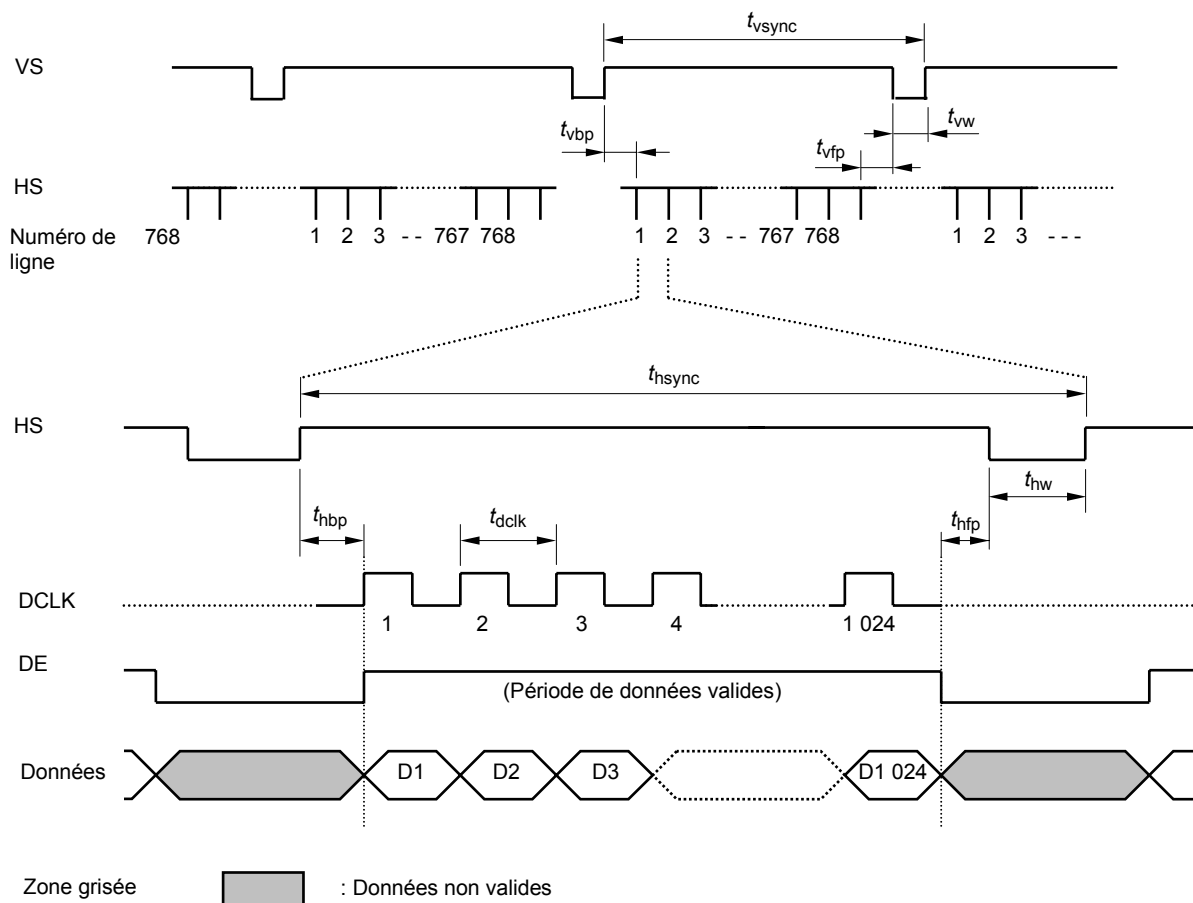
Les noms de broches peuvent être donnés sous la forme du Tableau A.2.

Tableau A.2 – Affectation des broches de connecteurs

Broche n°	Nom de broche
1	GND
2	GND
3	Rx IN0-
4	Rx IN0+
5	GND
6	GND
7	Rx IN1-
8	Rx IN1+
9	GND
10	GND
11	Rx IN2-
12	Rx IN2+
13	GND
14	GND
15	Rx CLKIN-
16	Rx CLKIN+
17	GND
18	GND
19	Rx IN3-
20	Rx IN3+
21	GND
22	GND
23	GND
24	GND
25	RX IN4-
26	RX IN4+
27	GND
28	GND
29	GND
30	GND
31	GND

A.1.1.4 Chronogramme des signaux d'entrée

La Figure A.2 est un exemple de chronogramme des signaux d'entrée.



IEC 1350/09

Figure A.2 – Chronogramme pour la résolution 1 024 × 768

A.1.1.5 Spécification du séquençement des signaux d'entrée

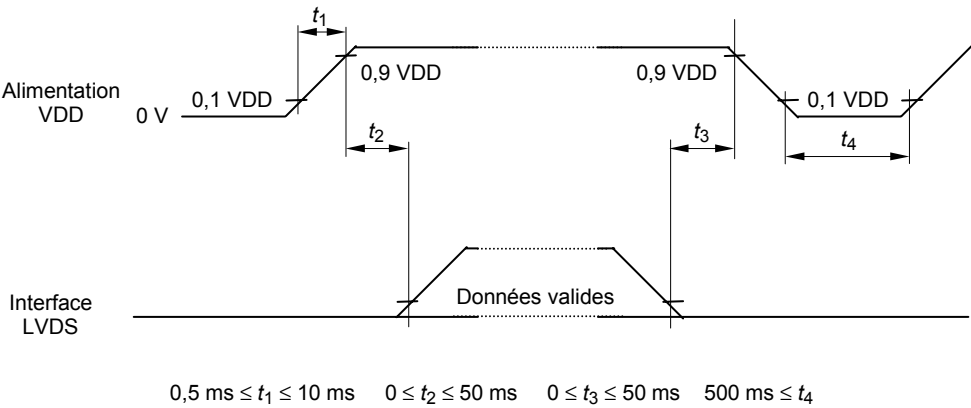
Le Tableau A.3 est un exemple de spécification du séquençement des signaux d'entrée.

Tableau A.3 – Spécification du séquençement des signaux d'entrée pour la résolution 1024 × 768

N°	Symbole	Valeur typique	Unité	Remarque
1	t_{vsync}	16,667	ms	60 Hz, 806 lignes
2	t_{vw}	0,12	ms	6 lignes
3	t_{vbp}	0,60	ms	29 lignes
4	t_{vfp}	0,06	ms	3 lignes
5	t_{hsync}	20,667	μs	1 344 points
6	t_{hw}	2,09	μs	136 points
7	t_{hbp}	2,46	μs	160 points
8	t_{hfp}	0,36	μs	24 points
9	t_{dclk}	15,385	ns	64,999 MHz

A.1.1.6 Exigences pour la séquence d'alimentation

L'interface LVDS exige le séquençement logique des signaux de puissance et de données/commande et le séquençement de validation des données de la Figure A.3 et de la Figure A.4.



IEC 1351/09

Figure A.3 – Diagramme de séquençement logique des signaux de puissance et LVDS

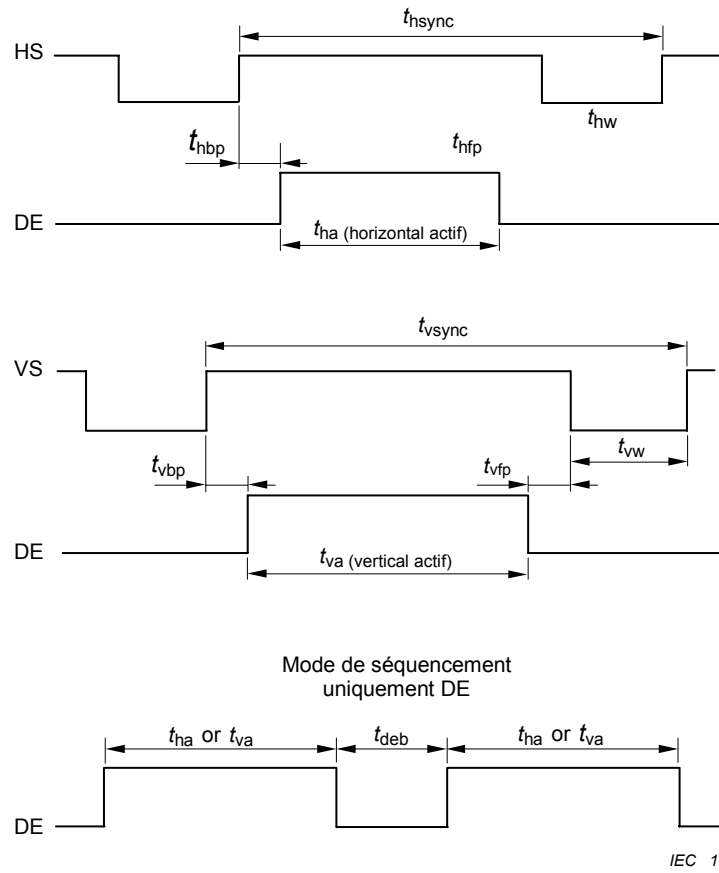


Figure A.4 – Paramètres de séquençage de validation des données

A.1.2 TTL

A.1.2.1 Configuration de base

La Figure A.5 illustre un exemple de configuration d'interface de TTL.

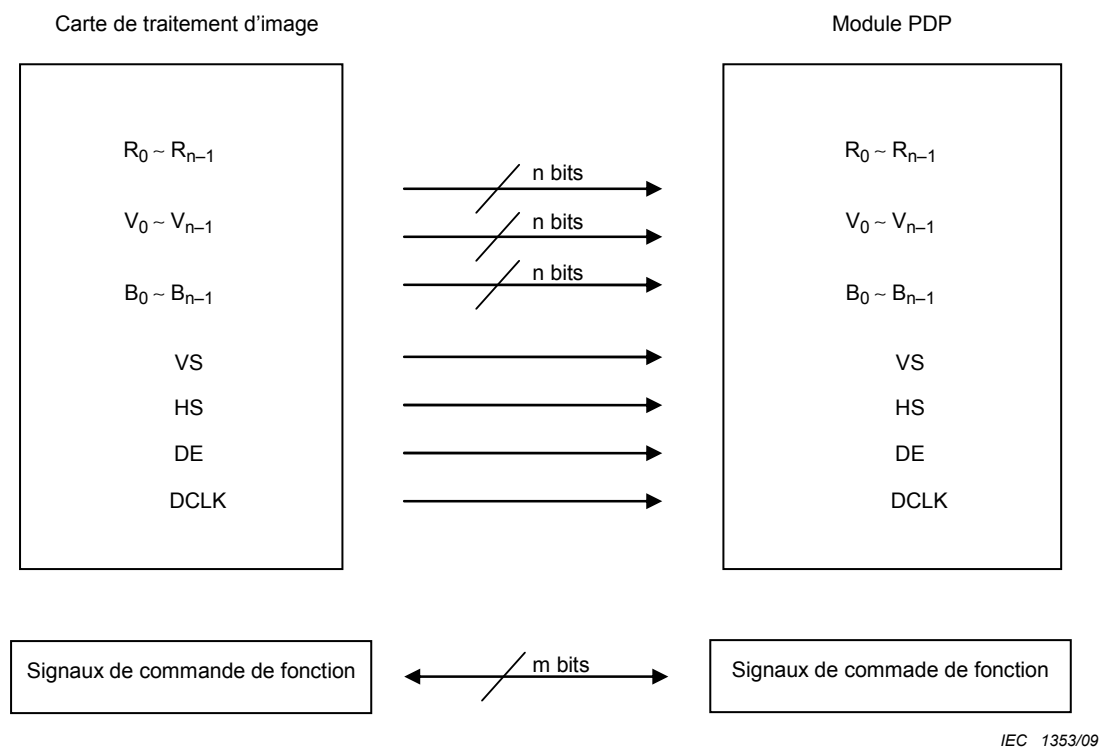


Figure A.5 – Configuration d'interface

A.1.2.2 Spécification du signal d'entrée d'interface

Le Tableau A.4 est un exemple de spécification des signaux d'entrée.

Tableau A.4 – Spécifications des signaux d'entrée

Symbole	Fonction	Remarques
$R_0 \sim R_{n-1}$	Signal vidéo rouge sur n bits	Signal de données d'affichage: R_{n-1} : MSB*, R_0 : LSB**
$V_0 \sim V_{n-1}$	Signal vidéo vert sur n bits	Signal de données d'affichage: V_{n-1} : MSB*, V_0 : LSB**
$B_0 \sim B_{n-1}$	Signal vidéo bleu sur n bits	Signal de données d'affichage: B_{n-1} : MSB*, B_0 : LSB**
HS	Signal de synchronisation horizontale	Ce signal spécifie la période de données pour une ligne horizontale. Le contrôle de la ligne suivante débute au front montant de HS
VS	Signal de synchronisation verticale	Signal de séquençage qui contrôle le démarrage de l'écran. Le contrôle de l'écran suivant débute au front montant de VS
DE	Validation des données	Lorsque le signal DE est élevé, les données sont valides Lorsque le signal DE est faible, les données sont invalides
DCLK	Horloge pour le signal vidéo	Mémoriser le signal vidéo au front descendant
* MSB: Bit de poids fort (<i>Most significant bit</i>) (bit d'intensité la plus élevée) ** LSB: Bit de poids faible (<i>Least significant bit</i>) (bit d'intensité la plus faible)		

A.1.2.3 Affectation des broches

Le Tableau A.5 illustre un exemple d'affectation des broches de TTL.

Tableau A.5 – Affectation des broches de connecteurs

Broche n°	Nom de broche	Broche n°	Nom de broche	Broche n°	Nom de broche
1	GND	24	B2	47	GND
2	NC	25	GND	48	V5
3	GND	26	B3	49	GND
4	NC	27	GND	50	V6
5	GND	28	B4	51	GND
6	NC	29	GND	52	V7
7	GND	30	B5	53	GND
8	NC	31	GND	54	R0
9	GND	32	B6	55	GND
10	NC	33	GND	56	R1
11	GND	34	B7	57	GND
12	DCLK	35	GND	58	R2
13	GND	36	NC	59	GND
14	DE	37	GND	60	R3
15	CTRL1	38	V0	61	GND
16	DHS	39	GND	62	R4
17	CTRL2	40	V1	63	GND
18	DVS	41	GND	64	R5
19	RESET	42	V2	65	GND
20	B0	43	GND	66	R6
21	GND	44	V3	67	GND
22	B1	45	GND	68	R7
23	GND	46	V4		

A.1.2.4 Chronogramme des signaux d'entrée

La description du chronogramme des signaux d'entrée est fondamentalement la même que celle de la LVDS. (Voir la Figure A.2).

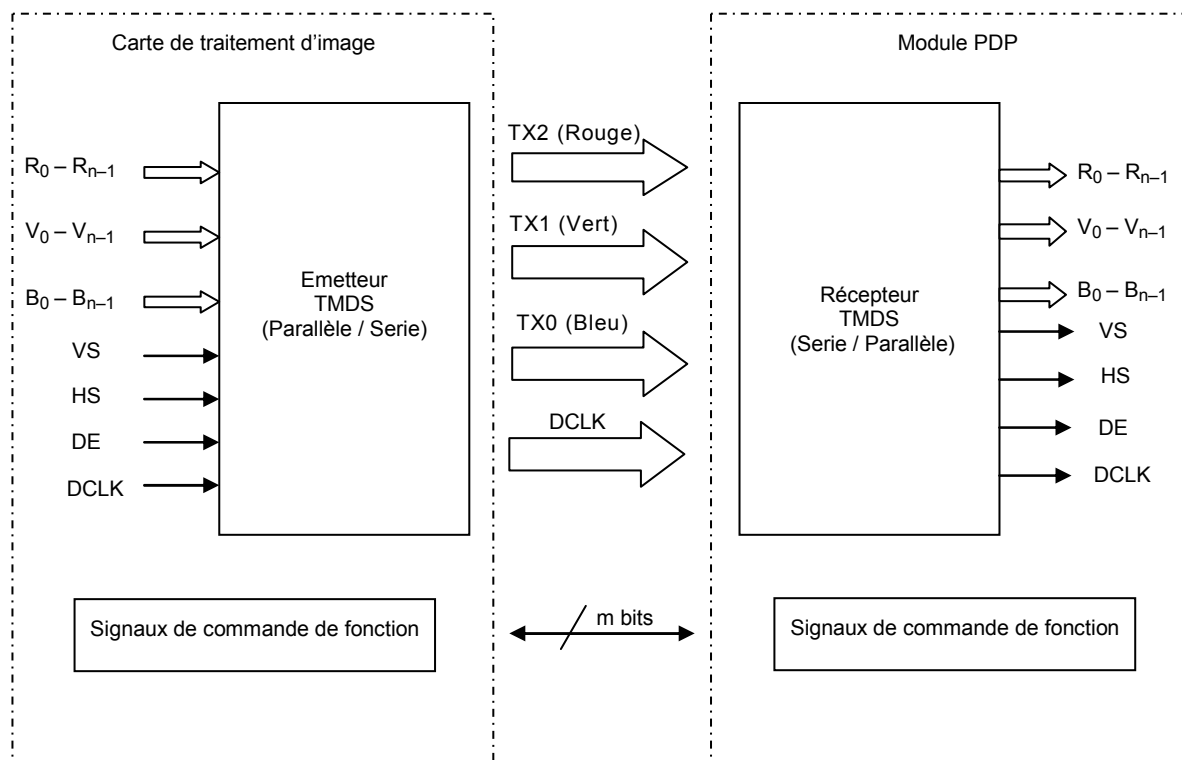
A.1.2.5 Spécification du séquençage des signaux d'entrée

La description de la spécification du séquençage des signaux d'entrée est fondamentalement la même que celle de la LVDS. (Voir le Tableau A.3).

A.1.3 TMDS

A.1.3.1 Configuration de base

La Figure A.6 illustre un exemple de configuration d'interface de TMDS.



IEC 1354/09

Figure A.6 – Configuration d'interface

A.1.3.2 Spécification du signal d'entrée d'interface

Le Tableau A.6 est un exemple de spécification des signaux d'entrée.

Tableau A.6 – Spécifications des signaux d'entrée

Symbole	E/S	Fonction	Description
TX0 +	E	Signaux de données d'affichage: B ₀ , B ₁ , B ₂ , B ₃ , B ₄ , B ₅ , B ₆ , B ₇ , HS, VS	Données différentielles de TMDS (+)
TX0 -	E		Données différentielles de TMDS (-)
TX1 +	E	Signaux de données d'affichage: V ₀ , V ₁ , V ₂ , V ₃ , V ₄ , V ₅ , V ₆ , V ₇ , PLL SYNC	Données différentielles de TMDS (+)
TX1 -	E		Données différentielles de TMDS (-)
TX2 +	E	Signaux de données d'affichage: R ₀ , R ₁ , R ₂ , R ₃ , R ₄ , R ₅ , R ₆ , R ₇	Données différentielles de TMDS (+)
TX2 -	E		Données différentielles de TMDS (-)
TXC +	E	Signal d'horloge de données: DCLK	Horloge différentielle de TMDS (+)
TXC -	E		Horloge différentielle de TMDS (-)

A.1.3.3 Affectation des broches

Le Tableau A.7 illustre un exemple d'affectation des broches de TMDS.

Tableau A.7 – Exemple d'affectation des broches de connecteurs

Broche n°	Nom de broche
1	TX1 +
2	TX1 -
3	TX1 SIELD
4	TXC SIELD
5	TXC +
6	TXC -
7	GND
8	+5VDC
9	RES
10	RES
11	TX2 +
12	TX2 -
13	TX2 SIELD
14	TX0 SIELD
15	TX0 +
16	TX0 -
17	RES
18	SENS
19	DDC/SDA
20	DDC/SCL

NOTE SDA est l'abréviation de 'Serial data' (données série), et SCL de 'Serial clock' (Horloge série).

A.1.3.4 Chronogramme des signaux d'entrée

La description du chronogramme des signaux d'entrée est fondamentalement la même que celle de la LVDS. (Voir la Figure A.2).

A.1.3.5 Spécification du séquençement des signaux d'entrée

La description de la spécification du séquençement des signaux d'entrée est fondamentalement la même que celle de la LVDS. (Voir le Tableau A.3).

A.2 Signal de commande de fonction

Le signal de commande de fonction est le signal supplémentaire, à l'exception du signal vidéo numérique, pour commander les fonctions telles que l'APC, la SDA et la SCL.

A.3 Caractéristiques électriques

A.3.1 Valeurs limites (Système pour caractéristiques assignées maximales absolues)

Les valeurs limites (Système pour caractéristiques assignées maximales absolues) sont les valeurs au-delà desquelles la sécurité du dispositif ne peut être garantie.

Le Tableau A.8 illustre un exemple de valeurs limites (Système pour caractéristiques assignées maximales absolues).

Tableau A.8 – Valeurs limites (Système pour caractéristiques assignées maximales absolues)

Paragraphe	Valeurs limites	Symbole	Valeur		Unité
			Min.	Max.	
A.1.1	Plage de tensions d'alimentation de LVDS	V_{CC}	–0,3	4	V
A.1.2	Plage de tensions d'alimentation de TTL	V_{CC}	–0,5	7	V
A.1.3	Plage de tensions d'alimentation de TMDS	V_{CC}	–0,3	4	V

A.3.2 Tension et courant des signaux

Le Tableau A.9 illustre un exemple des caractéristiques électriques de LVDS, TMDS et TTL.

Tableau A.9 – Caractéristiques électriques

Signal	Paramètre	Symbole	Conditions	Min.	Typ.	Max.	Unité
Récepteur LVDS	Tension en mode commun	V_{OC}	$V_{CC} = 3,3 \text{ V}$	1,125	1,25	1,375	mV
	Seuil haut d'entrée différentielle	V_{TH}	$V_{OC} = +1,2 \text{ V}$ $V_{CC} = 3,3 \text{ V}$			100	mV
	Seuil bas d'entrée différentielle	V_{TL}	$V_{OC} = +1,2 \text{ V}$ $V_{CC} = 3,3 \text{ V}$	-100			mV
	Courant d'entrée	I_{IN}	$V_{IN} = +2,4 \text{ V} / 0 \text{ V}$ $V_{CC} = 3,6 \text{ V}$			± 10	μA
Récepteur TMDS	Tension d'entrée différentielle	V_{idiff}	$V_{CC} = 3,3 \text{ V}$	150		1200	mV
	Tension d'entrée en mode commun	V_{icm}	$V_{CC} = 3,3 \text{ V}$	$V_{CC} - 300$		$V_{CC} - 37$	mV
	Tension d'entrée en circuit ouvert	$V_{I(OC)}$	$V_{CC} = 3,3 \text{ V}$	$V_{CC} - 10$		$V_{CC} - 10$	mV
TTL	Tension d'entrée au niveau haut	V_{IH}	$V_{CC} = 5 \text{ V}$	2			V
	Tension d'entrée au niveau bas	V_{IL}	$V_{CC} = 5 \text{ V}$			0,8	V
	Courant d'écrêtage d'entrée	I_{IK}	$V_{CC} = 5 \text{ V}$			-18	mA
	Courant d'entrée au niveau haut	I_{IH}	$V_{CC} = 5,5 \text{ V}$ $V_{IN} = 2,7 \text{ V}$			20	μA
	Courant d'entrée au niveau bas	I_{IL}	$V_{CC} = 5,5 \text{ V}$ $V_{IN} = 0,5 \text{ V}$			-0,6	mA
NOTE Condition commune: $T_a = 25 \text{ }^\circ\text{C}$.							

Bibliographie

CEI 60068-1, *Essais d'environnement – Partie 1: Généralités et guide*

CEI 60107-1, *Méthodes de mesures applicables aux récepteurs de télévision – Partie 1: Considérations générales – Mesures aux domaines radiofréquences et vidéofréquences*

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

3, rue de Varembé
PO Box 131
CH-1211 Geneva 20
Switzerland

Tel: + 41 22 919 02 11
Fax: + 41 22 919 03 00
info@iec.ch
www.iec.ch