

INTERNATIONAL STANDARD

NORME INTERNATIONALE

Test methods for electrical materials, printed boards and other interconnection structures and assemblies –

Part 5-1: General test methods for materials and assemblies – Guidance for printed board assemblies

Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles –

Partie 5-1: Méthodes d'essai générales pour les matériaux et les assemblages – Lignes directrices pour les assemblages de cartes à circuit imprimé



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2016 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

IEC Catalogue - webstore.iec.ch/catalogue

The stand-alone application for consulting the entire bibliographical information on IEC International Standards, Technical Specifications, Technical Reports and other documents. Available for PC, Mac OS, Android Tablets and iPad.

IEC publications search - www.iec.ch/searchpub

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing 20 000 terms and definitions in English and French, with equivalent terms in 15 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

65 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Catalogue IEC - webstore.iec.ch/catalogue

Application autonome pour consulter tous les renseignements bibliographiques sur les Normes internationales, Spécifications techniques, Rapports techniques et autres documents de l'IEC. Disponible pour PC, Mac OS, tablettes Android et iPad.

Recherche de publications IEC - www.iec.ch/searchpub

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne de termes électroniques et électriques. Il contient 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans 15 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

65 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

INTERNATIONAL STANDARD

NORME INTERNATIONALE

Test methods for electrical materials, printed boards and other interconnection structures and assemblies –

Part 5-1: General test methods for materials and assemblies – Guidance for printed board assemblies

Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles –

Partie 5-1: Méthodes d'essai générales pour les matériaux et les assemblages – Lignes directrices pour les assemblages de cartes à circuit imprimé

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.180

ISBN 978-2-8322-3506-5

Warning! Make sure that you obtained this publication from an authorized distributor.

Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.

CONTENTS

FOREWORD.....	4
INTRODUCTION.....	6
1 Scope.....	8
2 Normative references.....	8
3 Accuracy, precision and resolution	8
3.1 General.....	8
3.2 Accuracy.....	8
3.3 Precision.....	9
3.4 Resolution.....	10
3.5 Report	10
3.6 Student's t distribution.....	10
3.7 Suggested uncertainty limits.....	11
4 Catalogue of approved test methods	12
5 List of contents of the IEC 61189-5 series	12
Annex A (informative) Tests	13
Annex B (informative) Guidance documents and handbooks	15
B.1 General.....	15
B.2 Handbook and guide to supplement IPC-J-STD-001	15
B.3 Guidelines for Electrically Conductive Surface Mount Adhesives (IPC-3406).....	15
B.4 Users Guide for Cleanliness of Unpopulated Printed Boards (IPC-5701).....	15
B.5 Guidelines for OEM's in Determining Acceptable Levels of Cleanliness of Unpopulated Printed Boards (IPC-5702)	15
B.6 Surface Insulation Resistance Handbook (IPC-9201)	16
B.7 Material and Process Characterisation / Qualification Test Protocol for Assessing Electrochemical Performance (IPC-9202)	16
B.8 User Guide for the IPC/IEC B52 Process Qualification Test Vehicle (IPC-9203)	16
B.9 PWB Assembly Soldering Process Guideline for Electronic Components (IPC-9502)	16
B.10 Aqueous Post Solder Cleaning Handbook (IPC-AC-62A)	17
B.11 Guidelines for Cleaning of Printed Boards and Assemblies (IPC-CH-65A).....	17
B.12 Handbook (IPC-J-STD-005).....	17
B.13 Acceptability of Electronic Assemblies (IPC-HDBK-610)	18
B.14 Guidelines for Design, Selection and Application of Conformal Coatings (IPC-HDBK-830)	18
B.15 Solder mask Handbook (IPC-HDBK-840)	18
B.16 Guidelines and Requirements for Electrical Testing of Unpopulated Printed Boards (IPC-9252)	19
B.17 In-Process DPMO and Estimated Yield for PCAs (IPC-9261A).....	19
B.18 Assembly Soldering Process Guideline for Electronic Components (IPC-9502 PWB)	20
B.19 Users Guide for IPC-TM-650, Method 2.6.27, Thermal Stress, Convection Reflow Assembly Simulation (IPC-9631)	20
B.20 High Temperature Printed Board Flatness Guideline (IPC-9641)	20
B.21 User Guide for the IPC-TM-650, Method 2.6.25, Conductive Anodic Filament (CAF) Resistance Test (Electrochemical Migration Testing) (IPC-9691A).....	21

B.22	Mechanical Shock Test Guidelines for Solder Joint Reliability (IPC-JEDEC-9703)	21
B.23	Printed Circuit Assembly Strain Gage Test Guideline (IPC-JEDEC-9704A)	22
Bibliography		23
Table 1 – Student's t distribution		11
Table A.1 – General test methods for materials and assemblies.....		13

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**TEST METHODS FOR ELECTRICAL MATERIALS,
PRINTED BOARDS AND OTHER INTERCONNECTION
STRUCTURES AND ASSEMBLIES –****Part 5-1: General test methods for materials and assemblies –
Guidance for printed board assemblies**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61189-5-1 has been prepared by IEC technical committee 91: Electronics assembly technology.

The text of this standard is based on the following documents:

CDV	Report on voting
91/1273/CDV	91/1354/RVC

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 61189 series, published under the general title *Test methods for electrical materials, printed boards and other interconnection structures and assemblies*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

INTRODUCTION

IEC 61189 relates to test methods for printed boards and printed board assemblies, as well as related materials or component robustness, irrespective of their method of manufacture.

The standard is divided into separate parts, covering information for the designer and the test methodology engineer or technician. Each part has a specific focus. Methods are grouped according to their application and numbered sequentially as they are developed and released.

In some instances test methods developed by other technical committees (for example, TC 104) have been reproduced from existing IEC standards in order to provide the reader with a comprehensive set of test methods. When this situation occurs, it will be noted on the specific test method. If the test method is reproduced with minor revisions, those paragraphs that are different are identified.

This part of IEC 61189 contains test methods for evaluating printed board assemblies as well as materials used in the manufacture of electronic assemblies. The methods are self-contained, with sufficient detail and description so as to achieve uniformity and reproducibility in the procedures and test methodologies.

It was decided by TC 91 that the contents of IEC 61189-5 and IEC 61189-6 be merged into a series of documents in the following way:

IEC 61189-5-1, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-1: General test methods for materials and assemblies – Guidance for printed board assemblies*

IEC 61189-5-2:2015, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-2: General test methods for materials and assemblies – Soldering flux for printed board assemblies*

IEC 61189-5-3:2015, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-3: General test methods for materials and assemblies – Soldering paste for printed board assemblies*

IEC 61189-5-4:2015, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-4: General test methods for materials and assemblies – Solder alloys and fluxed and non-fluxed solid wire for printed board assemblies*

IEC 61189-5-501:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-501: General test methods for materials and assemblies – Surface insulation resistance (SIR) testing of solder fluxes*¹

IEC 61189-5-502:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-502: General test methods for materials and assemblies – SIR testing of assemblies*¹

IEC 61189-5-503:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-503: General test methods for materials and assemblies – Conductive Anodic Filaments (CAF) testing of circuit boards*¹

IEC 61189-5-504:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-504: General test methods for materials and assemblies – Process ionic contamination testing*¹

¹ Under consideration.

The tests shown in this standard are grouped according to the following principles:

P: preparation/conditioning methods

V: visual test methods

D: dimensional test methods

C: chemical test methods

M: mechanical test methods

E: electrical test methods

N: environmental test methods

X: miscellaneous test methods including process control tests for the assembly process

To facilitate reference to the tests, to retain consistency of presentation and to provide for future expansion, each test is identified by a number (assigned sequentially) added to the prefix (group code) letter showing the group to which the test method belongs.

The test method numbers have no significance with respect to an eventual test sequence. This responsibility rests with the relevant specification that calls for the method being performed. The relevant specification, in most instances, also describes pass/fail criteria.

The letter and number combinations are for reference purposes to be used by the relevant specification. Thus, "5-2C01" represents the first chemical test method described in IEC 61189-5-2.

In short, in this example, 5-2 is the number of the part of IEC 61189, C is the group of methods, and 01 is the test number.

A list of all test methods included in the above-mentioned documents, is given in Annex A. This annex will be reissued whenever new tests are introduced.

TEST METHODS FOR ELECTRICAL MATERIALS, PRINTED BOARDS AND OTHER INTERCONNECTION STRUCTURES AND ASSEMBLIES –

Part 5-1: General test methods for materials and assemblies – Guidance for printed board assemblies

1 Scope

This part of IEC 61189 is a catalogue of test methods representing methodologies and procedures that can be applied to test printed board assemblies.

This part of IEC 61189 contains the types of content of the IEC 61189-5 series, as well as guidance documents and handbooks for printed board assemblies.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

There are no normative references in this document.

3 Accuracy, precision and resolution

3.1 General

Measurement errors and uncertainties are inherent in all measurement processes. The information given below enables valid estimates of the amount of error and uncertainty to be taken into account.

Test data serve a number of purposes which include

- monitoring of a process;
- enhancing of confidence in quality conformance;
- arbitration between customer and supplier.

In any of these circumstances, it is essential that confidence can be placed upon the test data in terms of

- accuracy: calibration of the test instruments and/or system;
- precision: the repeatability and uncertainty of the measurement;
- resolution: the suitability of the test instrument and/or system.

3.2 Accuracy

The regime by which routine calibration of the test equipment is undertaken shall be clearly stated in the quality documentation of the supplier or agency conducting the test and shall meet the requirements of ISO 9001 or equivalent (see Bibliography).

The calibration shall be conducted by an agency having accreditation to a national or international measurement standards institute. There should be an uninterrupted chain of calibration to a national or international standard.

Where calibration to a national or international standard is not possible, round-robin techniques may be used and documented to enhance confidence in measurement accuracy.

The calibration interval shall normally be one year. Equipment consistently found to be outside acceptable limits of accuracy shall be subject to shortened calibration intervals. Equipment consistently found to be well within acceptable limits may be subject to relaxed calibration intervals.

A record of the calibration and maintenance history shall be maintained for each instrument. These records should state the uncertainty of the calibration technique (in $\pm\%$ deviation) in order that uncertainties of measurement can be aggregated and determined.

A procedure shall be implemented to resolve any situation where an instrument is found to be outside calibration limits.

3.3 Precision

The uncertainty budget of any measurement technique is made up of both systematic and random uncertainties. All estimates shall be based upon a single confidence level, the minimum being 95 %.

Systematic uncertainties are usually the predominant contributor and will include all uncertainties not subject to random fluctuation. These include

- calibration uncertainties;
- errors due to the use of an instrument under conditions which differ from those under which it was calibrated;
- errors in the graduation of a scale of an analogue meter (scale shape error).

Random uncertainties result from numerous sources but can be deduced from repeated measurement of a standard item. Therefore, it is not necessary to isolate the individual contributions. These may include

- random fluctuations such as those due to the variation of an influence parameter. Typically, changes in atmospheric conditions reduce the repeatability of a measurement;
- uncertainty in discrimination, such as setting a pointer to a fiducial mark or interpolating between graduations on an analogue scale.

Aggregation of uncertainties: Geometric addition (root-sum-square) of uncertainties may be used in most cases. An interpolation error is normally added separately and may be accepted as being 20 % of the difference between the finest graduations of the scale of the instrument.

$$U_t = \pm \sqrt{(U_s^2 + U_r^2)} + U_i$$

where

U_t is the total uncertainty;

U_s is the systematic uncertainty;

U_r is the random uncertainty;

U_i is the interpolation error.

Determination of random uncertainties: Random uncertainty can be determined by repeated measurement of a parameter and subsequent statistical manipulation of the measured data. The technique assumes that the data exhibits a normal (Gaussian) distribution.

$$U_r = \frac{t \times \sigma}{\sqrt{n}}$$

where

U_r is the random uncertainty;

n is the sample size;

t is the percentage point of the t distribution as shown in Table 1;

σ is the standard deviation (σ_{n-1}).

3.4 Resolution

It is paramount that the test equipment used is capable of sufficient resolution. Measurement systems used should be capable of resolving 10 % (or better) of the test limit tolerance.

It is accepted that some technologies will place a physical limitation upon resolution (for example, optical resolution).

3.5 Report

In addition to requirements detailed in the test specification, the report shall detail

- a) the test method used;
- b) the identity of the sample(s);
- c) the test instrumentation;
- d) the specified limit(s);
- e) an estimate of measurement uncertainty and resultant working limit(s) for the test;
- f) the detailed test results;
- g) the test date and operators' signature.

3.6 Student's t distribution

Table 1 gives values of the factor t for 95 % and 99 % confidence levels, as a function of the number of measurements.

Table 1 – Student's t distribution

Sample size	t value 95 %	t value 99 %		Sample size	t value 95 %	t value 99 %
2	12,7	63,7		14	2,16	3,01
3	4,3	9,92		15	2,14	2,98
4	3,18	5,84		16	2,13	2,95
5	2,78	4,6		17	2,12	2,92
6	2,57	4,03		18	2,11	2,9
7	2,45	3,71		19	2,1	2,88
8	2,36	3,5		20	2,09	2,86
9	2,31	3,36		21	2,08	2,83
10	2,26	3,25		22	2,075	2,82
11	2,23	3,17		23	2,07	2,81
12	2,2	3,11		24	2,065	2,8
13	2,18	3,05		25	2,06	2,79

3.7 Suggested uncertainty limits

The following target uncertainties are suggested:

- a) Voltage < 1 kV: $\pm 1,5 \%$
- b) Voltage > 1 kV: $\pm 2,5 \%$
- c) Current < 20 A: $\pm 1,5 \%$
- d) Current > 20 A: $\pm 2,5 \%$

Resistance

- e) Earth and continuity: $\pm 10 \%$
- f) Insulation: $\pm 10 \%$
- g) Frequency: $\pm 0,2 \%$

Time

- h) Interval < 60 s: $\pm 1 \text{ s}$
- i) Interval > 60 s: $\pm 2 \%$
- j) Mass < 10 g: $\pm 0,5 \%$
- k) Mass 10 g to 100 g: $\pm 1 \%$
- l) Mass > 100 g: $\pm 2 \%$
- m) Force: $\pm 2 \%$
- n) Dimension < 25 mm: $\pm 0,5 \%$
- o) Dimension > 25 mm: $\pm 0,1 \text{ mm}$
- p) Temperature < 100 °C: $\pm 1,5 \%$
- q) Temperature > 100 °C: $\pm 3,5 \%$
- r) Humidity (30 – 75) % RH: $\pm 5 \%$ RH

Plating thicknesses

- s) Backscatter method: $\pm 10 \%$

- t) Microsection: $\pm 2 \mu\text{m}$
- u) Ionic contamination: $\pm 10 \%$

4 Catalogue of approved test methods

This standard provides specific test methods in complete detail to permit implementation with minimal cross-referencing to other specific procedures. The use of generic conditioning exposures is accomplished in the methods by reference, for example, to those described in IEC 61189-1 and IEC 60068-1, and, when applicable, is a mandatory part of the test method standard.

Each method has its own title, number and revision status to accommodate updating and improving the methods as industry requirements change or demand new methodology. The methods are organized in test method groups and individual tests.

5 List of contents of the IEC 61189-5 series

The types of content of existing and planned standards in the IEC 61189-5 series is described in Annex A.

NOTE The details of the standards "under consideration" are not yet available.

Annex A (informative)

Tests

Table A.1 gives a summary of the existing tests and of the tests under development.

Table A.1 – General test methods for materials and assemblies

IEC standard	Designation	Test
IEC 61189-5-2	C: Chemical test methods	
	5-2C01	Corrosion, flux
	5-2C02	Determination of acid value of liquid soldering flux potentiometric and visual titration methods
	5-2C03	Acid number of rosin
	5-2C04	Determination of halides in fluxes, silver chromate method
	5-2C05	Solids content, flux
	5-2C06	Quantitative determination of halide content in fluxes (chloride and bromide)
	5-2C07	Qualitative analysis of fluorides and fluxes by spot test
	5-2C08	Quantitative determination of fluoride concentration in fluxes
	5-2C09	Specific gravity
	5-2C10	Flux induced corrosion (copper mirror method)
	X: Miscellaneous test methods	
	5-2X01	Liquid flux activity, wetting balance method
	5-2X02	Spread test, liquid or extracted solder flux, solder paste and extracted cored wires or preforms
	5-2X03	Flux residues – Tackiness after drying
IEC 61189-5-3	X: Miscellaneous test methods	
	5-3X01	Paste flux viscosity – T-Bar spindle method
	5-3X02	Spread test, extracted solder flux, paste flux and solder paste
	5-3X03	Solder paste viscosity – T-Bar spin spindle method (applicable for 300 Pa•s to 1 600 Pa•s)
	5-3X04	Solder paste viscosity – T-Bar spindle method (applicable to 300 Pa•s)
	5-3X05	Solder paste viscosity – Spiral pump method (applicable for 300 Pa•s to 1 600 Pa•s)
	5-3X06	Solder paste viscosity – Spiral pump method (applicable to 300 Pa•s)
	5-3X07	Solder paste – Slump test
	5-3X08	Solder paste – Solder ball test
	5-3X09	Solder paste – Tack test
	5-3X10	Solder paste – Wetting test
	5-3X11	Determination of solder powder particle size distribution – Screen method for types
	5-3X12	Solder powder particle size distribution – Measuring microscope method
	5-3X13	Solder powder particle size distribution – Optical image analyser method
	5-3X14	Solder powder particle size distribution – Measuring laser diffraction method
	5-3X15	Determination of maximum solder powder particle size
	5-3X16	Solder paste metal content by weight

IEC standard	Designation	Test
IEC 61189-5-4	C: Chemical test methods	
	5-4C01	Determination of the percentage of flux on/in flux-coated and/or flux-cored solder
	X: Mechanical test methods	
	5-4X01	Spread test, extracted cored wires or preforms
	5-4X02	Spitting test of flux-cored wire solder
	5-4X03	Solder pool test
IEC 61189-5-501		Under consideration
IEC 61189-5-502		Under consideration
IEC 61189-5-503		Under consideration
IEC 61189-5-504		Under consideration

Annex B (informative)

Guidance documents and handbooks

B.1 General

The documents listed in Clauses B.2 to B.23 relate to the specific soldering materials or test methods employed.

B.2 Handbook and guide to supplement IPC-J-STD-001

IPC-J-STD-001 and IPC-HDBK-001 do not exclude any acceptable process used to make the electrical connections, as long as the methods used will produce completed solder joints conforming to the acceptability requirements of the IPC-J-STD-001.

This handbook describes materials, methods, and verification criteria that, when applied as recommended or required, will produce quality soldered electrical and electronic assemblies. The intent of this handbook is to explain the “how-to,” the “why,” and fundamentals for these processes, in addition to implementing control over processes rather than depending on end-item inspection to determine product quality.

B.3 Guidelines for Electrically Conductive Surface Mount Adhesives (IPC-3406)

This document covers guidelines for selecting electrically conductive adhesives for use in assembly of components to printed circuit boards (PCB) or similar wiring inter-connect systems. The focus is on the use of adhesives as solder alternatives. The process discussion attempts to stay within the bounds of the existing solder assembly infrastructure as much as possible. Both major types of adhesives, isotropic (conducting equally in all directions) and anisotropic (unidirectional conductivity), are covered. The two major divisions of polymer adhesives, thermosets and thermoplastics, are described.

B.4 Users Guide for Cleanliness of Unpopulated Printed Boards (IPC-5701)

If you are in the electronics industry, sooner or later you have to, will, or should deal with the issue of the cleanliness of the unpopulated printed circuit boards (bare boards). Residues on circuit boards are directly related to the reliability of the produced hardware and can result in serious failures if not monitored and controlled.

This document is the product of the IPC Bare Board Cleanliness Assessment Task Group and was drafted to provide individuals who deal with these issues some guidance on how the issues should be approached and specified in purchase documents.

B.5 Guidelines for OEM's in Determining Acceptable Levels of Cleanliness of Unpopulated Printed Boards (IPC-5702)

Every electronics manufacturer, whether an original equipment manufacturer (OEM) or contract manufacturer (CM), will be faced with determining if the unpopulated printed boards used in the finished assembly have an adequate level of cleanliness. The question of “how clean is clean enough” has been asked repeatedly in the last decade in many IPC committees. This is a very complex topic, with many critical considerations. For this reason there is not a unique methodology that determines acceptability. This document was developed as guidance for the individual(s) responsible for determining these criteria for their company.

IPC-5701 covers many aspects of how cleanliness is measured on printed boards, as well as many critical factors to consider when specifying board cleanliness in purchasing documents. This reference, and associated technical papers, show the many inadequacies of current test methodologies, as well as explaining why there are no “golden numbers” for cleanliness. What is acceptably clean for one segment of the industry may be unacceptable for more demanding segments of the industry (e.g., medical or aerospace).

B.6 Surface Insulation Resistance Handbook (IPC-9201)

This document is intended to cover the broad spectrum of temperature-humidity (TH) testing, associated terminology, and suggested techniques for proper surface insulation resistance testing as defined in IEC 61189-5-5, Test Methods 5E01 and 5E02.

B.7 Material and Process Characterisation / Qualification Test Protocol for Assessing Electrochemical Performance (IPC-9202)

This material and process characterization/qualification test records changes in surface insulation resistance (SIR) on a representative sample of a printed circuit assembly (PCA). It quantifies any deleterious effects that might arise from solder flux or other process residues left on external surfaces after soldering, which can cause unwanted electro-chemical reactions that grossly affect reliability.

It uses test vehicles that are intended to be representative of the electronic circuits that are in production. It is a test yielding both quantitative and qualitative data.

This test may be used for *Process Qualification*, demonstrating that a proposed manufacturing process or process change can produce hardware with acceptable end-item performance related to cleanliness. Changes may involve any assembly process step, or a change in the printed board supplier, solder mask or metallization, soldering material supplier, conformal coating, etc. The test vehicle construction will vary depending upon the type of change being evaluated.

B.8 User Guide for the IPC/IEC B52 Process Qualification Test Vehicle (IPC-9203)

The electronics manufacturing process is often very complex, with dozens of variables that impact the quality and reliability of the manufactured assemblies in the end use environment. Two of the important variables for consideration are the kinds of residues that remain on the electronic assembly and the effects that these residues have on reliability. These two variables are most often referred to in discussions on assembly “cleanliness”.

Whilst there are several different ways to measure residues and their effects on electrical performance, the two most common approaches in the industry are ionic cleanliness testing, for determination of ionic residues, and surface insulation resistance (SIR) testing, for the evaluation of electrochemical failures in humid environments.

This document focuses on the IPC-B-52 standard test assembly and how it is used as an evaluation tool for electronics manufacturing processes from a “cleanliness” perspective.

B.9 PWB Assembly Soldering Process Guideline for Electronic Components (IPC-9502)

This document describes manufacturing solder process limits that components subjected to IPC-9501, IPC-9503, IPC-9504 and J-STD-020 would survive. It does not include optimum conditions for assembly, but rather guides to assure components are not damaged.

This document applies to both surface-mount (SM) and through-hole (TH) components that are wave soldered, reflowed or hand soldered. This document is intended to complement other industry documents, listed in applicable documents.

B.10 Aqueous Post Solder Cleaning Handbook (IPC-AC-62A)

This handbook addresses aqueous cleaning of electrical/electronic parts and application tools after soldering.

The content of the text is intended to provide a basic understanding of the subject and to serve as a guide to users or prospective users of aqueous cleaning technology, allowing selection or improvement of aqueous cleaning processes.

B.11 Guidelines for Cleaning of Printed Boards and Assemblies (IPC-CH-65A)

This manual is a road map for current and developing cleaning issues, rather than to function as a highly detailed document for all areas touched upon. In areas of cleaning where recent detailed IPC manuals already exist, the relevant sections in IPC-CH-65A will contain only sufficient information to make the reader reasonably knowledgeable. This guideline manual refers the reader to appropriate existing IPC documents (where they exist) for in-depth information on the particular subject. An example of such a reference IPC manual is IPC-AC-62, *Aqueous Cleaning Handbook*. It is only where existing IPC documents are not available that IPC-CH-65A will expand information beyond the basics in order to cover what is currently known about the subject. A benefit of this approach is that the manual does not become unwieldy and tends to foster a user-friendly environment.

Both bare board fabrication and assembly cleanliness issues are addressed. The fabrication and assembly sections are separated for ease of access. In the original IPC-CH-65, these sections were very much intertwined. However, it was recognized that for a subject such as the required cleanliness of finished bare boards, basically redundant teachings are required for both the fabrication and assembly sections.

B.12 Handbook (IPC-J-STD-005)

This handbook is a companion to the solder paste standard J-STD-005 and should be considered to be a guide to help assess the applicability of a solder paste for its use in surface-mount technology (SMT) processes. This document also suggests some test methods that can help with designing and testing solder pastes. It is intended for use by both vendors and users of solder paste.

Solder pastes are unique materials, whose performance in a surface-mount process depends on a variety of variables, many of them interacting. J-STD-005 provides test methods for classification of solder paste based on the use of a variety of testing techniques. However, these solder paste classifications do not have a direct correlation to identify the type and characteristics of a specific solder paste that is needed in any given SMT assembly process.

This document has been written as a guide to assess the applicability of a solder paste for a specific process, given the tremendous number of permutations of different materials, atmospheres and process variables currently available.

Where appropriate, references are given to papers and documents with further information. Due to the sheer number of possible interacting factors, specific solder paste selection criteria cannot be given. The solder paste selected and the assembly process used will need to form solder connections that meet the requirements of industry standards such as J-STD-001 and/or IPC-A-610.

B.13 Acceptability of Electronic Assemblies (IPC-HDBK-610)

This handbook is a companion reference to IPC-A-610C and IPC-A-610C Amendment 1 and was prepared using them. The amendment provides additional criteria and clarification statements. The amendment is included with this handbook following Appendix C and can be downloaded free of charge from the IPC website at the following link: <http://www.ipc.org/TOC/IPC-HDBK-610-w-Amend-1.pdf>.

The intent of this handbook is to explain the technical rationale for selected acceptability, process indicator and defect criteria and to provide information regarding assembly technology. Additional information is provided to give a broader understanding of the process considerations needed for the production of acceptable hardware.

B.14 Guidelines for Design, Selection and Application of Conformal Coatings (IPC-HDBK-830)

Conformal coatings are used in conjunction with printed circuit assemblies (PCAs). The designer and the users of conformal coatings for electronics applications should be aware of the properties of various types of conformal coatings and their interactions with PCAs to protect the PCAs in the end-use environment for the design-life of the PCA (or beyond). This document has been written to assist the designers and users of conformal coatings in understanding the characteristics of various coating types, as well as the factors that can modify those properties when the coatings are applied. Understanding and accounting for these materials can ensure the reliability and function of electronics.

The purpose of this handbook is to assist the individuals who either make choices regarding conformal coating or who work in coating operations. This handbook represents the compiled knowledge and experience of the IPC Conformal Coating Handbook Task Group. It is not enough to understand the properties of the various conformal coatings. The user needs to understand what is to be achieved by applying the conformal coating and how to verify that the desired results have been realized.

B.15 Solder mask Handbook (IPC-HDBK-840)

Solder masks are permanent protective coatings that perform a number of functions during the fabrication, assembly and end use of printed circuits. One of the main purposes of solder mask is to protect the circuitry from interacting with solder during the assembly process. A solder mask's job isn't solely restricted to the solder operation however, as it also helps to protect the laminate, holes and traces from collecting contaminants and from degrading during the service life of the circuit. It also acts as an insulator of known dielectric property between components and traces.

The main requirements of the solder mask (as a material qualification) are tested within the IPC-SM-840. However, increasing technical diversification created further testing needs. Not every technical requirement is relevant for every application and thus these requirements will not be part of a general material qualification. These properties are usually required for specific original equipment manufacturer's (OEM) approvals. This solder mask handbook provides the reader with the background knowledge to make an educated decision if specific properties are required and how to test them. It also provides significant educational information about process influences.

The purpose of this handbook is to provide additional supporting information for IPC-SM-840 regarding solder mask types, processes, characteristics and properties in order to assist with the correct selection and use of the most appropriate material for the intended application. It should be read in conjunction with the solder mask manufacturer's technical information and other solder mask specification documents, which may be relevant, such as those listed in Section 2 of IPC-HDBK-840.

B.16 Guidelines and Requirements for Electrical Testing of Unpopulated Printed Boards (IPC-9252)

This document is presented to assist in selecting the test analyzer, test parameters, test data, and fixturing required to perform electrical test(s) on all unpopulated printed boards without embedded components (i.e., resistors, capacitors, etc.).

The users shall determine the test parameters and fixturing requirements to test for continuity (open), isolation (leakage/short), and other special characteristics (i.e., impedance, hipot, capacitance, current carrying capacity, etc.) that will satisfactorily evaluate the critical electrical characteristics of specific printed boards. The testing levels listed in this document define some of these parameters.

Electrical testing verifies that the printed networks on the boards are interconnected according to design requirements.

Electrical test does not ensure that the board can be assembled or that the board meets all of the customer's requirements. Many physical characteristics of the conductors (dimensional accuracy, solder mask, conductor geometry and nomenclature registration, presence of holes, etc.) can't be determined by electrical test. Other checks should be employed to confirm these characteristics.

B.17 In-Process DPMO and Estimated Yield for PCAs (IPC-9261A)

This document defines standard methodologies for calculating defects per million opportunities (DPMO) metrics related to electronic printed board assembly processes. It is intended for use in measuring in-process assembly steps rather than end product determination. Calculation of completed item DPMO is addressed in IPC-7912.

Additionally, a guide to defect categorization is provided that when used with J-STD-001 and IPC-A-610 can serve as a base for summarizing and reporting in-process defects.

Note that this document does not dictate the number of assemblies or data points needed to calculate DPMO metrics.

The purpose of this document is to define consistent methodologies for computation of **in-process** DPMO metrics for any defect evaluation stage in the assembly process.

This objective anticipates the following conditions in defect reporting and analysis.

- To facilitate process improvement, defects discovered at any stated inspection or test point should be assigned to their appropriate process step.
- All defects shall be reported at the inspection point they are found, even though one undetected previous defect may have caused the subsequent defects.
- Regardless of how these defects are assigned, the defect shall be attributed to either a component, placement, termination or assembly defect.
- The assumption is that each printed board assembly that is inspected will be 100 % inspected for all defects.
- The assumption of 100 % inspection efficiency is made. Care should be taken when comparing processes using manual inspection to those using automated vision inspection.
- When using a sampling inspection plan, the number of PCAs inspected determines the opportunity count, not the number processed.

B.18 Assembly Soldering Process Guideline for Electronic Components (IPC-9502 PWB)

This document describes manufacturing solder process limits that components subjected to IPC-9501, IPC-9503, IPC-9504 and J-STD-020 would survive. It does not include optimum conditions for assembly, but rather guides to ensure components are not damaged.

This document applies to both surface-mount (SM) and through-hole (TH) components that are wave soldered, reflowed or hand soldered. This document is intended to complement other industry documents, listed in applicable documents.

B.19 Users Guide for IPC-TM-650, Method 2.6.27, Thermal Stress, Convection Reflow Assembly Simulation (IPC-9631)

The intention of this document is to aid users of IPC-TM-650, Method 2.6.27, *Thermal Stress, Convection Reflow Assembly Simulation*. This test method has been developed because IPC-TM-650, Method 2.6.8, *Thermal Stress, Plated-Through Holes* (thermal stress by solder float) is no longer considered adequate for simulating the assembly process and stresses that many products now have to support. Over many years the assembly process has continued to diverge from wave soldering, with the addition of top, and then bottom, surface-mount devices, large BGA packages where solder joints are hidden, an ever increasing density of devices which increase the thermal mass and thermal stress needed to melt solder, and more recently the switch to higher melt temperature, lead-free solders. In summary, adding more and more cycles of the Method 2.6.8 solder float was no longer sufficient to screen out printed boards that would then fail during assembly due to the very different thermal stresses encountered. This document was developed by the IPC D-32, Thermal Stress Test Method Subcommittee, that developed IPC-TM-650, Method 2.6.27, with the understanding that the test method will require special equipment and the proper set-up and calibration of that equipment.

The IPC-TM-650, Method 2.6.27, is intended to establish a relative ability of printed boards, or representative coupons, to survive the thermal excursions associated with assembly and rework in a tin/lead or lead-free application using a convection oven, or alternate equipment with the capability to match the reflow profile of a convection oven. The test embraces relative robustness of the copper interconnection and dielectric materials subjected to the strain and resulting stress associated with a standardized thermal profile. The purpose is to establish an objective measurement of relative robustness ranking or comparing variables, or establishing minimum reliability requirements for copper interconnections and dielectric material in a printed board. The purpose of the test method is to provide the procedure for conditioning and reflowing of the test specimen prior to evaluation for compliance to the applicable performance specification, i.e., IPC-6012, IPC-6013, IPC-6018, etc.

The primary purpose of this document is to address concerns and considerations related to IPC-TM-650, Method 2.6.27. This document embraces how this test method was intended for use and the rationale behind some of the protocols and requirements. This document provides an adjunct document that improves the understanding, application, and the implication of results from using this test method.

B.20 High Temperature Printed Board Flatness Guideline (IPC-9641)

During the surface mount assembly process of an electronic package to a printed board through a reflow temperature profile, the flatness behavior of both the package and printed board are critical for the integrity of solder joint formation and reliability. While the deviation of the package from planarity during this process is critical, controlling the printed board flatness is equally important for preventing subsequent assembly-related issues, including open or bridging joints, which ultimately cause product failure. Board flatness is largely driven by a change in intrinsic properties through exposure to changes in temperature, with the final flatness state becoming a function of the entire temperature history or reflow profile and support boundary conditions. It is also driven by copper symmetry stack-up and metal pattern

balancing. The worst-case deviation of the printed board from flatness may be at room temperature, peak temperature during reflow, or at any temperature in between. Therefore, printed board flatness shall be characterized during the entire reflow thermal cycle, and not solely at room temperature at the beginning and end of the process. This document aims to provide guidance on methods and procedures for critically evaluating printed board flatness during a simulated temperature reflow cycle.

The purpose of this test method is to measure the shape and relative change in shape of a local area of interest (e.g., flip-chip ball grid array (FCBGA) land area) of printed boards through a range of temperatures typical during surface-mount and through-hole builds of integrated circuit packages to printed boards. The use of shape measurements and relative changes in shape will depend on the specific application and interest of the user performing the measurement. This guideline differs from and does not supersede IPC-TM-650, Method 2.4.22, which is used for inspection of bow and/or twist of bare printed boards at room temperature.

B.21 User Guide for the IPC-TM-650, Method 2.6.25, Conductive Anodic Filament (CAF) Resistance Test (Electrochemical Migration Testing) (IPC-9691A)

This document is the product of the IPC Electrochemical Migration (ECM) Task Group. It was drafted to provide guidance regarding how the IPC-TM-650, Method 2.6.25, Conductive Anodic Filament (CAF) Resistance test can best be used for evaluating the effects of mechanical stress, laminate material fracturing, ionic contamination, moisture content prior to press lamination, and other material processing characteristics on conductive anodic filament (CAF) resistance test method results. This CAF test method provides a proven standard for determining the risk of temperature, humidity and bias (THB) failure within rather than on the surface of printed circuit boards (PCBs), typically filament formation along the boundary between the resin and laminate reinforcement.

B.22 Mechanical Shock Test Guidelines for Solder Joint Reliability (IPC-JEDEC-9703)

With the growth of electronics and the increased accessibility and portability, drop shock and other mechanical impacts are increasingly a concern. This document attempts to improve past mechanical shock test methods, and ties test conditions back to the use-conditions. A method is proposed such that regardless of what level (system, board assembly, simplified single component board testing, etc.) of testing is conducted, there should be a correlation back to the use-condition. In order to fulfill this goal, additional metrologies are introduced to aid in these correlations.

Following the requisite introductory sections, the concept of use-conditions is introduced and suggestions are made on how use-condition data may be acquired and applied. Next, the testing methods for fully assembled systems are introduced. Options for test conditions are discussed and the data that should be collected is outlined.

Testing of subassemblies and components imitate actual use configurations less than the testing of fully assembled systems. However, the next two document sections outline considerations to ensure that testing carried out at these levels remains relevant to the intended use-condition.

Specific metrics to aid in correlations are outlined in Section 8. The informative annexes that close the document discuss the common considerations of all mechanical shock testing methods. These include a sample reporting format for test data, use and application of strain gauges, accelerometers, and high speed photography. A section on failure analysis is given. Finally, a review of finite element methods that may be applied to mechanical shock analysis is given to aid in more in-depth study of shock problems.

This document establishes mechanical shock test guidelines to assess solder joint reliability of printed circuits.

The three main categories discussed within are the following:

- methods to define mechanical shock use-conditions;
- methods to define system level, system board level and component test board level testing that correlate to the use-conditions;
- guidance on the use of experimental metrologies for mechanical shock tests.

B.23 Printed Circuit Assembly Strain Gage Test Guideline (IPC-JEDEC-9704A)

This document is meant to be used as a methodology for strain gauge placement and subsequent testing of printed circuit assemblies (PCAs) using strain gauges. The method describes specific guidelines for strain gage testing of PCAs during the printed board manufacturing process, including assembly, test, system integration, and other types of operations that may induce board flexure.

The suggested procedure enables printed board assemblers to conduct strain gauge testing independently, and provides a quantitative method for measuring board flexure, and assessing risk levels.

The topics covered include:

- test setup and equipment requirements;
- strain measurement;
- report format.

This document assumes the methodology is being used to test a surface-mount device such as ball grid array (BGA), small outline package (SOP), chip scale (size) package (CSP), and area-array surface-mount (SMT) connectors/sockets. In certain cases, the described test approach may be used for non-area-array discrete (SMT) devices such as capacitors or resistors.

Bibliography

International Standards

IEC 60068 (all parts), *Environmental testing*

IEC 60068-1:2013, *Environmental testing – Part 1: General and guidance*

IEC 60068-2-20, *Environmental testing – Part 2-20: Tests – Test T: Test methods for solderability and resistance to soldering heat of devices with leads*

IEC 60068-2-58:2015, *Environmental testing – Part 2-58: Tests – Test Td: Test methods for solderability, resistance to dissolution of metallization and to soldering heat of surface mounting devices (SMD)*

IEC 61189-1, *Test methods for electrical materials, interconnection structures and assemblies – Part 1: General test methods and methodology*

IEC 61189-5 (all parts), *Test methods for electrical materials, interconnection structures and assemblies*

IEC 61189-5, *Test methods for electrical materials, interconnection structures and assemblies – Part 5: Test methods for printed board assemblies*

IEC 61189-5-1:2016, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-1: General test methods for materials and assemblies – Guidance for printed board assemblies (this document)*

IEC 61189-5-2:2015, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-2: General test methods for materials and assemblies – Soldering flux for printed board assemblies*

IEC 61189-5-3:2015, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-3: General test methods for materials and assemblies – Soldering paste for printed board assemblies*

IEC 61189-5-4:2015, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-4: General test methods for materials and assemblies – Solder alloys and fluxed and non-fluxed solid wire for printed board assemblies*

IEC 61189-5-5:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-5: XXX*²

IEC 61189-5-501:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-501: General test methods for materials and assemblies – Surface insulation resistance (SIR) testing of solder fluxes*²

IEC 61189-5-502:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-502: General test methods for materials and assemblies – SIR testing of assemblies*²

² Under consideration.

IEC 61189-5-503:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-503: General test methods for materials and assemblies – Conductive Anodic Filaments (CAF) testing of circuit boards* ³

IEC 61189-5-504:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-504: General test methods for materials and assemblies – Process ionic contamination testing* ³

IEC 61189-6 *Test methods for electrical materials, interconnection structures and assemblies – Part 6: Test methods for materials used in manufacturing electronic assemblies*

IEC 61190-1-1, *Attachment materials for electronic assembly – Part 1-1: Requirements for soldering fluxes for high-quality interconnections in electronics assembly*

IEC 61190-1-2, *Attachment materials for electronic assembly – Part 1-2: Requirements for solder pastes for high-quality interconnections in electronics assembly*

IEC 61190-1-3, *Attachment materials for electronic assembly – Part 1-3: Requirements for electronic grade solder alloys and fluxed and non-fluxed solid solders for electronic soldering applications*

IEC 61249-2-7, *Materials for printed boards and other interconnecting structures – Part 2-7: Reinforced base materials clad and unclad – Epoxide woven E-glass laminated sheet of defined flammability (vertical burning test), copper-clad*

IEC 62137:2004, *Environmental and endurance testing – Test methods for surface-mount boards of area array type packages FBGA, BGA, FLGA, LGA, SON and QFN*

ISO 5725-2, *Accuracy (trueness and precision) of measurement methods and results – Part 2: Basic method for the determination of repeatability and reproducibility of a standard measurement method*

ISO 9001, *Quality management systems – Requirements*

ISO 9455-1, *Soft soldering fluxes – Test methods – Part 1: Determination of non-volatile matter, gravimetric method*

ISO 9455-2, *Soft soldering fluxes – Test methods – Part 2: Determination of non-volatile matter, ebulliometric method*

³ Under consideration.

IPC documents

IPC-J-STD-001, *Requirements for Soldered Electrical and Electronic Assemblies Training and Certification Program*

IPC-J-STD-005, *Requirements for Soldering Pastes*

IPC-J-STD-020, *Moisture/Reflow Sensitivity Classification for Nonhermetic Solid State Surface Mount Devices*

IPC-JEDEC-9703, *Mechanical Shock Test Guidelines for Solder Joint Reliability*

IPC-JEDEC-9704A, *Printed Circuit Assembly Strain Gage Test Guideline*

IPC-HDBK-001, *Handbook and Guide to Supplement J-STD-001*

IPC-HDBK-610, *Acceptability of Electronic Assemblies*

IPC-HDBK-830, *Guidelines for Design, Selection and Application of Conformal Coatings*

IPC-HDBK-840, *Solder Mask Handbook*

IPC-A-610, *Acceptability of Electronics Assemblies Training and Certification Program*

IPC-A-610C, *Daco Class 3 Electronics Assembly*

IPC-AC-62A, *Aqueous Post Solder Cleaning Handbook*

IPC-CH-65A, *Guidelines for Cleaning of Printed Boards and Assemblies*

IPC-SM-840, *Qualification and Performance Specification of Permanent Solder Mask*

IPC-TM-650, *Test Methods Manual*

IPC-3406, *Guidelines for Electrically Conductive Surface Mount Adhesives*

IPC-5701, *Users Guide for Cleanliness of Unpopulated Printed Boards*

IPC-5702, *Guidelines for OEM's in Determining Acceptable Levels of Cleanliness of Unpopulated Printed Board*

IPC-6012, *Qualification and Performance Specification for Rigid Printed Boards*

IPC-6013, *Qualification and Performance Specification for Flexible Printed Boards*

IPC-6018, *Qualification and Performance Specification for High Frequency (Microwave) Printed Boards*

IPC-7912, *Calculation of DPMO and Manufacturing Indices for Printed Board Assemblies*

IPC-9201, *Surface Insulation Resistance Handbook*

IPC-9202, *Material and Process Characterisation / Qualification Test Protocol for Assessing Electrochemical Performanc*

IPC-9203, *Users Guide to IPC-9202 and the IPC-B-52 Standard Test Vehicle*

IPC-9252, *Guidelines and Requirements for Electrical Testing of Unpopulated Printed Boards*

IPC-9261A, IPC-B-52, *In-process DPMO and estimated yield for PCAs*

IPC-9501, *PWB Assembly Process Simulation for Evaluation of Electronic Components*

IPC-9502, *PWB Assembly Soldering Process Guideline for Electronic Components*

IPC-9503, *Moisture Sensitivity Classification for Non-IC Components*

IPC-9504, *Assembly Process Simulation for Evaluation of Non IC Components*

IPC-9631, *Users Guide for IPC-TM-650, Method 2.6.27, Thermal Stress, Convection Reflow Assembly Simulation*

IPC-9641, *High Temperature Printed Board Flatness Guideline*

IPC-9691A, *User Guide for the IPC-TM-650, Method 2.6.25, Conductive Anodic Filament (CAF) Resistance Test (Electrochemical Migration Testing)*

All IPC documents are available from IPC at 3000 Lakeside Drive, Suite 309 S, Bannockburn, IL 60015-1249 Tel. 847-615-7100 or from the IPC web site: www.ipc.org.

SOMMAIRE

AVANT-PROPOS.....	30
INTRODUCTION.....	32
1 Domaine d'application.....	34
2 Références normatives	34
3 Exactitude, précision et résolution.....	34
3.1 Généralités	34
3.2 Exactitude.....	35
3.3 Précision.....	35
3.4 Résolution.....	36
3.5 Rapport.....	36
3.6 Distribution t de Student.....	36
3.7 Limites d'incertitude suggérées	37
4 Catalogue des méthodes d'essai approuvées	38
5 Détail du contenu de la série IEC 61189-5.....	38
Annexe A (informative) Essais	39
Annexe B (informative) Documents et manuels de lignes directrices	41
B.1 Généralités	41
B.2 Manuel et guide venant en complément de l'IPC-J-STD-001.....	41
B.3 Guidelines for Electrically Conductive Surface Mount Adhesives (IPC-3406).....	41
B.4 Users Guide for Cleanliness of Unpopulated Printed Boards (IPC-5701).....	41
B.5 Guidelines for OEM's in Determining Acceptable Levels of Cleanliness of Unpopulated Printed Boards (IPC-5702)	41
B.6 Surface Insulation Resistance Handbook (IPC-9201)	42
B.7 Material and Process Characterisation/Qualification Test Protocol for Assessing Electrochemical Performance (IPC-9202)	42
B.8 User Guide for the IPC/IEC B52 Process Qualification Test Vehicle (IPC- 9203)	42
B.9 PWB Assembly Soldering Process Guideline for Electronic Components (IPC-9502)	43
B.10 Aqueous Post Solder Cleaning Handbook (IPC-AC-62A)	43
B.11 Guidelines for Cleaning of Printed Boards and Assemblies (IPC-CH-65A).....	43
B.12 Handbook (IPC-J-STD005)	43
B.13 Acceptability of Electronic Assemblies (IPC-HDBK-610)	44
B.14 Guidelines for Design, Selection and Application of Conformal Coatings (IPC-HDBK-830)	44
B.15 Solder mask Handbook (IPC-HDBK-840)	44
B.16 Guidelines and Requirements for Electrical Testing of Unpopulated Printed Boards (IPC-9252)	45
B.17 In-Process DPMO and Estimated Yield for PCAs (IPC-9261A).....	45
B.18 Assembly Soldering Process Guideline for Electronic Components (IPC- 9502 PWB)	46
B.19 Users Guide for IPC-TM-650, Method 2.6.27, Thermal Stress, Convection Reflow Assembly Simulation (IPC-9631)	46
B.20 High Temperature Printed Board Flatness Guideline (IPC-9641)	47
B.21 User Guide for the IPC-TM-650, Method 2.6.25, Conductive Anodic Filament (CAF) Resistance Test (Electrochemical Migration Testing) (IPC-9691A).....	48

B.22	Mechanical Shock Test Guidelines for Solder Joint Reliability (IPC-JEDEC-9703)	48
B.23	Printed Circuit Assembly Strain Gage Test Guideline (IPC-JEDEC-9704A)	49
Bibliographie		50
Tableau 1 – Distribution t de Student.....		37
Tableau A.1 – Méthodes d’essai générales pour les matériaux et assemblages.....		39

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

MÉTHODES D'ESSAI POUR LES MATÉRIAUX ÉLECTRIQUES, LES CARTES IMPRIMÉES ET AUTRES STRUCTURES D'INTERCONNEXION ET ENSEMBLES –

Partie 5-1: Méthodes d'essai générales pour les matériaux et les assemblages – Lignes directrices pour les assemblages de cartes à circuit imprimé

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 61189-5 a été établie par le comité d'études 91 de l'IEC: Techniques d'assemblage des composants électroniques.

Le texte de cette norme est issu des documents suivants:

CDV	Rapport de vote
91/1273/CDV	91/1354/RVC

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 61189, publiées sous le titre général *Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

INTRODUCTION

L'IEC 61189 porte sur les méthodes d'essai des cartes à circuit imprimé et des assemblages de cartes à circuit imprimé, ainsi que sur la solidité des matériaux ou composants associés, quelle que soit leur méthode de fabrication.

La norme est divisée en différentes parties qui contiennent des informations destinées au concepteur et la méthodologie d'essai destinée aux ingénieurs ou aux techniciens. Chaque partie met l'accent sur un élément particulier. Les méthodes sont regroupées en fonction de leur application et numérotées de manière séquentielle au fur et à mesure de leur développement et de leur publication.

Dans certains cas, les méthodes d'essai développées par d'autres comités techniques (le TC 104, par exemple) ont été reproduites à partir de normes IEC existantes afin de proposer au lecteur un ensemble exhaustif de méthodes d'essai. Dans ce cas, cela est indiqué dans la méthode d'essai spécifique. Si la méthode d'essai reproduite comporte quelques révisions mineures, les alinéas modifiés sont identifiés.

Cette partie de l'IEC 61189 contient des méthodes d'essai qui permettent d'évaluer les assemblages de cartes à circuit imprimé et les matériaux utilisés dans la fabrication des assemblages électroniques. Les méthodes sont indépendantes et contiennent des détails et une description suffisants pour atteindre l'uniformité et la reproductibilité des modes opératoires et des méthodologies d'essai.

Le TC 91 a décidé de fusionner le contenu de l'IEC 61189-5 et de l'IEC 61189-6 dans une série de documents, de la manière suivante:

IEC 61189-5-1, *Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 5-1: Méthodes d'essai générales pour les matériaux et les assemblages – Lignes directrices pour les assemblages de cartes à circuit imprimé*

IEC 61189-5-2:2015, *Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 5-2: Méthodes d'essai générales pour les matériaux et les assemblages – Flux de brasage pour les assemblages de cartes imprimées*

IEC 61189-5-3:2015, *Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 5-3: Méthodes d'essai générales pour les matériaux et les assemblages – Pâte de brasage pour les assemblages de cartes imprimées*

IEC 61189-5-4:2015, *Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 5-4: Méthodes d'essai générales pour les matériaux et les assemblages – Alliages à braser et brasages solides fluxés et non fluxés pour les assemblages de cartes imprimées*

IEC 61189-5-501:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-501: General test methods for materials and assemblies – Surface insulation resistance (SIR) testing of solder fluxes*¹

IEC 61189-5-502:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-502: General test methods for materials and assemblies – SIR testing of assemblies*¹

¹ A l'étude.

IEC 61189-5-503:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-503: General test methods for materials and assemblies – Conductive Anodic Filaments (CAF) testing of circuit boards*²

IEC 61189-5-504:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-504: General test methods for materials and assemblies – Process ionic contamination testing*²

Les essais abordés dans cette norme sont regroupés en fonction des principes suivants:

- P: méthodes de préparation/conditionnement
- V: méthodes d'essai visuel
- D: méthodes d'essai dimensionnel
- C: méthodes d'essai chimique
- M: méthodes d'essai mécanique
- E: méthodes d'essai électrique
- N: méthodes d'essai environnemental
- X: méthodes d'essai diverses, y compris les essais de contrôle du processus d'assemblage

Pour faciliter la référence aux essais, maintenir la cohérence de la présentation et envisager les développements à venir, chaque essai est identifié par un numéro (attribué de manière séquentielle) ajouté à la lettre du préfixe (code de groupe) indiquant le groupe auquel appartient la méthode d'essai.

Les numéros de méthode d'essai n'ont pas de signification particulière quant à une éventuelle séquence d'essais. Cette responsabilité appartient à la spécification pertinente qui nécessite la réalisation de la méthode. Dans la plupart des cas, la spécification pertinente décrit également les critères de réussite/d'échec.

Les combinaisons de lettre et de numéro sont indiquées à titre de référence que la spécification pertinente va utiliser. Ainsi, l'expression "5-2C01" représente la première méthode d'essai chimique décrite dans l'IEC 61189-5-2.

En bref, dans cet exemple, 5-2 est le numéro de la partie de l'IEC 61189, C est le groupe des méthodes et 01 est le numéro d'essai.

Une liste de toutes les méthodes d'essai des documents mentionnés ci-dessus est donnée dans l'Annexe A, laquelle sera republiée à chaque introduction de nouveaux essais.

² A l'étude.

MÉTHODES D'ESSAI POUR LES MATÉRIAUX ÉLECTRIQUES, LES CARTES IMPRIMÉES ET AUTRES STRUCTURES D'INTERCONNEXION ET ENSEMBLES –

Partie 5-1: Méthodes d'essai générales pour les matériaux et les assemblages – Lignes directrices pour les assemblages de cartes à circuit imprimé

1 Domaine d'application

La présente partie de l'IEC 61189 est un catalogue de méthodes d'essai qui représentent les méthodologies et les modes opératoires qui peuvent être appliqués aux assemblages de cartes à circuit imprimé.

La présente partie de l'IEC 61189 récapitule le contenu de la série IEC 61189-5, ainsi que les documents et manuels avec les lignes directrices relatives aux assemblages de cartes à circuit imprimé.

2 Références normatives

Les documents suivants cités dans le texte constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

Le présent document ne contient aucune référence normative.

3 Exactitude, précision et résolution

3.1 Généralités

Les erreurs et incertitudes sont inhérentes à tous les processus de mesure. Les informations données ci-dessous permettent d'évaluer correctement la quantité d'erreurs et d'incertitudes à prendre en compte.

Les données d'essai servent un certain nombre d'objectifs, parmi lesquels

- la surveillance d'un processus;
- l'amélioration du niveau de confiance en matière de conformité à la qualité;
- l'arbitrage entre le client et le fournisseur.

Dans chacune de ces circonstances, il est essentiel de pouvoir placer les données d'essai à un certain niveau de confiance en termes de

- exactitude: étalonnage des appareils et/ou du système d'essai;
- précision: répétabilité et incertitude de la mesure;
- résolution: commodité des appareils et/ou du système d'essai.

3.2 Exactitude

Le régime d'étalonnage des appareils d'essai doit être clairement indiqué dans la documentation qualité du fournisseur ou de l'agence procédant aux essais et doit satisfaire aux exigences de l'ISO 9001 ou équivalent (voir Bibliographie).

L'étalonnage doit être réalisé par une agence ayant obtenu une accréditation auprès d'un institut national ou international de normalisation des mesures. Il convient de mettre en place une chaîne d'étalonnage ininterrompue conforme aux Normes nationales ou internationales.

S'il n'est pas possible de procéder à un étalonnage conformément aux Normes nationales ou internationales en vigueur, des techniques d'essais interlaboratoires peuvent être utilisées et documentées pour accroître le niveau de confiance en matière d'exactitude de mesure.

En principe, l'étalonnage doit avoir lieu tous les ans. Cependant, les appareils qui n'entrent systématiquement pas dans les limites acceptables d'exactitude doivent faire l'objet d'étalonnages plus réguliers. Les appareils se trouvant systématiquement dans les limites acceptables peuvent faire l'objet d'étalonnages moins fréquents.

Un enregistrement de l'étalonnage et de l'historique de maintenance doit être prévu pour chaque appareil. Il convient que ces enregistrements précisent l'incertitude de la technique d'étalonnage (écart exprimé en $\pm \%$) de manière à pouvoir rassembler et déterminer les incertitudes de mesure.

Un mode opératoire doit être mis en œuvre pour résoudre toutes les situations dans lesquelles un appareil se trouve hors des limites d'étalonnage.

3.3 Précision

Le budget d'incertitude de toutes les techniques de mesure est composé d'incertitudes systématiques et aléatoires. Toutes les estimations doivent reposer sur un seul niveau de confiance, le niveau minimum étant de 95 %.

D'une manière générale, les incertitudes systématiques prédominent et incluent toutes les incertitudes ne faisant pas l'objet de fluctuation aléatoire. Il s'agit

- des incertitudes d'étalonnage;
- des erreurs dues à l'utilisation d'un appareil dans des conditions différentes de celles dans lesquelles il a été étalonné;
- des erreurs de graduation d'échelle d'un appareil de mesure analogique (erreur de forme d'échelle).

Les incertitudes aléatoires proviennent de diverses sources, mais elles peuvent être déduites par la mesure répétée d'un élément normalisé. Par conséquent, il n'est pas nécessaire d'isoler les apports individuels. Il peut s'agir

- de fluctuations aléatoires, comme celles dues à la variation d'un paramètre d'influence. D'une manière générale, les modifications des conditions atmosphériques réduisent la répétabilité d'une mesure;
- de l'incertitude de discrimination, par exemple la définition d'un pointeur vers un trait de repère ou l'interpolation entre graduations d'une échelle analogique.

Regroupement des incertitudes: l'addition géométrique (somme des carrés) des incertitudes peut être utilisée dans la plupart des cas. L'erreur d'interpolation est en principe ajoutée séparément et peut être acceptée à hauteur de 20 % de la différence entre les graduations les plus fines de l'échelle de l'appareil.

$$U_t = \pm \sqrt{(U_s^2 + U_r^2)} + U_i$$

où

U_t est l'incertitude totale;

U_s est l'incertitude systématique;

U_r est l'incertitude aléatoire;

U_i est l'erreur d'interpolation.

Détermination des incertitudes aléatoires: l'incertitude aléatoire peut être déterminée par mesure répétée d'un paramètre et traitement statistique subséquent des données mesurées. La technique suppose que les données produisent une répartition normale (gaussienne).

$$U_r = \frac{t \times \sigma}{\sqrt{n}}$$

où

U_r est l'incertitude aléatoire;

n est la taille de l'échantillon;

t est le point de pourcentage de la répartition t , comme illustré au Tableau 1;

σ est l'écart-type (σ_{n-1}).

3.4 Résolution

Il est très important que l'appareil d'essai utilisé offre une résolution suffisante. Il convient que les systèmes de mesure utilisés soient en mesure de résoudre 10 % (ou plus) de la tolérance de limite d'essai.

Il est accepté que certaines technologies limitent physiquement la résolution (la résolution optique, par exemple).

3.5 Rapport

Outre les exigences détaillées dans la spécification d'essai, le rapport doit détailler

- a) la méthode d'essai utilisée;
- b) l'identité des échantillons;
- c) l'appareillage d'essai;
- d) les limites spécifiées;
- e) une estimation de l'incertitude de mesure et des limites d'application qui en résultent pour l'essai;
- f) les résultats d'essai détaillés;
- g) la date de l'essai et la signature de l'opérateur.

3.6 Distribution t de Student

Le Tableau 1 donne les valeurs du facteur t pour des niveaux de confiance de 95 % et 99 %, en fonction du nombre de mesures.

Tableau 1 – Distribution t de Student

Taille de l'échantillon	t , valeur 95 %	t , valeur 99 %		Taille de l'échantillon	t , valeur 95 %	t , valeur 99 %
2	12,7	63,7		14	2,16	3,01
3	4,3	9,92		15	2,14	2,98
4	3,18	5,84		16	2,13	2,95
5	2,78	4,6		17	2,12	2,92
6	2,57	4,03		18	2,11	2,9
7	2,45	3,71		19	2,1	2,88
8	2,36	3,5		20	2,09	2,86
9	2,31	3,36		21	2,08	2,83
10	2,26	3,25		22	2,075	2,82
11	2,23	3,17		23	2,07	2,81
12	2,2	3,11		24	2,065	2,8
13	2,18	3,05		25	2,06	2,79

3.7 Limites d'incertitude suggérées

Les incertitudes cibles suivantes sont suggérées:

- a) Tension < 1 kV: $\pm 1,5 \%$
- b) Tension > 1 kV: $\pm 2,5 \%$
- c) Courant < 20 A: $\pm 1,5 \%$
- d) Courant > 20 A: $\pm 2,5 \%$

Résistance

- e) Masse et continuité: $\pm 10 \%$
- f) Isolation: $\pm 10 \%$
- g) Fréquence: $\pm 0,2 \%$

Durée

- h) Intervalle < 60 s: $\pm 1 \text{ s}$
- i) Intervalle > 60 s: $\pm 2 \%$
- j) Masse < 10 g: $\pm 0,5 \%$
- k) Masse 10 g à 100 g: $\pm 1 \%$
- l) Masse > 100 g: $\pm 2 \%$
- m) Force: $\pm 2 \%$
- n) Dimension < 25 mm: $\pm 0,5 \%$
- o) Dimension > 25 mm: $\pm 0,1 \text{ mm}$
- p) Température < 100 °C: $\pm 1,5 \%$
- q) Température > 100 °C: $\pm 3,5 \%$
- r) Humidité (30-75) % HR: $\pm 5 \%$ HR

Épaisseurs du revêtement métallique

- s) Méthode de rétrodiffusion: $\pm 10 \%$

- t) Microsection: $\pm 2 \mu\text{m}$
- u) Contamination ionique: $\pm 10 \%$

4 Catalogue des méthodes d'essai approuvées

Cette norme propose des méthodes d'essai particulières détaillées pouvant être mises en œuvre avec un référencement croisé minimal vers d'autres modes opératoires spécifiques. Les méthodes utilisent des expositions de conditionnement génériques par référence, par exemple, à celles décrites dans l'IEC 61189-1 et l'IEC 60068-1 et sont, le cas échéant, une partie obligatoire de la norme de méthode d'essai.

Un titre, un numéro et un état de la révision sont attribués à chaque méthode en vue de faciliter les mises à jour et l'amélioration des méthodes, au fur et à mesure de l'évolution des exigences de l'industrie ou des nouvelles méthodologies. Les méthodes sont organisées en groupes de méthode d'essai et en essais individuels.

5 Détail du contenu de la série IEC 61189-5

L'Annexe A récapitule les différents essais contenus dans les normes existantes ou prévues dans la série IEC 61189-5.

NOTE Les détails concernant les normes "à étude" ne sont pas encore disponibles.

Annexe A (informative)

Essais

Le Tableau A.1 récapitule les essais existants et les essais en cours de développement.

Tableau A.1 – Méthodes d'essai générales pour les matériaux et assemblages

Norme IEC	Designation	Essai
IEC 61189-5-2	C: Méthodes d'essai chimique	
	5-2C01	Corrosion, flux
	5-2C02	Détermination de l'indice d'acide du flux de brasage liquide – Méthodes de titrage potentiométrique et à repérage visuel
	5-2C03	Indice d'acidité de la colophane
	5-2C04	Détermination des halogénures dans les flux, méthode au chromate d'argent
	5-2C05	Matières solides du flux
	5-2C06	Détermination de la quantité d'halogénures dans les flux (chlorure et bromure)
	5-2C07	Analyse qualitative des fluorures et des flux par essai à la goutte
	5-2C08	Détermination quantitative de la concentration de fluorures dans les flux
	5-2C09	Densité
	5-2C10	Corrosion due au flux (méthode du miroir de cuivre)
	X: Méthodes d'essai diverses	
	5-2X01	Activité du flux liquide, méthode de la balance de mouillage
	5-2X02	Essai de propagation, flux de brasage liquide ou extrait, pâte à braser et fils d'apport ou préformes extraites
	5-2X03	Résidus de flux – Adhérence après séchage
IEC 61189-5-3	X: Méthodes d'essais divers	
	5-3X01	Viscosité du flux de pâte – Méthode de la broche en T
	5-3X02	Essai de propagation, flux de brasage extrait, flux de brasage et pâte de brasage
	5-3X03	Viscosité de la pâte de brasage – Méthode de la broche en T (applicable de 300 Pa•s à 1 600 Pa•s)
	5-3X04	Viscosité de la pâte de brasage – Méthode de la broche en T (applicable à 300 Pa•s)
	5-3X05	Viscosité de la pâte de brasage – Méthode de la pompe à spirale (applicable de 300 Pa•s à 1 600 Pa•s)
	5-3X06	Viscosité de la pâte de brasage – Méthode de la pompe à spirale (applicable à 300 Pa•s)
	5-3X07	Pâte de brasage – Essai d'affaissement
	5-3X08	Pâte de brasage – Essai de la bille de brasage
	5-3X09	Pâte de brasage – Essai d'adhérence
	5-3X10	Pâte de brasage – Essai de mouillage
	5-3X11	Détermination de la distribution des dimensions des particules de poudre de brasage – Méthode d'écran pour les types
	5-3X12	Distribution des dimensions des particules de poudre – Méthode de microscope de mesure
	5-3X13	Distribution des dimensions des particules de poudre – Méthode d'analyseur de l'image optique

Norme IEC	Designation	Essai
	5-3X14	Distribution des dimensions des particules de poudre – Méthode de diffraction laser
	5-3X15	Détermination des dimensions maximales des particules de poudre de brasage
	5-3X16	Contenu métallique de la pâte de brasage par poids
IEC 61189-5-4	C: Méthodes d'essai chimique	
	5-4C01	Détermination du pourcentage de flux sur/dans le fil d'apport enrobé de fondant et/ou fourré
	X: Méthodes d'essais mécaniques	
	5-4X01	Essai de propagation, fils fourrés ou préformes extraits
	5-4X02	Essai de projection de fil d'apport fourré pour brasage tendre
	5-4X03	Essai du bain d'étain
IEC 61189-5-501		A l'étude
IEC 61189-5-502		A l'étude
IEC 61189-5-503		A l'étude
IEC 61189-5-504		A l'étude

Annexe B (informative)

Documents et manuels de lignes directrices

B.1 Généralités

Les documents cités dans les Articles B.2 à B.23 portent sur les matériaux de brasage ou les méthodes d'essai spécifiques utilisé(e)s.

B.2 Manuel et guide venant en complément de l'IPC-J-STD-001

Le J-STD-001 et l'IPC-HDBK-001 n'excluent pas de suivre un processus acceptable pour procéder aux connexions électriques, tant que les méthodes utilisées permettent de générer des joints de brasure complets satisfaisant aux exigences d'acceptabilité de l'IPC-J-STD-001.

Ce manuel décrit les matériaux, les méthodes et les critères de vérification qui, lorsqu'ils sont appliqués comme suggéré ou exigé, permettent de produire des assemblages électriques et électroniques de qualité. Il a pour vocation d'expliquer les modalités d'application, les raisons et tous les éléments fondamentaux de ces processus, en complément de la mise en œuvre du contrôle de processus plutôt que l'utilisation d'un examen du produit fini pour déterminer la qualité du produit.

B.3 Guidelines for Electrically Conductive Surface Mount Adhesives (IPC-3406)

Ce document donne les directives relatives au choix des adhésifs conducteurs d'un point de vue électrique utilisés dans un assemblage de composants de cartes à circuit imprimé (CCI) ou des systèmes d'interconnexion similaires. L'accent est mis sur l'utilisation d'adhésifs comme alternatives de brasage. Si possible, la présentation du processus tente de rester dans les limites de l'infrastructure d'assemblage de brasage. Les principaux types d'adhésifs isotropes (conductivité égale dans toutes les directions) et anisotropes (conductivité dans une seule direction) sont abordés. Les deux principaux types d'adhésifs polymères thermodurcis et thermoplastiques sont décrits.

B.4 Users Guide for Cleanliness of Unpopulated Printed Boards (IPC-5701)

Si vous exercez dans le secteur de l'électronique, à un moment donné, vous êtes, serez ou devriez être confronté au problème de la propreté des cartes à circuit imprimé sans composant (cartes nues). Les résidus sur les cartes sont directement relatifs à la fiabilité du matériel produit et peuvent donner lieu à de sérieuses défaillances s'ils ne sont pas surveillés et contrôlés.

Ce document est le produit de l'IPC Bare Board Cleanliness Assessment Task Group. Il a été élaboré pour donner aux personnes en charge de ces questions des lignes directrices sur la manière dont il convient de les aborder et de les spécifier dans les documents d'achat.

B.5 Guidelines for OEM's in Determining Acceptable Levels of Cleanliness of Unpopulated Printed Boards (IPC-5702)

Tous les fabricants d'électronique, qu'il s'agisse du fabricant original de l'équipement (OEM) ou d'un sous-traitant (CM), se demandent souvent si les cartes imprimées sans composant utilisées dans l'assemblage fini présentent un niveau adéquat de propreté. La question de savoir ce qu'est véritablement la propreté a été souvent posée ces dix dernières années dans la plupart des comités IPC. Il s'agit d'un sujet très complexe qui soulève de nombreuses

considérations critiques. C'est la raison pour laquelle, il n'existe pas de méthodologie unique permettant de déterminer l'acceptabilité. Ce document a été élaboré en tant que lignes directrices destinées aux personnes chargées de déterminer ces critères pour leur société.

L'IPC-5701 couvre de nombreux aspects relatifs à la mesure de la propreté sur les cartes imprimées, ainsi que de nombreux facteurs critiques à prendre en compte lors de la spécification de la propreté de la carte dans les documents d'achat. Cette référence et les documents techniques connexes présentent les nombreux défauts des méthodologies d'essai du courant, ainsi que des explications relatives à l'absence d'un "nombre d'or" pour la propreté. Ce qui est raisonnablement propre pour un secteur de l'industrie peut paraître inacceptable pour des secteurs plus exigeants de l'industrie (médical ou aérospatial, par exemple).

B.6 Surface Insulation Resistance Handbook (IPC-9201)

Ce document couvre le large spectre des essais de température-humidité (TH), la terminologie associée et les techniques proposées pour procéder aux essais de résistance d'isolement de surface de l'IEC 61189-5-5, qui décrit les méthodes d'essai 5E01 et 5E02.

B.7 Material and Process Characterisation/Qualification Test Protocol for Assessing Electrochemical Performance (IPC-9202)

Cet essai de caractérisation/qualification du matériau et du processus enregistre les variations de résistance d'isolement de surface (SIR) sur un échantillon représentatif de l'assemblage de circuit imprimé (PCA). Il quantifie tous les effets délétères du flux de brasage ou d'autres résidus du processus sur les surfaces externes suite au brasage, qui peuvent provoquer des réactions électrochimiques indésirables ayant un impact important sur la fiabilité.

Il utilise des véhicules d'essai censés être représentatifs des circuits électroniques en cours de production. Il s'agit d'un essai produisant des données tant quantitatives que qualitatives.

Cet essai peut être utilisé pour la *Qualification de procédé*, qui démontre qu'un procédé de fabrication proposé ou qu'une modification du procédé peut produire un produit fini aux performances acceptables relatives à la propreté. Des modifications peuvent impliquer une étape du procédé d'assemblage ou un changement de fournisseur de carte imprimée, de masque de brasage ou de métallisation, de fournisseur de matériau de brasage, de revêtement enrobant, etc. La construction du véhicule d'essai varie selon le type de modification évaluée.

B.8 User Guide for the IPC/IEC B52 Process Qualification Test Vehicle (IPC-9203)

Le procédé de fabrication de composants électroniques, souvent très complexe, fait intervenir des douzaines de variables qui ont un impact sur la qualité et la fiabilité des assemblages fabriqués dans l'environnement d'utilisation final. Deux de ces variables importantes à prendre en compte sont les types de résidus qui restent sur l'assemblage électronique et leurs effets sur la fiabilité. Dans les présentations de ces assemblages, ces deux variables sont le plus souvent appelées "propreté".

Malgré les différents moyens de mesurer les résidus et leurs effets sur les performances électriques, les deux approches les plus communes dans le secteur de l'industrie sont les essais de propreté ionique, qui permettent de déterminer les résidus ioniques, et les essais de résistance d'isolement de surface (RIS), pour évaluer les défaillances électrochimiques en environnements humides.

Ce document met l'accent sur l'assemblage d'essai de la norme IPC-B-52 et sur la façon de l'utiliser pour évaluer la "propreté" des procédés de fabrication des composants électroniques.

B.9 PWB Assembly Soldering Process Guideline for Electronic Components (IPC-9502)

Ce document décrit les limites du procédé de brasage de fabrication que peuvent supporter les composants soumis à l'IPC-9501, à l'IPC-9503, à l'IPC-9504 et au J-STD-020. Il ne contient pas les conditions optimales de l'assemblage, plutôt des lignes directrices pour s'assurer que les composants ne sont pas endommagés.

Ce document s'applique aux composants à montage en surface (SM) et aux composants à insérer (TH) soudés à la vague, refusionnés ou brasés tendres à la main. Il est censé compléter d'autres documents de l'industrie, qui figurent dans les documents applicables.

B.10 Aqueous Post Solder Cleaning Handbook (IPC-AC-62A)

Ce manuel aborde le nettoyage aqueux des pièces électriques/électroniques et des outils d'application après brasage.

L'objectif de ce texte est d'assurer une compréhension élémentaire du sujet, mais aussi servir de guide pour les utilisateurs ou utilisateurs potentiels de la technologie de nettoyage aqueux, afin de leur permettre de choisir ou d'améliorer les procédés afférents.

B.11 Guidelines for Cleaning of Printed Boards and Assemblies (IPC-CH-65A)

Ce manuel est une feuille de route relative aux questions de nettoyage en cours et en développement, plutôt qu'un document très détaillé pour tous les domaines concernés. Dans les domaines du nettoyage pour lesquels des manuels IPC ont déjà été publiés, les sections correspondantes de l'IPC-CH-65A contiennent uniquement les informations suffisantes pour informer raisonnablement le lecteur. Ce manuel de lignes directrices renvoie le lecteur aux documents appropriés existants de l'IPC (le cas échéant) pour obtenir des informations approfondies sur un sujet particulier. Ce type de manuel de référence IPC est, par exemple, l'IPC-AC-62, *Aqueous Cleaning Handbook*. L'IPC-CH-65A développe des informations au-delà des principes de base uniquement lorsque des documents IPC ne sont pas disponibles, afin de couvrir l'état des connaissances relatives à un sujet particulier. L'avantage lié à cette approche est que le manuel reste maniable et tend à promouvoir un environnement convivial.

Les questions relatives à la fabrication de la carte nue et à la propreté de l'assemblage sont abordées. Les sections relatives à la fabrication et à l'assemblage sont séparées pour faciliter leur accès. Dans l'IPC-CH-65 original, ces sections ont été dans une large mesure entrelacées. Il a toutefois été reconnu que, pour un sujet tel que la propreté exigée des cartes nues finies, des enseignements redondants sont exigés pour les sections relatives à la fabrication et à l'assemblage.

B.12 Handbook (IPC-J-STD005)

Ce manuel accompagne la norme J-STD-005 relative à la pâte de brasage. Il convient de le considérer comme un guide pour l'évaluation de l'applicabilité d'une pâte de brasage dans le cadre d'une utilisation dans des procédés de technologie de montage en surface (SMT). Ce document suggère également certaines méthodes d'essai qui peuvent faciliter la conception et l'essai des pâtes de brasage. Il s'adresse aux fournisseurs et aux utilisateurs de pâtes de brasage.

Les pâtes de brasage sont des matériaux uniques, dont les performances dans le cadre d'un procédé de montage en surface dépendent d'un certain nombre de variables qui, pour la

plupart, interagissent entre elles. Le J-STD-005 fournit les méthodes d'essai pour la classification de la pâte de brasage en fonction de l'utilisation de différentes techniques d'essai. Ces classifications de pâte de brasage n'ont toutefois aucun lien direct avec l'identification du type et des caractéristiques d'une pâte de brasage spécifique qui est nécessaire dans un procédé d'assemblage SMT donné.

Ce document a été rédigé pour servir de guide pour l'évaluation de l'applicabilité d'une pâte de brasage pour un procédé particulier, compte tenu du grand nombre de permutations de matériaux, d'atmosphères et de variables de procédés actuellement disponibles.

Le cas échéant, il est fait référence aux textes et aux documents qui contiennent de plus amples informations. Compte tenu du grand nombre de facteurs interactifs possibles, aucun critère de sélection de pâte de brasage spécifique ne peut être donné. La pâte de brasage choisie et le procédé d'assemblage utilisé doivent former des connexions soudées qui satisfont aux exigences des normes de l'industrie, par exemple J-STD-001 et/ou IPC-A-610.

B.13 Acceptability of Electronic Assemblies (IPC-HDBK-610)

Ce manuel accompagne l'IPC-A-610C et l'IPC-A-610C Amendement 1 et a été élaboré à l'aide de ces documents. L'amendement donne des critères et des éclaircissements supplémentaires. L'amendement est inclus dans ce manuel après l'Annexe C; il peut être téléchargé gratuitement depuis le site web de l'IPC à l'adresse suivante: <http://www.ipc.org/TOC/IPC-HDBK-610-w-Amend-1.pdf>.

Ce manuel a pour objet d'expliquer les justifications techniques des critères d'acceptabilité, d'indicateur de procédé et de défaut choisis. Il donne en particulier des informations relatives à la technologie d'assemblage. Des informations supplémentaires sont fournies pour permettre de mieux comprendre les considérations en matière de procédés nécessaires à la production de matériel acceptable.

B.14 Guidelines for Design, Selection and Application of Conformal Coatings (IPC-HDBK-830)

Des revêtements enrobants sont utilisés conjointement avec les assemblages de circuit imprimé (PCA). Il convient que le concepteur et les utilisateurs de revêtements enrobants destinés aux applications électroniques connaissent les différents types de revêtements enrobants et leurs interactions avec les PCA, afin de protéger ces derniers dans l'environnement d'utilisation finale sur toute la durée de vie de conception du PCA (voire au-delà). Ce document a été rédigé pour aider les concepteurs et utilisateurs des revêtements enrobants à bien comprendre les caractéristiques des différents types de revêtements, ainsi que les facteurs qui peuvent modifier ces propriétés lors de l'application des revêtements. La compréhension et la prise en compte de ces matériaux peuvent assurer la fiabilité et le fonctionnement des composants électroniques.

Ce manuel a pour objet d'aider les personnes qui font des choix en matière de revêtement enrobant ou qui procèdent à des opérations de revêtement. Ce manuel est une compilation des connaissances et des expériences de l'IPC Conformal Coating Handbook Task Group. Il n'est pas suffisant de comprendre les propriétés des différents revêtements enrobants. L'utilisateur doit comprendre ce que doit apporter l'application du revêtement enrobant, mais aussi la manière de vérifier que les résultats souhaités ont été obtenus.

B.15 Solder mask Handbook (IPC-HDBK-840)

Les masques de brasage sont des revêtements de protection permanente qui exécutent un certain nombre de fonctions lors de la fabrication, de l'assemblage et de l'utilisation finale des circuits imprimés. Un masque de brasage a pour principal objet de protéger les circuits de l'interaction avec le brasage lors du processus d'assemblage. Un masque de brasage ne se

limite toutefois pas à une opération de brasage. Il aide à protéger le plaqué, les orifices et les traces contre les contaminants et les dégradations lors de la durée de vie utile du circuit. Il fait également office d'isolant des propriétés diélectriques connues entre les composants et les traces.

Les principales exigences du masque de brasage (en tant que qualification du matériau) sont soumises à essai dans le cadre de l'IPC-SM-840. L'accroissement de la diversification technique a toutefois créé d'autres besoins d'essai. Chaque exigence technique n'est pas pertinente pour chaque application. Aussi, toutes ces exigences n'entrent pas dans le cadre d'une qualification générale du matériau. En règle générale, ces propriétés sont exigées pour les fabricants originaux d'équipements (OEM) spécifiques. Ce manuel relatif aux masques de brasage permet au lecteur d'acquérir les connaissances de base, qui lui permettront de prendre une décision éclairée si des propriétés particulières sont exigées et de savoir comment les soumettre à essai. Il donne également des informations pédagogiques importantes relatives aux influences du procédé.

Ce manuel a pour objet de donner des informations supplémentaires pour l'IPC-SM-840 sur les types, les procédés, les caractéristiques et les propriétés de masque de brasage, afin d'aider au choix judicieux et à la bonne utilisation du matériau le plus approprié à l'application prévue. Il convient de le lire conjointement avec les informations techniques du fabricant de masque de brasage et d'autres documents de spécification qui peuvent être pertinents en la matière, par exemple ceux de la Section 2 de l'IPC-HDBK-840.

B.16 Guidelines and Requirements for Electrical Testing of Unpopulated Printed Boards (IPC-9252)

Ce document est présenté pour aider à choisir l'analyseur d'essai, les paramètres d'essai, les données d'essai et l'installation exigés pour procéder aux essais électriques sur toutes les cartes imprimées nues sans composant intégré (c'est-à-dire des résistances, des condensateurs, etc.).

Les utilisateurs doivent déterminer les paramètres d'essai et les exigences d'installation afin de soumettre à essai la continuité (ouverture), l'isolation (fuite/court-circuit) et d'autres caractéristiques particulières (c'est-à-dire l'impédance, les essais sous tension élevée, la capacité, le courant maximal admissible, etc.) qui vont permettre d'évaluer de manière satisfaisante les caractéristiques électriques critiques de cartes imprimées particulières. Les niveaux d'essai qui figurent dans ce document définissent certains de ces paramètres.

Les essais électriques permettent de vérifier que les réseaux imprimés sur les cartes sont interconnectés conformément aux exigences de conception.

L'essai électrique ne garantit pas de pouvoir assembler la carte, ni que cette dernière satisfait à toutes les exigences du client. Les caractéristiques physiques des conducteurs (précision dimensionnelle, masque de brasage, géométrie du conducteur et enregistrement de la nomenclature, présence d'orifices, etc.) dans leur majorité ne peuvent pas être déterminées par l'essai électrique. Il convient de procéder à d'autres vérifications pour confirmer ces caractéristiques.

B.17 In-Process DPMO and Estimated Yield for PCAs (IPC-9261A)

Ce document définit les méthodologies normalisées de calcul du nombre de défauts par million d'opportunités (DPMO) relatifs aux procédés d'assemblage de carte imprimée électronique. Il est destiné à être utilisé dans les étapes de mesure de l'assemblage en cours de fabrication plutôt que pour déterminer le produit final. Le calcul DPMO complet est abordé dans l'IPC-7912.

Un guide de catégorisation des défauts est en outre fourni; lorsqu'il est utilisé avec le J-STD-001 et l'IPC-A-610, il peut servir de base pour récapituler et consigner les défauts en cours de fabrication.

Noter que ce document n'impose pas le nombre d'assemblages ou de points de données nécessaires pour calculer le nombre DPMO.

Ce document a pour objet de définir des méthodologies cohérentes de calcul des nombres DPMO **en cours de fabrication** à tous les stades d'évaluation des défauts dans le processus d'assemblage.

Cet objectif permet d'anticiper les conditions suivantes de consignation et d'analyse des défauts:

- Pour faciliter l'amélioration du procédé, il convient d'attribuer les défauts détectés aux points d'inspection ou aux points d'essai à leur étape de processus appropriée.
- Tous les défauts doivent être consignés au point d'inspection dans lequel ils ont été détectés, même si un défaut qui a déjà été détecté peut avoir été à l'origine des défauts subséquents.
- Quelle que soit la manière dont ces défauts sont assignés, le défaut doit être attribué à un défaut de composant, d'emplacement, d'extrémité ou d'assemblage.
- L'hypothèse est que chaque assemblage de carte imprimée qui est examiné l'est à 100 % pour tous les défauts.
- L'hypothèse d'une efficacité d'examen à 100 % est formulée. Il convient de faire attention lors des processus de comparaison par examen manuel par rapport à ceux qui s'appuient sur un examen visuel automatisé.
- En cas d'utilisation d'un plan de contrôle par échantillonnage, le nombre de PCA examinés détermine le nombre d'opportunités, pas le nombre traité.

B.18 Assembly Soldering Process Guideline for Electronic Components (IPC-9502 PWB)

Ce document décrit les limites du procédé de brasage de fabrication que peuvent supporter les composants soumis à l'IPC-9501, à l'IPC-9503, à l'IPC-9504 et au J-STD-020. Il ne contient pas les conditions optimales de l'assemblage, mais plutôt des lignes directrices afin de s'assurer que les composants ne soient pas endommagés.

Ce document s'applique aussi bien aux composants à montage en surface (SM) qu'aux composants à insérer (TH) soudés à la vague, refusionnés ou brasés tendres à la main. Ce document est censé compléter d'autres documents de l'industrie, qui figurent dans les documents applicables.

B.19 Users Guide for IPC-TM-650, Method 2.6.27, Thermal Stress, Convection Reflow Assembly Simulation (IPC-9631)

Ce document a vocation à aider les utilisateurs de l'IPC-TM-650, Méthode 2.6.27 *Contrainte thermique et simulation d'assemblage de refusion par convection*. Cette méthode d'essai s'explique par le fait que l'IPC-TM-650, Méthode 2.6.8, *Contrainte thermique, trous métallisés* (contrainte thermique par flottaison) n'est plus considérée comme pertinente pour simuler le procédé d'assemblage et les contraintes auxquelles sont désormais confrontés de nombreux produits. Ces dernières années, le procédé d'assemblage a continué à se distinguer du brasage à la vague, par l'ajout de dispositifs à montage en surface au niveau supérieur, puis inférieur, par de gros modules BGA dans lesquels les joints de brasure sont masqués, par une densité sans cesse croissante des dispositifs, ce qui augmente la masse thermique et la contrainte thermique nécessaire à la fusion de la brasure et, enfin, par le passage à une température de fusion plus élevée et à des brasures sans plomb. En résumé, l'ajout de cycles

de plus en plus nombreux de la Méthode 2.6.8 ne permettait pas d'assurer un niveau satisfaisant de protection pour les cartes imprimées qui feraient alors l'objet d'une défaillance lors de l'assemblage, en raison des contraintes thermiques très différentes rencontrées. Ce document a été élaboré par le sous-comité de méthode d'essai de contrainte thermique de l'IPC D-32 qui a développé l'IPC-TM-650, Méthode 2.6.27, sachant que la méthode d'essai exige un équipement particulier, ainsi qu'un montage et un étalonnage corrects de l'équipement.

L'IPC-TM-650, Méthode 2.6.27, vise à établir une capacité relative des cartes imprimées ou des échantillons représentatifs, afin de supporter les excursions thermiques liées à l'assemblage et au réusinage d'une application étain/plomb ou sans plomb à l'aide d'un four à convection ou d'un autre équipement avec le profil de refusion d'un four à convection. L'essai porte sur la solidité relative des interconnexions en cuivre et des matériaux diélectriques soumis à un effort et à la contrainte qui en résultent, associés à un profil thermique normalisé. Il s'agit d'établir une mesure objective de la solidité relative en classant ou en comparant des variables, ou en établissant des exigences de fiabilité minimales pour les interconnexions en cuivre et le matériau diélectrique d'une carte imprimée. La méthode d'essai a pour objet de fournir le mode opératoire de conditionnement et de refusion de l'éprouvette d'essai avant de procéder à l'évaluation de conformité par rapport à la spécification de performances applicable, c'est-à-dire l'IPC-6012, l'IPC-6013, l'IPC-6018, etc.

Ce document a pour principal objet d'aborder les problématiques et les considérations relatives à l'IPC-TM-650, Méthode 2.6.27. Ce document porte sur la manière dont la méthode d'essai a été élaborée et la justification de certains protocoles et de certaines exigences. Ce document est accompagné d'un autre document qui permet d'améliorer la compréhension, l'application et l'implication des résultats obtenus suite à l'utilisation de cette méthode d'essai.

B.20 High Temperature Printed Board Flatness Guideline (IPC-9641)

Lors du processus d'assemblage à montage en surface d'un module électronique sur une carte imprimée par l'intermédiaire d'un profil de température de refusion, la planéité du module et de la carte imprimée est essentielle à l'intégrité de la formation du joint de brasure et à sa fiabilité. L'écart de planéité du module au cours de ce processus est critique. Il est donc également important de contrôler la planéité de la carte imprimée de manière à éviter les problèmes subséquents liés à l'assemblage, y compris les joints ouverts ou les joints de pontage, à l'origine de la défaillance du produit. La planéité de la carte est largement conditionnée par une modification des propriétés intrinsèques suite à l'exposition à des variations de température, la planéité finale devenant fonction de l'ensemble de l'historique de température ou du profil de refusion et des conditions limites du support. Elle est également conditionnée par l'empilage symétrique du cuivre et l'équilibre du modèle métallique. L'écart de planéité le moins favorable de la carte imprimée peut avoir lieu à température ambiante, à une température de crête pendant la refusion ou à toutes les températures intermédiaires. La planéité de la carte imprimée doit donc être caractérisée lors du cycle thermique de refusion, pas uniquement à la température ambiante au début et à la fin du processus. Ce document a pour objet de donner les lignes directrices relatives aux méthodes et modes opératoires d'évaluation critique de la planéité des cartes imprimées lors d'un cycle de refusion à température simulée.

Cette méthode d'essai a pour objet de mesurer la forme et la modification relative de la forme d'une zone précise à l'étude des cartes imprimées (surface d'appui du boîtier matriciel à billes à puce retournée ou FCBGA, par exemple), grâce à une plage de températures classiques rencontrées lors du montage en surface et du montage par insertion des modules de circuit intégré sur les cartes imprimées. L'utilisation des mesures de la forme et des variations relatives de la forme dépend de l'application spécifique et de l'intérêt de l'utilisateur qui procède aux mesures. Ces lignes directrices diffèrent de celles de l'IPC-TM-650, Méthode 2.4.22 et ne les remplacent pas; cette méthode est utilisée pour examiner la courbure et/ou le torsadage des cartes imprimées nues à température ambiante.

B.21 User Guide for the IPC-TM-650, Method 2.6.25, Conductive Anodic Filament (CAF) Resistance Test (Electrochemical Migration Testing) (IPC-9691A)

Ce document est le produit de l'IPC Electrochemical Migration (ECM) Task Group. Il a été élaboré pour fournir des lignes directrices sur la manière d'utiliser dans les meilleures conditions l'IPC-TM-650, Méthode 2.6.25, Conductive Anodic Filament (CAF) Resistance test (essai de résistance d'un filament anodique conducteur (CAF)), afin de pouvoir évaluer les effets des contraintes mécanique, de la fracture du matériau stratifié, de la contamination ionique, de la teneur en humidité avant stratification par pression et d'autres caractéristiques de traitement des matériaux sur les résultats de la méthode d'essai CAF. Cette méthode d'essai CAF est une norme éprouvée qui permet de déterminer le risque de défaillance lié à la température, à l'humidité et à l'échec de la polarisation (THB) à l'intérieur plutôt qu'à la surface des cartes à circuit imprimé (PCB), en général à cause de la formation de filament le long de la limite entre la résine et le renforcement du stratifié.

B.22 Mechanical Shock Test Guidelines for Solder Joint Reliability (IPC-JEDEC-9703)

Avec la croissance des composants électroniques, ainsi que de leur accessibilité et de leur portabilité, les chocs et autres impacts mécaniques deviennent des problèmes récurrents. Ce document tente d'améliorer les méthodes d'essai de choc mécanique antérieures; il associe en outre les conditions d'essai aux conditions d'utilisation. Une méthode est proposée de telle sorte que, quel que soit le niveau (système, assemblage de carte, essai simplifié d'un seul composant de carte, etc.) dans lequel l'essai est réalisé, il convient de prévoir une corrélation avec les conditions d'utilisation. Pour atteindre cet objectif, des métrologies supplémentaires sont introduites afin de faciliter ces corrélations.

Suite aux sections d'introduction requises, le concept de condition d'utilisation est introduit, et des suggestions sont formulées quant à la manière dont les données relatives aux conditions d'utilisation peuvent être obtenues et appliquées. Des méthodes d'essai des systèmes totalement assemblés sont ensuite présentées. Les options pour les conditions d'essai sont présentées et les données qu'il convient de rassembler sont indiquées.

Les essais réalisés sur des sous-assemblages et des composants imitent les configurations d'utilisation réelles, mais moins que les essais réalisés sur des systèmes totalement assemblés. Les deux sections suivantes du document présentent toutefois les considérations qui visent à s'assurer que les essais réalisés à ces niveaux restent pertinents pour la condition d'utilisation prévue.

Des mesures particulières visant à faciliter les corrélations sont présentées à la Section 8. Les annexes informatives à la fin du document présentent les considérations communes de toutes les méthodes d'essai de choc mécanique. Il s'agit d'un modèle de présentation des échantillons pour les données d'essai, de l'utilisation et de l'application d'extensomètres, d'accéléromètres et de photographie à grande vitesse. Une section relative aux analyses de défaillance est prévue. Enfin, une revue des méthodes des éléments finis qui peuvent être appliquées à l'analyse des chocs mécaniques est donnée pour approfondir l'étude des problèmes de choc.

Ce document établit des directives d'essai de choc mécanique qui permettent d'évaluer la fiabilité du joint de brasure des circuits imprimés.

Les trois principales catégories présentées dans ce document sont les suivantes:

- méthodes qui permettent de définir les conditions d'utilisation du choc mécanique;
- méthodes qui permettent de définir les essais au niveau du système, de la carte principale et de la carte d'essai du composant mis en corrélation avec les conditions d'utilisation;

- lignes directrices relatives à l'utilisation des métrologies expérimentales pour les essais de choc mécanique.

B.23 Printed Circuit Assembly Strain Gage Test Guideline (IPC-JEDEC-9704A)

Ce document est censé être utilisé comme une méthodologie de placement des extensomètres et l'essai subséquent des assemblages de circuit imprimé (PCA) avec les extensomètres. La méthode décrit des directives spécifiques relatives aux essais des PCA avec les extensomètres lors du processus de fabrication des cartes imprimées, y compris l'assemblage, l'essai, l'intégration du système et d'autres types d'opérations qui peuvent induire une courbure de la carte.

Le mode opératoire suggéré permet aux assembleurs de carte imprimée de procéder à des essais avec des extensomètres indépendants. Il offre en outre une méthode quantitative de mesure de la courbure de la carte et d'évaluation des niveaux de risque.

Les rubriques suivantes sont incluses:

- exigences relatives au montage d'essai et à l'équipement;
- extensométrie;
- format de rapport.

Ce document part du principe que la méthodologie est utilisée pour soumettre à essai un dispositif à montage en surface, par exemple un boîtier matriciel à billes (BGA), un boîtier externe compact (SOP), un boîtier à puce (taille) (CSP) et des connecteurs/embases à montage en surface à matrice d'éléments (SMT). Dans certains cas, l'essai décrit peut être utilisé pour les dispositifs discrets sans matrice d'éléments (SMT), par exemple les condensateurs ou les résistances.

Bibliographie

Normes internationales

IEC 60068 (toutes les parties), *Essais d'environnement*

IEC 60068-1:2013, *Essais d'environnement – Partie 1: Généralités et lignes directrices*

IEC 60068-2-20, *Essais d'environnement – Partie 2-20: Essais – Essai T: Méthodes d'essai de la brasabilité et de la résistance à la chaleur de brasage des dispositifs à broches*

IEC 60068-2-58:2015, *Essais d'environnement – Partie 2-58: Essais – Essai Td: Méthodes d'essai de la soudabilité, résistance de la métallisation à la dissolution et résistance à la chaleur de brasage des composants pour montage en surface (CMS)*

IEC 61189-1, *Méthodes d'essais pour les matériaux électriques, les structures d'interconnexion et les ensembles – Partie 1: Méthodes d'essai générales et méthodologie*

IEC 61189-5 (toutes les parties), *Méthodes d'essais pour les matériaux électriques, les structures d'interconnexion et les ensembles – Partie 5: Méthodes d'essai des assemblages de cartes à circuit imprimé*

IEC 61189-5, *Méthodes d'essais pour les matériaux électriques, les structures d'interconnexion et les ensembles – Partie 5: Méthodes d'essai des assemblages de cartes à circuit imprimé*

IEC 61189-5-1:2016, *Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 5-1: Méthodes d'essai générales pour les matériaux et les assemblages – Lignes directrices pour les assemblages de cartes à circuit imprimé*

IEC 61189-5-2:2015, *Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 5-2: Méthodes d'essai générales pour les matériaux et les assemblages – Flux de brasage pour les assemblages de cartes imprimées*

IEC 61189-5-3:2015, *Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 5-3: Méthodes d'essai générales pour les matériaux et les assemblages – Pâte de brasage pour les assemblages de cartes imprimées*

IEC 61189-5-4:2015, *Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 5-4: Méthodes d'essai générales pour les matériaux et les assemblages – Alliages à braser et brasages solides fluxés et non fluxés pour les assemblages de cartes imprimées*

IEC 61189-5-5:—, *Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 5-5: XXX*³

IEC 61189-5-501:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-501: General test methods for materials and assemblies – Surface insulation resistance (SIR) testing of solder fluxes*³

³ A l'étude.

IEC 61189-5-502:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-502: General test methods for materials and assemblies – SIR testing of assemblies* ⁴

IEC 61189-5-503:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-503: General test methods for materials and assemblies – Conductive Anodic Filaments (CAF) testing of circuit boards* ⁴

IEC 61189-5-504:—, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 5-504: General test methods for materials and assemblies – Process ionic contamination testing* ⁴

IEC 61189-6, *Méthodes d'essais pour les matériaux électriques, les structures d'interconnexion et les ensembles – Partie 6: Méthodes d'essai pour les matériaux utilisés dans la fabrication des assemblages électroniques*

IEC 61190-1-1, *Matériaux de fixation pour les assemblages électroniques – Partie 1-1: Exigences relatives aux flux de brasage pour les interconnexions de haute qualité dans les assemblages de composants électroniques*

IEC 61190-1-2, *Matériaux de fixation pour les assemblages électroniques – Partie 1-2: Exigences relatives aux pâtes à braser pour les interconnexions de haute qualité dans les assemblages de composants électroniques*

IEC 61190-1-3, *Matériaux de fixation pour les assemblages électroniques – Partie 1-3: Exigences relatives aux alliages à braser de catégorie électronique et brasures solides fluxées et non fluxées pour les applications de brasage électronique*

IEC 61249-2-7, *Matériaux pour circuits imprimés et autres structures d'interconnexion – Partie 2-7: Matériaux de base renforcés, plaqués et non plaqués – Feuille stratifiée tissée de verre E avec de la résine époxyde, d'inflammabilité définie (essai de combustion verticale), plaquée cuivre*

IEC 62137:2004, *Essais d'environnement et d'endurance – Méthodes d'essai pour les cartes à montage en surface à boîtiers de type matriciel FBGA, BGA, FLGA, LGA, SON et QFN*

ISO 5725-2, *Exactitude (justesse et fidélité) des résultats et méthodes de mesure – Partie 2: Méthode de base pour la détermination de la répétabilité et de la reproductibilité d'une méthode de mesure normalisée*

ISO 9001, *Systèmes de management de la qualité – Exigences*

ISO 9455-1, *Flux de brasage tendre – Méthodes d'essai – Partie 1: Dosage des matières non volatiles par gravimétrie*

ISO 9455-2, *Flux de brasage tendre – Méthodes d'essai – Partie 2: Dosage des matières non volatiles par ébulliométrie*

⁴ A l'étude.

IPC documents

IPC-J-STD-001, *Requirements for Soldered Electrical and Electronic Assemblies Training and Certification Program*

IPC-J-STD-005, *Requirements for Soldering Pastes*

IPC-J-STD-020, *Moisture/Reflow Sensitivity Classification for Nonhermetic Solid State Surface Mount Devices*

IPC-JEDEC-9703, *Mechanical Shock Test Guidelines for Solder Joint Reliability*

IPC-JEDEC-9704A, *Printed Circuit Assembly Strain Gage Test Guideline*

IPC-HDBK-001, *Handbook and Guide to Supplement J-STD-001*

IPC-HDBK-610, *Acceptability of Electronic Assemblies*

IPC-HDBK-830, *Guidelines for Design, Selection and Application of Conformal Coatings*

IPC-HDBK-840, *Solder Mask Handbook*

IPC-A-610, *Acceptability of Electronics Assemblies Training and Certification Program*

IPC-A-610C, *Daco Class 3 Electronics Assembly*

IPC-AC-62A, *Aqueous Post Solder Cleaning Handbook*

IPC-CH-65A, *Guidelines for Cleaning of Printed Boards and Assemblies*

IPC-SM-840, *Qualification and Performance Specification of Permanent Solder Mask*

IPC-TM-650, *Test Methods Manual*

IPC-3406, *Guidelines for Electrically Conductive Surface Mount Adhesives*

IPC-5701, *Users Guide for Cleanliness of Unpopulated Printed Boards*

IPC-5702, *Guidelines for OEM's in Determining Acceptable Levels of Cleanliness of Unpopulated Printed Board*

IPC-6012, *Qualification and Performance Specification for Rigid Printed Boards*

IPC-6013, *Qualification and Performance Specification for Flexible Printed Boards*

IPC-6018, *Qualification and Performance Specification for High Frequency (Microwave) Printed Boards*

IPC-7912, *Calculation of DPMO and Manufacturing Indices for Printed Board Assemblies*

IPC-9201, *Surface Insulation Resistance Handbook*

IPC-9202, *Material and Process Characterisation / Qualification Test Protocol for Assessing Electrochemical Performanc*

IPC-9203, *Users Guide to IPC-9202 and the IPC-B-52 Standard Test Vehicle*

IPC-9252, *Guidelines and Requirements for Electrical Testing of Unpopulated Printed Boards*

IPC-9261A, IPC-B-52, *In-process DPMO and estimated yield for PCAs*

IPC-9501, *PWB Assembly Process Simulation for Evaluation of Electronic Components*

IPC-9502, *PWB Assembly Soldering Process Guideline for Electronic Components*

IPC-9503, *Moisture Sensitivity Classification for Non-IC Components*

IPC-9504, *Assembly Process Simulation for Evaluation of Non IC Components*

IPC-9631, *Users Guide for IPC-TM-650, Method 2.6.27, Thermal Stress, Convection Reflow Assembly Simulation*

IPC-9641, *High Temperature Printed Board Flatness Guideline*

IPC-9691A, *User Guide for the IPC-TM-650, Method 2.6.25, Conductive Anodic Filament (CAF) Resistance Test (Electrochemical Migration Testing)*

Tous les documents IPC sont disponibles auprès de l'IPC, à l'adresse: 3000 Lakeside Drive, Suite 309 S, Bannockburn, IL 60015-1249, tél. 847-615-7100 ou sur le site web de l'IPC: www.ipc.org.

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

3, rue de Varembé
PO Box 131
CH-1211 Geneva 20
Switzerland

Tel: + 41 22 919 02 11
Fax: + 41 22 919 03 00
info@iec.ch
www.iec.ch