

**NORME  
INTERNATIONALE  
INTERNATIONAL  
STANDARD**

**CEI  
IEC**

**60796-2**

Première édition  
First edition  
1990-09

---

---

**Bus système à microprocesseurs –  
Données: 8 bits et 16 bits (MULTIBUS I)**

**Deuxième partie:**

Description mécanique et brochage pour la configuration du bus système, avec des connecteurs en bout de carte

**Microprocessor system bus –  
8-bit and 16-bit data (MULTIBUS I)**

**Part 2:**

Mechanical and pin descriptions for the system bus configuration, with edge connectors (direct)



Numéro de référence  
Reference number  
CEI/IEC 60796-2: 1990

## Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

## Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

## Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI\*
- **Catalogue des publications de la CEI**  
Publié annuellement et mis à jour régulièrement  
(Catalogue en ligne)\*
- **Bulletin de la CEI**  
Disponible à la fois au «site web» de la CEI\* et comme périodique imprimé

## Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International (VEI)*.

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

\* Voir adresse «site web» sur la page de titre.

## Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

## Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

## Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site\***
- **Catalogue of IEC publications**  
Published yearly with regular updates  
(On-line catalogue)\*
- **IEC Bulletin**  
Available both at the IEC web site\* and as a printed periodical

## Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary (IEV)*.

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

\* See web site address on title page.

**NORME  
INTERNATIONALE  
INTERNATIONAL  
STANDARD**

**CEI  
IEC**

**60796-2**

Première édition  
First edition  
1990-09

---

---

**Bus système à microprocesseurs –  
Données: 8 bits et 16 bits (MULTIBUS I)**

**Deuxième partie:**

Description mécanique et brochage pour la configuration du bus système, avec des connecteurs en bout de carte

**Microprocessor system bus –  
8-bit and 16-bit data (MULTIBUS I)**

**Part 2:**

Mechanical and pin descriptions for the system bus configuration, with edge connectors (direct)

© IEC 1990 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission  
Telefax: +41 22 919 0300

3, rue de Varembé Geneva, Switzerland  
e-mail: [inmail@iec.ch](mailto:inmail@iec.ch) IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale  
International Electrotechnical Commission  
Международная Электротехническая Комиссия

CODE PRIX  
PRICE CODE

**J**

*Pour prix, voir catalogue en vigueur  
For price, see current catalogue*

## SOMMAIRE

	Pages
PRÉAMBULE .....	4
PRÉFACE .....	4
INTRODUCTION .....	6
<b>SPÉCIFICATIONS MÉCANIQUES</b>	
<b>Articles</b>	
1. Domaine d'application .....	6
2. Objet .....	6
3. Considérations sur le fond du panier .....	6
3.1 Relations entre les cartes .....	6
3.2 Affectation des broches pour le bus système .....	8
3.3 Connecteurs de bus .....	8
4. Facteurs déterminant le format .....	8
4.1 Normes de désignation des connecteurs et de numérotation des broches .....	8
4.2 Format normalisé des cartes de câblage imprimé .....	8

## CONTENTS

	Page
FOREWORD .....	5
PREFACE .....	5
INTRODUCTION .....	7
<b>MECHANICAL SPECIFICATIONS</b>	
<b>Clause</b>	
1. Scope .....	7
2. Object .....	7
3. Backplane considerations .....	7
3.1 Board to board relationships .....	7
3.2 System bus pin assignments .....	9
3.3 Bus connectors .....	9
4. Form factors .....	9
4.1 Connector naming and pin numbering standards .....	9
4.2 Standard outline of printed wiring boards .....	9

# COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

## BUS SYSTÈME À MICROPROCESSEURS – DONNÉES: 8 BITS ET 16 BITS (MULTIBUS I)

### Deuxième partie: Description mécanique et brochage pour la configuration du bus système, avec des connecteurs en bout de carte

#### PRÉAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le voeu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.
- 4) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

#### PRÉFACE

La présente norme a été établie par le Sous-Comité 47B\*: Systèmes à microprocesseurs, du Comité d'Etudes n° 47 de la CEI: Dispositifs à semiconducteurs.

Cette norme constitue la deuxième partie d'une série de publications dont les autres parties sont les suivantes:

- Publication 796-1 (1990): Bus système à microprocesseurs – Données: 8 bits et 16 bits (MULTIBUS I) – Première partie: Description fonctionnelle avec spécifications électriques et chronologiques.
- Publication 796-3 (1990): Troisième partie: Description mécanique et brochage pour la configuration Eurocard ayant des connecteurs rapportés.

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapport de vote
47B(BC)9	47B(BC)14

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

\* Le Sous-Comité 47B de la CEI est désormais transféré dans l'ISO/CEI JTC 1.

La présente norme a été approuvée selon les procédures de la CEI et, par conséquent, est publiée comme norme de la CEI.

## INTERNATIONAL ELECTROTECHNICAL COMMISSION

MICROPROCESSOR SYSTEM BUS – 8-BIT AND 16-BIT DATA  
(MULTIBUS I)Part 2: Mechanical and pin descriptions for the system bus  
configuration, with edge connectors (direct)

## FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.
- 4) The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

## PREFACE

This standard has been prepared by Sub-Committee 47B\*: Microprocessor systems, of IEC Technical Committee No. 47: Semiconductor devices.

This standard forms Part 2 of a series of publications, the other parts being:

- Publication 796-1 (1990): Microprocessor system bus – 8-bit and 16-bit data (MULTIBUS I) – Part 1: Functional description with electrical and timing specifications.
- Publication 796-3 (1990): Part 3: Mechanical and pin descriptions for the Eurocard configuration with pin and socket (indirect) connectors.

The text of this standard is based on the following documents:

Six Months' Rule	Report on Voting
47B(CO)9	47B(CO)14

Full information on the voting for the approval of this standard can be found in the Voting Report indicated in the above table.

\* IEC Sub-Committee 47B has now been transferred to ISO/IEC JTC 1.

This standard was approved according to IEC procedures and is therefore published as an IEC standard.

## BUS SYSTÈME À MICROPROCESSEURS – DONNÉES: 8 BITS ET 16 BITS (MULTIBUS I)

### Deuxième partie: Description mécanique et brochage pour la configuration du bus système, avec des connecteurs en bout de carte

#### INTRODUCTION

La présente norme fait partie d'une série qui traite des interfaces mécaniques et électriques permettant aux divers composants d'un système à microprocesseurs de dialoguer entre eux. Le bus d'interface sert de moyen de transfert en parallèle et d'interconnexion des signaux utilitaires pour les composants d'un système étroitement couplés. La série est composée d'une description fonctionnelle et de deux normes mécaniques.

#### SPÉCIFICATIONS MÉCANIQUES

##### 1. Domaine d'application

La présente norme est applicable à une interface utilisée pour assurer la liaison des composants d'un système à microprocesseurs au moyen du fond de panier à connecteurs en bout de carte.

##### 2. Objet

Cette norme a pour objet de définir toutes les spécifications physiques et mécaniques que doit observer l'ingénieur d'étude lorsqu'il conçoit un fond de panier ou des plaquettes imprimées enfichables dans l'interface du bus du système. Toutes les dimensions seront exprimées en millimètres et, à titre de référence, en pouces entre parenthèses. (Les dimensions en millimètres font foi.)

##### 3. Considérations sur le fond du panier

La longueur maximale du fond du panier reliant les modules est de 457,2 mm (soit 18 pouces). Des cartes d'extension utilisées dans ce système ne pourront être utilisées que si la longueur totale résultant pour le bus, y compris la carte extension, ne dépasse pas 457,2 mm.

##### 3.1 Relations entre les cartes

Pour concevoir les cartes de circuits imprimés compatibles capables de fonctionner dans un fond de panier sur lequel leur espacement est fixé à 15,3 mm (0,6 pouce), il faut adhérer aux spécifications mentionnées ci-dessous:

a) Espacement des cartes ( $L_C$ )

L'entr'axe des cartes enfichées dans le fond de panier sera au moins égal à 15,24 ± 0,51 mm (0,6 ± 0,02 pouce).

b) Epaisseur de carte ( $L_T$ )

L'épaisseur de la carte type sera égale à 1,575 ± 0,128 mm (0,062 ± 0,005 pouce).

c) Longueur du conducteur des composants ( $L_L$ )

La longueur des conducteurs des composants sous la carte imprimée ne devra pas dépasser 2,362 mm (0,093 pouce).

## MICROPROCESSOR SYSTEM BUS – 8-BIT AND 16-BIT DATA (MULTIBUS I)

### Part 2: Mechanical and pin descriptions for the system bus configuration, with edge connectors (direct)

---

#### INTRODUCTION

This standard is one of a series which deals with the electrical and mechanical interfaces to allow various microprocessor system components to interact with each other. The interface bus serves as a parallel transfer and utility signal interconnect for closely coupled system components. The series consists of one functional description and two alternative mechanical standards.

#### MECHANICAL SPECIFICATIONS

##### 1. Scope

This standard is applicable to an interface used to connect microprocessor system components by means of the edge connector (direct) type backplane.

##### 2. Object

The object of this standard is to describe all the physical and mechanical specifications that a designer shall be concerned with when designing a backplane or when designing printed circuit boards that will plug into the system bus interface. All dimensions are in millimeters with inches added in parentheses for reference only. (Millimeter dimensions govern.)

##### 3. Backplane considerations

The maximum length of the backplane connecting modules is 457.2 mm (18 in). Extender boards used within the system will not be supported by the bus unless the overall resulting length of the bus including the extender card is less than the 457.2 mm maximum.

###### 3.1 Board to board relationships

The following printed circuit board specification shall be adhered to when designing compatible boards which are to operate in a 15.3 mm (0.6 in) board to board spacing backplane.

a) Board to board spacing ( $L_C$ )

Centre to centre of boards when plugged into backplane shall be at least  $15.24 \pm 0.51$  mm ( $0.6 \pm 0.02$  in).

b) Board thickness ( $L_T$ )

The typical board thickness is  $1.575 \pm 0.128$  mm ( $0.062 \pm 0.005$  in).

c) Component lead length ( $L_L$ )

The length of the component leads below the printed circuit board cannot exceed 2.362 mm (0.093 in).

#### d) Hauteur des composants ( $L_H$ )

La hauteur maximale des composants au-dessus de la carte imprimée sera déterminée à partir de l'équation suivante:

$$(L_H) < (L_C) - (L_T) - (L_L)$$

$$(L_H) < 14,73 \text{ mm} - 1,702 \text{ mm} - 2,362 \text{ mm} \quad (0,58 \text{ pouce} - 0,067 \text{ pouce} - 0,093 \text{ pouce})$$

$$(L_H) < 10,67 \text{ mm} \quad (0,420 \text{ pouce}) \quad (\text{y compris le voilage de la carte}).$$

Pour les composants non isolés, il faut réduire la valeur  $L_H$  de 10,16 mm (0,40 pouce).

Le fond de panier type et les composants nécessaires pour le compléter sont indiqués à la figure 2, page 10.

Cette norme contient seulement les spécifications mécaniques pour la conception d'entre interface du bus système. L'ingénieur d'étude tiendra également compte des spécifications électriques figurant à la section trois de la Publication 796-1 de la CEI.

### 3.2 Affectation des broches pour le bus système

Les cartes conçues pour être reliées au bus possèdent deux connecteurs, P1 (primaire) et P2 (auxiliaire), enfichables dans le fond de panier. Le tableau I représente l'affectation des signaux aux broches du connecteur P1 sur les cartes. Les signaux réservés sur le connecteur P1 doivent être reliés au bus, comme des lignes normales de signaux, sur le fond de panier. Le tableau II représente l'affectation des signaux aux broches du connecteur P2 sur les cartes. En cas d'utilisation d'un fond de panier, les signaux «réservés et reliés au bus» seront reliés au bus comme des lignes normales de signaux.

### 3.3 Connecteurs de bus

Le fond de panier est équipé de connecteurs qui correspondent au connecteur de bout de carte P1 (43/86 broches). Le fond de panier utilise des connecteurs à 43/86 broches à espacement de 3,96 mm (0,156 pouce).

Le connecteur P2 est un connecteur de bout de carte à 30/60 broches, avec un espacement de 2,54 mm (soit 0,1 pouce).

## 4. Facteurs déterminant le format

Certaines caractéristiques du bus seront prises en considération pour concevoir les cartes de circuit imprimé qui doivent s'y connecter. Si les spécifications prescrites dans la présente norme sont suivies, l'ingénieur d'étude sera assuré de leur compatibilité avec le bus.

### 4.1 Normes de désignation des connecteurs et de numérotation des broches

Les connecteurs P1 et P2 sur les cartes conçues pour l'interface du bus système devront satisfaire aux exigences suivantes (voir figure 2):

- a) Les connecteurs sur le côté bus de la carte seront dénommés P1 et P2. P1 est le connecteur principal à 86 broches, tandis que P2 est le connecteur auxiliaire à 60 broches.
- b) Les broches seront numérotées par un numéro impair sur la face de montage des composants de la plaquette et dans l'ordre ascendant en suivant le pourtour de la carte dans le sens contraire des aiguilles d'une montre (voir figure 3, page 12).

### 4.2 Format normalisé des cartes de câblage imprimé

La figure 4, page 12, représente le format normalisé des cartes compatibles (cartes de câblage imprimé et cartes de circuit imprimé). Le bord de la carte opposé au bus ne sera soumis à aucune contrainte. Cependant, toutes les autres parties de la plaquette, y compris les connecteurs P1 et P2, devront être conformes aux dimensions telles qu'indiquées à la figure 4. A l'heure actuelle, seule la hauteur verticale des plaquettes de base fait l'objet de la spécification normalisée.

d) Component height ( $L_H$ )

The following equation is used to determine the maximum height of the components above the printed circuit board:

$$(L_H) < (L_C) - (L_T) - (L_L)$$

$$(L_H) < 14.73 \text{ mm} - 1.702 \text{ mm} - 2.362 \text{ mm} \quad (0.58 \text{ in} - 0.067 \text{ in} - 0.093 \text{ in})$$

$$(L_H) < 10.67 \text{ mm} \quad (0.420 \text{ in}) \quad (\text{including board warpage}).$$

Electrically conductive components require  $L_H$  to be decreased to 10.16 mm (0.40 in).

An example of a typical backplane and the components necessary to implement it are shown in Figure 2, page 11.

This standard contains only the mechanical specifications for designing a system bus interface. The designer shall also take into consideration the electrical specifications in Section Three of IEC Publication 796-1.

### 3.2 System bus pin assignments

Printed circuit boards which are designed to interface to the bus have two connectors which plug into the backplane, P1 (primary) and P2 (auxiliary). Table I shows the pin signal assignments for the P1 connector on the printed circuit boards. Reserved signals on the P1 connector shall be bussed as normal signal lines on the backplane. Table II shows the pin signal assignments for the P2 connector on the printed circuit boards. If a backplane is used then the "reserved and bussed" signals shall be bussed as normal signal lines.

### 3.3 Bus connectors

The backplane has connectors that mate to the P1 (43/86 pin) board edge connector. The backplane uses 43/86 pin on 3.96 mm (0.156 in) centre connectors.

The P2 connector is a 30/60 pin board edge connector with 2.54 mm (0.1 in) pin centres.

## 4. Form factors

Certain characteristics of the bus shall be taken into consideration when designing printed circuit boards that interface to it. The designer will ensure himself of system bus compatibility if the specifications discussed in this standard are followed.

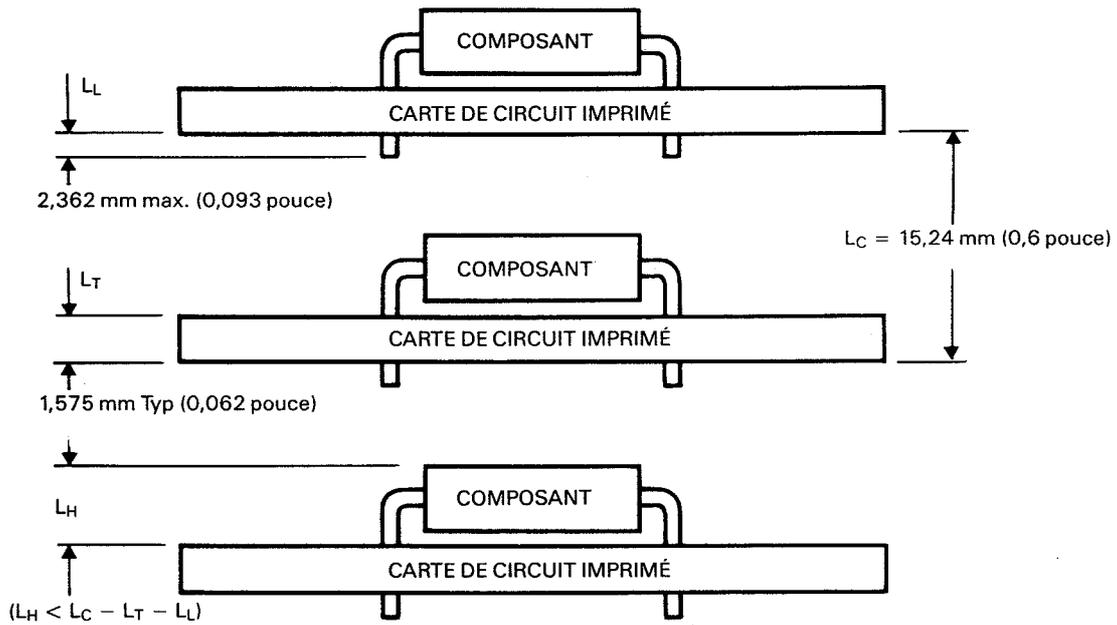
### 4.1 Connector naming and pin numbering standards

The P1 and P2 connectors on the printed circuit boards designed for the system bus interface should comply with the following requirements (see Figure 2):

- a) The connectors on the bus side of the board shall be called P1 and P2. P1 is the 86-pin main connector, and P2 is the 60-pin auxiliary connector.
- b) Pins shall be numbered with odd numbers on the component side of the board, and in ascending order when going counter-clockwise around the board (see Figure 3, page 13).

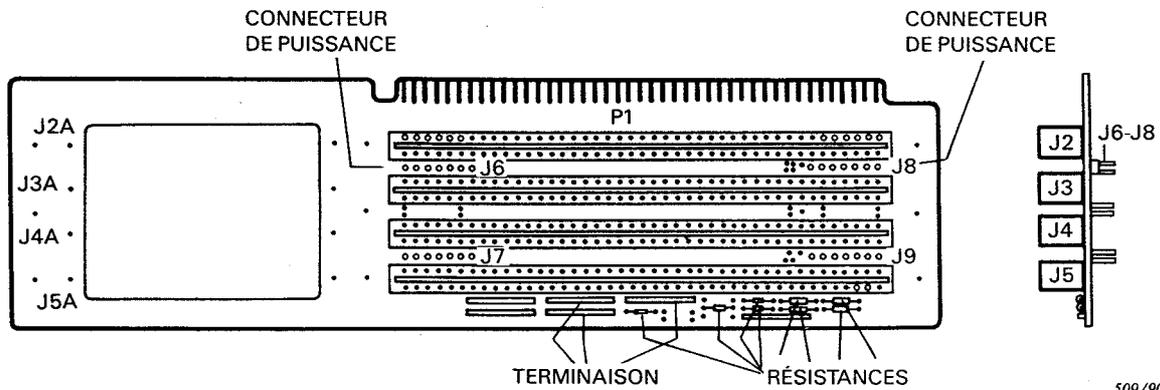
### 4.2 Standard outline of printed wiring boards

Figure 4, page 13, shows the standard outline for compatible boards (printed wiring boards and printed circuit boards). The non-bus edge of the board is not restricted. The remainder of the board including connectors P1 and P2 shall adhere to the dimensions shown in Figure 4. Only the basic boards' standard vertical height is currently specified.



508/90

Fig. 1. - Espacement des cartes dans le fond de panier.

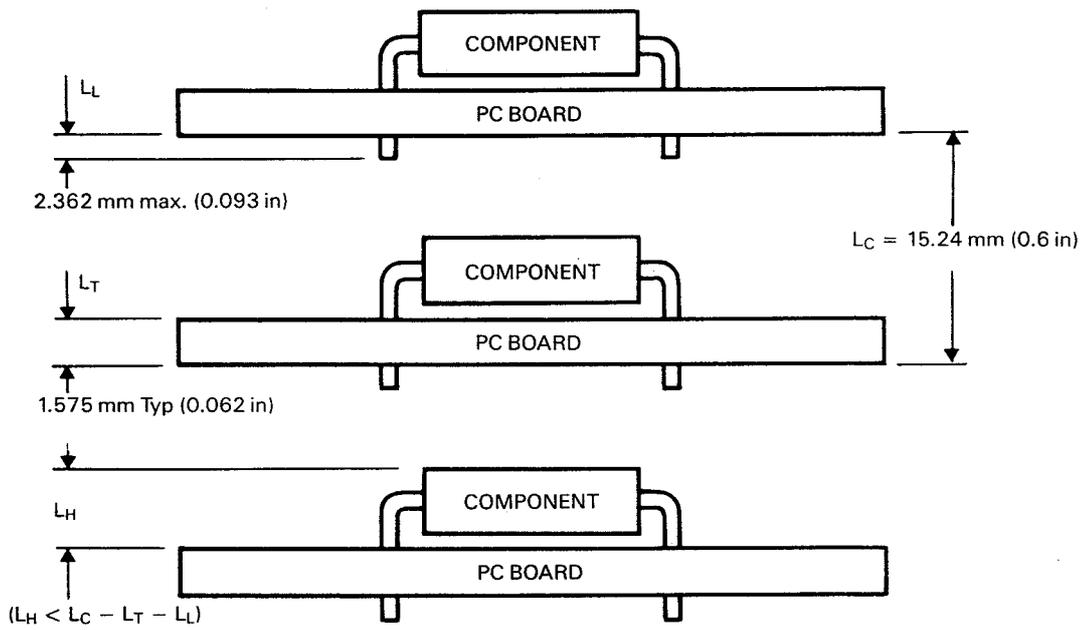


509/90

**Liste des pièces**

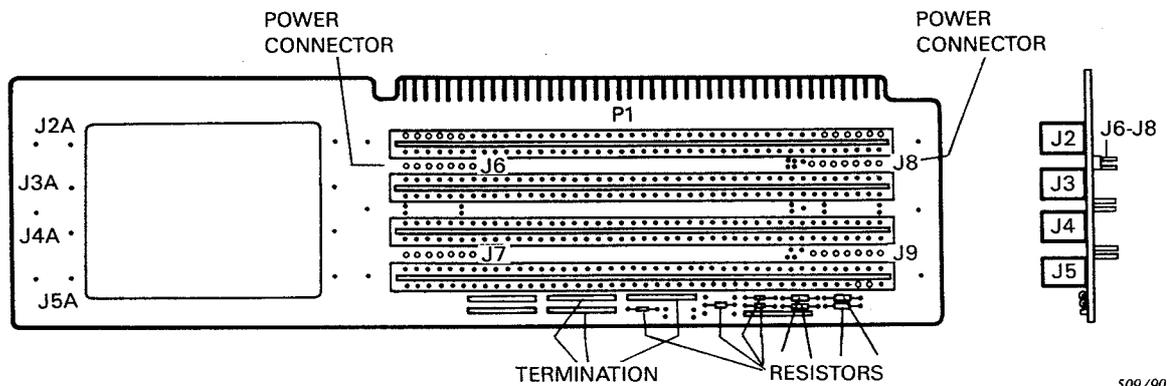
- |   |  |
|---|--|
| 1 fond de panier avec terminaison   | 1 motrice de 9 résistances de 1,1 kΩ, 1,5 W à 10 broches (RP6) |
| 27 broches connecteurs pour câble plat (3,962 mm entre axes) (J6 - J8)            | 1 résistance de 1 kΩ, 1/8 W, ±5% (R1)                          |
| 4 connecteurs de bout de carte 43/86 broches à l'écartement de 3,962 mm (J2 - J5) | 1 résistance de 2,2 kΩ, 1/8 W, ±5% (R5)                        |
| 12 broches à wrapper  | 2 résistances de 220 Ω, 1/4 W, ±5% (R9, R11)                   |
| 4 motrices de 9 résistances de 2,2 kΩ, 1,5 W à 10 broches (RP1 - RP4)             | 2 résistances de 330 Ω, 1/4 W, ±5% (R10, R12)                  |
| 1 motrice de 9 résistances de 1 kΩ, 1,5 W à 10 broches (RP5)                      | 2 résistances de 510 Ω, 1/8 W, ±5% (R7, R8)                    |

Fig. 2. - Fond de panier type.



508/90

Fig. 1. - Backplane card to card separation.



509/90

**Parts list**

- |  |  |
|--|--|
| 1 PWS termination backplane  | 1 10 pin, 1.1 k $\Omega$ , 9 resistor, 1.5 W resistor pack (RP6) |
| 27 post wafer connectors (3.962 mm pin centres) (J6 - J8)                |  |
| 4 edge board connectors, 43/86 pins on 3.962 mm centres (J2 - J5)        | 1 1 k $\Omega$ resistor, 1/8 W, $\pm 5\%$ (R1)                   |
| 12 wire wrap posts   | 1 2.2 k $\Omega$ resistor, 1/8 W, $\pm 5\%$ (R5)                 |
| 4 10 pin, 2.2 k $\Omega$ , 9 resistors, 1.5 W resistor packs (RP1 - RP4) | 2 220 $\Omega$ resistors, 1/4 W, $\pm 5\%$ (R9, R11)             |
| 1 10 pin, 1 k $\Omega$ , 9 resistor, 1.5 W resistor pack (RP5)           | 2 330 $\Omega$ resistors, 1/4 W, $\pm 5\%$ (R10, R12)            |
|  | 2 510 $\Omega$ resistors, 1/8 W, $\pm 5\%$ (R7, R8)              |

Fig. 2. - Typical backplane.

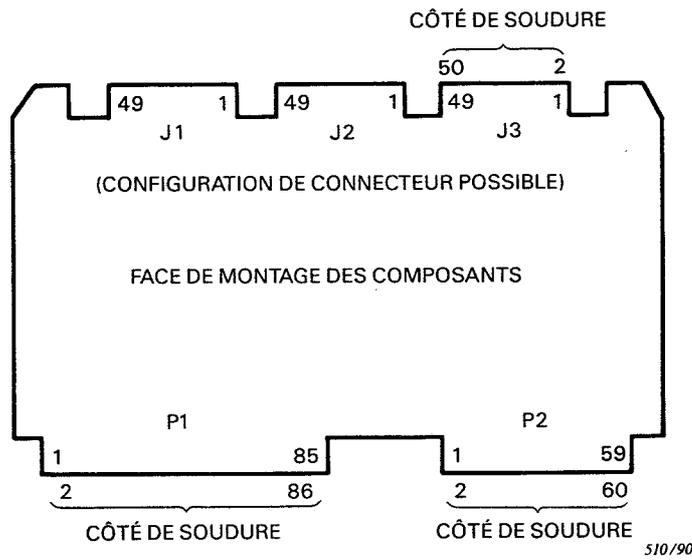
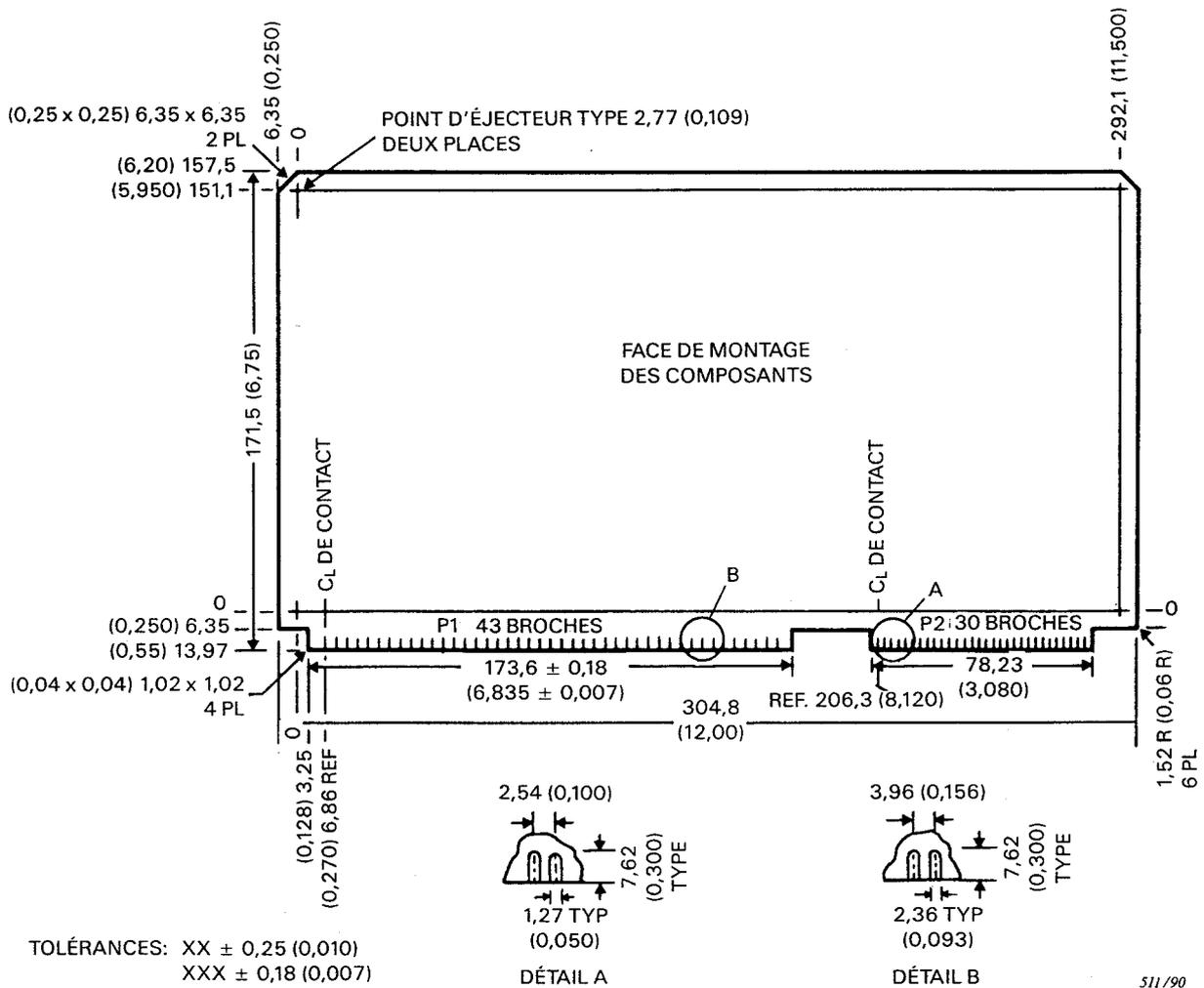


Fig. 3. - Numérotation des connecteurs et broches.



TOLÉRANCES: XX ± 0,25 (0,010)  
XXX ± 0,18 (0,007)

Toutes les dimensions sont exprimées en millimètres et, à titre de référence, en pouces entre parenthèses.  
Les dimensions en millimètres font foi.

Fig. 4. - Format normalisé de cartes de câblage imprimé.

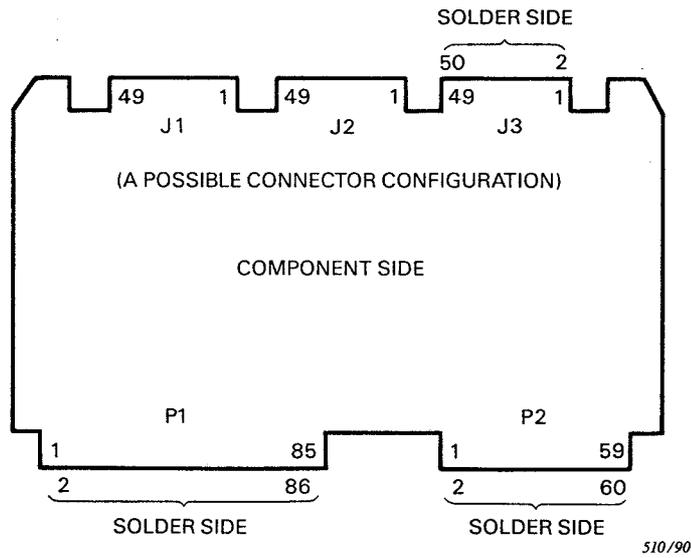
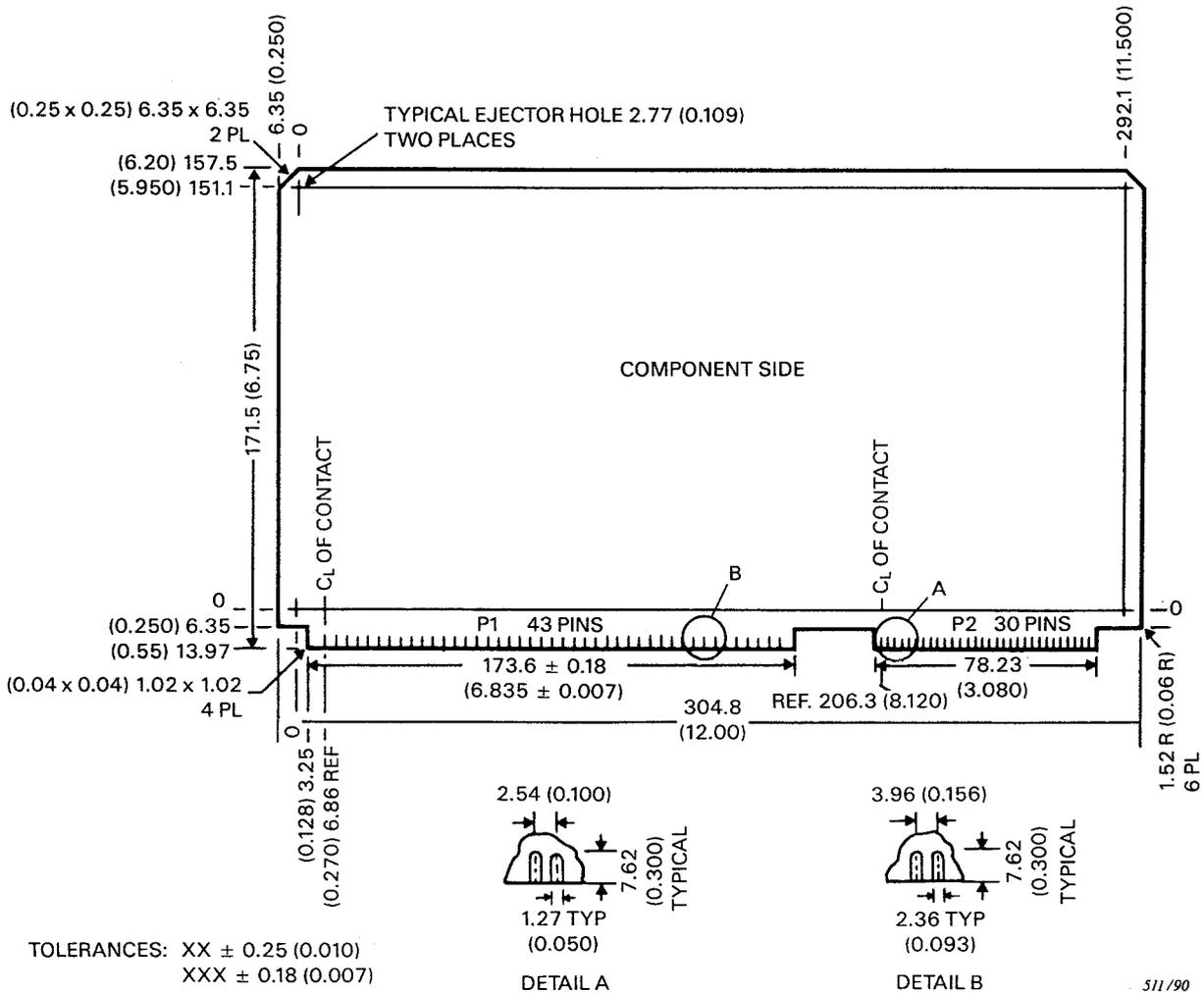


Fig. 3 - Connector and pin numbering..



All dimensions are in millimetres with inches provided in parentheses for reference only.  
The millimetre dimensions govern.

Fig. 4 - Standard printed wiring board outline.

Tableau I  
Affectation des signaux du bus aux broches du connecteur (P1)

	Broches	Face de montage des composants		Broches	Face circuit	
		Mnémonique	Description		Mnémonique	Description
Alimentation	1	GND (TERRE)	GND masse signal	2	GND (TERRE)	GND masse signal
	3	+5 V	+5 V c.c.	4	+5 V	+5 V c.c.
	5	+5 V	+5 V c.c.	6	+5 V	+5 V c.c.
	7	+12 V	+12 V c.c.	8	+12 V	+12 V c.c.
	9		Réservé, relié au bus	10		Réservé, relié au bus
	11	GND (TERRE)	GND masse signal	12	GND (TERRE)	GND masse signal
Commandes du bus	13	BCLK*	Horloge du bus	14	INIT*	Initialisation
	15	BPRN*	Priorité de bus IN	16	BPRO*	Priorité de bus OUT
	17	BUSY*	Bus occupé	18	BREQ*	Demande de bus
	19	MRDC*	Commande de lecture de mémoire	20	MWTC*	Commande d'écriture de mémoire
	21	IORC*	Commande de lecture d'entrée/sortie	22	IOWC*	Commande d'écriture d'entrée/ sortie
	23	XACK*	Accusé de réception XFER	24	INH1*	Invalidation 1 (mémoire vive invalidée)
Commandes du bus et adresses	25	LOCK*	Verrouillage	26	INH2*	Invalidation 2 (mémoire morte (programmable ou non) invalidée)
	27	BHEN*	Validation octet de poids fort	28	A16*	Bus d'adresses
	29	CBRQ*	Demande commune du bus	30	A17*	
	31	CCCLK*	Horloge constante	32	A18*	
	33	INTA*	Accusé de réception d'interruption	34	A19*	
Interruption	35	INT6*	Demandes d'interruption en parallèle	36	INT7*	Demandes d'interruption en parallèle
	37	INT4*		38	INT5*	
	39	INT2*		40	INT3*	
	41	INT0*		42	INT1*	
Adresse	43	A14*	Bus d'adresses	44	A15*	Bus d'adresses
	45	A12*		46	A13*	
	47	A10*		48	A11*	
	49	A8*		50	A9*	
	51	A6*		52	A7*	
	53	A4*		54	A5*	
	55	A2*		56	A3*	
	57	A0*		58	A1*	
Données	59	D14*	Bus de données	60	D15*	Bus de données
	61	D12*		62	D13*	
	63	D10*		64	D11*	
	65	D8*		66	D9*	
	67	D6*		68	D7*	
	69	D4*		70	D5*	
	71	D2*		72	D3*	
	73	D0*		74	D1*	
Alimentation	75	GND (TERRE)	GND masse signal	76	GND (TERRE)	GND masse signal
	77		Réservé, relié au bus	78		Réservé, relié au bus
	79	-12V	-12 V c.c.	80	-12 V	-12 V c.c.
	81	+5 V	+5 V c.c.	82	+5 V	+5 V c.c.
	83	+5 V	+5 V c.c.	84	+5 V	+5 V c.c.
	85	GND (TERRE)	GND masse signal	86	GND (TERRE)	GND masse signal

Note.- Toutes les broches réservées sont prévues pour l'extension future et il y a lieu qu'elles ne soient pas utilisées si la compatibilité ascendante est désirée.

Table I  
Pin assignment of bus signals on connector (P1)

	Pin	Component side		Pin	Circuit side	
		Mnemonic	Description		Mnemonic	Description
Power supplies	1	GND	Signal GND	2	GND	Signal GND
	3	+5 V	+5 V d.c.	4	+5 V	+5 V d.c.
	5	+5 V	+5 V d.c.	6	+5 V	+5 V d.c.
	7	+12 V	+12 V d.c.	8	+12 V	+12 V d.c.
	9		Reserved, bussed	10		Reserved, bussed
	11	GND	Signal GND	12	GND	Signal GND
Bus controls	13	BCLK*	Bus clock	14	INIT*	Initialize
	15	BPRN*	Bus priority IN	16	BPRO*	Bus priority OUT
	17	BUSY*	Bus busy	18	BREQ*	Bus request
	19	MRDC*	Memory read command	20	MWTC*	Memory write command
	21	IORC*	I/O read command	22	IOWC*	I/O write command
	23	XACK*	XFER acknowledge	24	INH1*	Inhibit 1 (disable RAM)
Bus controls and address	25	LOCK*	Lock	26	INH2*	Inhibit 2 (disable PROM or ROM)
	27	BHEN*	Byte high enable	28	A16*	Address bus
	29	CBRQ*	Common bus request	30	A17*	
	31	CCLK*	Constant clock	32	A18*	
	33	INTA*	Interrupt acknowledge	34	A19*	
Interrupts	35	INT6*	Parallel interrupt requests	36	INT7*	Parallel interrupt requests
	37	INT4*		38	INT5*	
	39	INT2*		40	INT3*	
	41	INT0*		42	INT1*	
Address	43	A14*	Address bus	44	A15*	Address bus
	45	A12*		46	A13*	
	47	A10*		48	A11*	
	49	A8*		50	A9*	
	51	A6*		52	A7*	
	53	A4*		54	A5*	
	55	A2*		56	A3*	
	57	A0*		58	A1*	
Data	59	D14*	Data bus	60	D15*	Data bus
	61	D12*		62	D13*	
	63	D10*		64	D11*	
	65	D8*		66	D9*	
	67	D6*		68	D7*	
	69	D4*		70	D5*	
	71	D2*		72	D3*	
	73	D0*		74	D1*	
Power supplies	75	GND	Signal GND	76	GND	Signal GND
	77		Reserved, bussed	78		Reserved, bussed
	79	-12 V	-12 V d.c.	80	-12 V	-12 V d.c.
	81	+5 V	+5 V d.c.	82	+5 V	+5 V d.c.
	83	+5 V	+5 V d.c.	84	+5 V	+5 V d.c.
	85	GND	Signal GND	86	GND	Signal GND

Note.- All reserved pins are reserved for future use and should not be used if upwards compatibility is desired.

Tableau II

*Affectation des signaux du bus aux broches du connecteur (P2)*

	Broches	Face de montage des composants		Broches	Face circuit	
		Mnémonique	Description		Mnémonique	Description
	1		Réservé, non relié au bus	2		Réservé, non relié au bus
	3		Réservé, non relié au bus	4		Réservé, non relié au bus
	5		Réservé, non relié au bus	6		Réservé, non relié au bus
	7		Réservé, non relié au bus	8		Réservé, non relié au bus
	9		Réservé, non relié au bus	10		Réservé, non relié au bus
	11		Réservé, non relié au bus	12		Réservé, non relié au bus
	13		Réservé, non relié au bus	14		Réservé, non relié au bus
	15		Réservé, non relié au bus	16		Réservé, non relié au bus
	17		Réservé, non relié au bus	18		Réservé, non relié au bus
	19		Réservé, non relié au bus	20		Réservé, non relié au bus
	21		Réservé, non relié au bus	22		Réservé, non relié au bus
	23		Réservé, non relié au bus	24		Réservé, non relié au bus
	25		Réservé, non relié au bus	26		Réservé, non relié au bus
	27		Réservé, non relié au bus	28		Réservé, non relié au bus
	29		Réservé, non relié au bus	30		Réservé, non relié au bus
	31		Réservé, non relié au bus	32		Réservé, non relié au bus
	33		Réservé, non relié au bus	34		Réservé, non relié au bus
	35		Réservé, non relié au bus	36		Réservé, non relié au bus
	37		Réservé, non relié au bus	38		Réservé, non relié au bus
	39		Réservé, non relié au bus	40		Réservé, non relié au bus
	41		Réservé, relié au bus	42		Réservé, relié au bus
	43		Réservé, relié au bus	44		Réservé, relié au bus
	45		Réservé, relié au bus	46		Réservé, relié au bus
	47		Réservé, relié au bus	48		Réservé, relié au bus
	49		Réservé, relié au bus	50		Réservé, relié au bus
	51		Réservé, relié au bus	52		Réservé, relié au bus
	53		Réservé, relié au bus	54		Réservé, relié au bus
Adresse	55	A22*	Bus d'adresses	56	A21*	Bus d'adresses
	57	A20*		58	A23*	
	59		Réservé, relié au bus	60		Réservé, relié au bus

**Note.-** Toutes les broches réservées sont prévues pour l'extension future et il y a lieu qu'elles ne soient pas utilisées si l'on désire la compatibilité ascendante.

Les broches de 1 à 40 sont pour une «application spéciale». Les applications spéciales sont définies par catégorie.

Actuellement, seule la catégorie n° 1 est spécifiée. La catégorie n° 1 est pour une application non contrainte. Les autres catégories sont supposées comprendre les bus plus performants, les interfaces entrée/sortie, etc.

Les broches de 41 à 60 sont utilisées pour les adresses, données et/ou signaux associés à un autre connecteur P1 dans l'avenir.

Table II

*Pin assignment of bus signals on connector (P2)*

	Pin	Component side		Pin	Circuit side	
		Mnemonic	Description		Mnemonic	Description
	1		Reserved, not bussed	2		Reserved, not bussed
	3		Reserved, not bussed	4		Reserved, not bussed
	5		Reserved, not bussed	6		Reserved, not bussed
	7		Reserved, not bussed	8		Reserved, not bussed
	9		Reserved, not bussed	10		Reserved, not bussed
	11		Reserved, not bussed	12		Reserved, not bussed
	13		Reserved, not bussed	14		Reserved, not bussed
	15		Reserved, not bussed	16		Reserved, not bussed
	17		Reserved, not bussed	18		Reserved, not bussed
	19		Reserved, not bussed	20		Reserved, not bussed
	21		Reserved, not bussed	22		Reserved, not bussed
	23		Reserved, not bussed	24		Reserved, not bussed
	25		Reserved, not bussed	26		Reserved, not bussed
	27		Reserved, not bussed	28		Reserved, not bussed
	29		Reserved, not bussed	30		Reserved, not bussed
	31		Reserved, not bussed	32		Reserved, not bussed
	33		Reserved, not bussed	34		Reserved, not bussed
	35		Reserved, not bussed	36		Reserved, not bussed
	37		Reserved, not bussed	38		Reserved, not bussed
	39		Reserved, not bussed	40		Reserved, not bussed
	41		Reserved, bussed	42		Reserved, bussed
	43		Reserved, bussed	44		Reserved, bussed
	45		Reserved, bussed	46		Reserved, bussed
	47		Reserved, bussed	48		Reserved, bussed
	49		Reserved, bussed	50		Reserved, bussed
	51		Reserved, bussed	52		Reserved, bussed
	53		Reserved, bussed	54		Reserved, bussed
Address	55	A22*	Address bus	56	A21*	Address bus
	57	A20*		58	A23*	
	59		Reserved, bussed	60		Reserved, bussed

*Note.-* All reserved pins are reserved for future use and should not be used if upwards compatibility is desired.

Pins 1 to 40 are for "special use". Special uses are defined in categories.

Only category No. 1 is currently described. Category No. 1 is unconstrained use. Other categories are expected to include higher performance buses, I/O interfaces, etc.

Pins 41 to 60 are intended for future address, data, and/or other P1 - related signals.

---

**ICS 31.080 ; 33.120.30 ; 35.200**

---