

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60796-1

Première édition
First edition
1990-09

**Bus système à microprocesseurs –
Données: 8 bits et 16 bits (MULTIBUS I)**

Première partie:

Description fonctionnelle avec spécifications
électriques et chronologiques

**Microprocessor system bus –
8-bit and 16-bit data (MULTIBUS I)**

Part 1:

Functional description with electrical
and timing specifications



Numéro de référence
Reference number
CEI/IEC 60796-1: 1990

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement
(Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International (VEI)*.

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates
(On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary (IEV)*.

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60796-1

Première édition
First edition
1990-09

**Bus système à microprocesseurs –
Données: 8 bits et 16 bits (MULTIBUS I)**

Première partie:

Description fonctionnelle avec spécifications
électriques et chronologiques

**Microprocessor system bus –
8-bit and 16-bit data (MULTIBUS I)**

Part 1:

Functional description with electrical
and timing specifications

© IEC 1990 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni
utilisée sous quelque forme que ce soit et par aucun
procédé, électronique ou mécanique, y compris la photo-
copie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in
any form or by any means, electronic or mechanical,
including photocopying and microfilm, without permission in
writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

e-mail: inmail@iec.ch

3, rue de Varembe Geneva, Switzerland
IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE

XA

*Pour prix, voir catalogue en vigueur
For price, see current catalogue*

SOMMAIRE

	Pages
PREAMBULE	8
PREFACE	8
INTRODUCTION	12

SECTION UN - GENERALITES

Articles

1.1	Domaine d'application	12
1.2	Objet	14
1.3	Définitions	14
1.3.1	Terminologie du système en général	14
1.3.1.1	Compatibilité (Publication 625-1 de la CEI)	14
1.3.1.2	Cycle du bus	16
1.3.1.3	Interface (Publication 625-1 de la CEI)	16
1.3.1.4	Système d'interface (Publication 625-1 de la CEI)	16
1.3.1.5	Priorité	16
1.3.1.6	Système	16
1.3.2	Signaux et chemins (Publication 625-1 de la CEI)	16
1.3.2.1	Omnibus (ou bus) (Publication 625-1 de la CEI)	16
1.3.2.2	Octet	16
1.3.2.3	Mot	16
1.3.2.4	Signal (Publication 625-1 de la CEI)	16
1.3.2.5	Paramètre d'un signal (Publication 625-1 de la CEI)	16
1.3.2.6	Niveau de signal (Publication 625-1 de la CEI)	18
1.3.2.7	Etat haut (Publication 625-1 de la CEI)	18
1.3.2.8	Etat bas (Publication 625-1 de la CEI)	18
1.3.2.9	Ligne de signal (Publication 625-1 de la CEI)	18
1.3.2.10	Maître	18
1.3.2.11	Esclave	18

SECTION DEUX - SPECIFICATIONS FONCTIONNELLES

2.1	Eléments du bus	20
2.1.1	Maîtres	20
2.1.2	Esclaves	22
2.1.3	Signaux du bus	22
2.1.3.1	Lignes de commande	24
2.1.3.1.1	Lignes d'horloge	24
2.1.3.1.2	Lignes de commande (MWTC*, MRDC*, IOWC*, IORC*) ...	24
2.1.3.1.3	Ligne d'accusé de réception de transfert (XACK*)	26
2.1.3.1.4	Initialisation (INIT*)	26
2.1.3.1.5	Blocage (LOCK*)	26
2.1.3.2	Lignes d'adresses et d'invalidation	26

CONTENTS

	Page
FOREWORD	9
PREFACE	13
INTRODUCTION	13

SECTION ONE - GENERAL

Clause		
1.1	Scope	13
1.2	Object	15
1.3	Definitions	15
1.3.1	General System Terms	15
1.3.1.1	Compatibility (IEC Publication 625-1)	15
1.3.1.2	Bus Cycle	17
1.3.1.3	Interface (IEC Publication 625-1)	17
1.3.1.4	Interface System (IEC Publication 625-1)	17
1.3.1.5	Override	17
1.3.1.6	System	17
1.3.2	Signals and Paths (IEC Publication 625-1)	17
1.3.2.1	Bus (IEC Publication 625-1)	17
1.3.2.2	Byte	17
1.3.2.3	Word	17
1.3.2.4	Signal (IEC Publication 625-1)	17
1.3.2.5	Signal Parameter (IEC Publication 625-1)	19
1.3.2.6	Signal Level (IEC Publication 625-1)	19
1.3.2.7	High State (IEC Publication 625-1)	19
1.3.2.8	Low State (IEC Publication 625-1)	19
1.3.2.9	Signal Line (IEC Publication 625-1)	19
1.3.2.10	Master	19
1.3.2.11	Slave	19

SECTION TWO - FUNCTIONAL SPECIFICATIONS

2.1	Bus Elements	21
2.1.1	Masters	21
2.1.2	Slaves	23
2.1.3	Bus Signals	23
2.1.3.1	Control Lines	25
2.1.3.1.1	Clock Lines	25
2.1.3.1.2	Command Lines (MWTC*, MRDC*, IOWC*, IORC*)	25
2.1.3.1.3	Transfer Acknowledge Line (XACK*)	27
2.1.3.1.4	Initialize (INIT*)	27
2.1.3.1.5	Lock (LOCK*)	27
2.1.3.2	Address and Inhibit Lines	27

Articles	Pages	
2.1.3.2.1	Lignes d'adresses (24 lignes)	26
2.1.3.2.2	Validation des octets de poids fort (BHEN*)	26
2.1.3.2.3	Lignes d'invalidation (INH1* et INH2*)	28
2.1.3.3	Lignes de données (D0*-D15*)	28
2.1.3.4	Lignes d'interruption	28
2.1.3.4.1	Lignes de demande d'interruption (INT0*-INT7*)	28
2.1.3.4.2	Accusé de réception d'interruption (INTA*)	28
2.1.3.5	Lignes de permutation du bus	30
2.1.3.5.1	Demande de bus (BREQ*)	30
2.1.3.5.2	Priorité de bus (BPRN* et BPRO*)	30
2.1.3.5.3	Occupation de bus (BUSY*)	30
2.1.3.5.4	Demande commune de bus (CBRQ*)	30
2.2	Opération de transfert des données	30
2.2.1	Généralités concernant le transfert des données	32
2.2.2	Description des signaux	34
2.2.2.1	Initialisation (INIT*)	34
2.2.2.2	Horloge constante (CCLK*)	36
2.2.2.3	Lignes d'adresses (A0*-A23*)	36
2.2.2.4	Lignes de données (D0*-D15*)	36
2.2.2.5	Commandes du bus	40
2.2.2.5.1	Cycle lecture	42
2.2.2.5.2	Cycle écriture	44
2.2.2.5.3	Accusé de réception de transfert (XACK*)	44
2.2.2.5.4	Invalidation (INH1* et INH2*)	46
2.2.2.6	Blocage (LOCK*)	52
2.3	Opérations d'interruption	52
2.3.1	Lignes de signaux d'interruption	52
2.3.1.1	Lignes de demande d'interruption (INT0*-INT7*)	52
2.3.1.2	Accusé de réception d'interruption (INTA*)	54
2.3.2	Classification des réalisations des interruptions	54
2.3.2.1	Interruptions vectorisées autrement que par le bus	54
2.3.2.2	Interruptions vectorisées par le bus	56
2.4	Permutation de commande du bus	58
2.4.1	Signaux de permutation de commande du bus	58
2.4.1.1	Horloge de bus (BCLK*)	58
2.4.1.2	Occupation de bus (BUSY*)	60
2.4.1.3	Priorité IN de bus (BPRN*)	60
2.4.1.4	Priorité OUT de bus (BPRO*)	62
2.4.1.5	Demande de bus (BREQ*)	62
2.4.1.6	Demande commune de bus (CBRQ*) (en option)	62
2.4.2	Techniques de priorité de permutation de commande du bus.....	64
2.4.2.1	Technique de priorité en série	64
2.4.2.2	Technique d'arbitrage en parallèle	64

SECTION TROIS - SPECIFICATIONS ELECTRIQUES

3.1	Considérations générales sur le bus	68
3.1.1	Relations d'états logique et électrique	68
3.1.2	Caractéristiques des lignes de signaux	70
3.1.2.1	Exigences des lignes de signaux en fonctionnement	70
3.1.2.2	Caractéristiques du tracé des lignes de signaux sur le fond de panier	72

Clause	Page	
2.1.3.2.1	Address Lines (24 lines)	27
2.1.3.2.2	Byte High Enable Line (BHEN*)	27
2.1.3.2.3	Inhibit Lines (INH1* and INH2*)	29
2.1.3.3	Data Lines (D0*-D15*)	29
2.1.3.4	Interrupt Lines	29
2.1.3.4.1	Interrupt Request Lines (INT0*-INT7*)	29
2.1.3.4.2	Interrupt Acknowledge (INTA*)	29
2.1.3.5	Bus Exchange Lines	31
2.1.3.5.1	Bus Request (BREQ*)	31
2.1.3.5.2	Bus Priority (BPRN* and BPRO*)	31
2.1.3.5.3	Bus Busy (BUSY*)	31
2.1.3.5.4	Common Bus Request (CBRQ*)	31
2.2	Data Transfer Operation	31
2.2.1	Data Transfer Overview	33
2.2.2	Signal Descriptions	35
2.2.2.1	Initialize (INIT*)	35
2.2.2.2	Constant Clock (CCLK*)	37
2.2.2.3	Address Lines (A0*-A23*)	37
2.2.2.4	Data Lines (D0*-D15*)	37
2.2.2.5	Bus Commands	41
2.2.2.5.1	Read Operation	43
2.2.2.5.2	Write Operation	45
2.2.2.5.3	Transfer Acknowledge (XACK*)	45
2.2.2.5.4	Inhibit (INH1* and INH2*)	47
2.2.2.6	Lock (LOCK*)	53
2.3	Interrupt Operations	53
2.3.1	Interrupt Signal Lines	53
2.3.1.1	Interrupt Request Lines (INT0*-INT7*)	53
2.3.1.2	Interrupt Acknowledge (INTA*)	55
2.3.2	Classes of Interrupt Implementation	55
2.3.2.1	Non-Bus Vectored Interrupts	55
2.3.2.2	Bus Vectored Interrupts	57
2.4	Bus Exchange	59
2.4.1	Bus Exchange Signals	59
2.4.1.1	Bus Clock (BCLK*)	59
2.4.1.2	Bus Busy (BUSY*)	61
2.4.1.3	Bus Priority IN (BPRN*)	61
2.4.1.4	Bus Priority OUT (BPRO*)	63
2.4.1.5	Bus Request (BREQ*)	63
2.4.1.6	Common Bus Request (CBRQ*) (Optional)	63
2.4.2	Bus Exchange Priority Techniques	65
2.4.2.1	Serial Priority Technique	65
2.4.2.2	Parallel Arbitration Technique	65

SECTION THREE - ELECTRICAL SPECIFICATIONS

3.1	General Bus Considerations	69
3.1.1	Logical and Electrical State Relationships	69
3.1.2	Signal Line Characteristics	71
3.1.2.1	In-Use Signal Line Requirements	71
3.1.2.2	Backplane Signal Trace Characteristics	73

Articles		Pages
3.1.3	Spécifications d'alimentation	72
3.1.4	Température et humidité	78
3.2	Chronologie	78
3.2.1	Opérations de lecture (E/S et mémoire)	84
3.2.2	Opérations d'écriture (E/S et mémoire)	84
3.2.3	Opérations d'invalidation	86
3.2.4	Réalisations du système d'interruption	86
3.2.4.1	Interruptions NBV	88
3.2.4.2	Interruptions BV	88
3.2.5	Permutation de commande du bus	90
3.2.5.1	Priorité en série	92
3.2.5.2	Priorité en parallèle	94
3.2.6	Chronologies diverses	94
3.3	Récepteurs, circuits de commande et terminaisons	96

SECTION QUATRE - NIVEAUX DE CONFORMITE

4.1	Eléments variables des possibilités du matériel	104
4.1.1	Chemin de données	104
4.1.2	Chemin d'adresse mémoire	104
4.1.3	Chemin d'adresse E/S	104
4.1.4	Attributs d'interruption	104
4.2	Maîtres et esclaves	106
4.3	Notation de niveau de conformité	108
4.3.1	Chemin de données	108
4.3.2	Chemin d'adresse mémoire	108
4.3.3	Chemin d'adresse E/S	108
4.3.4	Attributs d'interruption	108
4.3.5	Exemple	108
4.3.6	Marque de conformité	110

Clause		Page
3.1.3	Power Supply Specification	73
3.1.4	Temperature and Humidity	79
3.2	Timing	79
3.2.1	Read Operations (I/O and Memory)	85
3.2.2	Write Operations (I/O and Memory)	85
3.2.3	Inhibit Operations	87
3.2.4	Interrupt Implementations	87
3.2.4.1	NBV Interrupts	89
3.2.4.2	BV Interrupts	89
3.2.5	Bus Control Exchanges	91
3.2.5.1	Serial Priority	93
3.2.5.2	Parallel Priority	95
3.2.6	Miscellaneous Timing	95
3.3	Receivers, Drivers and Terminations	97

SECTION FOUR - LEVELS OF COMPLIANCE

4.1	Variable Elements of Capability	105
4.1.1	Data Path	105
4.1.2	Memory Address Path	105
4.1.3	I/O Address Path	105
4.1.4	Interrupt Attributes	105
4.2	Masters and Slaves	107
4.3	Compliance Level Notation	109
4.3.1	Data Path	109
4.3.2	Memory Address Path	109
4.3.3	I/O Address Path	109
4.3.4	Interrupt Attributes	109
4.3.5	Example	109
4.3.6	Compliance Marking	111

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

BUS SYSTEME A MICROPROCESSEURS - DONNEES: 8 BITS ET 16 BITS
(MULTIBUS I)

Première partie: Description fonctionnelle
avec spécifications électriques et chronologiques

PREAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le voeu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.
- 4) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

PREFACE

La présente norme a été établie par le Sous-Comité 47B*: Systèmes à microprocesseurs, du Comité d'Etudes n° 47 de la CEI: Dispositifs à semi-conducteurs.

Cette norme constitue la première partie d'une série de publications, dont les autres parties sont les suivantes:

- Publication 796-2 (1990): Bus système à microprocesseurs - Données: 8 bits et 16 bits (MULTIBUS I) - Deuxième partie: Description mécanique et brochage pour la configuration du bus système, avec des connecteurs en haut de carte.
- Publication 796-3 (1990): Troisième partie: Description mécanique et brochage pour la configuration Eurocard ayant des connecteurs rapportés.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

MICROPROCESSOR SYSTEM BUS - 8-BIT AND 16-BIT DATA
(MULTIBUS I)Part 1: Functional description with electrical
and timing specifications

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.
- 4) The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

PREFACE

This standard has been prepared by Sub-Committee 47B*: Microprocessor Systems, of IEC Technical Committee No. 47: Semiconductor Devices.

This standard forms Part 1 of a series of publications, the other parts being:

- Publication 796-2 (1990): Microprocessor system bus - 8-bit and 16-bit data (MULTIBUS I) - Part 2: Mechanical and pin descriptions for the system bus configuration, with edge connectors (direct).
- Publication 796-3 (1990): Part 3: Mechanical and pin descriptions for the Eurocard configuration with pin and socket (indirect) connectors.

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapport de vote
47B(BC)8	47B(BC)14

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

La publication suivante de la CEI est citée dans la présente norme:

Publication n° 625-1 (1979): Un système d'interface pour instruments de mesurage programmables (bits parallèles, octets série), Première partie: Spécifications fonctionnelles, spécifications électriques, spécifications mécaniques, application du système et règles pour le constructeur et l'utilisateur.

* Le Sous-Comité 47B de la CEI est désormais transféré dans l'ISO/CEI JTC 1.

La présente norme a été approuvée selon les procédures de la CEI et, par conséquent, est publiée comme norme de la CEI.

The text of this standard is based upon the following documents:

Six Months' Rule	Report on Voting
47B(C0)8	47B(C0)14

Full information on the voting for the approval of this standard can be found in the Voting Report indicated in the above table.

The following IEC publication is quoted in this standard:

Publication No. 625-1 (1979): An interface system for programmable measuring instruments (byte serial, bit parallel), Part 1: Functional specifications, electrical specifications, mechanical specifications, system applications and requirements for the designer and user.

* IEC Sub-Committee 47B has now been transferred to ISO/IEC JTC 1.

This standard was approved according to IEC procedures and is therefore published as an IEC standard.

BUS SYSTEME A MICROPROCESSEURS - DONNEES: 8 BITS ET 16 BITS (MULTIBUS I)

Première partie: Description fonctionnelle avec spécifications électriques et chronologiques

INTRODUCTION

La présente norme fait partie d'une série qui traite des interfaces mécaniques et électriques permettant aux divers composants d'un système à microprocesseurs de dialoguer entre eux. Le bus d'interface sert de moyen de transfert en parallèle et d'interconnexion des signaux utilitaires pour les composants d'un système étroitement couplés. La série est composée d'une description fonctionnelle et de deux normes mécaniques.

SECTION UN - GENERALITES

1.1 Domaine d'application

La présente norme s'applique aux composants d'interface du système et doit être utilisée lors de l'interconnexion des sous-ensembles de traitement de l'information, de stockage, et des contrôleurs périphériques dans une configuration étroitement couplée. Ce système d'interface comprend les signaux nécessaires pour permettre aux divers composants du système de dialoguer entre eux. Il permet le transfert de données d'entrée/sortie (E/S) et de mémoire, les accès directs à la mémoire, la génération d'interruptions, etc. Cette norme fournit une description détaillée de tous les éléments et caractéristiques qui constituent le bus système.

Le bus dessert deux espaces d'adresse indépendants: la mémoire et les entrées/sorties. Durant les cycles mémoire, le bus permet une adressabilité directe, jusqu'à 16 méga-octets, en utilisant un adressage à 24 bits. Durant les cycles d'entrées/sorties, le bus permet un adressage jusqu'à 64K de points d'accès E/S, utilisant un adressage à 16 bits. Aussi bien les cycles mémoire que les cycles E/S peuvent permettre des transferts de données à 8 ou 16 bits.

La structure du bus a été établie selon le concept maître-esclave, où l'unité maîtresse dans le système prend le contrôle du bus et l'organe processeur esclave, reconnu par décodage de son adresse, agit selon les ordres donnés par le maître. Cet établissement de liaison (relation maître-esclave) entre le maître et les esclaves permet à des modules de vitesses différentes de s'interconnecter par l'intermédiaire du bus. Il permet aussi des débits de données allant jusqu'à cinq millions de transferts par seconde (octets ou mots) sur le bus.

Une autre caractéristique importante du bus est sa capacité à connecter plusieurs modules maîtres pour les configurations en multi-traitement. Le bus fournit les signaux de commande pour connecter plusieurs maîtres aussi bien en mode de priorité série qu'en mode de priorité parallèle. Avec l'un ou l'autre de ces deux agencements, plus d'un maître peut partager les ressources du bus.

MICROPROCESSOR SYSTEM BUS - 8-BIT AND 16-BIT DATA (MULTIBUS I)

Part 1: Functional description with electrical and timing specifications

INTRODUCTION

This standard is one of a series which deals with the electrical and mechanical interfaces to allow various microprocessor system components to interact with each other. The interface bus serves as a parallel transfer and utility signal interconnect for closely coupled system components. The series consists of one functional description and two alternative mechanical standards.

SECTION ONE - GENERAL

1.1 Scope

This standard is applicable to interface system components, for use in interconnecting data processing, data storage, and peripheral control devices in a closely coupled configuration. This interface system contains the necessary signals to allow the various system components to interact with each other. It allows memory and Input/Output (I/O) data transfers, direct memory accesses, generation of interrupts, etc. This standard provides a detailed description of all the elements and features that make up the system bus.

The bus supports two independent address spaces: memory and I/O. During memory cycles the bus allows direct addressability of up to 16 megabytes using 24-bit addressing. During I/O bus cycles, the bus allows addressing of up to 64K I/O ports using 16-bit addressing. Both memory and I/O cycles can support 8-bit data transfers.

The bus structure is built upon the master-slave concept where the master device in the system takes control of the bus and the slave device, upon decoding its address, acts upon the command provided by the master. This handshake (master-slave relationship) between the master and slave devices allows modules of different speeds to be interfaced via the bus. It also allows data rates up to five million transfers per second (bytes or words) to take place across the bus.

Another important feature of the bus is the ability to connect multiple master modules for multiprocessing configurations. The bus provides control signals for connecting multiple masters in either a serial or parallel priority fashion. With either of these two arrangements, more than one master may share bus resources.

Cette norme a été préparée pour les utilisateurs qui ont l'intention d'évaluer ou de concevoir des matériels compatibles avec la structure du bus. A cette fin, les définitions des signaux nécessaires et les spécifications électriques et de synchronisation ont été expliquées en détail.

Cette norme traite seulement des caractéristiques d'interface des micro-ordinateurs. Elle ne traite pas des spécifications d'études, des exigences de performances, ni des exigences de sécurité des modules.

Dans cette norme, le terme "système" signifie le système d'interface par mot ou par octet qui, en général, comprend tous les circuits, connecteurs et protocoles de commande pour effectuer des transferts de données non ambigus entre les unités. Le terme "unité" ou "module" signifie tout matériel connecté au système d'interface, qui communique l'information par la voie du bus, tout en se conformant à la définition du système d'interface.

1.2 Objet

Cette norme a pour but de:

- 1) définir l'usage général du bus système du micro-ordinateur;
- 2) spécifier les exigences d'interfaces fonctionnelles et électriques indépendantes du type d'unité, auxquelles le module doit satisfaire dans le but de permettre son interconnexion et la communication sans ambiguïté par la voie du bus système;
- 3) spécifier la terminologie et les définitions relatives au système;
- 4) valider l'interconnexion des unités construites indépendamment en un système fonctionnel unique;
- 5) permettre aux produits dans un large éventail de capacités de s'interconnecter simultanément au système;
- 6) définir un système ayant un minimum de restrictions sur les caractéristiques de performances des unités connectées au système.

1.3 Définitions

Les définitions générales suivantes sont applicables dans le cadre de cette norme. Des définitions plus amplement détaillées sont fournies dans les paragraphes respectifs.

1.3.1 Terminologie du système en général

1.3.1.1 Compatibilité (Publication 625-1 de la CEI)

Mesure dans laquelle les appareils conçus conformément à toutes les dispositions de cette norme peuvent être interconnectés et utilisés sans modification (par exemple: compatibilité mécanique, électrique, fonctionnelle).

This standard has been prepared for those users who intend to evaluate or design products that will be compatible with the system bus structure. To this end, the necessary signal definitions and timing and electrical specifications have been covered in detail.

This standard deals only with the interface characteristics of microcomputer devices and not with design specifications, performance requirements, and safety requirements of modules.

Throughout this standard, the term "system" denotes the byte or word interface system that, in general, includes all the circuits, connectors, and control protocol to effect unambiguous data transfer between devices. The term "device" or "module" denotes any product connected to the interface system that communicates information via the bus, and that conforms to the interface system definition.

1.2 Object

This standard is intended to:

- 1) define a general purpose microcomputer system bus;
- 2) specify the device-independent electrical and functional interface requirements that a module shall meet in order to interconnect and communicate unambiguously via the bus system;
- 3) specify the terminology and definitions related to the system;
- 4) enable the interconnection of independently manufactured devices into a single functional system;
- 5) permit products with a wide range of capabilities to be interconnected to the system simultaneously;
- 6) define a system with a minimum of restrictions on the performance characteristics of devices connected to the system.

1.3 Definitions

The following general definitions apply for the purpose of this standard. More detailed definitions can be found in the relevant sub-clause.

1.3.1 *General System Terms*

1.3.1.1 *Compatibility* (IEC Publication 625-1)

The degree to which devices may be interconnected and used, without modification, when designed as defined throughout this standard (e.g. mechanical, electrical, functional).

1.3.1.2 *Cycle du bus*

Le processus par lequel les signaux numériques effectuent le transfert des octets ou mots de données sur l'interface, au moyen d'une séquence interverrouillée des signaux de commande. "Interverrouillé" implique une séquence fixe des événements dans laquelle un événement doit se produire avant l'événement suivant.

1.3.1.3 *Interface* (Publication 625-1 de la CEI)

Frontière commune appartenant à un système considéré et à un autre système, ou à des parties d'un même système, à travers laquelle une information circule.

1.3.1.4 *Système d'interface* (Publication 625-1 de la CEI)

Ensemble des éléments mécaniques, électriques et fonctionnels, invariables pour les différents appareils, et nécessaires dans une interface pour effectuer la communication entre une série d'appareils. Les câbles, les connecteurs, les circuits de commande et de réception, les définitions des signaux sur les lignes, les conventions de cadence et de contrôle et les circuits logiques fonctionnels sont des éléments types d'un système d'interface.

1.3.1.5 *Priorité*

Un maître du bus a la priorité sur la logique de commande du bus quand cela s'avère nécessaire pour se garantir lui-même des cycles de bus "back-to-back". Cela constitue ce que l'on appelle une réquisition temporaire du bus pour empêcher que d'autres unités maîtres ne puissent l'utiliser.

1.3.1.6 *Système*

Ensemble d'éléments interconnectés qui réalisent un objectif donné par l'exécution d'une fonction spécifiée.

1.3.2 *Signaux et chemins* (Publication 625-1 de la CEI)

1.3.2.1 *Omnibus (ou bus)* (Publication 625-1 de la CEI)

Ligne de signal (ou ensemble de lignes) utilisée par un système d'interface, à laquelle sont connectés un certain nombre d'appareils et sur laquelle les messages sont véhiculés.

1.3.2.2 *Octet*

Groupe de huit chiffres binaires en parallèle traité comme un ensemble.

1.3.2.3 *Mot*

Deux octets ou seize bits traités comme un ensemble.

1.3.2.4 *Signal* (Publication 625-1 de la CEI)

Représentation physique d'une information.

1.3.1.2 *Bus Cycle*

The process whereby digital signals effect the transfer of data bytes or words across the interface by means of an interlocked sequence of control signals. "Interlocked" denotes a fixed sequence of events in which one event shall occur before the next event can occur.

1.3.1.3 *Interface* (IEC Publication 625-1)

A common boundary between a considered system and another system, or between parts of a system, through which information is conveyed.

1.3.1.4 *Interface System* (IEC Publication 625-1)

The set of device-independent mechanical, electrical and functional elements of an interface necessary to effect communication among a set of devices. Cables, connectors, driver and receiver circuits, signal line descriptions, timing and control conventions and functional logic circuits are typical system elements.

1.3.1.5 *Override*

A bus master overrides the bus control logic when it is necessary to guarantee itself back-to-back bus cycles. This is called "overriding" or "locking" the bus, temporarily preventing other masters from using the bus.

1.3.1.6 *System*

A set of interconnected elements which achieve a given objective through the performance of a specified function.

1.3.2 *Signals and Paths* (IEC Publication 625-1)

1.3.2.1 *Bus* (IEC Publication 625-1)

A signal line or a set of signal lines used by an interface system to which a number of devices are connected and over which messages are carried.

1.3.2.2 *Byte*

A group of eight concurrent binary digits operated on as a unit.

1.3.2.3 *Word*

Two bytes or sixteen bits operated on as a unit.

1.3.2.4 *Signal* (IEC Publication 625-1)

The physical representation of information.

Note.- Il s'agit, pour cette norme, d'une définition restrictive de ce qui est souvent appelé "signal" dans le sens le plus général. Elle ne s'applique, ci-après, qu'à des signaux électriques numériques.

1.3.2.5 *Paramètre d'un signal* (Publication 625-1 de la CEI)

Paramètre associé à une grandeur électrique dont la valeur, ou la suite des valeurs, véhicule l'information.

1.3.2.6 *Niveau de signal* (Publication 625-1 de la CEI)

Valeur du signal exprimée par rapport à une valeur de référence choisie arbitrairement (dans cette norme, il s'agit de signaux de tension).

1.3.2.7 *Etat haut* (Publication 625-1 de la CEI)

Niveau du signal le plus positif, utilisé pour représenter le contenu d'un message spécifique associé à l'un des deux états logiques binaires.

1.3.2.8 *Etat bas* (Publication 625-1 de la CEI)

Niveau de signal le moins positif, utilisé pour représenter le contenu d'un message spécifique associé à un des deux états logiques binaires.

1.3.2.9 *Ligne de signal* (Publication 625-1 de la CEI)

Conducteur, parmi un jeu dans un système d'interface, utilisé pour transmettre des messages entre des appareils interconnectés.

1.3.2.10 *Maître*

Module fonctionnel capable de déclencher les transferts de bus de données.

1.3.2.11 *Esclave*

Module fonctionnel capable de répondre aux opérations de transfert des données engendrées par un maître.

SECTION DEUX - SPECIFICATIONS FONCTIONNELLES

Cette section permet une compréhension générale des fonctions du bus et décrit les éléments s'y connectant, les signaux lui fournissant l'interface et les différents types d'opérations exécutées sur lui.

Dans cette section, de même que tout au long de cette norme, une notation claire et uniforme a été utilisée pour désigner les signaux. La commande d'écriture mémoire (MWTC) sera utilisée pour expliquer cette notation. Les termes un: zéro et vrai: faux pouvant être ambigus seront écartés. A leur place, nous utiliserons des termes relatifs au niveau électrique Haut (H) et Bas (B). Un astérisque "*" sans indice supérieur (*) suivant le nom du signal (MWTC*) indiquera que le signal est actif au niveau bas comme ci-dessous:

MWTC* = actif à 0 V

Note.- For the purpose of this standard, this is a restricted definition of what is often called "signal" in the general sense, and hereinafter refers to digital electrical signals only.

1.3.2.5 *Signal Parameter* (IEC Publication 625-1)

That parameter of an electrical quantity whose value or sequence of values conveys information.

1.3.2.6 *Signal Level* (IEC Publication 625-1)

The magnitude of a signal compared to an arbitrary reference magnitude (voltage in the case of this standard).

1.3.2.7 *High State* (IEC Publication 625-1)

The more positive voltage level used to represent one of two logical binary states.

1.3.2.8 *Low State* (IEC Publication 625-1)

The more negative voltage level used to represent one of two logical binary states.

1.3.2.9 *Signal Line* (IEC Publication 625-1)

One of a set of signal conductors in an interface system used to transfer messages among interconnected devices.

1.3.2.10 *Master*

A functional module capable of initiating data bus transfer.

1.3.2.11 *Slave*

A functional module capable of responding to data transfer operations generated by a master.

SECTION TWO - FUNCTIONAL SPECIFICATIONS

This section provides an overall understanding of how the bus functions and describes the elements that connect to the bus, the signals that provide the interface to the bus and the different types of operations performed on the bus.

In this section, as well as throughout the standard, a clear and consistent notation for signals has been used. The Memory Write Command (MWTC) will be used to explain this notation. The terms one: zero and true: false can be ambiguous, so their use will be avoided. In their place, we will use the terms electrical High (H) and Low (L). A nathan ("*", a non-superscript asterisk) following the signal name (MWTC*) indicates that the signal is active low as shown below:

MWTC* = asserted at 0 V

Le signal (MWTC*) fourni par un circuit de commande à trois états sera ramené à VCC quand il n'est pas activé. Le tableau suivant explique plus en détail la notation utilisée dans cette norme.

Fonction	Electrique	Logique de définition	Etat
MWTC	H	1 Vrai	Actif
	B	0 Faux	
MWTC*	B	1 Vrai	Actif
	H	0 Faux	

2.1 Eléments du bus

Cet article décrit les éléments (maîtres et esclaves) qui sont reliés au bus, et les lignes de signaux de bus qui constituent cette interface.

2.1.1 Maîtres

Un maître est n'importe quel module ayant la capacité de contrôler le bus. Le maître exerce son contrôle par l'acquisition du bus grâce à la logique de permutation du bus et puis engendre les signaux de commande, les signaux d'adresses et les adresses mémoire ou E/S. Pour réaliser ces tâches, le maître est équipé soit d'une unité centrale, soit d'une logique spécialisée dans le transfert des données sur un bus, depuis ou vers d'autres destinations. La figure 1, page 22, décrit un système comprenant un module maître et deux esclaves.

L'architecture du bus système peut supporter plus d'un maître dans le même système mais, dans ce cas, des moyens doivent être prévus dans chaque maître afin qu'il puisse prendre le contrôle du bus. Cela s'accomplit par l'intermédiaire de la logique de permutation de commande du bus (se reporter à l'article 2.4).

Les maîtres peuvent fonctionner selon deux modes. Les modes 1 et 2 sont définis comme indiqué ci-dessous:

Mode 1: Les maîtres sont limités aux transferts simples à chaque connexion sur le bus. Si tous les maîtres sont en mode 1, la synchronisation du système est rendue déterministe en se conformant à la période d'occupation maximale du bus. Cette période est limitée par la valeur maximale du paramètre t_{BYSO} (voir le paragraphe 3.2.5).

Mode 2: Les maîtres ne sont pas limités dans le contrôle du bus. Ils peuvent invoquer la réquisition du bus. Les limitations du temps d'occupation sont autorisées. La conformité avec la période d'occupation maximale n'est pas exigée.

The signal (MWTC*) driven by a three state driver will be pulled up to VCC when not asserted. The following is used to further explain the notation used in this standard.

Function	Electrical	Definition logic	State
MWTC	H	1 True	Active, asserted
	L	0 False	
MWTC*	L	1 True	Active, asserted
	H	0 False	

2.1 Bus Elements

This clause describes the elements (masters and slaves) that interface to the bus and the bus signal lines that comprise this interface.

2.1.1 Masters

A master is any module having the ability to control the bus. The master exercises this control by acquiring the bus through bus exchange logic and then generating command signals, address signals, and memory or I/O addresses. To perform these tasks, the master is equipped with either a central processing unit or logic dedicated to transferring data over to the bus, to and from other destinations. Figure 1, page 23, depicts a system that includes a master and two slave modules.

The system bus architecture can support more than one master in the same system, but in order to do this, there shall be a means for each master to gain control of the bus. This is accomplished through the bus exchange logic (see Clause 2.4).

Masters may operate in one of two modes of operation. Modes 1 and 2 are defined as follows:

Mode 1: Masters are limited to single bus transfers per bus connect. If all masters are in Mode 1, system timing is rendered deterministic by conformance with a maximum bus busy period. That period is limited by the parameter $t_{\text{BYSO max}}$ (see Sub-clause 3.2.5).

Mode 2: Masters are unlimited in the bus control. They may invoke bus override. Bus timeouts are allowed. Conformance with the maximum busy period is not required.

La dernière classification est incluse pour permettre un très vaste champ d'opération, donnant aux utilisateurs un maximum de souplesse pour résoudre les besoins de leurs applications. Le premier mode de fonctionnement est défini pour permettre aux concepteurs du système de calculer à l'avance les performances générales de leurs systèmes sans se préoccuper des paramètres de synchronisation incontrôlés tels que les limitations du temps d'occupation du bus. En ce qui concerne les maîtres qui ne peuvent fonctionner qu'en mode 2, leur spécification doit établir "Maîtres, seulement en mode 2".

2.1.2 Esclaves

Une autre catégorie de module pouvant être reliée au bus est l'esclave. Les modules esclaves décodent les lignes d'adresses et agissent selon les signaux de commande émis par les maîtres. Les esclaves ne sont pas capables de commander le bus. Quelques exemples d'esclaves de bus sont indiqués à la figure 1.

2.1.3 Signaux du bus

Les signaux transférés sur le bus peuvent être groupés en plusieurs classes, selon les fonctions qu'ils peuvent remplir. Ces classes sont:

- 1) Lignes de commande
- 2) Lignes d'adresses et d'invalidation
- 3) Lignes de données
- 4) Lignes d'interruption
- 5) Lignes de permutation du bus

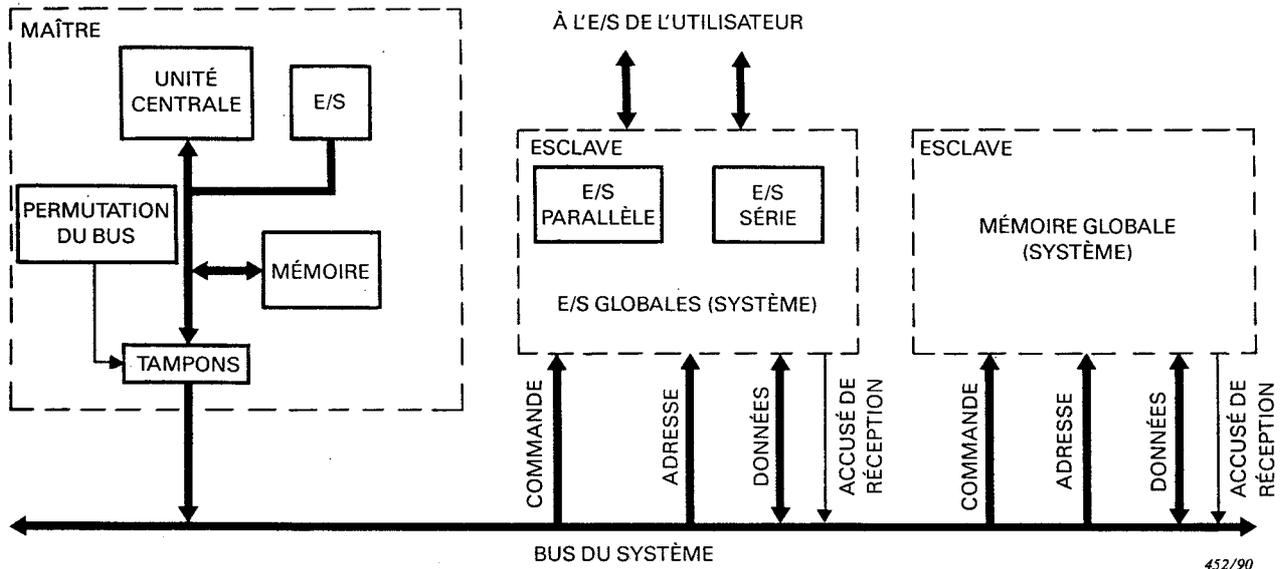


Fig. 1. - Exemple de maître et d'esclave du bus.

The last classification is included to allow for a very broad class of operations, giving users maximum flexibility in meeting the needs of their applications. The first mode of operation is defined to allow system designers to predict the overall performance of their systems without concern for uncontrolled timing parameters such as bus timeout. For masters which can only operate in Mode 2, their specification shall state "Mode 2 master only".

2.1.2 Slaves

Another type of module that can interface to the bus is the slave. Slave modules decode the address lines and act upon the command signals from the masters. The slaves are not capable of controlling the bus. Some examples of bus slaves are shown in Figure 1.

2.1.3 Bus Signals

Signals transferred over the bus can be grouped into several classes based on the functions they perform. The classes are:

- 1) Control lines
- 2) Address and inhibit lines
- 3) Data lines
- 4) Interrupt lines
- 5) Bus exchange lines

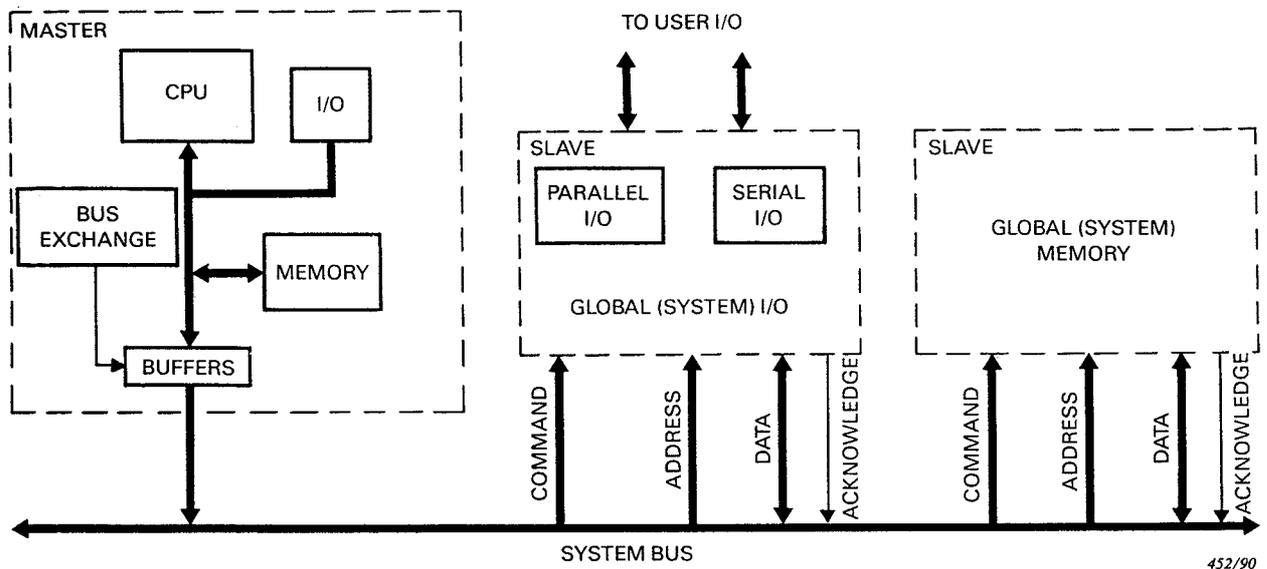


Fig. 1. - Bus master and slave example.

Les paragraphes suivants expliquent les différentes catégories des signaux du bus.

2.1.3.1 Lignes de commande

Les signaux suivants sont classés comme lignes de commande:

<i>Classe</i>	<i>Fonction</i>	<i>Signal</i>
Horloges	Horloge constante	CCLK*
	Horloge du bus	BCLK*
Commandes	Ecriture mémoire	MWTC*
	Lecture mémoire	MRDC*
	Ecriture E/S	IOWC*
	Lecture E/S	IORC*
Accusé de réception	Accusé de réception de transfert	XACK*
Initialisation		INIT*
Blocage		LOCK*

2.1.3.1.1 Lignes d'horloge

- 1) Horloge du bus (BCLK*)
Signal périodique utilisé pour synchroniser la logique de contention du bus. Il peut être ralenti, arrêté ou fonctionner en pas-à-pas. L'horloge du bus est engendrée par une source unique dans le système. Cela signifie que chaque maître de bus autonome doit avoir la capacité d'engendrer une horloge acceptable qui peut optionnellement être connectée ou déconnectée au bus. Dans les systèmes à maîtres multiples, un des maîtres seulement aura son horloge connectée au bus.
- 2) Horloge constante (CCLK*)
Signal périodique à fréquence constante, qui peut être utilisé comme horloge pilote par les maîtres ou les esclaves. L'horloge constante est engendrée par une source unique dans le système. Cela signifie que chaque maître de bus doit avoir la capacité d'engendrer une horloge acceptable qui peut optionnellement être connectée ou déconnectée au bus. Dans les systèmes à maîtres multiples, un des maîtres seulement aura son horloge connectée au bus.

2.1.3.1.2 Lignes de commande (MWTC*, MRDC*, IOWC*, IORC*)

Les lignes de commande sont des éléments d'un lien de communication entre les maîtres et les esclaves. Il y a deux lignes de commande pour la mémoire et deux lignes de commande pour les E/S. Une ligne de commande active indique à l'esclave que les lignes d'adresses acheminent une adresse valide, et que l'esclave doit exécuter l'opération spécifiée. Dans un cycle écriture de données, la ligne de commande active (MWTC* ou IOWC*), en plus, indique que la donnée est valide sur le bus. Dans un cycle lecture de données, la transition du signal de commande (MRDC* ou IORC*) de la forme active à la forme inactive indique que le maître a reçu la donnée de l'esclave.

The following sub-clauses explain the different classes of bus signals.

2.1.3.1 Control Lines

The following signals are classified as control lines:

<i>Class</i>	<i>Function</i>	<i>Signal</i>
Clocks	Constant clock	CCLK*
	Bus clock	BCLK*
Commands	Memory write	MWTC*
	Memory read	MRDC*
	I/O write	IOWC*
	I/O read	IORC*
Acknowledge	Transfer acknowledge	XACK*
Initialize		INIT*
Lock		LOCK*

2.1.3.1.1 Clock Lines

1) Bus Clock (BCLK*)

A periodic signal used to synchronize the bus contention logic; it may be slowed, stopped, or single stepped. The Bus Clock shall be generated by one and only one source within the system. This means that each standalone bus master shall have the capability of generating an acceptable clock that can optionally be connected to, or disconnected from, the bus. In a multimaster system, only one of the masters shall have its clock connected to the bus.

2) Constant Clock (CCLK*)

A periodic signal of constant frequency, which may be used by masters or slaves as a master clock. The Constant Clock shall be generated by only one source within the system. This means that each bus master shall have the capability of generating an acceptable clock that can optionally be connected to, or disconnected from, the bus. In a multimaster system, only one of the masters shall have its clock connected to the bus.

2.1.3.1.2 Command Lines (MWTC*, MRDC*, IOWC*, IORC*)

The command lines are elements of a communication link between the masters and slaves. There are two command lines for memory and two command lines for I/O. An active command line indicates to the slave that the address lines are carrying a valid address, and that the slave is to perform the specified operation. In a data write cycle, the active command line (MWTC* or IOWC*) additionally indicates that the data is valid on the bus. In a data read cycle, the transition of the command (MRDC* or IORC*) from active to inactive indicates that the master has received the data from the slave.

2.1.3.1.3 *Ligne d'accusé de réception de transfert (XACK*)*

Cette ligne est utilisée par les esclaves pour accuser réception des commandes du maître. XACK* indique au maître que l'action requise est accomplie et que la donnée a été placée sur les lignes de données, ou acceptée à partir d'elles.

2.1.3.1.4 *Initialisation (INIT*)*

Le signal INIT* est utilisé pour remettre l'ensemble du système dans un état interne connu. Ce signal est habituellement engendré avant le commencement de toute opération dans le système. INIT* peut être engendré par un maître quelconque du bus ou par tous, ou par une source extérieure telle qu'un interrupteur de panneau frontal anti-rebond et doté d'un tampon.

2.1.3.1.5 *Blocage (LOCK*)*

Le signal LOCK* est engendré par le maître dans la commande du bus pour indiquer que le bus est bloqué. LOCK* est utilisé pour étendre les exclusions mutuelles aux dispositifs dotés de mémoires vives à accès multiples.

2.1.3.2 *Lignes d'adresses et d'invalidation*

Les lignes d'adresses et d'invalidation sont utilisées pour les signaux suivants:

<i>Fonction</i>	<i>Signal</i>
Lignes d'adresses	A0* à A23*
Validation des octets de poids fort	BHEN*
Lignes d'invalidation	INH1* et INH2*

2.1.3.2.1 *Lignes d'adresses (24 lignes)*

Ces lignes, qui spécifient les adresses des positions mémoires référencées ou des unités d'entrée/sortie, permettent l'accès à un maximum de 16 méga-octets (16 777 216 octets) de mémoire. Lors de l'adressage d'une unité E/S, un maximum de 16 lignes d'adresses (A0*-A15*) est utilisé, permettant ainsi un adressage d'un maximum de 64K unités. Un module E/S doit aussi être capable de réaliser le décodage de huit lignes d'adresses seulement (A0*-A7*) et ignorer les huit lignes supérieures (voir le paragraphe 2.2.2.3).

2.1.3.2.2 *Validation des octets de poids fort (BHEN*)*

Cette ligne de commande des octets est utilisée pour permettre aux octets de poids fort (bits 8-F) d'un mot de 16 bits de commander le bus. Ce signal est utilisé seulement sur les systèmes qui incluent des transferts de données à 16 bits.

2.1.3.1.3 *Transfer Acknowledge Line (XACK*)*

This line is used by the slaves to acknowledge commands from the master. XACK* indicates to the master that the requested action is complete, and that data has been placed on, or accepted from, the data lines.

2.1.3.1.4 *Initialize (INIT*)*

The INIT* signal is generated to reset the entire system to a known internal state. This signal is usually generated prior to starting any operation on the system. INIT* may be generated by any or all of the bus masters or by an external source such as a buffered and debounced front panel switch.

2.1.3.1.5 *Lock (LOCK*)*

The LOCK* signal is generated by the master in control of the bus to indicate that the bus is locked. LOCK* is used to extend mutual exclusion to multiple port RAM designs.

2.1.3.2 *Address and Inhibit Lines*

The address and inhibit lines are used for the following signals:

<i>Function</i>	<i>Signal</i>
Address Lines	A0*-A23*
Byte High Enable	BHEN*
Inhibit Lines	INH1* and INH2*

2.1.3.2.1 *Address Lines (24 lines)*

These lines, which specify the address of the referenced memory location or I/O device, allow a maximum of 16 megabytes (16 777 216 bytes) of memory to be accessed. When addressing an I/O device, a maximum of 16 address lines (A0*-A15*) are used, thus allowing the addressing of a maximum of 64K devices. An I/O module shall also be able to be configured to decode only eight address lines (A0*-A7*) and ignore the upper eight lines (see Sub-clause 2.2.2.3).

2.1.3.2.2 *Byte High Enable Line (BHEN*)*

This byte control line is used to enable the upper byte (bits 8-F) of a 16-bit word to drive the bus. The signal is used only on systems that incorporate 16-bit data transfers.

2.1.3.2.3 Lignes d'invalidation (INH1* et INH2*)

Les lignes d'invalidation peuvent être activées lors de n'importe quelle opération d'écriture ou de lecture en mémoire (MRDC* ou MWTC*). Une ligne d'invalidation est rendue active par un esclave pour invalider l'activité d'un autre esclave sur le bus durant une opération d'écriture ou de lecture en mémoire. Le signal d'invalidation engendré par l'esclave invalideur est dérivé du décodage des lignes d'adresses mémoire. L'esclave invalideur peut décoder une adresse simple, un bloc d'adresses ou toute combinaison d'une simple adresse et d'un bloc d'adresses.

Quand il détecte l'adresse spécifique lors d'une commande (MRDC* ou MWTC*), l'esclave invalideur engendre un signal d'invalidation, qui est détecté par l'esclave invalidé. Quand il est ainsi invalidé, ce module esclave rend inopérants tous ses circuits de commande des adresses, des données et des lignes de bus d'accusés de réception, quoiqu'il puisse cependant exécuter des opérations internes. (Tous les modules qui peuvent être invalidés devront compléter les opérations internes dans 1,5 μ s à partir du début de la ligne de commande. Cet intervalle (1,5 μ s) est aussi la durée minimale d'accusé de réception pour les modules émettant les invalidations. Cela garantit que les modules invalidés ont suffisamment de temps pour retourner à leur état normal avant que la commande du bus en cours ne soit achevée.)

2.1.3.3 Lignes de données (D0*-D15*)

Ces 16 lignes de données bidirectionnelles transmettent et reçoivent les informations à une adresse mémoire ou un accès E/S ou depuis ceux-ci (D15* est le bit de plus fort poids et D0* le bit de plus faible poids). Dans les systèmes à 8 bits, seules les lignes de D0* à D7* sont utilisables.

2.1.3.4 Lignes d'interruption

Les lignes d'interruption comprennent les signaux suivants:

<i>Fonction</i>	<i>Signal</i>
Demands d'interruption	INT0*-INT7*
Accusé de réception d'interruption	INTA*

2.1.3.4.1 Lignes de demande d'interruption (INT0*-INT7*)

Les interruptions sont demandées en activant l'une des huit lignes de demande d'interruption. INT0* a la plus forte priorité et INT7* la plus faible.

2.1.3.4.2 Accusé de réception d'interruption (INTA*)

En réponse à un signal de demande d'interruption, un signal d'accusé de réception d'interruption peut être engendré par un maître du bus doté d'une capacité d'interruption vectorisée. Le signal accusé de réception d'interruption est utilisé pour geler l'état d'interruption et réclamer l'implantation de l'adresse d'interruption vectorisée sur les lignes de données de bus.

2.1.3.2.3 *Inhibit Lines* (INH1* and INH2*)

The inhibit lines can be invoked for any memory read or memory write operation (MRDC* or MWTC*). An inhibit line is asserted by a slave to inhibit another slave's bus activity during a memory read or write operation. The inhibit signal generated by the inhibiting slave is derived from decoding the memory address lines. The inhibiting slave can decode a single address, a block of addresses, or any combination of single and block addresses.

When it detects the specific address during an actual command (MRDC* or MWTC*), the inhibiting slave generates an inhibit signal, which is sensed by the inhibited slave. When so inhibited, this slave module disables its drivers from all data, address, and acknowledge bus lines, although it may actually perform internal operations. (All modules that may be inhibited shall have completed internal operations within 1.5 μ s from the start of the command line. This interval (1.5 μ s) is also the minimum acknowledge timing from modules issuing inhibits. This guarantees that inhibited modules have enough time to return to their normal state before the current bus command is completed.)

2.1.3.3 *Data Lines* (D0*-D15*)

These 16 bidirectional data lines transmit and receive information to and from a memory location or an I/O port. (D15* is the most significant bit and D0* is the least significant bit.) In 8-bit systems, only lines D0*-D7* are valid.

2.1.3.4 *Interrupt Lines*

The interrupt lines consist of the following signals:

<i>Function</i>	<i>Signal</i>
Interrupt Requests	INT0*-INT7*
Interrupt Acknowledge	INTA*

2.1.3.4.1 *Interrupt Request Lines* (INT0*-INT7*)

Interrupts are requested by activating one of the eight interrupt request lines. INT0* has the highest priority and INT7* has the lowest priority.

2.1.3.4.2 *Interrupt Acknowledge* (INTA*)

In response to an Interrupt Request signal, an Interrupt Acknowledge signal can be generated by a bus master with bus vectored interrupt capability. The Interrupt Acknowledge signal is used to freeze the interrupt status and request the placement of the interrupt vector address on the bus data lines.

2.1.3.5 Lignes de permutation du bus

Les lignes de permutation du bus sont utilisées par les signaux suivants:

<i>Fonction</i>	<i>Signal</i>
Horloge de bus	BCLK*
Demande de bus	BREQ*
Priorité de bus	BPRN*, BPRO*
Occupation de bus	BUSY*
Demande commune de bus	CBRQ*

Un maître gagne la commande du bus par la manipulation de ces signaux.

2.1.3.5.1 Demande de bus (BREQ*)

Signal utilisé par les maîtres de bus dans un circuit à résolution prioritaire pour indiquer une demande de prise de commande du bus.

2.1.3.5.2 Priorité de bus (BPRN* et BPRO*)

Les fonctions de priorité permettent aux maîtres d'éviter les blocages qui se produisent quand plus d'un maître demande simultanément le bus. Le signal "priorité de bus IN" (BPRN*) indique à un maître particulier qu'aucun maître à priorité plus forte ne demande l'utilisation du bus. Le signal "priorité de bus OUT" (BPRO*) est utilisé en système de résolution de priorité de bus en série (connexion en chaîne d'arbitrage série). Dans un tel système, BPRO* est fourni par un maître à l'entrée BPRN* du maître dont le niveau de priorité est immédiatement inférieur; quand il est actif, le signal BPRO* indique que le maître ayant la priorité la plus élevée ne réclame pas de commande du bus.

2.1.3.5.3 Occupation de bus (BUSY*)

Signal activé par le maître qui commande le bus pour indiquer que celui-ci est occupé. Cela empêche les autres maîtres d'acquérir la commande du bus.

2.1.3.5.4 Demande commune de bus (CBRQ*)

Signal qui maximalise le débit de transfert des données d'un maître au bus par détection de l'absence d'autres demandes de bus. Le signal CBRQ* effectue cela à l'aide de deux fonctions. Il indique au maître possédant la commande du bus si oui ou non un autre maître a besoin d'acquérir la commande du bus. Pour les autres maîtres, c'est un moyen de notifier au maître possédant le bus que celui-ci doit abandonner la commande du bus s'il n'utilise pas ce dernier.

2.2 Opération de transfert des données

La fonction principale de l'architecture du bus système est de fournir une voie pour le transfert de données entre les modules connectés sur le bus. Les paragraphes suivants décrivent les différents types de transferts des données et les moyens par lesquels ils sont réalisés en utilisant les signaux décrits précédemment. Consulter la figure 2, page 32, pendant l'étude suivante.

2.1.3.5 *Bus Exchange Lines*

The bus exchange lines are used by the following signals:

<i>Function</i>	<i>Signal</i>
Bus Clock	BCLK*
Bus Request	BREQ*
Bus Priority	BPRN*, BPRO*
Bus Busy	BUSY*
Common Bus Request	CBRQ*

A master gains control of the bus through the manipulation of these signals.

2.1.3.5.1 *Bus Request (BREQ*)*

A signal used by the bus masters in a priority resolution circuit to indicate a request for control of the bus.

2.1.3.5.2 *Bus Priority (BPRN* and BPRO*)*

The priority functions allow masters to break deadlocks that occur when more than one master concurrently requests the bus. The Bus Priority IN (BPRN*) signal indicates to a particular master that no higher priority master is requesting use of the bus. The Bus Priority OUT (BPRO*) signal is used in serial (daisy chain) bus priority resolution schemes. In such a scheme, BPRO* is passed by one master to the BPRN* input of the master with the next lower bus priority; when active, the BPRO* signal indicates that the higher priority master does not require control of the bus.

2.1.3.5.3 *Bus Busy (BUSY*)*

A signal activated by the master in control of the bus to indicate that the bus is in use. This prevents other masters from gaining control of the bus.

2.1.3.5.4 *Common Bus Request (CBRQ*)*

A signal that maximizes a master's data transfer rate to the bus by sensing the absence of other bus requests. The CBRQ* signal does this by serving two functions. It indicates to the master controlling the bus whether or not another master needs to gain control of the bus. For the other masters, it is a means of notifying the controlling bus master that it shall relinquish control of the bus if it is not using the bus.

2.2 *Data Transfer Operation*

The primary function of the system bus architecture is to provide a path for the transfer of data between modules on the bus. The following sub-clauses describe the different types of data transfers and the means by which they are implemented using the signals previously described. Figure 2, page 33, can be referenced during the following discussion.

L'étude des opérations de transferts des données du bus s'effectue en trois parties:

- 1) Généralités concernant les opérations.
- 2) Description détaillée des signaux utilisés dans un transfert.
- 3) Etude des caractéristiques spécifiques aux différents transferts.

Il est supposé dans cette étude qu'il n'y a seulement qu'un maître sur le bus, et par conséquent qu'il n'existe aucun conflit de bus. (La logique de permutation de bus sera examinée à l'article 2.4.)

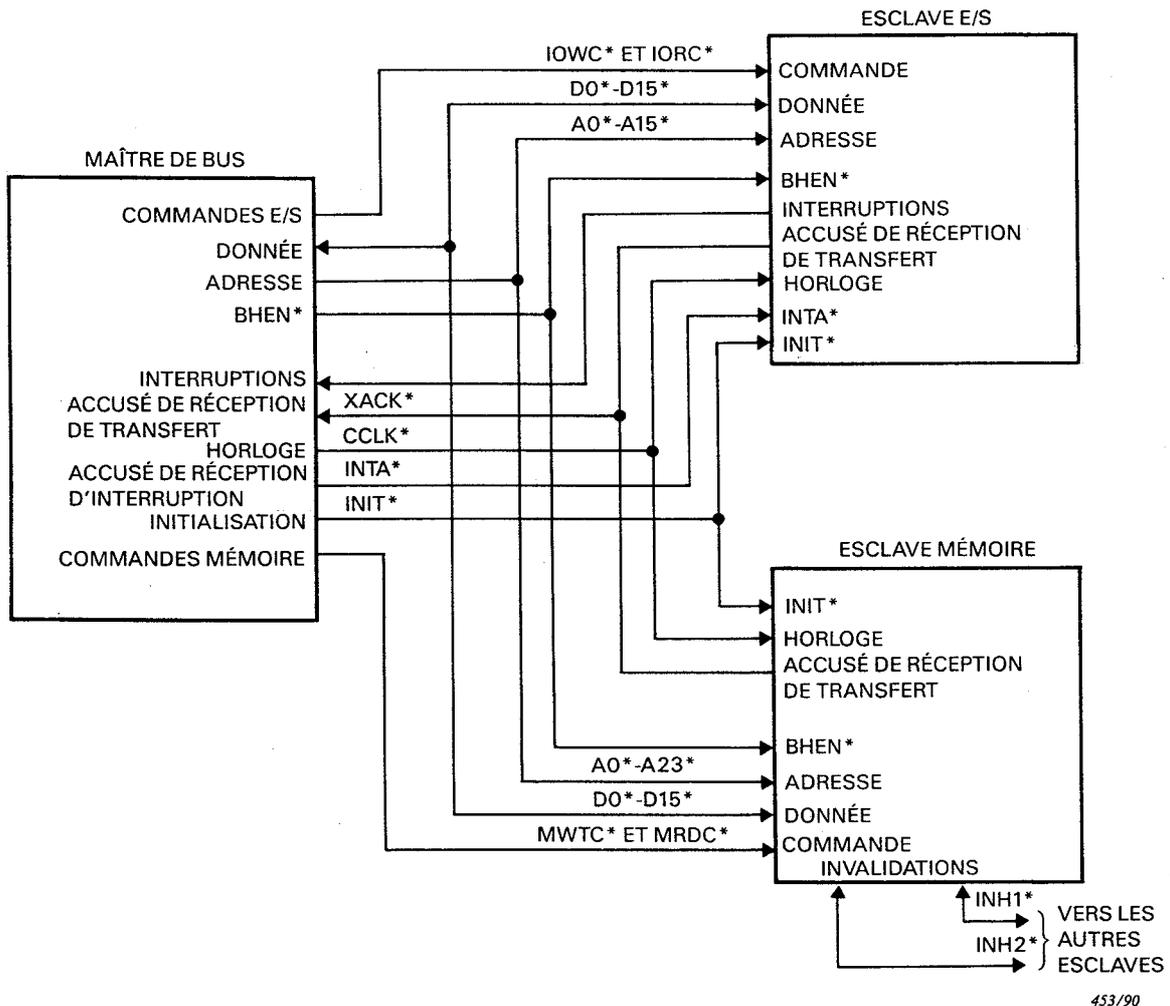


Fig. 2. - Lignes d'interface du bus.

2.2.1 Généralités concernant le transfert des données

Un transfert de données s'accomplit de la manière suivante. Tout d'abord le maître du bus met l'adresse mémoire ou l'adresse d'accès E/S sur les lignes d'adresses. (Si l'opération est une écriture, la donnée sera aussi mise sur la ligne de donnée à ce moment-là.) Le maître du bus engendre alors une commande (écriture ou lecture E/S, ou écriture ou lecture mémoire) qui active l'esclave du bus approprié.

The discussion of the data transfer operation of the bus is covered in three parts:

- 1) An overview of the operation.
- 2) A detailed description of the signals used in the transfer.
- 3) A discussion of the specifics pertaining to the different transfers.

It is assumed in this discussion that there is only one master on the bus, and therefore no bus contention exists. (The bus exchange logic is discussed in Clause 2.4.)

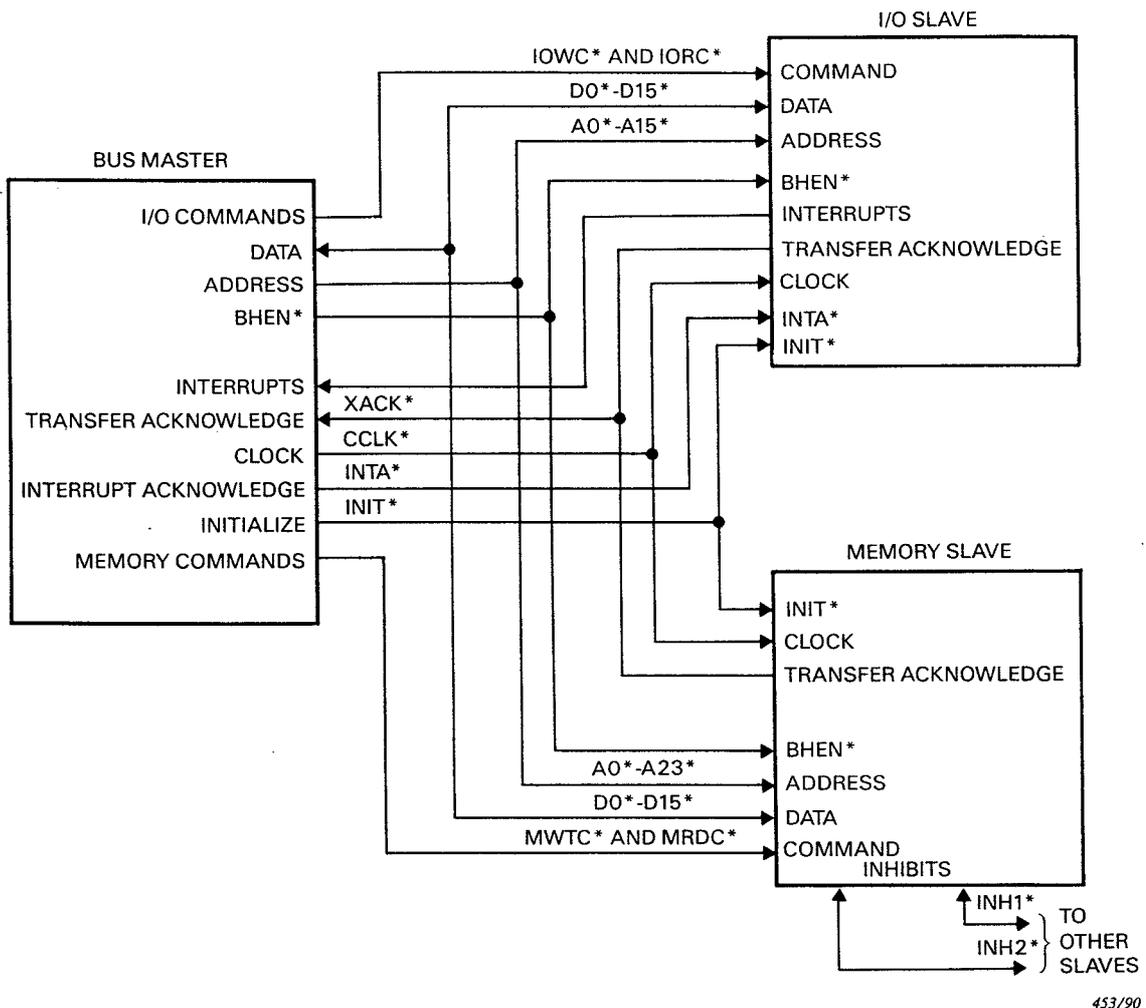


Fig. 2. - Bus Interface Lines.

2.2.1 Data Transfer Overview

A data transfer is accomplished as follows. First the bus master places the memory address or I/O port address on the address lines. (If the operation is a write, the data would also be placed on the data lines at this time.) The bus master then generates a command (I/O read or write, or memory read or write), which activates the appropriate bus slave. The slave accepts the data if it is a write operation,

L'esclave accepte la donnée si c'est un cycle d'écriture, ou met la donnée sur les lignes de données s'il s'agit d'un cycle lecture. Un signal d'accusé de réception de transfert est alors envoyé au maître du bus par l'esclave, permettant au maître du bus de compléter son cycle en supprimant la commande et puis en libérant les lignes de données et d'adresses. La synchronisation de base pour une opération de transfert de données en cycle lecture ou écriture est indiquée aux figures 3 et 4.

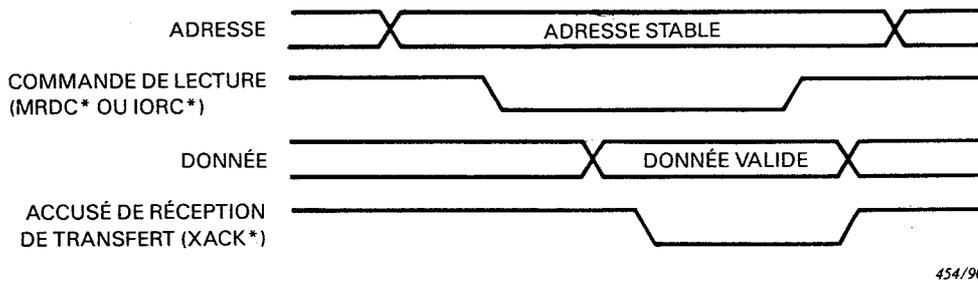


Fig. 3. - Cycle de lecture de bus.

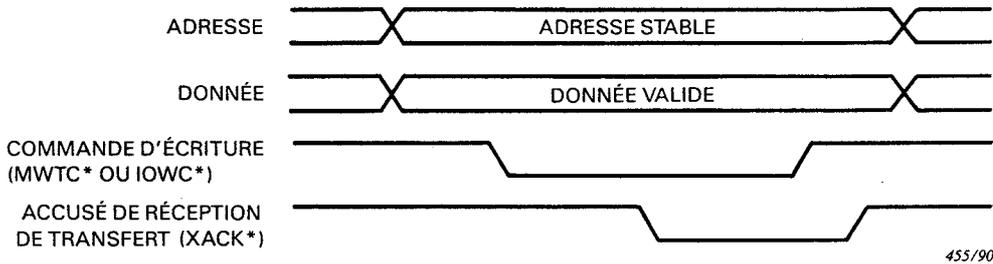


Fig. 4. - Cycle d'écriture de bus.

2.2.2 Description des signaux

Ce paragraphe fournit une description détaillée des signaux du bus. Sont incluses la synchronisation, l'émission des signaux et d'autres informations appartenant aux fonctions spécifiques que chaque signal exécute lors de l'opération de transfert des données.

2.2.2.1 Initialisation (INIT*)

Avant tout fonctionnement du bus, tous les modules du système doivent être positionnés à un état interne connu. Cela est accompli par le signal INIT*, déclenché par l'une de ces trois sources:

or places the data on the data lines if it is a read operation. A Transfer Acknowledge signal is then sent to the bus master by the bus slave allowing the bus master to complete its cycle by removing the command from the command line and then clearing the address and data lines. The basic timing for a read and write data transfer operation is shown in Figures 3 and 4.

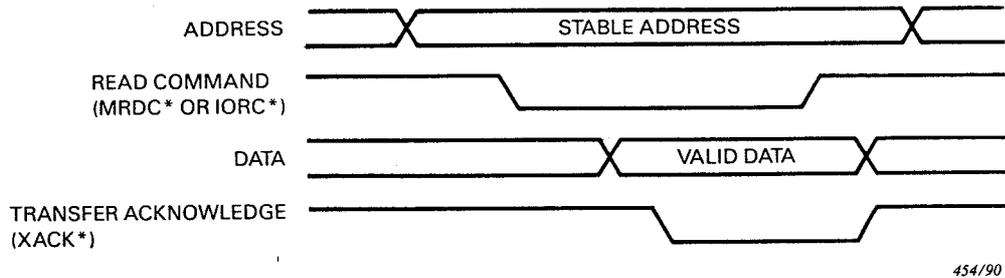


Fig. 3. - Bus read operation.

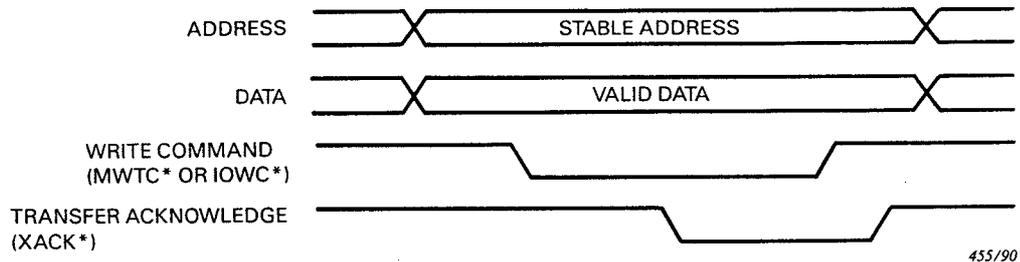


Fig. 4. - Bus write operation.

2.2.2 Signal Descriptions

This sub-clause provides a detailed description of the bus signals. Included are timing, signal emission, and other information pertaining to the specific function that each signal performs in the data transfer operation.

2.2.2.1 Initialize (INIT*)

Prior to any operation of the bus, all system modules shall be reset to a known internal state. This can be accomplished by an INIT* signal initiated by one of three sources:

- 1) Un circuit d'initialisation à la mise sous-tension (réseau RC), qui maintient INIT* au niveau bas jusqu'à ce que l'alimentation atteigne ses niveaux de tension spécifiques.
- 2) Un bouton de remise à l'état initial, qui est parfois placé sur le panneau frontal du système à l'usage de l'opérateur. A noter que ce bouton doit être antirebond.
- 3) Une commande issue par logiciel qui peut être réalisée de manière à amener la ligne INIT* au niveau bas.

La ligne INIT* est commandée par des portes à collecteur ouvert et réclame un conditionnement de signal pour satisfaire aux spécifications électriques du bus.

2.2.2.2 Horloge constante (CCLK*)

Le signal d'horloge constante, qui est commandé par une source unique, fournit une source de synchronisation pour n'importe quel module placé sur le bus, ou pour tous. CCLK* est un signal périodique à une fréquence spécifiée et est commandé par un circuit de commande d'horloge.

2.2.2.3 Lignes d'adresses (A0*-A23*)

Les lignes d'adresses sont utilisées pour spécifier les adresses de positions mémoire ou de l'unité E/S qui sont présentement désignées par la commande. Il y a 24 lignes d'adresses, codées binaires, qui permettent de référencer jusqu'à 16 777 216 octets de mémoire. Ces lignes sont commandées par des circuits en logique à trois états et sont toujours commandées par le maître utilisant le bus.

Pour les cycles de bus E/S, les modules maîtres ont l'option de générer des adresses à 8 ou 16 bits. Pour cette raison, tous les esclaves E/S doivent pouvoir décoder les adresses à 8 bits (A0*-A7*) et ignorer les bits d'adresse de poids fort ou décoder les 16 bits d'adresse (A0*-A15*). A noter que dans un système utilisant des adresses E/S à 8 bits, la valeur des 16 bits d'adresses supérieurs est inconnue. Un maître engendrant seulement des adresses à 8 bits peut mettre les 16 bits d'adresses supérieurs à n'importe quelle valeur arbitraire.

La figure 5, page 38, donne un exemple de l'utilisation d'une ligne d'adresses.

2.2.2.4 Lignes de données (D0*-D15*)

Ce sont 16 lignes de données bidirectionnelles utilisées pour transmettre et recevoir les informations vers ou à partir d'une position mémoire ou un accès E/S. Les 16 lignes sont commandées par le maître en cycles d'écriture et par les esclaves adressés (mémoire ou E/S) en cycles de lecture. Aussi bien les transferts à 8 bits que ceux à 16 bits peuvent être exécutés en utilisant seulement les lignes D0* à D7* (avec D0* comme bit de plus faible poids).

- 1) A power-on clear circuit (RC network), which holds INIT* low until the power supplies reach their specific voltage outputs.
- 2) A reset button, which is sometimes provided on the system front panel for operator use. Note that this button shall be debounced.
- 3) A software command that can be implemented to pull down the INIT* line.

The INIT* line is driven by open-collector gates and requires signal conditioning to meet the electrical specifications of the bus.

2.2.2.2 Constant Clock (CCLK*)

The Constant Clock signal, which is driven by only one source, provides a timing source for any or all modules on the bus. CCLK* is a periodic signal with a specified frequency and is driven by a clock driver circuit.

2.2.2.3 Address Lines (A0*-A23*)

The address lines are used to specify the address of the memory location or the I/O device that is being referenced by the command. There are 24 address lines, binary coded, to allow up to 16 777 216 bytes of memory to be referenced. These lines are driven by three-state drivers and are always controlled by the master using the bus.

For I/O bus cycles, master modules have the option of generating 8-bit or 16-bit addresses. Because of this, all I/O slaves shall be capable of being configured to decode 8-bit addresses (A0*-A7*) and ignore the upper address bits or to decode all 16 bits of address (A0*-A15*). Note that in a system using 8-bit I/O addresses, the value of the upper 16 bits of address is unknown. A master generating only 8-bit addresses may set the upper 16 address bits to any arbitrary value.

Figure 5, page 39, gives an example of address line usage.

2.2.2.4 Data Lines (D0*-D15*)

These are 16 bidirectional data lines used to transmit and receive information to and from a memory location or I/O port. The 16 lines are driven by the master on write operations and by the addressed slave (memory or I/O) on read operations. Both 16-bit and 8-bit transfers can be accomplished by using only lines D0*-D7* (with D0* being the least-significant bit).

Trois sortes de transferts ont lieu sur le bus:

- 1) Transfert d'octet d'adresse paire sur D0*-D7* (octet pair).
- 2) Transfert d'octet d'adresse impaire sur D0*-D7* (octet impair) la fonction d'échange d'octets.
- 3) Transfert d'un mot à 16 bits.

Les lignes de données et le contenu de ces lignes pour les trois sortes de transferts mentionnés sont indiquées à la figure 6, page 40.

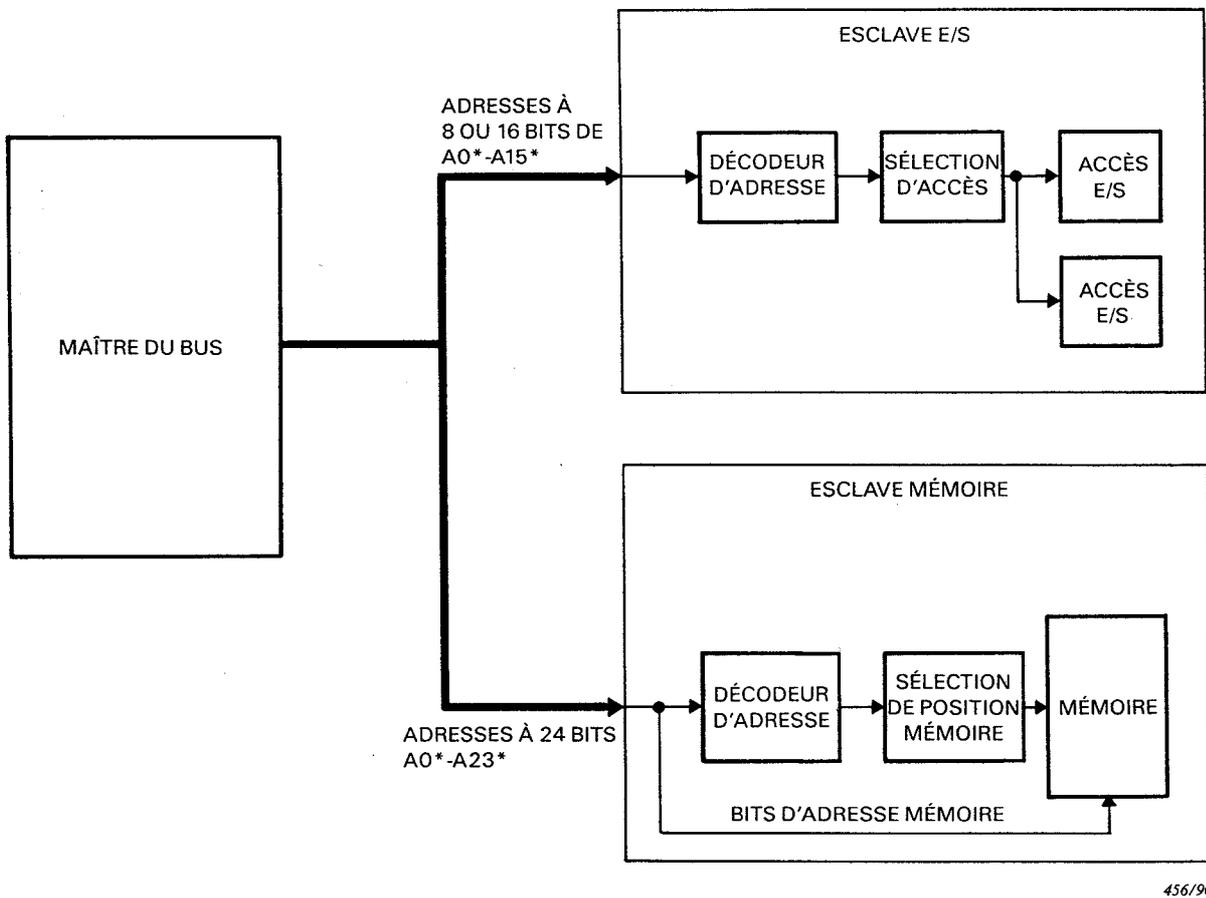
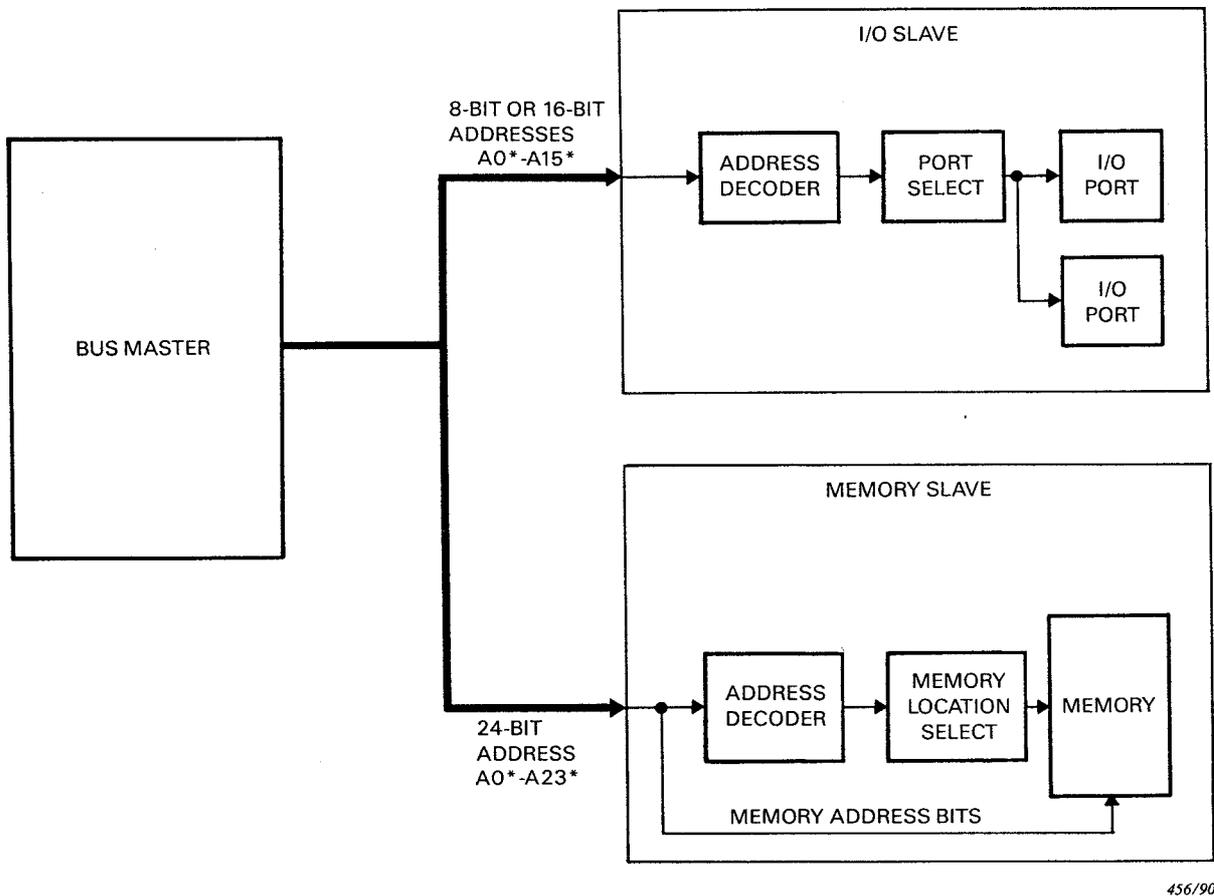


Fig. 5. - Utilisation des lignes d'adresses du bus.

There are three types of transfers that take place across the bus:

- 1) Transfer of even byte on D0*-D7*.
- 2) Transfer of odd byte on D0*-D7* (using swap byte function).
- 3) Transfer of a 16-bit word.

The data lines, and the contents of these lines for the three types of transfers mentioned are shown in Figure 6, page 41.



456/90

Fig. 5. - Bus address line usage.

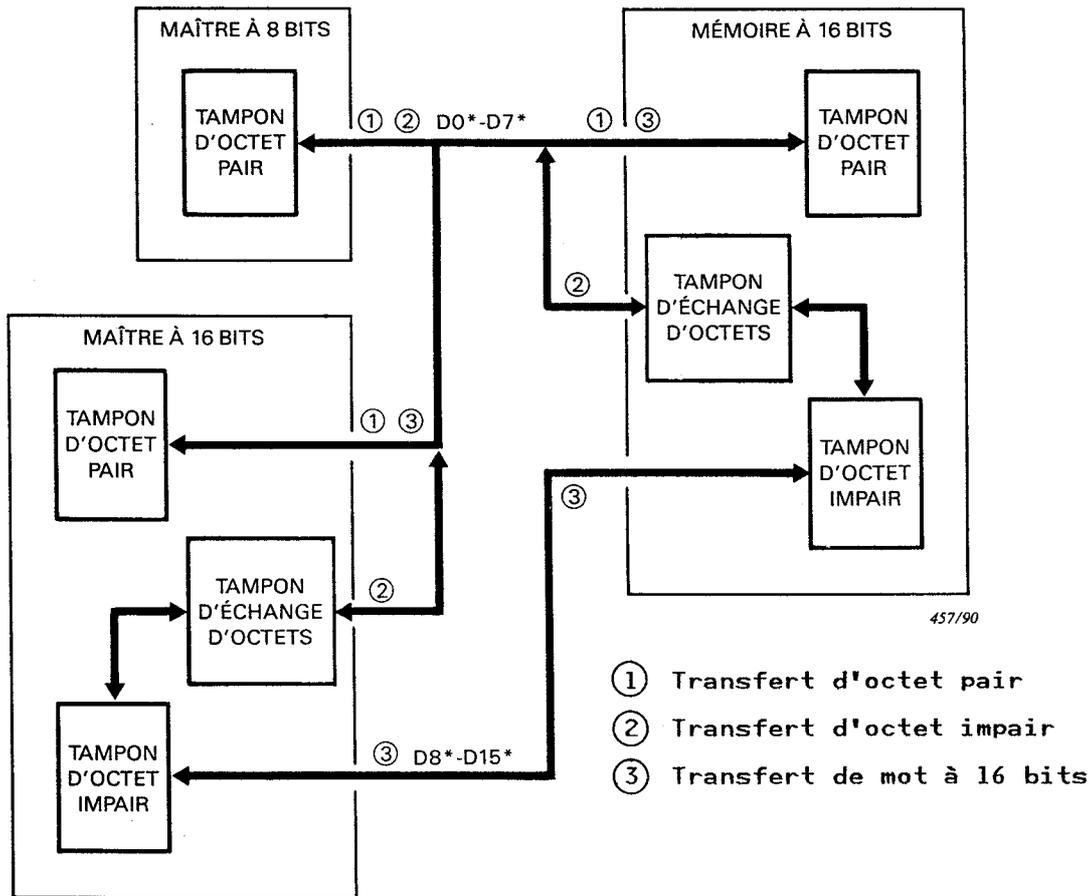


Fig. 6. - Utilisation des lignes de données.

Deux signaux commandent les transferts des données. Quand le signal validation d'octet de poids fort (BHEN*) est actif, il indique que le bus fonctionne en mode à 16 bits, et le bit 0 d'adresse (A0*) définit un transfert d'octets pairs ou impairs.

Lors des transferts d'octets pairs, BHEN* et A0* sont inactifs, confirmant ainsi le transfert d'un octet pair. Le transfert a lieu sur les lignes de données D0*-D7*.

Lors du transfert d'octets impairs, BHEN* est inactif tandis que A0* est actif, indiquant ainsi le transfert d'un octet impair. Dans ce type de transfert, l'octet impair est transféré à l'aide du tampon d'échange d'octets aux lignes de données D0*-D7*. L'octet impair est transféré sur D0*-D7* afin de rendre compatibles les systèmes à 8 et à 16 bits.

Pour un transfert à 16 bits, BHEN* est actif alors que A0* ne l'est pas. Dans ce type de transfert, l'octet pair est transféré sur D0*-D7* et l'octet impair est transféré à travers le bus sur D8*-D15*.

Les lignes de données de bus sont toujours commandées par des circuits de commande à trois états.

2.2.2.5 Commandes du bus

Dans ce paragraphe, nous étudierons les lignes de commande et comment elles fonctionnent en rapport avec les autres lignes afin d'accomplir une opération de lecture ou d'écriture. Il y a quatre lignes de commande:

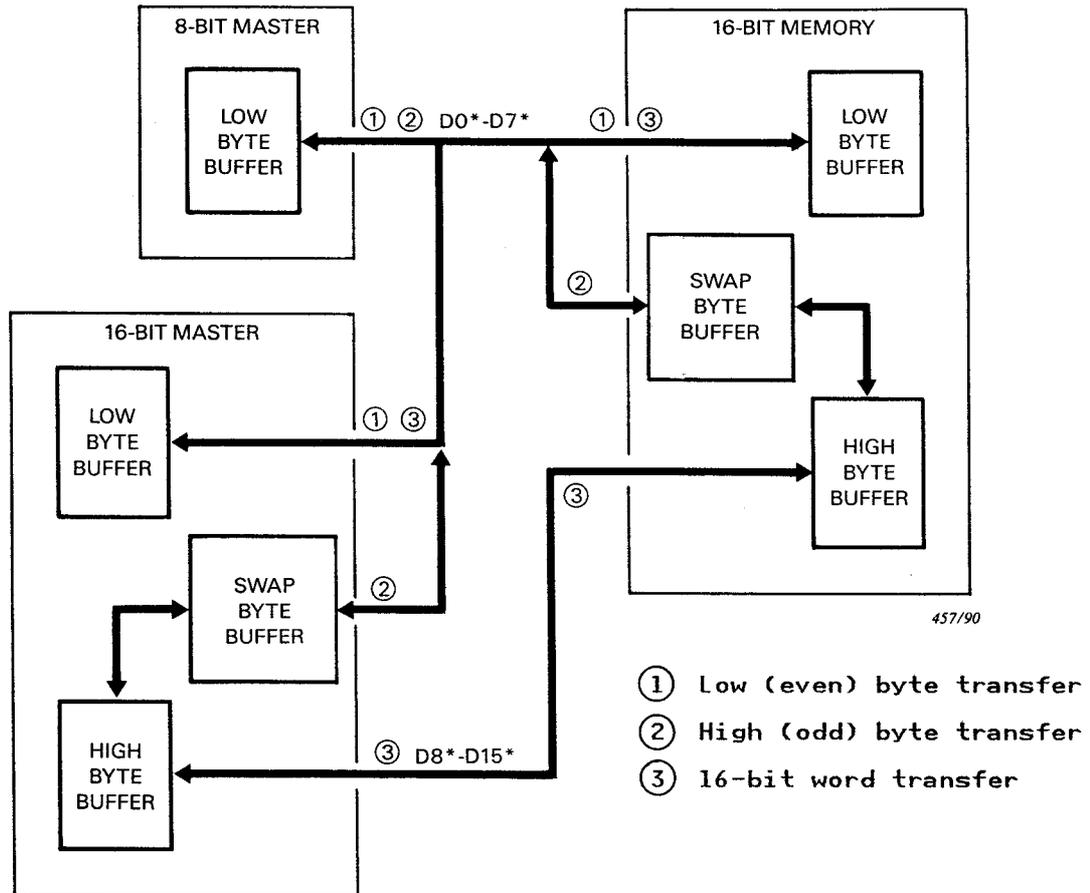


Fig. 6. - Bus data line usage.

Two signals control the data transfers. Byte High Enable (BHEN*) active indicates that the bus is operating in the 16-bit mode, and the address bit 0 (A0*) defines an even-byte or odd-byte transfer.

For an even-byte transfer, BHEN* and A0* are inactive, indicating the transfer of an even byte. The transfer takes place across data lines D0*-D7*.

For an odd-byte transfer, BHEN* is inactive and A0* is active, indicating the transfer of an odd byte. On this type of transfer, the odd byte is transferred through the Swap Byte Buffer to D0*-D7*. The odd byte is transferred across on D0*-D7* to make 8-bit and 16-bit systems compatible.

For a 16-bit transfer, BHEN* is active and A0* is inactive. In this type of transfer, the even byte is transferred on D0*-D7* and the odd byte is transferred across the bus on D8*-D15*.

The bus data lines are always driven by three-state drivers.

2.2.2.5 Bus Commands

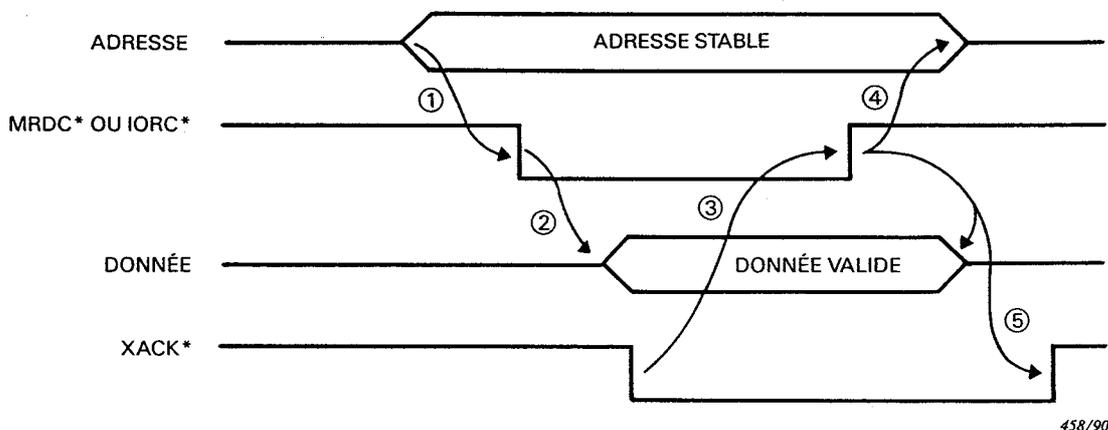
In this sub-clause, we will discuss the command lines and how they work in conjunction with other lines to accomplish a read or a write operation. There are four command lines:

Fonction	Lignes
Commande lecture mémoire	MRDC*
Commande lecture E/S	IORC*
Commande écriture mémoire	MWTC*
Commande écriture E/S	IOWC*

Les lignes d'instructions, qui sont commandées par des circuits de commande à trois états sur le maître du bus, indiquent à l'esclave l'intervention qui est demandée.

2.2.2.5.1 Cycle lecture

Les deux instructions lecture (MRDC* et IORC*) déclenchent le même type d'opération. La seule différence est que MRDC* indique que l'adresse mémoire est valide sur les lignes d'adresses, alors que IORC* indique que l'adresse accès E/S est valide sur les lignes d'adresses. Cette adresse (mémoire ou accès E/S) doit être valide sur le bus 50 ns avant que la commande de lecture ne soit émise. Quand cette dernière est générée, le module esclave (mémoire ou accès E/S) met la donnée sur les lignes de données et renvoie un signal d'accusé de réception de transfert (XACK*), indiquant que la donnée est sur le bus. Quand le maître de bus reçoit l'accusé de réception, il échantillonne la donnée et enlève la commande (MRDC* ou IORC*) du bus. L'adresse esclave (mémoire ou accès E/S) reste valide sur le bus pendant un minimum de 50 ns après que la commande de lecture a été enlevée. XACK* doit être supprimé du bus dans les 65 ns après que la commande a été enlevée afin de permettre le déroulement du cycle de bus suivant. La synchronisation de l'instruction lecture mémoire ou lecture E/S est indiquée à la figure 7.



- ① Temps de préparation de l'adresse: 50 ns minimum.
- ② Temps requis par l'esclave pour obtenir la donnée sur le bus selon les exigences de temps de préparation; XACK* peut être envoyé aussitôt que la donnée est sur le bus.
- ③ Temps requis par le maître pour enlever la commande.
- ④ Durée de maintien de la donnée et de l'adresse: 50 ns minimum.
- ⑤ XACK* et la donnée doivent être enlevés du bus 65 ns maximum après que la commande a été enlevée.

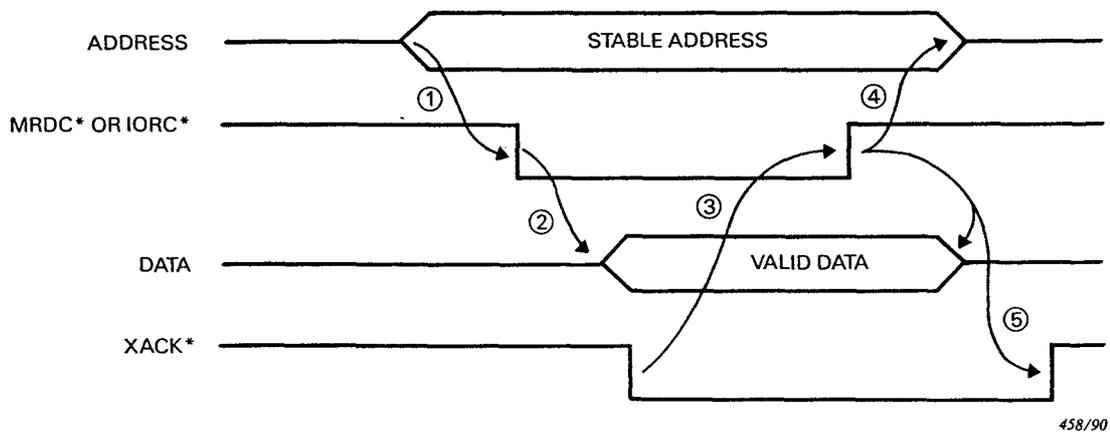
Fig. 7. - Synchronisation de lecture E/S ou mémoire.

Function	Line
Memory Read Command	MRDC*
I/O Read Command	IORC*
Memory Write Command	MWTC*
I/O Write Command	IOWC*

The command lines, which are driven by three-state drivers on the bus master, indicate to the slave the action that is being requested.

2.2.2.5.1 Read Operation

The two read commands (MRDC* and IORC*) initiate the same basic type of operation. The only difference is that MRDC* indicates that the memory address is valid on the address lines, whereas IORC* indicates that the I/O port address is valid on the address lines. This address (memory or I/O port) shall be valid on the bus 50 ns prior to the read command being generated. When the read command is generated, the slave module (memory or I/O port) places the data on the data lines and returns a Transfer Acknowledge (XACK*) signal, indicating that the data is on the bus. When the bus master receives the acknowledge, it strobes in the data and removes the command (MRDC* or IORC*) from the bus. The slave address (memory or I/O port) remains valid on the bus a minimum of 50 ns after the read command is removed. XACK* shall be removed from the bus within 65 ns after the commands have been removed to allow for the next bus cycle. The timing for the Memory Read or I/O Read command is shown in Figure 7.



- ① Address setup time: 50 ns minimum.
- ② Time required for slave to get data onto bus in accordance with setup time requirement. XACK* can be asserted as soon as data is on bus.
- ③ Time required for master to remove command.
- ④ Address and data hold time: 50 ns minimum.
- ⑤ XACK* and data shall be removed from the bus a maximum of 65 ns after the command is removed.

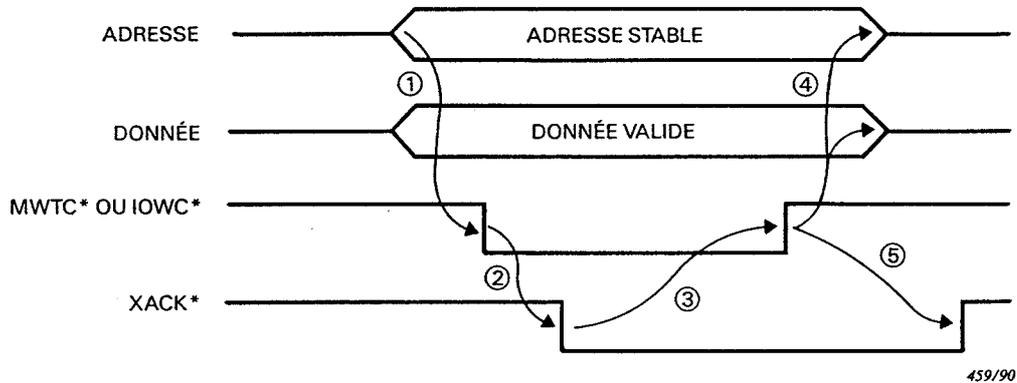
Fig. 7. - Memory or I/O read timing.

2.2.2.5.2 Cycle écriture

Les commandes écriture (MWTC* et IOWC*) déclenchent le même type d'opérations fondamental. MWTC* indique que l'adresse mémoire est valide sur les lignes d'adresses, alors que IOWC* indique que l'adresse d'accès E/S est valide sur les lignes d'adresses. Les adresses (mémoire ou E/S) et données doivent être valides sur le bus 50 ns avant que la commande écriture ne soit engendrée. Cette exigence permet à la donnée d'être maintenue soit sur le front avant de la commande, soit sur son front arrière. Quand l'instruction écriture (MWTC* ou IOWC*) est établie, la donnée sur les lignes de données est stable et peut être acceptée par l'esclave. L'esclave indique la réception de la donnée en renvoyant un accusé de réception de transfert (XACK*), permettant au maître du bus d'enlever la commande, l'adresse et la donnée du bus; XACK* doit être enlevé du bus dans les 65 ns pour permettre le déroulement du cycle de bus suivant. La synchronisation de l'instruction écriture mémoire ou écriture E/S est indiquée à la figure 8.

2.2.2.5.3 Accusé de réception de transfert (XACK*)

Le signal d'accusé de réception de transfert (XACK*) est la réponse de l'esclave du bus (mémoire ou E/S) indiquant que l'opération de lecture ou d'écriture requise est terminée et que la donnée a été mise sur les lignes de données ou acceptée à partir d'elles. De fait, ce signal (XACK*) permet au maître du bus de terminer le cycle de bus en cours.



- ① Temps de préparation de la donnée et de l'adresse: 50 ns minimum.
- ② Temps requis par l'esclave pour accepter la donnée.
- ③ Temps requis par le maître pour enlever la commande du bus.
- ④ Durée de maintien de la donnée et de l'adresse: 50 ns minimum.
- ⑤ XACK* doit être déconnecté du bus 65 ns après la commande.

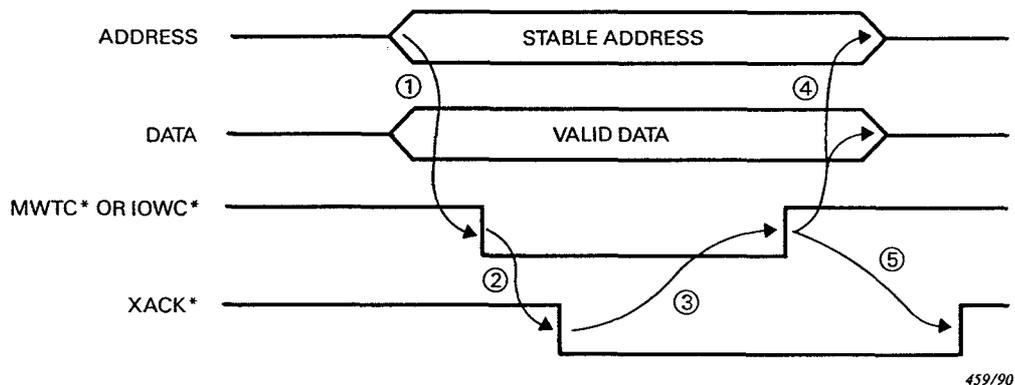
Fig. 8. - Synchronisation d'écriture E/S ou mémoire.

2.2.2.5.2 Write Operation

The write commands (MWTC* and IOWC*) initiate the same basic type of operation. MWTC* indicates that the memory address is valid on the address lines, whereas IOWC* indicates that the I/O port address is valid on the address lines. The address (memory or I/O) and data shall be valid on the bus 50 ns prior to the write command being generated. This requirement allows data to be latched on either the leading or trailing edge of the command. When the write command (MWTC* or IOWC*) is asserted, the data on the data lines is stable and can be accepted by the slave. The slave indicates acceptance of the data by returning a Transfer Acknowledge (XACK*), allowing the bus master to remove the command, address, and data from the bus. XACK* shall be removed from the bus within 65 ns to allow for the next bus cycle. The timing for the Memory Write or I/O Write command is shown in Figure 8.

2.2.2.5.3 Transfer Acknowledge (XACK*)

The Transfer Acknowledge (XACK*) signal is the response from the bus slave (memory or I/O) indicating that the commanded read or write operation is complete and that the data has been placed on, or accepted from, the data lines. In effect, this signal (XACK*) allows the bus master to complete the current bus cycle.



- ① Address and data setup: 50 ns minimum.
- ② Time required for slave to accept data.
- ③ Time required for master to remove command from bus.
- ④ Address and data hold time: 50 ns minimum.
- ⑤ XACK* shall be off the bus 65 ns after command.

Fig. 8. - Memory or I/O write timing.

Si un maître du bus adresse un module mémoire ou E/S qui n'existe pas ou qui fonctionne mal, aucun accusé de réception ne sera renvoyé au maître. Si cela survenait, le maître du bus devrait théoriquement attendre indéfiniment l'accusé de réception et n'abandonnerait ainsi jamais la commande du bus système. Afin d'éviter cette possibilité, une fonction de limitation du temps d'occupation du bus peut être mise en service optionnellement sur un maître du bus pour terminer le cycle de bus après un intervalle préréglé, même si aucun accusé de réception n'a été reçu. Une limitation de temps d'occupation du bus peut donc être définie comme n'importe quel cycle de transfert de données, terminé par le maître avant que le signal d'accusé de réception de transfert (XACK*) ne soit reçu. L'intervalle minimal permis de limitation du temps d'occupation du bus est de 1,0 ms.

2.2.2.5.4 *Invalidation* (INH1* et INH2*)

Les lignes d'invalidation peuvent être activées lors de n'importe quel cycle écriture mémoire ou lecture mémoire (MRDC* ou MWTC*). Une ligne d'invalidation est activé par un esclave pour invalider l'activité d'un autre esclave sur le bus lors d'un cycle écriture ou lecture mémoire. Le signal d'invalidation généré par l'esclave invalideur est issu du décodage des lignes d'adresse mémoire ($t_{ID} = 100$ ns maximum). L'esclave invalideur peut décoder une adresse simple, un bloc d'adresses, ou toute combinaison d'une adresse simple et d'un bloc d'adresses.

Quand, durant une instruction en cours (MRDC* ou MWTC*), il détecte une adresse spécifique, l'esclave invalideur génère un signal d'invalidation, qui est détecté par l'esclave invalidé. Quand il est ainsi invalidé, ce module esclave rend inopérants tous ses circuits de commande des lignes de données, d'adresses et d'accusé de réception, bien qu'il puisse cependant exécuter des opérations internes. (Tous les modules pouvant être invalidés doivent avoir terminé les opérations internes dans un intervalle de 1,5 μ s à partir du début de la commande. Cet intervalle (1,5 μ s) est aussi la durée minimale d'accusé de réception (t_{ACC}) des modules émettant les invalidations. Cela garantit que les modules invalidés ont suffisamment de temps pour retourner à leur état normal avant que la commande en cours ne soit complétée.)

Les esclaves impliqués dans les opérations d'invalidation sont divisés en trois catégories hiérarchisées: priorité (d'invalidation) supérieure, priorité intermédiaire et priorité inférieure. En référence aux alinéas ci-dessus, un module d'esclave à priorité supérieure sera l'esclave invalideur, tandis que l'esclave à priorité inférieure sera l'esclave invalidé. INH1* est activé (durant l'adresse appropriée) par un esclave à priorité intermédiaire (tel qu'un module à mémoire morte ou un module E/S en espace mémoire) pour invalider l'activité sur le bus d'un esclave à priorité inférieure (tel qu'un module mémoire de lecture/écriture à accès aléatoire). INH2* est activé (à l'adresse appropriée) par un esclave à priorité supérieure (tel qu'un module auxiliaire ou un module de mémoire morte à programme amorce) pour invalider l'activité

If a bus master addresses a non-existent or malfunctioning memory or I/O module, an acknowledge will not be returned to the master. If this should occur, the bus master would normally wait indefinitely for an acknowledge and would therefore never relinquish control of the system bus. To avoid this possibility, a bus timeout function can optionally be implemented on a bus master to terminate a bus cycle after a preset interval, even if no acknowledge has been received. A bus timeout can therefore be defined as any data transfer cycle terminated by the master before the Transfer Acknowledge (XACK*) signal is received. The minimum allowable bus timeout interval is 1.0 ms.

2.2.2.5.4 *Inhibit* (INH1* and INH2*)

The inhibit lines can be invoked for any memory read or memory write operation (MRDC* or MWTC*). An inhibit line is asserted by a slave to inhibit another slave's bus activity during a memory read or write operation. The inhibit signal generated by the inhibiting slave is derived from decoding the memory address lines ($t_{ID} = 100$ ns maximum). The inhibiting slave can decode a single address, a block of addresses, or any combination of single and block addresses.

When it detects the specific address during the actual command (MRDC* or MWTC*), the inhibiting slave generates an inhibit signal, which is sensed by the inhibited slave. When so inhibited, this slave module disables its drivers from all data, address, and acknowledge bus lines, although it may actually perform internal operations. (All modules that may be inhibited shall have completed internal operations within $1.5 \mu\text{s}$ from the start of the command line. This interval ($1.5 \mu\text{s}$) is also the minimum acknowledge (t_{ACC}) timing for modules issuing inhibits. This guarantees inhibited modules enough time to return to their normal state before the current bus command is completed.)

The slaves involved in the inhibit operation fall into three inhibit classes: top (inhibit) priority, middle priority, and bottom priority. In reference to the above paragraphs, a higher priority slave module would be the inhibiting slave and a lower priority slave would be the inhibited slave. INH1* is asserted (during the appropriate address) by a middle priority slave (such as a read-only memory module or memory-mapped I/O module) to inhibit the bus activity of a bottom priority slave (such as a read/write RAM module). INH2* is asserted (at the appropriate address) by a top priority slave (such as an auxiliary or a bootstrap ROM module) to inhibit the bus activity of a middle priority slave. The top priority slave shall also assert INH1* so that a bottom priority slave will also be inhibited. The inhibit lines shall be asserted

sur le bus d'un esclave à priorité intermédiaire. L'esclave à priorité supérieure activera aussitôt INH1* afin que l'esclave à priorité inférieure soit aussi invalidé. Les lignes d'invalidation seront activées à niveau bas par des circuits de commande à collecteur ouvert (ou équivalent). Quand deux esclaves invalideurs à priorités supérieure et intermédiaire sont activés, INH1* est activé par les circuits de commande des deux modules.

L'utilisation des signaux d'invalidation durant les cycles de lecture mémoire (MRDC*) ne causera aucun effet défavorable au module esclave invalidé. Cela, parce que la donnée dans l'esclave invalidé ne sera pas modifiée et son registre d'état, s'il y en a un, ne sera pas affecté.

L'utilisation des signaux d'invalidation durant les cycles écriture mémoire (MWTC*) sera permise et pourra ou non affecter les données dans l'esclave invalidé. Si la donnée est affectée, ce sera seulement dans la limite de l'octet (ou mot) qui est référencé. (Aucune autre donnée de l'esclave invalidé ne sera modifiée.)

Les signaux d'invalidation, quand ils sont émis, seront engendrés dans les 100 ns (t_{ID}) après que l'adresse aura été stable (voir figure 9, page 50). Une commande peut être engendrée dès 50 ns (t_{AS}) après que l'adresse aura été stable. Cette durée peut faire se produire l'invalidation après que la commande a été reçue par le module invalidé. Pour éviter des faux accusés de réception, les modules qui peuvent être invalidés n'engendreront pas d'accusé de réception jusqu'à ce que les signaux d'invalidation aient le temps d'être valides (50 ns après la commande).

low by open collector (or equivalent) drivers. When both a middle and a top priority inhibiting slave are activated, INH1* is asserted by drivers on both modules.

The use of the inhibit signals during memory reads (MRDC*) shall not cause any adverse effects within the inhibited slave module. That is, data in the inhibited slave shall not be altered and its status register, if any, shall not be affected.

The use of the inhibit signals during memory writes (MWTC*) shall be allowed, and might or might not affect the data within the inhibited slave. If the data is affected, it shall be only within the one byte (or word) that is being addressed. (No other data within the inhibited slave shall be altered.)

The inhibit signals, when issued, shall be generated within 100 ns (t_{ID}) after the address is stable (see Figure 9, page 51). A command may be generated as early as 50 ns (t_{AS}) after the address is stable. This timing can cause the inhibit to occur after the command has been received by the inhibited module. To prevent false acknowledges, modules that can be inhibited shall not generate an acknowledge until the inhibit signals have had time to become valid (50 ns after the command).

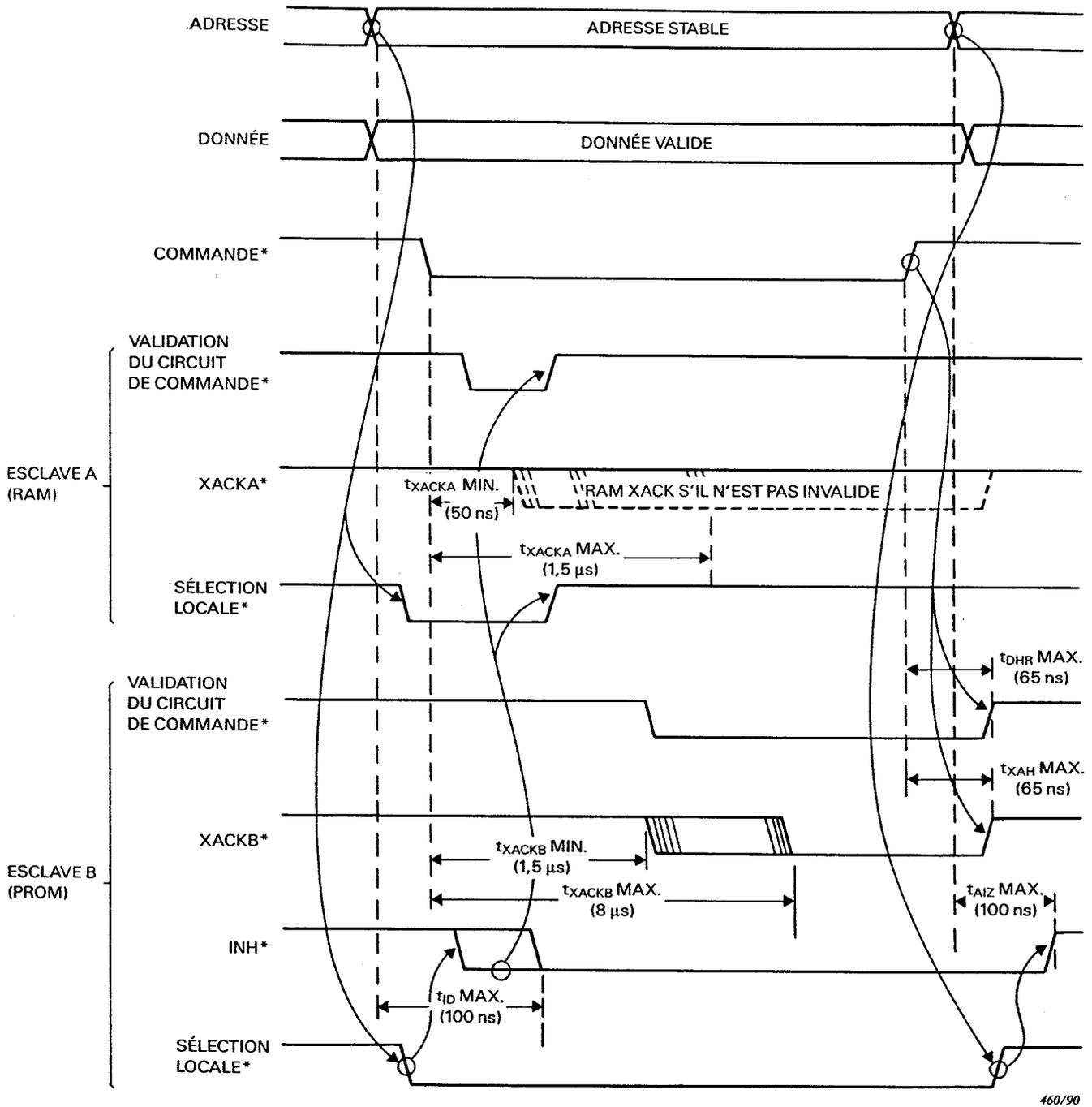


Fig. 9. - Synchronisation d'invalidation pour le cycle écriture.

La figure 9 montre la durée d'une opération d'invalidation. Dans cet exemple, la PROM (mémoire morte programmable) et la RAM (mémoire à accès aléatoire) ont les mêmes adresses mémoire; donc la PROM invalide la RAM.

Bien que les signaux d'invalidation puissent être générés durant les opérations IORC*, IOWC* ou INTA*, ces signaux sont ignorés des autres esclaves (y compris l'esclave devant répondre à INTA*, IORC* ou IOWC*).

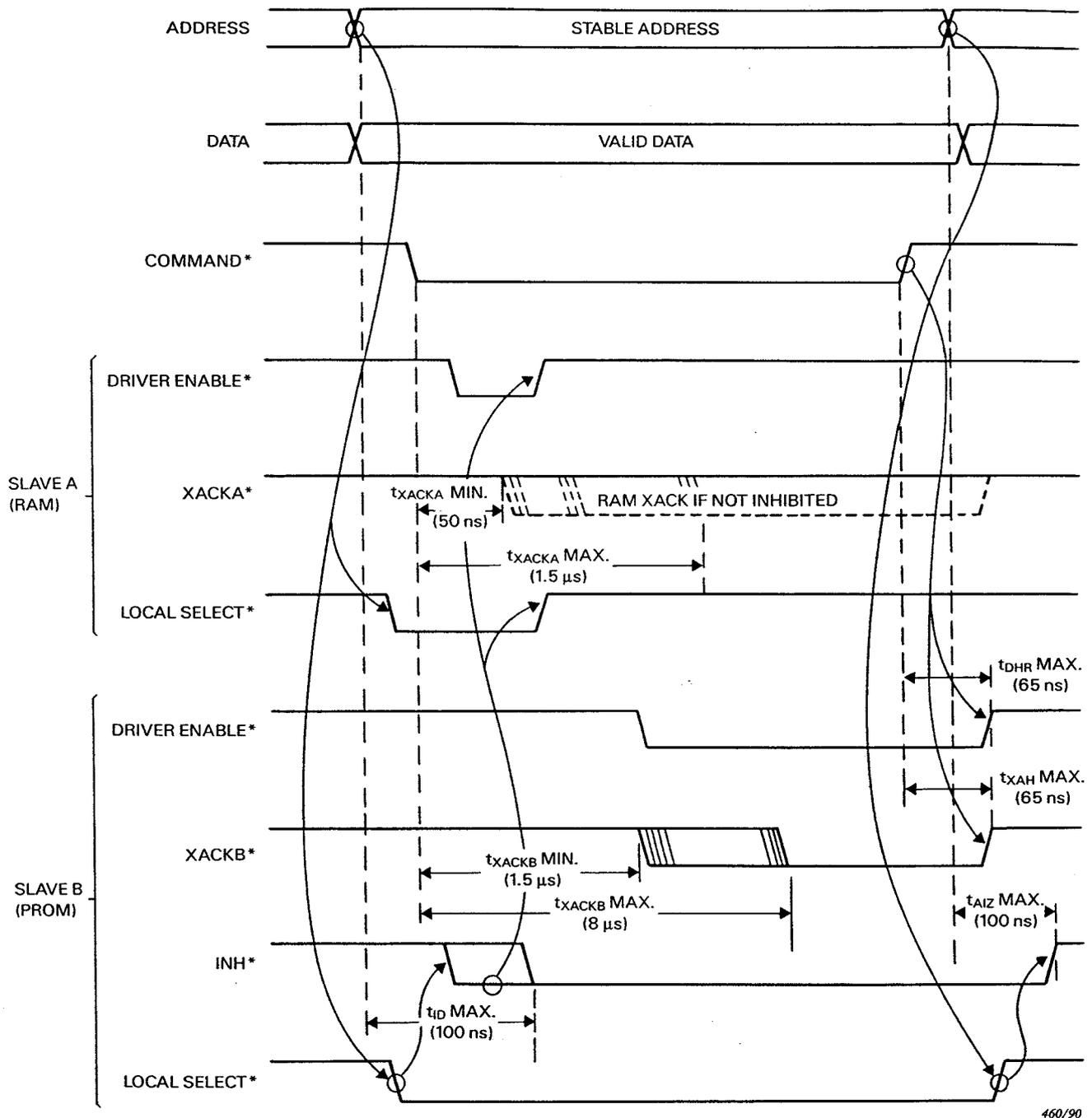


Fig. 9. - Inhibit timing for write operation.

Figure 9 shows the timing for an inhibit operation. In this example, both PROM and RAM have the same memory addresses; therefore, the PROM inhibits the RAM.

Although inhibit signals may be generated during IORC*, IOWC* or INTA* operations, these signals are ignored by other slaves (including the slave that should respond to the INTA*, IORC*, or IOWC*).

2.2.2.6 Blocage (LOCK*)

La ligne de blocage est commandée par la commande du maître du bus quand un accès bloqué du bus est requis. Un accès bloqué est typiquement requis dans une opération sur sémaphore avec cycle lecture-modification-écriture, pour éviter à un autre processeur d'accéder à la mémoire entre la lecture et l'écriture. La ligne "occupé" permet cette exclusion mutuelle sur le bus système. La ligne de blocage autorise cette exclusion mutuelle à se prolonger au-delà du bus. Le signal de blocage (LOCK*) doit être actif 100 ns avant que l'instruction lecture ou écriture ne disparaisse. Il doit rester actif un minimum de 100 ns après le front descendant du signal de commande pour le dernier cycle de mémoire bloquée. L'esclave conserve sa mémoire à accès multiples au bus système quand il est adressé et la ligne de blocage est activée. Le signal de blocage ne doit pas être maintenu continuellement pendant plus de 12 µs. Cela garantit au processeur de l'autre côté de la mémoire à accès multiples qu'il aura accès à la mémoire dans un laps de temps raisonnable. Le signal occupé (BUSY*) doit être actif à chaque fois que la ligne de blocage est activée. La durée du signal de blocage est indiquée à la figure 11, page 54.

2.3 Opérations d'interruption

Les paragraphes suivants expliquent les lignes de signaux du bus utilisées dans les opérations d'interruption, et les deux différents types de mise en application des interruptions. Se référer au paragraphe 4.3.4 en ce qui concerne les informations sur les niveaux de conformité par rapport aux caractéristiques d'interruption.

2.3.1 Lignes de signaux d'interruption

2.3.1.1 Lignes de demande d'interruption (INT0*-INT7*)

Un ensemble de lignes de demande d'interruption (INT0*-INT7*) est fourni sur le bus. Une interruption est générée par l'activation d'une des huit lignes de demande d'interruption avec un circuit de commande à collecteur ouvert. Toutes les interruptions sont déclenchées par niveaux, plutôt que par front. Le fait de ne nécessiter aucun front pour déclencher une interruption permet à différentes sources de se connecter sur chaque ligne. Les lignes de demande d'interruption sont hiérarchisées avec INT0* ayant la priorité supérieure et INT7* la priorité inférieure.

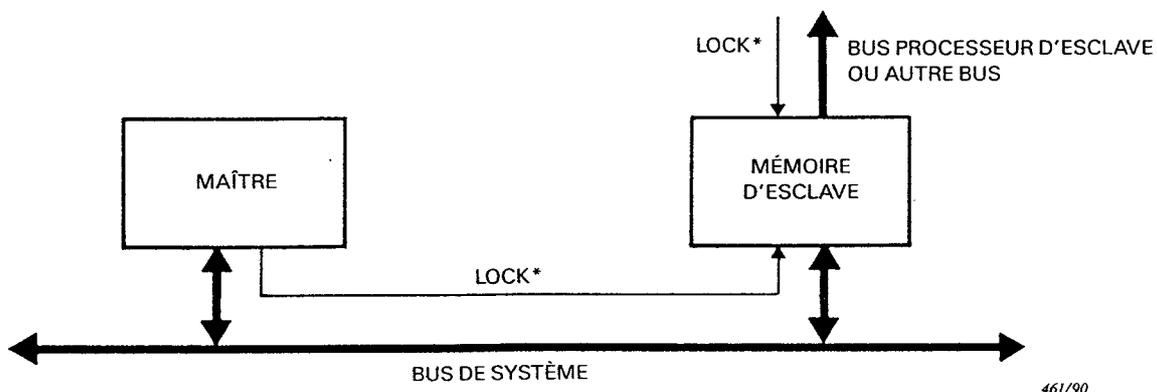


Fig. 10. - Utilisation du blocage de bus.

2.2.2.6 Lock (LOCK*)

The Lock line is driven by the master control of the bus when a locked bus access is required. A locked access is typically required in a read-modify-write semaphore operation to prevent another processor from accessing the memory between the read and the write. The busy line allows for this mutual exclusion on the system bus. The Lock line allows mutual exclusion to be extended off of the bus. The Lock signal (LOCK*) shall be active 100 ns prior to the read or write command going away. It shall remain active a minimum of 100 ns after the falling edge of the command signal for the last locked memory cycle. The slave locks its multiple ported memory to the system bus when it is addressed and the Lock line is asserted. The Lock signal shall not be asserted for more than 12 μ s continuously. This assures the processor on the other side of the multiple ported memory that it will gain access to the memory in a reasonable amount of time. The busy signal (BUSY*) shall be active whenever the Lock line is asserted. The timing for the Lock signal is shown in Figure 11, page 55.

2.3 Interrupt Operations

The following sub-clauses explain the bus signal lines used in the interrupt operation, and the two different types of interrupt implementation. Refer to Sub-clause 4.3.4 for information on levels of compliance with respect to interrupt attributes.

2.3.1 Interrupt Signal Lines

2.3.1.1 Interrupt Request Lines (INT0*-INT7*)

A set of interrupt request lines (INT0*-INT7*) is provided on the bus. An interrupt is generated by activating one of the eight interrupt request lines with an open-collector driver. All interrupts are level-triggered, rather than edge-triggered. Requiring no edge to trigger an interrupt allows several sources to be attached to each line. The interrupt request lines are prioritized, with INT0* having the highest priority and INT7* having the lowest priority.

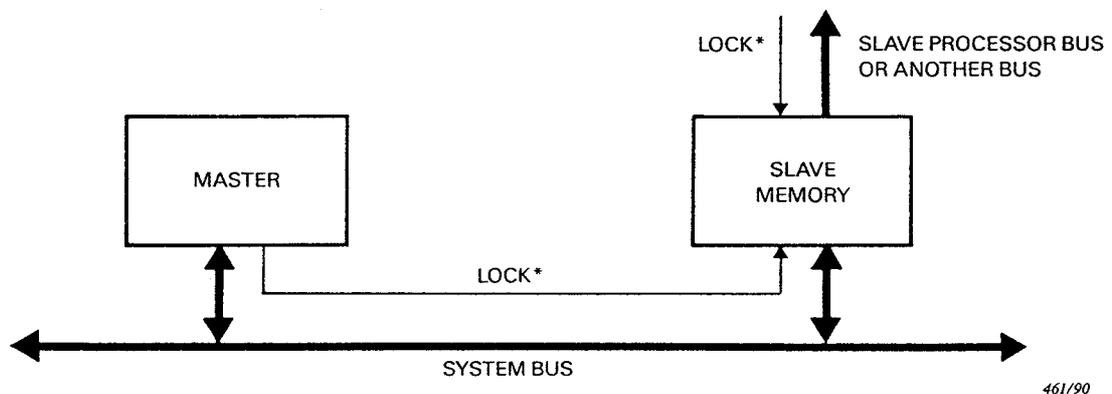


Fig. 10. - Bus lock usage.

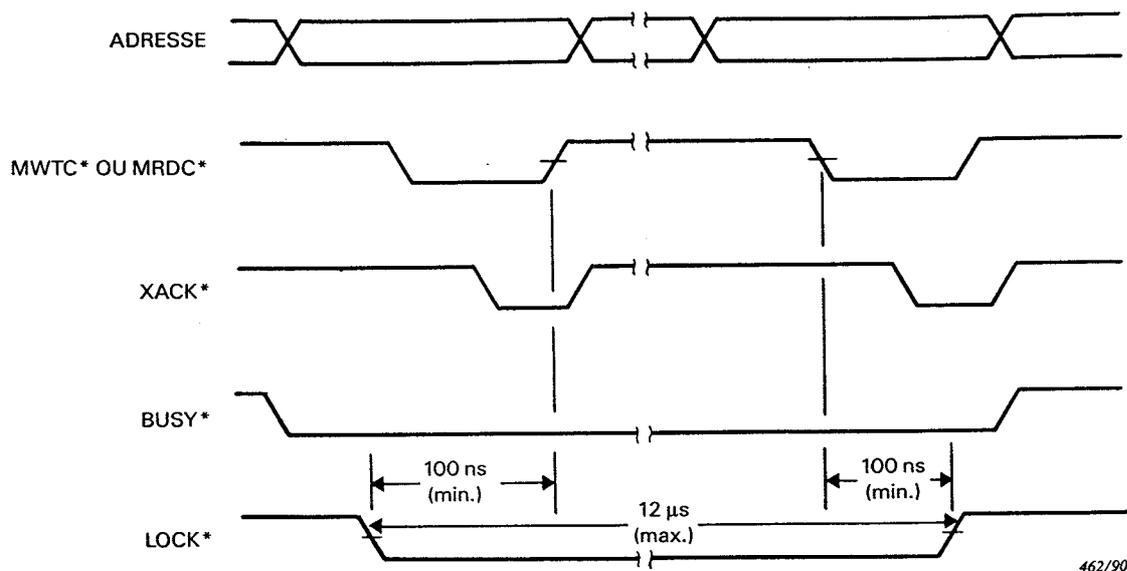


Fig. 11. - Synchronisation du blocage.

2.3.1.2 Accusé de réception d'interruption (INTA*)

Une ligne d'accusé de réception d'interruption (INTA*), commandée par le maître du bus, demande le transfert de l'information d'interruption sur le bus. L'information spécifique synchronisée sur le bus dépend de la réalisation du système d'interruption. En général, le front avant de INTA* indique que le bus d'adresse est actif; son front arrière indique que la donnée est présente sur les lignes de données.

2.3.2 Classification des réalisations des interruptions

Il y a deux sortes de schémas de réalisation des interruptions: vectorisée autrement que par le bus (NBV) et vectorisée par le bus (BV). Les deux schémas sont expliqués dans les paragraphes suivants:

2.3.2.1 Interruptions vectorisées autrement que par le bus

Les interruptions vectorisées autrement que par le bus (NBV) sont les interruptions traitées sur le maître du bus qui ne requièrent pas le transfert des adresses vectorisées d'interruption sur le bus système. L'adresse vectorisée d'interruption est engendrée par un contrôleur d'interruption sur le maître et transférée au processeur par le bus local. Les modules esclaves générant les interruptions peuvent se situer sur le module de maître ou sur les autres module du bus, auquel cas ils utilisent les lignes de demande d'interruption (INT0*-INT7*) du bus système pour transmettre leurs demandes d'interruption au maître du bus. Quand une ligne de demande d'interruption est activée, le maître du bus exécute sa propre opération d'interruption et traite l'interruption. Un exemple de la mise en application d'une interruption NBV est indiqué à la figure 12, page 56.

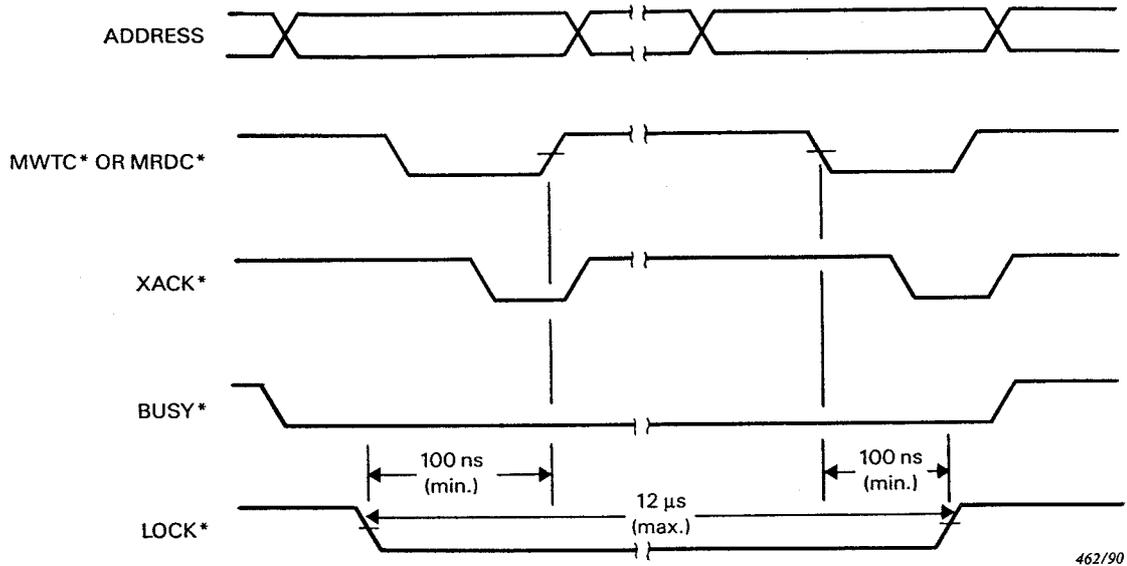


Fig. 11. - Lock timing.

2.3.1.2 Interrupt Acknowledge (INTA*)

An interrupt acknowledge line (INTA*), driven by the bus master, requests the transfer of interrupt information on the bus. The specific information timed onto the bus depends on the implementation of the interrupt scheme. In general, the leading edge of INTA* indicates that the address bus is active; the trailing edge indicates that data is present on the data lines.

2.3.2 Classes of Interrupt Implementation

There are two types of interrupt implementation schemes: Non-Bus Vectored (NBV) and Bus Vectored (BV). The two schemes are explained in the following sub-clauses.

2.3.2.1 Non-Bus Vectored Interrupts

Non-Bus Vectored (NBV) interrupts are those interrupts handled on the bus master that do not require the system bus for transfer of the interrupt vector address. The interrupt vector address is generated by the interrupt controller on the master and transferred to the processor over the local bus. The slave modules generating the interrupts can reside on the master module or on other bus modules, in which case they use the system bus interrupt request lines (INT0*-INT7*) to generate their interrupt requests to the bus master. When an interrupt request line is activated, the bus master performs its own interrupt operation and processes the interrupt. An example of NBV interrupt implementation is shown in Figure 12, page 57.

2.3.2.2 Interruptions vectorisées par le bus

Les interruptions vectorisées par le bus (BV) sont celles qui transfèrent l'adresse vectorisée d'interruption sur le bus système, de l'esclave au maître du bus en utilisant le signal de commande INTA*.

Quand une demande d'interruption se produit, la logique de gestion d'interruption du maître du bus interrompt son processeur. Le processeur du maître du bus engendre l'instruction INTA gelant l'état de la logique d'interruption pour permettre la résolution des priorités. Le maître du bus réquisitionne aussi (conserve le bus entre les cycles de bus) le bus système pour se garantir lui-même des cycles de bus "back-to-back". Après la première commande INTA*, la logique de commande d'interruption du maître du bus place un code d'interruption sur les lignes d'adresses du bus système. Le code interruption est l'adresse de la ligne de demande d'interruption active à plus forte priorité. A ce stade, dans le traitement des interruptions BV, deux différentes séquences peuvent se produire parce que le bus système peut prendre en charge des maîtres qui engendrent aussi bien deux ou trois commandes INTA*.

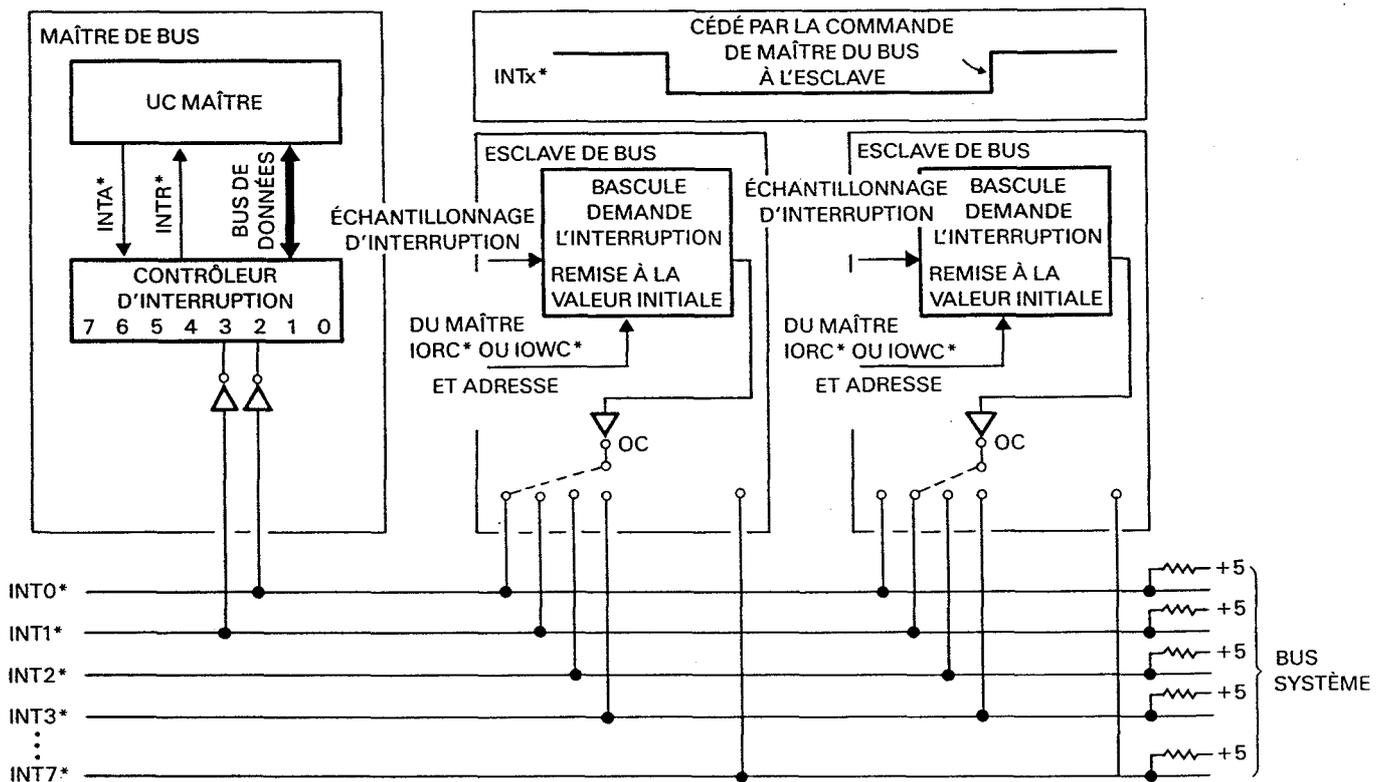


Fig. 12. - Logique d'interruption (NBV) vectorisée autrement que par le bus.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY. SUPPLIED BY BOOK SUPPLY BUREAU.

2.3.2.2 Bus Vectored Interrupts

Bus Vectored (BV) interrupts are those interrupts that transfer the interrupt vector address over the system bus from the slave to the bus master using the INTA* command signal.

When an interrupt request occurs, the interrupt control logic on the bus master interrupts its processor. The processor on the bus master generates the INTA command, freezing the state of the interrupt logic for priority resolution. The bus master also overrides (retains the bus between bus cycles) the system bus to guarantee itself back-to-back bus cycles. After the first INTA* command, the bus master's interrupt control logic puts an interrupt code on the system bus address lines. The interrupt code is the address of the highest priority active interrupt request line. At this point in the BV interrupt procedure, two different sequences can occur because the system bus can support masters that generate either two or three INTA* commands.

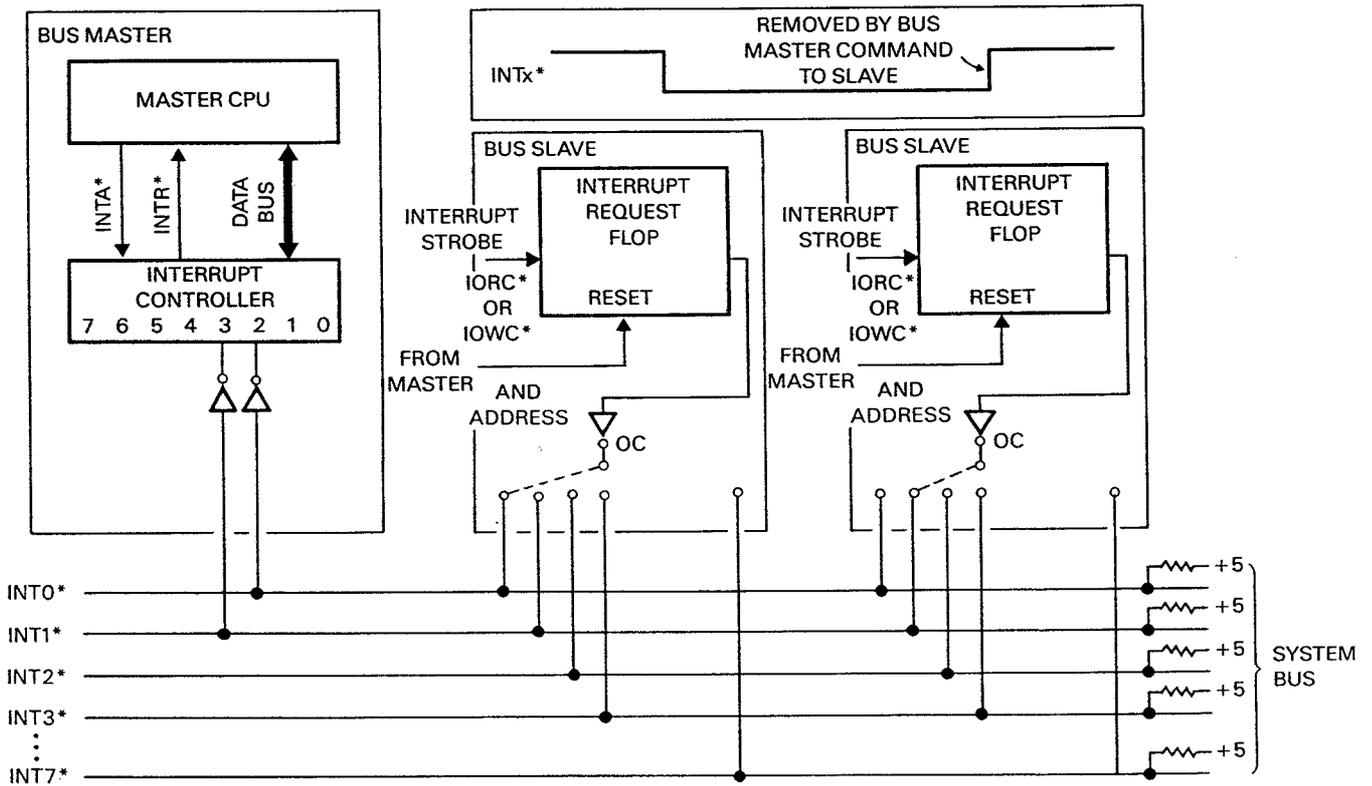


Fig. 12. - Non-bus vectored (NBV) interrupt logic.

Si le maître du bus engendre deux commandes INTA*, une commande INTA* supplémentaire sera engendrée. Cette deuxième INTA* pousse la logique de gestion d'interruption de l'esclave du bus à transmettre son adresse vectorisée d'interruption sur les lignes de données du bus système. Cette adresse est utilisée par le maître du bus pour traiter l'interruption.

Si le maître du bus engendre trois commandes INTA*, deux commandes INTA* supplémentaires seront engendrées. Ces deux nouvelles commandes INTA* permettent à l'esclave du bus de mettre ses adresses vectorisées d'interruption à 2 octets sur les lignes de données du bus système (un octet pour chaque INTA*). L'adresse vectorisée d'interruption est utilisée par le maître du bus pour traiter l'interruption.

Note.- Le bus système ne peut traiter qu'une seule sorte d'interruption vectorisée de bus dans un système donné. Cependant, le bus système peut exploiter les interruptions vectorisées de bus (BV) et celles vectorisées autrement que par le bus (NBV) en même temps. Les interruptions BV et NBV sont traitées dans le présent paragraphe et à l'article 3.2.

Un exemple de la mise en application de l'interruption BV est indiqué à la figure 13, page 60.

2.4 Permutation de commande du bus

Le bus peut servir plusieurs maîtres du bus sur le même système, chacun d'eux prenant la commande du bus quand il en a besoin pour effectuer les transferts de données. Le maître du bus demande la commande du bus par une séquence de permutation de commande du bus.

L'étude de la permutation de commande du bus sera divisée en deux parties. La première partie expliquera les signaux concernés et la seconde partie étudiera les techniques prioritaires de permutation de commande du bus (en série et en parallèle).

2.4.1 Signaux de permutation de commande du bus

Un ensemble de six signaux est utilisé pour mettre en application l'opération de permutation de commande du bus. Tous les signaux de permutation de commande du bus sont synchronisés par BCLK*.

2.4.1.1 Horloge de bus (BCLK*)

Ce signal d'horloge périodique est utilisé pour synchroniser la logique de permutation de commande avec une synchronisation se produisant sur le front arrière de l'impulsion (transition niveau haut-niveau bas). BCLK* a un rapport cyclique de 50% approximativement, une fréquence maximale de 10 MHz, et peut être ralenti, avancé pas-à-pas, ou arrêté suivant la conception du système. Il n'y a aucune exigence de synchronisation entre BCLK* et CCLK*, mais ils peuvent être dérivés de la même source. La ligne BCLK* est commandée par un circuit de commande d'horloge TTL.

If the bus master generates two INTA* commands, one more INTA* command will be generated. This second INTA* causes the bus slave interrupt control logic to transmit its interrupt vector address on the system bus data lines. The address is used by the bus master to service the interrupt.

If the bus master generates three INTA* commands, two more INTA* commands will be generated. These two INTA* commands allow the bus slave to put its 2-byte interrupt vector address on the system bus data lines (one byte for each INTA*). The interrupt vector address is used by the bus master to service the interrupt.

Note.- The system bus can support only one type of Bus Vectored interrupt in a given system. However, the system bus can support both Bus Vectored (BV) and Non-Bus Vectored (NBV) interrupts within the same system. BV and NBV interrupts are dealt with in this sub-clause and Clause 3.2.

An example of BV interrupt implementation is shown in Figure 13, page 61.

2.4 Bus Exchange

The bus can accommodate several bus masters on the same system, each taking control of the bus as it needs to effect data transfers. The bus masters request bus control through a bus exchange sequence.

The discussion of the bus exchange will be separated into two parts. The first part explains the signals involved, and the second part discusses the bus exchange priority techniques (serial and parallel).

2.4.1 Bus Exchange Signals

A set of six signals is used to implement the bus exchange operation. All bus exchange signals are synchronized by BCLK*.

2.4.1.1 Bus Clock (BCLK*)

This periodic clock signal is used to synchronize the exchange logic, with synchronization occurring on the trailing (high-to-low) edge of the pulse. BCLK* has a duty cycle of approximately 50%, a maximum frequency of 10 MHz, and can be slowed, stepped, or stopped as called for by system design. There is no requirement for synchronization between BCLK* and CCLK*, but they may be derived from the same source. The BCLK* line is driven by a TTL clock driver.

2.4.1.2 Occupation de bus (BUSY*)

Ce signal est commandé par le maître en possession du bus. Tous les autres maîtres surveillent BUSY* pour déterminer l'état du bus. Ce signal bidirectionnel, qui est commandé par une porte de collecteur ouvert, est synchronisé par BCLK*.

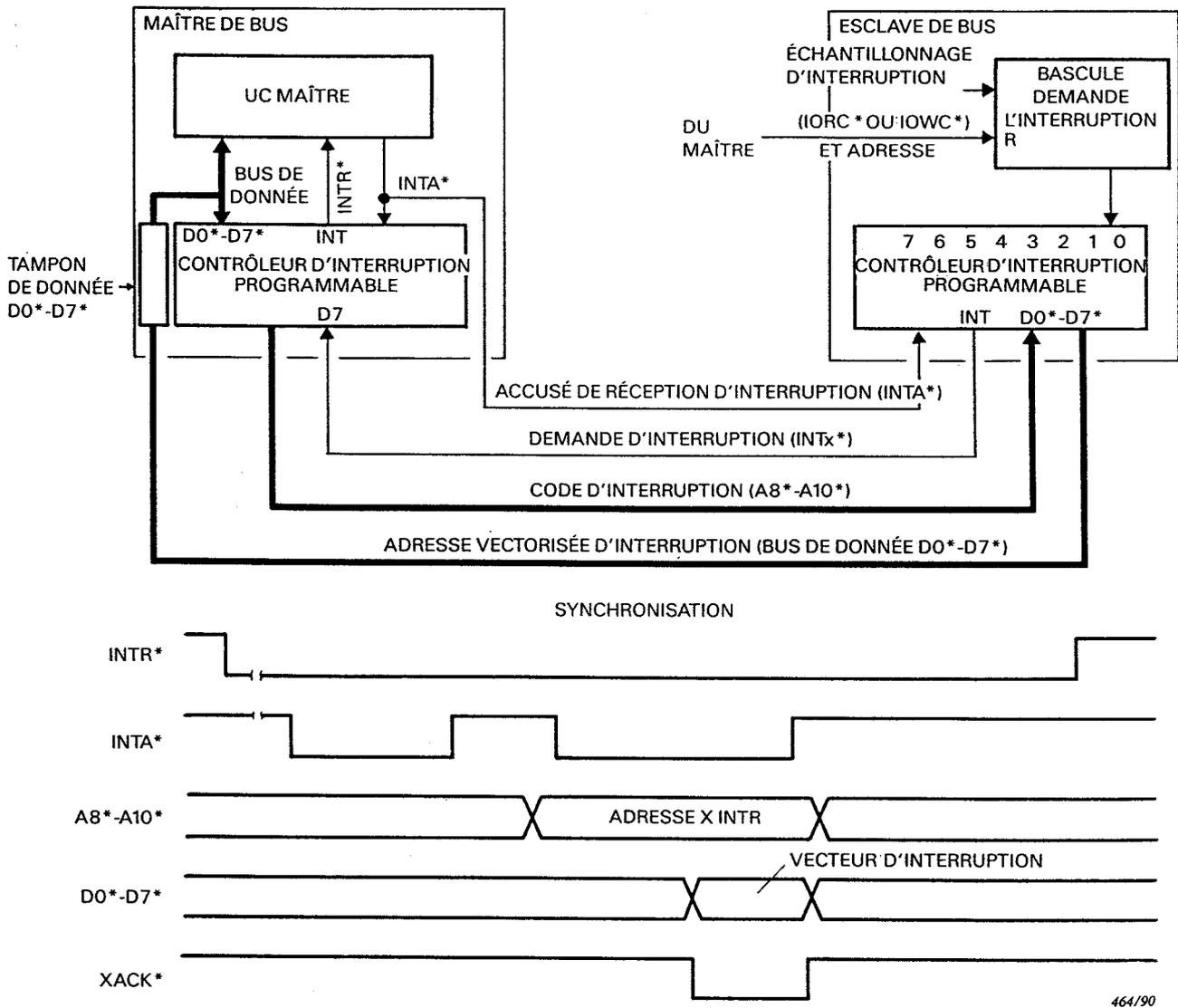


Fig. 13. - Logique d'interruption vectorisée par le bus (BV).

2.4.1.3 Priorité IN de bus (BPRN*)

Signal individuel qui indique à un maître qu'aucun maître à priorité plus élevée ne demande la commande du bus. BPRN* est synchronisé par BCLK* et commandé par des portes logiques TTL. Dans un système de résolution en série, il s'agit de l'entrée du maître depuis la chaîne d'arbitrage série des priorités. Dans un système de résolution en parallèle, il s'agit de l'entrée du maître depuis un circuit de résolution de priorité en parallèle.

2.4.1.2 *Bus Busy (BUSY*)*

The signal is driven by the master in control of the bus. All other masters monitor BUSY* to determine the state of the bus. This bidirectional signal which is driven by an open-collector gate, is synchronized by BCLK*.

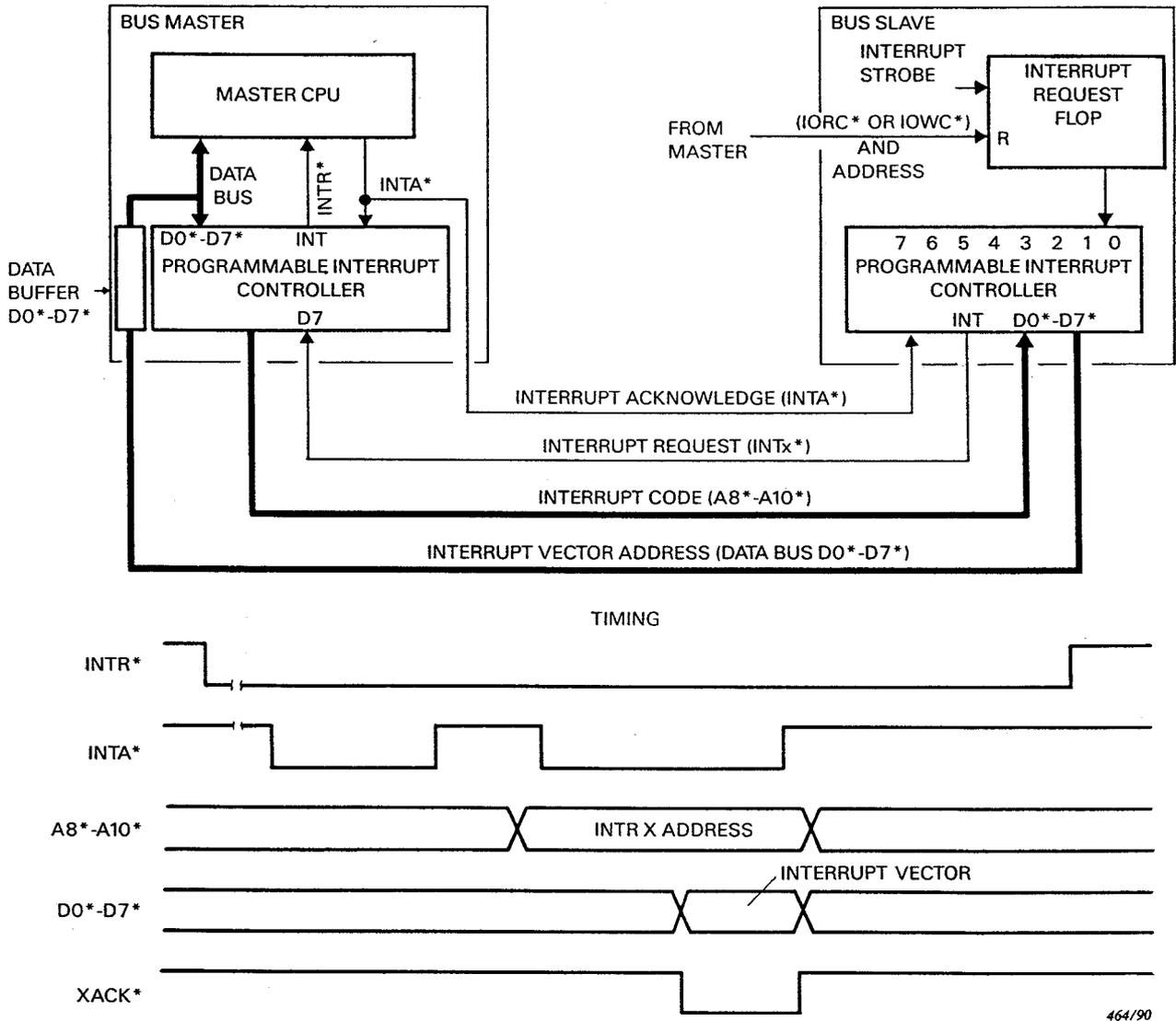


Fig. 13. - Bus vectored (BV) interrupt logic.

2.4.1.3 *Bus Priority IN (BPRN*)*

A non-bussed signal that indicates to a master that no master of higher priority is requesting control of the bus. BPRN* is synchronized by BCLK* and driven by TTL gates. In a serial resolution scheme, this is the master's input from the priority chain. In a parallel resolution scheme, this is the master's input from the parallel priority circuit.

2.4.1.4 *Priorité OUT de bus (BPRO*)*

Signal individuel qui, lorsqu'il est activé par un maître du bus, indique au maître du bus de priorité immédiatement inférieure qu'il peut obtenir la commande du bus (c'est-à-dire qu'aucune demande à priorité plus élevée n'est en attente pour la commande du bus). Ce signal n'est utilisé que pour les systèmes de résolution des priorités à chaîne d'arbitrage série et il convient qu'il soit connecté à l'entrée de la priorité IN de bus (BPRN*) du maître du bus de priorité immédiatement inférieure. BPRO* est commandé par des portes TTL et synchronisé par BCLK*.

Chaque maître du bus doit permettre la déconnexion de son signal BPRO* de la ligne BPRO* du bus système afin de pouvoir utiliser, éventuellement, un système de résolution en parallèle des priorités. Cette possibilité a pour but de permettre à quelques maîtres du bus d'avoir leurs entrées BPRN* commandées par un circuit de résolution centralisé au lieu du signal BPRO* provenant du maître de priorité immédiatement supérieure.

2.4.1.5 *Demande de bus (BREQ*)*

La ligne de demande de bus (BREQ*) est utilisée dans un système de résolution des priorités en parallèle et constitue une demande du maître pour la commande du bus. Pour chaque maître, les priorités du BREQ* sont résolues dans un circuit de résolution de priorités en parallèle. La demande de priorité la plus élevée valide l'entrée BPRN* de ce maître, lui permettant d'obtenir la commande du bus. BREQ*, qui est synchronisé par BCLK*, est une sortie TTL.

2.4.1.6 *Demande commune de bus (CBRQ*) (en option)*

Tout maître désirant obtenir la commande du bus lorsqu'il ne la possède pas peut activer CBRQ* à l'aide d'une porte à collecteur ouvert. Si CBRQ* est à niveau haut, il indique au maître du bus qu'aucun autre maître ne demande le bus et par conséquent le présent maître du bus peut conserver le bus. Cela peut parfois minimiser des surcharges système de permutation de commande du bus au maître en cours. Cela parce que très souvent, quand un maître commande le bus, il n'y a pas d'autres maîtres réclamant le bus. Sans CBRQ*, le seul signal BPRN* indique si oui ou non un autre maître est en train de demander le bus, et pour BPRN*, seulement au cas où l'autre maître a une priorité plus élevée. Entre les cycles de transfert du bus, du maître, afin de permettre aux maîtres à priorité moins élevée de prendre le bus s'ils en ont besoin, le maître doit abandonner le bus. Au début du cycle de transfert suivant du maître, le bus sera restitué. Si aucun autre maître n'a le bus, cela prend environ trois période BCLK*. Pour éviter cette surcharge d'abandons et de restitutions inutiles du bus quand aucun autre maître n'en a besoin, on utilise CBRQ*. Tout maître désirant le bus mais ne le possédant pas doit porter cette ligne au niveau bas (vrai). Le maître qui a le bus peut, à la fin d'un cycle de transfert, détecter CBRQ*. S'il n'est pas à niveau bas, le bus n'a pas besoin d'être libéré, éliminant par conséquent le délai de récupération du bus au début du cycle suivant. (A n'importe quel moment avant le cycle suivant du maître, tout autre maître désirant le bus commandera CBRQ* et amènera le maître à abandonner le bus à ce moment-là.)

2.4.1.4 *Bus Priority OUT (BPRO*)*

This non-bussed signal, when activated by a bus master, indicates to the bus master of the next lower priority that it may gain control of the bus (i.e. no higher priority requests are pending for control of the bus). This signal is used only in a daisy-chain serial priority resolution scheme and should be connected to the Bus Priority IN (BPRN*) input of the next lower priority bus master. BPRO* is driven by TTL gates and is synchronized by BCLK*.

Each bus master shall allow its BPRO* signal to be disconnected from the BPRO* line on the system bus so that, if desired, a parallel priority resolution scheme can be used. This capability is to allow some bus masters to have their BPRN* inputs driven by a central parallel resolution circuit instead of by the BPRO* of the next higher priority master.

2.4.1.5 *Bus Request (BREQ*)*

The Bus Request (BREQ*) line is used with the parallel priority resolution scheme, and is a request of the master for bus control. The priorities of the BREQ* from each master are resolved in a parallel priority resolution circuit. The highest priority request enables the BPRN* input of that master, allowing it to gain control of the bus. BREQ* is synchronized by BCLK* and is a TTL output.

2.4.1.6 *Common Bus Request (CBRQ*) (Optional)*

Any master that wants control of the bus but does not control it can activate CBRQ* with an open-collector gate. If CBRQ* is high, it indicates to the bus master that no other master is requesting the bus and therefore the present bus master can retain the bus. There are times when this can save the bus exchange overhead for the current master. This is because quite often when a master is controlling the bus, there are no other masters that are requesting the bus. Without CBRQ*, only BPRN* indicates whether or not another master is requesting the bus and, for BPRN*, only if the other master is of higher priority. Between the master's bus transfer cycles, in order to allow lower priority masters to take the bus if they need it, the master shall give up the bus. At the start of the master's next transfer cycle, the bus shall be regained. If no other master has the bus, this can take approximately three BCLK* periods. To avoid this overhead of unnecessarily giving up and regaining the bus when no other masters need it, CBRQ* may be used. Any master that wants but does not have the bus shall drive this line low (true). The master that has the bus can, at the end of a transfer cycle, sense CBRQ*. If it is not low, then the bus does not have to be released, thereby eliminating the delay of regaining the bus at the start of the next cycle. (At any time before the master's next cycle, any other master desiring the bus will drive CBRQ* and cause the master to relinquish the bus at that time.)

Les maîtres utilisant CBRQ* doivent être capables de mettre cette fonction hors service afin de pouvoir être utilisés avec des maîtres qui ne produisent pas le signal CBRQ*.

2.4.2 *Techniques de priorité de permutation de commande du bus*

Deux techniques de priorité de permutation de commande du bus sont étudiées: la technique en série et la technique en parallèle. Ces deux techniques sont illustrées aux figures 14 et 15, page 66. A noter que les systèmes en parallèle et en série sont compatibles et par conséquent peuvent être combinés et utilisés ensemble sur le même bus.

2.4.2.1 *Technique de priorité en série*

La résolution de priorité en série est accomplie selon la technique de chaîne d'arbitrage série (voir la figure 14). Avec un tel système, la sortie de priorité de bus (BPRO*) de chaque maître est connectée à l'entrée de priorité de bus (BPRN*) du maître ayant le niveau de priorité immédiatement inférieur. Le BPRN* du maître ayant la priorité la plus élevée dans la chaîne d'arbitrage série devra toujours soit être actif soit connecté à un arbitre central de bus tel qu'indiqué au paragraphe 2.4.2.2. La dernière connexion sera utilisée dans le cas d'une structure de priorité parallèle-série.

La résolution de priorité en série s'accomplit de la manière suivante. La sortie BPRO* d'un maître particulier est activée si, et seulement si, l'entrée BPRN* est active et que le maître ne réclame pas la commande du bus. Donc, si un maître réclame la commande du bus, il positionnera son BPRO* au niveau haut, lequel à son tour mettra hors service le BPRN* de tous les maîtres à priorité moins forte. Le nombre de maîtres pouvant être reliés dans une chaîne d'arbitrage série est limité par le fait que le signal BPRN* doit se propager dans la chaîne entière en moins d'un cycle BCLK*. Si le signal BCLK* est utilisé à un maximum de 10 MHz, le nombre des maîtres dans une chaîne en série sera alors limité à trois.

2.4.2.2 *Technique d'arbitrage en parallèle*

Dans la technique en parallèle, l'attribution du bus est déterminée par un arbitre de bus (voir la figure 15). Cela peut être un système de priorité qui décide du prochain maître par une structure prioritaire fixée, ou tout autre mécanisme régissant les attributions (par exemple séquentiel). Les lignes BREQ* sont utilisées par l'arbitre pour signaler le prochain maître sur la ligne BPRN* appropriée. Les lignes BPRO* ne sont pas utilisées dans le système BPRN* d'attribution en parallèle.

Masters that use CBRQ* shall be able to disable that function so that they can be used with masters that do not generate the CBRQ* signal.

2.4.2 *Bus Exchange Priority Techniques*

Two bus exchange priority techniques are discussed: a serial technique and a parallel technique. These two techniques are illustrated in Figures 14 and 15, page 67. Note that the parallel and serial schemes are compatible and therefore can be combined and used together on the same bus.

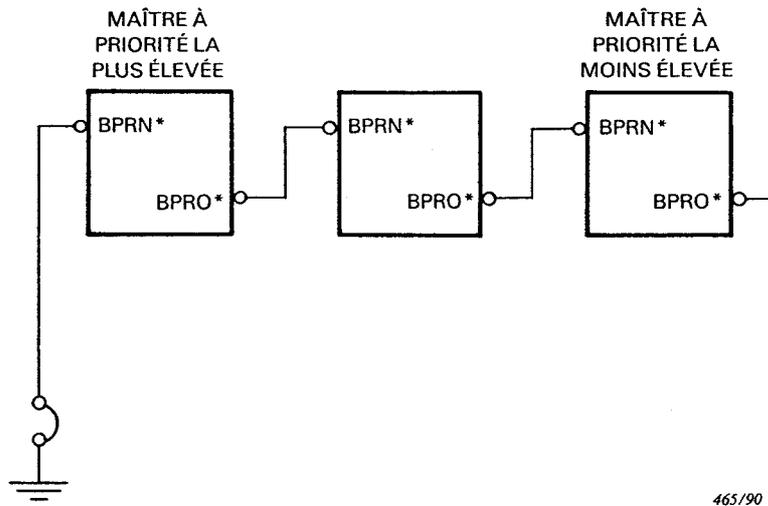
2.4.2.1 *Serial Priority Technique*

Serial priority resolution is accomplished with a daisy-chain technique (see Figure 14). With such a scheme, the bus priority output (BPRO*) of each master is connected to the bus priority input (BPRN*) of the next lowest priority master. The BPRN* of the highest priority master in the serial chain shall either be always active or connected to a central Bus Arbiter as described in Sub-clause 2.4.2.2. The latter connection will be used if a parallel-serial priority structure is used.

Serial priority resolution is accomplished in the following manner. The BPRO* output for a particular master is asserted if and only if its BPRN* input is active and that master is not requesting control of the bus. Thus, if a master requests control of the bus, it shall set its BPRO* high, which in turn disables the BPRN* of all lower priority masters. The number of masters that can be linked in a serial chain is limited by the fact that the BPRN* signal shall propagate through the entire chain within one BCLK* cycle. If the maximum BCLK* of 10 MHz is used, then the number of masters in a serial chain will be limited to three.

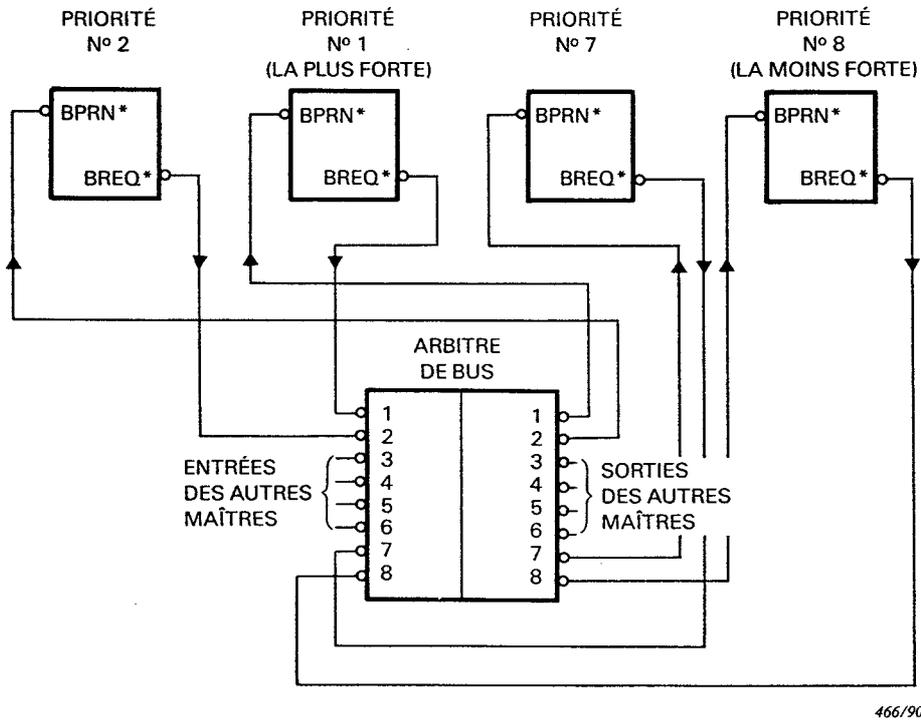
2.4.2.2 *Parallel Arbitration Technique*

In the parallel technique, the bus allocation is determined by a Bus Arbiter (see Figure 15). This may be a priority scheme, which determines the next master by a fixed priority structure or some other mechanism for allocation (e.g. sequential). The BREQ* lines are used by the arbiter to signal the next master on the appropriate BPRN* line. The BPRO* lines are not used in the parallel allocation BPRN* scheme.



465/90

Fig. 14. - Technique de priorité en série.



466/90

Fig. 15. - Technique de priorité en parallèle.

SECTION TROIS - SPECIFICATIONS ELECTRIQUES

Cette section présente les spécifications électriques du bus système comme suit:

- 1) Considérations générales sur les relations d'état, les caractéristiques de lignes de signaux et de l'alimentation électrique.
- 2) Spécifications de chronologie pour les signaux du bus.
- 3) Spécifications pour les circuits de commande et les récepteurs des lignes de signaux, ainsi que les exigences de terminaison électrique des lignes.

Quand les spécifications électriques indiquent des valeurs minimale ou maximale pour le bus, cela signifie qu'elles sont mesurables à n'importe quel point sur le bus.

A noter qu'une réalisation particulière du bus peut avoir n'importe quelle valeur de délai de propagation et d'oscillations transitoires (avant le temps d'établissement), tant que tous les paramètres de bus (par exemple les temps d'établissement, de maintien et autres) sont respectés en tous les points du bus. Cependant, pour faciliter la conception d'un ensemble compatible de modules (maîtres et esclaves) utilisant le bus, le délai propagation de bus maximal normalisé sera spécifié en tant que t_{pD} (max.).

3.1 Considérations générales sur le bus

3.1.1 Relations d'états logique et électrique

Les noms des signaux indiquent que les lignes de signaux sur le bus sont actives soit à niveau haut (High), soit à niveau bas (Low). Si le nom du signal se termine par un astérisque "*" (sans indice supérieur), le signal est alors actif à niveau bas et sa relation d'états logique et électrique est:

Etat logique	Niveau de signal électrique	Au récepteur	Au circuit de commande
0	H = état à niveau haut TTL (logique transistor-transistor)	$5.25\text{ V} \geq H \geq 2.0\text{ V}$	$5.25\text{ V} \geq H \geq 2.4\text{ V}$
1	L = état à niveau bas TTL	$.8\text{ V} \geq L \geq -.5\text{ V}$	$.5\text{ V} \geq L \geq 0\text{ V}$

SECTION THREE - ELECTRICAL SPECIFICATIONS

This section presents the electrical specifications for the system bus as follows:

- 1) General bus considerations of the state relationships, signal line characteristics, and power supplies.
- 2) Timing specifications for the bus signals.
- 3) Specifications for the signal line drivers and receivers, as well as the electrical termination requirements.

When electrical specifications indicate minimum or maximum values for the bus, they shall be measurable at any point on the bus.

Note that a particular implemented bus could have any amount of bus propagation delay and ringing (before set-up times), as long as all bus parameters (e.g., set-up, hold and other times) are met at all points on the bus. However, to facilitate the design of a compatible set of modules (masters and slaves) that use the bus, the standard maximum bus propagation delay will be specified as t_{pD} (max.).

3.1 General Bus Considerations

3.1.1 Logical and Electrical State Relationships

The signal names indicate whether or not the signal lines on the bus are active high or active low. If the signal name ends with a nathan ("*", a non-superscript asterisk), then the signal is active low and its logical-electrical state relationship for that signal is:

Logical state	Electrical signal level	At receiver	At driver
0	H = TTL high state	$5.25 \text{ V} \geq H \geq 2.0 \text{ V}$	$5.25 \text{ V} \geq H \geq 2.4 \text{ V}$
1	L = TTL low state	$.8 \text{ V} \geq L \geq -.5 \text{ V}$	$.5 \text{ V} \geq L \geq 0 \text{ V}$

Si le signal n'est pas suivi d'un astérisque (sans "*"), le signal est alors actif à niveau haut et sa relation d'états logique et électrique est alors:

Etat logique	Niveau de signal électrique	Au récepteur	Au circuit de commande
0	L = état à niveau bas TTL	$.8 V \geq L \geq -.5 V$	$.5 V \geq L \geq 0 V$
1	H = état à niveau haut TTL (logique transistor-transistor)	$5.25 V \geq H \geq 2.0 V$	$5.25 V \geq H \geq 2.4 V$

Ces spécifications sont basées sur la logique TTL, où la source d'alimentation est de $5 V \pm 5\%$, par référence à la masse logique (GND).

Quand spécifié, un courant entrant dans un noeud a un signe positif tandis qu'un courant sortant d'un noeud a un signe négatif.

3.1.2 Caractéristiques des lignes de signaux

Les paragraphes suivants décrivent deux sortes d'exigences. La première comprend les exigences sur la ligne de signal qui sont mesurées quand la ligne de signal est utilisée. La deuxième sorte comprend celles qui sont mesurées dans certaines conditions spéciales d'essais.

3.1.2.1 Exigences des lignes de signaux en fonctionnement

Durant l'utilisation normale, les temps de montée et de descente des signaux dépendent du type de circuit de commande utilisé (voir l'article 3.3). Les temps de montée et de descente typiques sont:

	Collecteur ouvert	Mât totémique	3-états
Temps de montée	-	10 ns	10 ns
Temps de descente	10 ns	10 ns	10 ns

Le délai de propagation typique du signal sur le bus est $t_{pD}(typ)$. Il est mesuré à partir du front de n'importe quelle carte enfichée dans le bus (796) à n'importe quelle autre carte enfichée dans le bus:

$$t_{pD}(typ) = 3 \text{ ns}$$

If the signal name has no nathan (no "*"), then the signal is active high and its logical-electrical state relationship for that signal is:

Logical state	Electrical signal level	At receiver	At driver
0	L = TTL low state	$.8 \text{ V} \geq L \geq -.5 \text{ V}$	$.5 \text{ V} \geq L \geq 0 \text{ V}$
1	H = TTL high state	$5.25 \text{ V} \geq H \geq 2.0 \text{ V}$	$5.25 \text{ V} \geq H \geq 2.4 \text{ V}$

These specifications are based on TTL, where the power source is $5 \text{ V} \pm 5\%$, referenced to logic ground (GND).

When specified, current flow into a node has a positive sign and current flow out of a node has a negative sign.

3.1.2 Signal Line Characteristics

The following sub-clauses describe two types of requirements. The first includes the requirements on the signal line that are measured when the signal line is in use. The second type includes those that are measured under special test conditions.

3.1.2.1 In-Use Signal Line Requirements

During normal use, the rise and fall times of the signals depend on which type of driver is used (see Clause 3.3). Typical rise and fall times are:

	Open collector	Totem pole	3-state
Rise time	-	10 ns	10 ns
Fall time	10 ns	10 ns	10 ns

The typical signal propagation delay on the bus is $t_{pD}(\text{typ})$. This is measured from the edge of any one board plugged into the (796) bus to any other board plugged into the bus:

$$t_{pD}(\text{typ}) = 3 \text{ ns}$$

Note.- Pour toutes les cartes enfichées dans le bus, les temps d'établissement, de maintien et autres sont mesurés sur le bord de la plaquette quand elle est enfichée dans le bus. Cela signifie que tous les délais internes des cartes seront pris en considération, tout en fournissant en même temps les temps d'établissement, de maintien et autres.

Après la mise sous tension, les spécifications suivantes s'appliquent:

- 1) Terminaison de bus requise pour chacune des lignes de signal (voir l'article 3.3).
- 2) Temps d'établissement pour tous les signaux de lignes de commande (voir le paragraphe 2.2.2.5) après une transition de zéro.

Sur ces lignes, l'oscillation transitoire ne peut dépasser les niveaux d'immunité contre le bruit (c'est-à-dire haut, minimal ou bas, maximal). Cela s'applique aussi aux lignes d'accusé de réception de transfert et aux lignes d'invalidation.

Pour toutes les lignes d'adresses (voir le paragraphe 2.2.2.3), les signaux doivent être stables (stabilisés) au moins 50 ns avant que toute ligne de commande ne devienne active (temps d'établissement). Cette exigence de temps de stabilisation signifie qu'il n'y aura pas d'oscillation transitoire au-delà des niveaux d'immunité contre le bruit (haut, minimal; bas, maximal). Ces exigences s'appliquent aussi aux lignes de données (voir le paragraphe 2.2.2.4) durant toute opération d'écriture.

Pour toutes les lignes de données durant un cycle lecture, le temps d'établissement est de zéro avant que le signal d'accusé de réception de transfert (XACK*) ne devienne actif; et le temps de maintien sera de zéro après que la commande de lecture sera devenue inactive.

Les oscillations transitoires d'établissement, de maintien et de commande sont résumées et présentées sous forme de graphiques à la figure 16, page 74.

3.1.2.2 *Caractéristiques du tracé des lignes de signaux sur le fond de panier*

Les exigences concernant les caractéristiques de couplage ligne à ligne sont indiquées à la figure 17, page 76. Les conditions de tests spécifiques auxquelles les spécifications doivent répondre y sont également incluses.

3.1.3 *Spécifications d'alimentation*

Le tableau I fournit toutes les spécifications concernant l'alimentation. Toutes les tensions qui ne sont pas indiquées dans le tableau I, mais qui peuvent être requises sur une carte enfichée dans le bus, seront dérivées d'une tension normalisée (+5 V, +12 V, -12 V).

Note.- For all boards plugged into the bus, the setup, hold, and any other times are measured at the edge of the board where it is plugged into the bus. This means that all board-internal delays shall be taken into account, while still providing for the setup, hold, and other times.

After Power-Up, the following specifications apply:

- 1) Bus termination required for each signal line (see Clause 3.3).
- 2) Settling time for all command line signals (see Sub-clause 2.2.2.5) after a transition is zero.

On these lines the ringing cannot go beyond the noise immunity levels (i.e. high, minimum or low, maximum). This also applies to the Transfer Acknowledge and Inhibit lines.

For all address lines (see Sub-clause 2.2.2.3) the signals shall be stable (settled) at least 50 ns before any command line becomes active (set-up time). This settling requirement means that there shall be no ringing beyond the noise immunity levels (high, minimum; low, maximum). These requirements also apply to the data lines (see Sub-clause 2.2.2.4) during any write operations.

For all data lines during read operations, the set-up time is zero before the Transfer Acknowledge (XACK*) signal goes active; and the hold time is zero after the read-type command goes inactive.

The set-up, hold, and command ringing are summarized and graphically presented in Figure 16, page 75.

3.1.2.2 *Backplane Signal Trace Characteristics*

Requirements for line-to-line coupling characteristics are shown in Figure 17, page 77. The specific test conditions under which the specifications are to be met are also shown.

3.1.3 *Power Supply Specification*

Table I provides all power supply specifications. All voltages not shown in Table I that may be required on a board plugged into the bus should be derived from one of the standard voltages (+5 V, +12 V, -12 V).

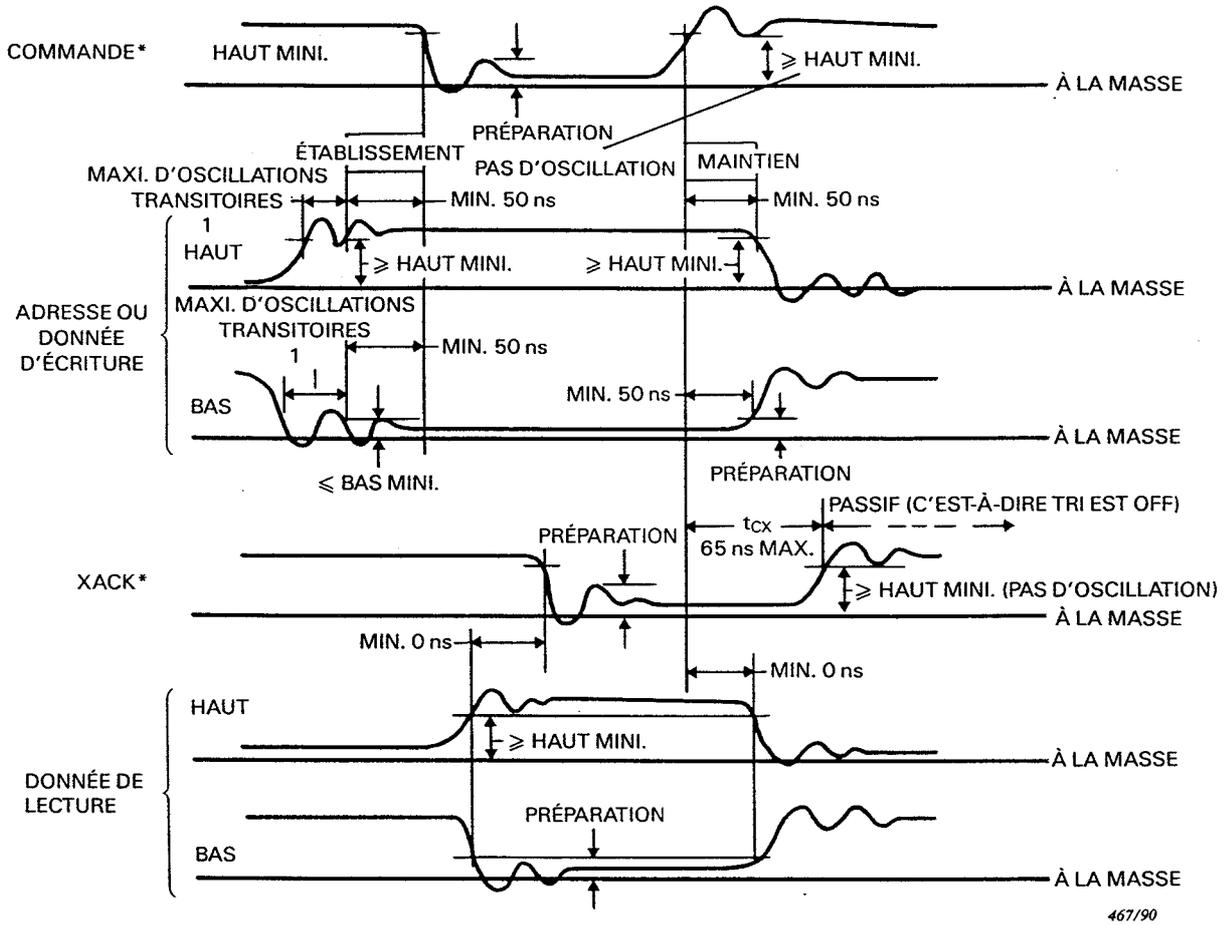
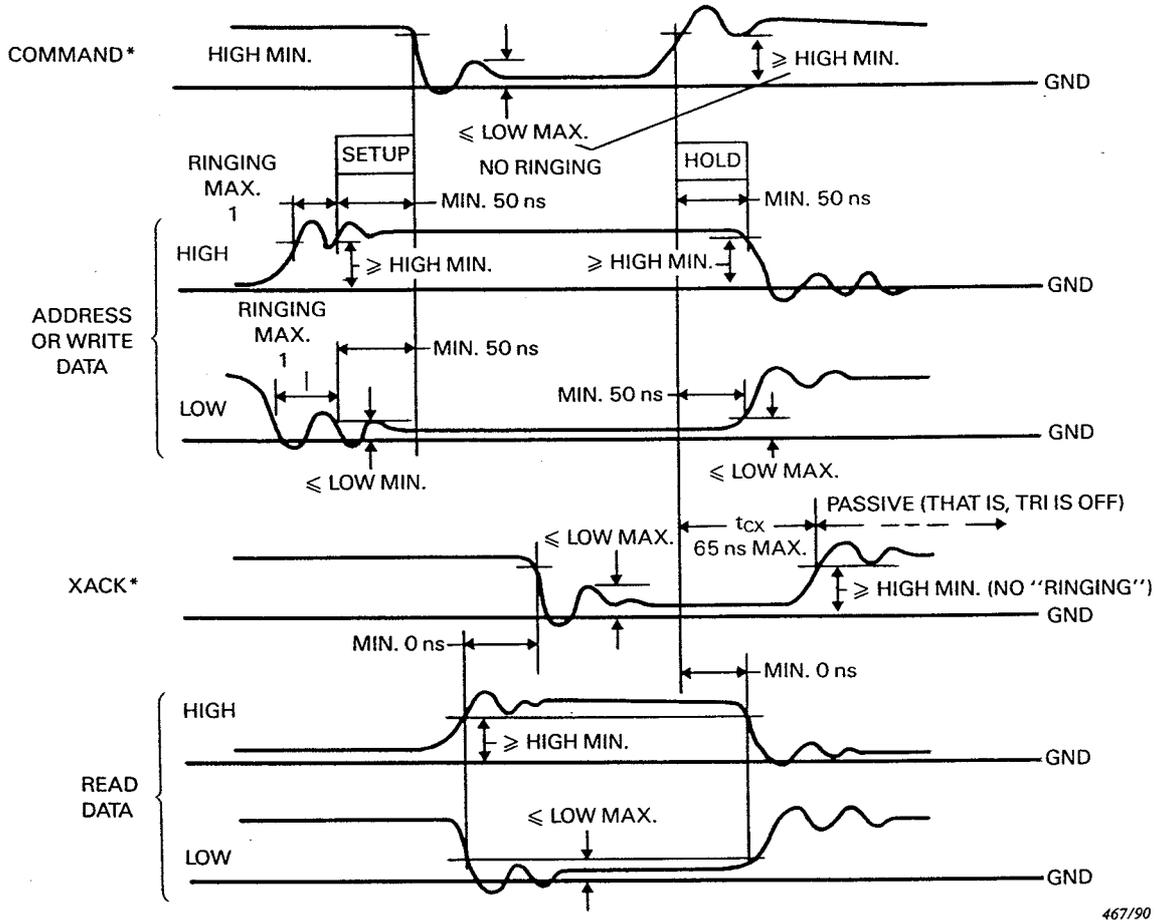


Fig. 16. - Résumé des conditions d'oscillations transitoires d'établissement, de maintien et de commande.



467/90

Fig. 16. - Setup, hold and command ringing summary.

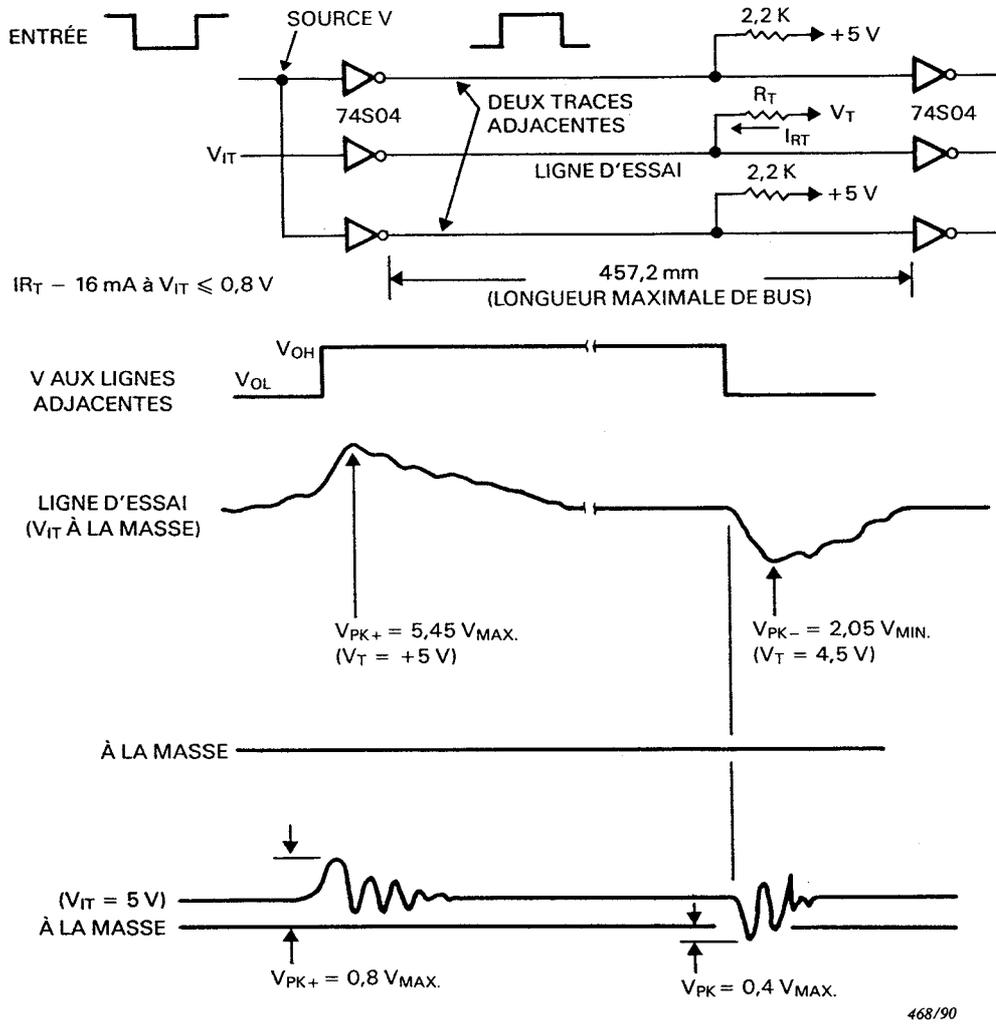


Fig. 17. - Caractéristiques de couplage ligne à ligne.

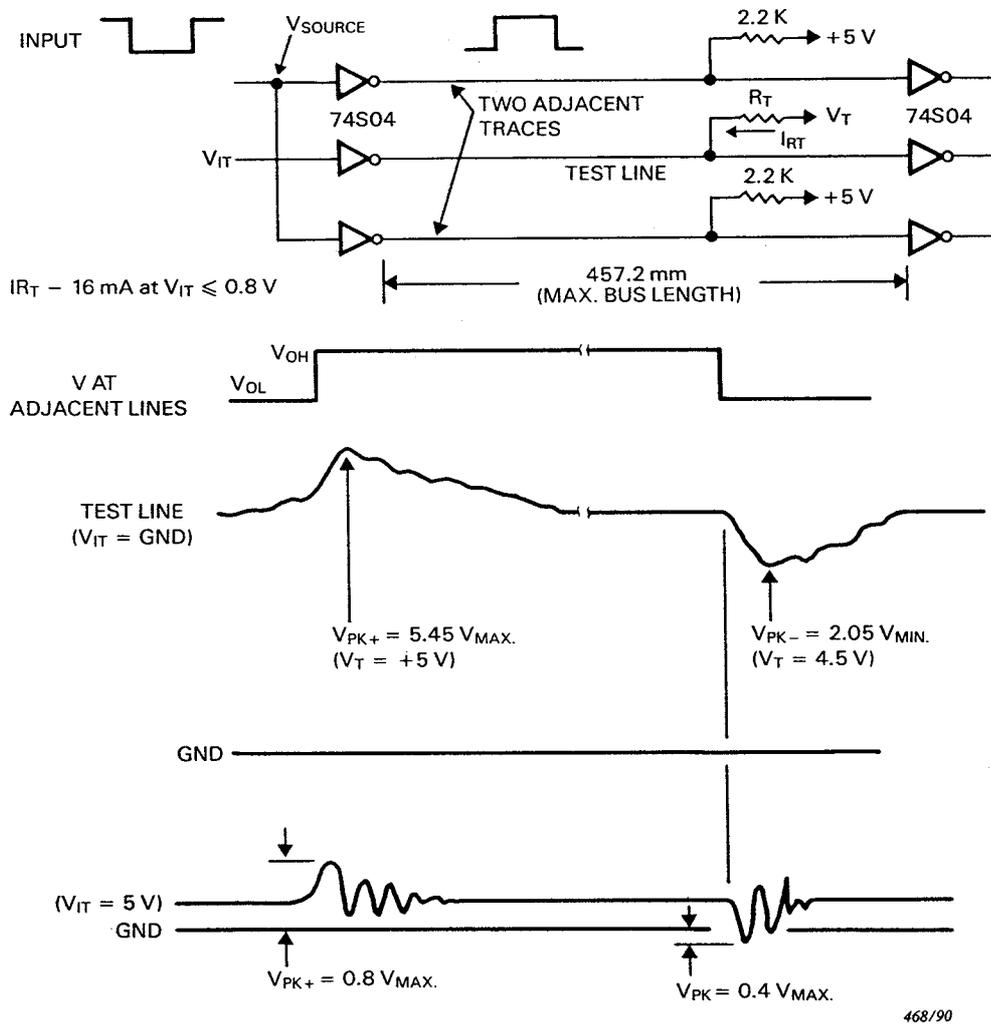


Fig. 17. - Line-to-line coupling characteristics.

Tableau I

Spécifications d'alimentation

Paramètres	Norme ¹⁾			
	Mise à la masse	+5	+12	-12
Mnémonique	GND	+5 V	+12 V	-12 V
Brochage du bus	P1-1, 2, 11, 12, 75, 76, 85, 86	P1-3, 4, 5, 6, 81, 82, 83, 84	P1-7, 8	P1-79, 80
Tolérance ²⁾	Réf.	4,9 à 5,2	11,8 à 12,5	-12,5 à (-11,8)
Régulation combinée secteur/charge	Réf.	1%	1%	1%
Ondulation (crête à crête) ³⁾	Réf.	50 mV	50 mV	50 mV
Réponse transitoire (modification de charge de 50%)		500 µs	500 µs	500 µs
<p>1) Le point de mesure est au point de connexion entre le fond du panier et l'alimentation.</p> <p>2) Comprend les effets dus à la ligne, la charge, la température et à l'ondulation résiduelle.</p> <p>3) A une bande passant de 5 MHz.</p>				

3.1.4 Température et humidité

Les spécifications du bus doivent en principe répondre à la température et à l'humidité dans les domaines suivants:

Température: de 0 °C à 55 °C (32 °F à 150 °F); air circulant librement entre les modules et le bus.

Humidité relative: 90% maximum (absence de condensation).

Cela représente un environnement normal pour le bus. Il est parfois nécessaire de créer des restrictions environnementales plus (ou moins) strictes dans certaines applications.

3.2 Chronologie

Le présent article décrit toutes les spécifications de synchronisation sur le bus système. Il ne présente aucune description ni relation fonctionnelle (qui sont données dans la section deux); cependant, cet article implique la fonctionnalité en mettant en relation deux signaux.

Le tableau II résume les spécifications de chronologie du présent article. En ce qui concerne les descriptions détaillées, se référer aux paragraphes spécifiques de la colonne de droite.

Les diagrammes de temps, indiqués dans cet article, figures 18 à 24, pages 88 à 94, montrent habituellement les valeurs minimales ou maximales requises pour chaque paramètre.

Table I
Power Supply Specifications

Parameter	Standard ¹⁾			
	Ground	+5	+12	-12
Mnemonic	GND	+5 V	+12 V	-12 V
Bus pins	P1-1, 2, 11, 12, 75, 76, 85, 86	P1-3, 4, 5, 6, 81, 82, 83, 84	P1-7, 8	P1-79, 80
Tolerance ²⁾	Ref.	4.9 to 5.2	11.8 to 12.5	-12.5 to (-11.8)
Combined line and Load regulation	Ref.	1%	1%	1%
Ripple (peak-to- peak) ³⁾	Ref.	50 mV	50 mV	50 mV
Transient Response (50% load change)		500 μ s	500 μ s	500 μ s
<p>1) Point of measurement is at the connection point between backplane and power supply.</p> <p>2) Includes line, load, temperature and residual ripple effects.</p> <p>3) At 5 MHz bandwidth.</p>				

3.1.4 Temperature and Humidity

Bus specifications shall be met with temperature and humidity within the following ranges:

Temperature: 0 °C to 55 °C (32 °F to 150 °F); free moving air across modules and bus.

Relative Humidity: 90% maximum (no condensation).

This represents a standard environment for the bus. It may be desirable to create more (or less) severe environmental restrictions in some applications.

3.2 Timing

This clause describes all timing specifications on the system bus. It does not present descriptions or functional relationships (which are given in Section Two); however, this clause does imply the functionality when relating two signals.

Table II summarizes the timing specifications in this clause. For detailed descriptions, refer to the specific sub-clause(s) in the right-hand column.

The timing diagrams shown in this clause, Figures 18 to 24, pages 85 to 95, usually show the minimum or maximum values required for each parameter.

Cependant, pour une meilleure clarté, les diagrammes dans cette norme ne comportent pas à la fois les paramètres minimaux et maximaux. Pour cette raison, les spécifications de chronologie du bus (tableau II) devront être consultées afin de constituer une information complète. Les diagrammes des temps montrent comment tous les paramètres sont définis, en relation avec les signaux impliqués. La chronologie est mesurée à 1,5 V avec une charge capacitive de Co et des terminaisons telles que spécifiées au tableau III.

Tableau II

Résumé des spécifications de chronologie du bus système

Paramètre	Description	Minimum	Maximum	Unité	Référence (paragraphes)
t_{AH}	Temps de maintien de l'adresse	50		ns	3.2.1 3.2.2 3.2.4
t_{AIZ}	Délai de l'adresse à l'invalidation à niveau haut	0	100	ns	3.2.3
t_{AS}	Temps d'établissement de l'adresse (à la plaque esclave)	50		ns	3.2.1 3.2.2 3.2.4
t_{BCY}	Période BCLK*	100	∞	ns	3.2.5
t_{BPRNO}	De BPRN* à BPRO*	0	30	ns	3.2.5
t_{BPRNS}	Temps d'établissement de BPRN* à \downarrow BCLK*	22		ns	3.2.5
t_{BPRO}	De \downarrow BCLK* à BPRO*	0	40	ns	3.2.5
t_{BREQH}	Délai de \downarrow BCLK* à BREQ* à niveau haut	0	35	ns	3.2.5
t_{BREQL}	Délai de \downarrow BCLK* à BREQ* à niveau bas	0	35	ns	3.2.5
t_{BSYO}	CBRQ* et BUSY* à \uparrow BUSY*	-	12	μ s	3.2.5
t_{BUSY}	Retard de BUSY* par rapport à \downarrow BCLK*	0	70	ns	3.2.5
t_{BUSYS}	Temps d'établissement de BUSY* à \downarrow BCLK*	25		ns	3.2.5
t_{BW}	Largeur BCLK*	$0,35 t_{BCY}$	$0,65 t_{BCY}$		3.2.5
t_{CBRO}	De \downarrow BCLK* à CBRQ*	0	60	ns	3.2.5
t_{CBRQS}	Temps d'établissement de CBRQ* à \downarrow BCLK*	35		ns	3.2.5
t_{CCY}	Période CCLK*	100	110	ns	3.2.6
t_{CMD}	Largeur d'impulsion de commande	100	t_{TOUT}	ns	3.2.1 3.2.2
t_{CMPH}	Temps de maintien de commande	20		ns	3.2.1 3.2.2
t_{CPM}	Délai de résolution du module central prioritaire (priorité en parallèle)	0	$t_{BCY} - t_{BREQ}$ $- 2 t_{PD}$ $- t_{BPRNS}$ $- t_{SKEW}$		3.2.5

(Suite à la page 82)

However, for clarity, the diagrams in this Standard do not usually show both the minimum and maximum parameters. For this reason, the bus timing specification (Table II) should be referenced for complete information. The timing diagrams show how all of the parameters are defined in relation to the signals involved. All timing is measured at 1.5 V with loading capacitance of C_o and terminations as specified in Table III.

Table II
System Bus Timing Specifications Summary

Parameter	Description	Minimum	Maximum	Units	Reference (sub-clause)
t_{AH}	Address hold time	50		ns	3.2.1 3.2.2 3.2.4
t_{AIZ}	Address to inhibit high delay	0	100	ns	3.2.3
t_{AS}	Address set-up time (at slave board)	50		ns	3.2.1 3.2.2 3.2.4
t_{BCY}	BCLK* period	100	∞	ns	3.2.5
t_{BPRNO}	BPRN* to BPRO*	0	30	ns	3.2.5
t_{BPRNS}	BPRN* to \downarrow BCLK* set-up time	22		ns	3.2.5
t_{BPRO}	\downarrow BCLK* to BPRO*	0	40	ns	3.2.5
t_{BREQH}	\downarrow BCLK* to BREQ* high delay	0	35	ns	3.2.5
t_{BREQL}	\downarrow BCLK* to BREQ* low delay	0	35	ns	3.2.5
t_{BSYO}	CBRQ* and BUSY* to \uparrow BUSY*	-	12	μ s	3.2.5
t_{BUSY}	BUSY* delay from \downarrow BCLK*	0	70	ns	3.2.5
t_{BUSYS}	BUSY* to \downarrow BCLK* set-up time	25		ns	3.2.5
t_{BW}	BCLK* width	$0.35 t_{BCY}$	$0.65 t_{BCY}$		3.2.5
t_{CBRO}	\downarrow BCLK* to CBRQ*	0	60	ns	3.2.5
t_{CBRQS}	CBRQ* to \downarrow BCLK* set-up time	35		ns	3.2.5
t_{CCY}	CCLK* period	100	110	ns	3.2.6
t_{CMD}	Command pulse width	100	t_{TOUT}	ns	3.2.1 3.2.2
t_{CMPH}	Command hold time	20		ns	3.2.1 3.2.2
t_{CPM}	Central priority module resolution delay (parallel priority)	0	$t_{BCY} - t_{BREQ}$ $- 2 t_{PD}$ $- t_{BPRNS}$ $- t_{SKEW}$		3.2.5

(Continued on page 83)

Tableau II (fin)

Paramètre	Description	Minimum	Maximum	Unité	Référence (paragraphe)
t_{CSEP}	Séparation de commande	100		ns	3.2.4 3.2.6
t_{CW}	Largeur CCLK*	$0,35 t_{CCY}$	$0,65 t_{CCY}$	ns	3.2.6
t_{DHR}	Temps de maintien de la donnée de lecture	0	65	ns	3.2.1 3.2.4
t_{DHW}	Temps de maintien de la donnée d'écriture	50		ns	3.2.2
t_{DS}	Temps d'établissement de la donnée d'écriture	50		ns	3.2.2
t_{DXL}	Temps d'établissement de la donnée de lecture à XACK*	0		ns	3.2.1 3.2.4
t_{IAD}	XACK* inutilisable depuis l'invalidation (paramètre interne sur un esclave invalidé; utilisé pour déterminer t_{XACKA} min.)	0	100 (arbitraire)	ns	3.2.3
t_{ID}	Délai d'invalidation	0	100 (recommandé: <100 ns)	ns	3.2.3
t_{INIT}	Largeur INIT*	5		ms	3.2.6
t_{INTA}	Largeur INTA*	250		ns	3.2.4
t_{ICKH}	Temps de maintien de LOCK* depuis l'activation de la commande	100		ns	3.2.6
t_{ICKS}	Temps d'établissement de LOCK* à l'instruction	100		ns	3.2.6
t_{LOCK}	Largeur LOCK*		12	µs	3.2.6
t_{OUT}	Limite du temps d'occupation du bus	1	dc (∞)	ms	
$t_{PD}(typ)$	Délai de propagation normale du bus		3	ns	3.1.2 3.2.5
t_{SKEW}	Obliquité BCLK*		t_{PD}		3.2.5
t_{XACK}	Durée XACK* (pour les esclaves sans fonction d'invalidation)	0	8	µs	3.2.1 3.2.2 3.2.4
t_{XACKA}	Durée XACK* d'un esclave invalidé	$t_{IAD} + 50$ ns	1 500	ns	3.2.3
t_{XACKB}	Durée XACK* d'un esclave invalideur	1 500	8 000	ns	3.2.3
t_{XAH}	Temps de maintien de XACK*	0	65	ns	3.2.1 3.2.2 3.2.4
Priorité en série	Voir le paragraphe 3.2.5.1				

Table II (concluded)

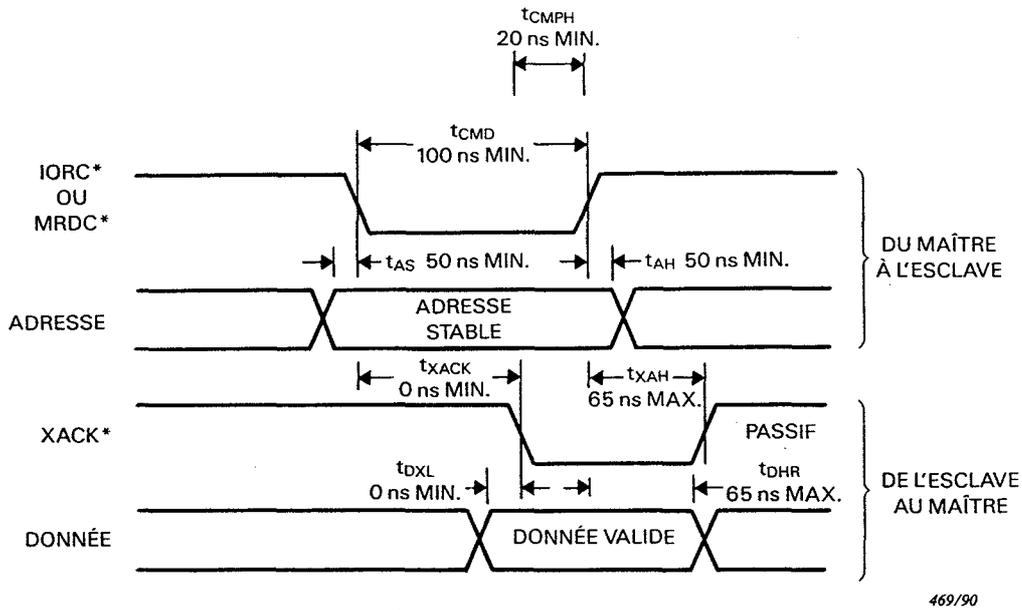
Parameter	Description	Minimum	Maximum	Units	Reference (sub-clause)
t_{CSEP}	Command separation	100		ns	3.2.4 3.2.6
t_{CW}	CCLK* width	$0.35 t_{CCY}$	$0.65 t_{CCY}$	ns	3.2.6
t_{DHR}	Read Data Hold Time	0	65	ns	3.2.1 3.2.4
t_{DHW}	Write Data Hold Time	50		ns	3.2.2
t_{DS}	Write Data Set-up Time	50		ns	3.2.2
t_{DXL}	Read Data Set-up Time to XACK*	0		ns	3.2.1 3.2.4
t_{IAD}	XACK* Disable from Inhibit (internal parameter on an inhibited slave: used to determine t_{XACKA} min.)	0	100 (arbitrary)	ns	3.2.3
t_{ID}	Inhibit Delay	0	100 (recommend <100 ns)	ns	3.2.3
t_{INIT}	INIT* width	5		ms	3.2.6
t_{INTA}	INTA* width	250		ns	3.2.4
t_{LCKH}	LOCK* Hold Time from Command active	100		ns	3.2.6
t_{LCKS}	LOCK* to command set-up time	100		ns	3.2.6
t_{LOCK}	LOCK* width		12	μ s	3.2.6
t_{OUT}	Timeout Delay	1	dc (∞)	ms	
$t_{PD}(typ)$	Standard Bus Propagation Delay		3	ns	3.1.2 3.2.5
t_{SKEW}	BCLK* skew		t_{PD}		3.2.5
t_{XACK}	XACK* time (for slaves without inhibit function)	0	8	μ s	3.2.1 3.2.2 3.2.4
t_{XACKA}	XACK* time of an Inhibited Slave	$t_{IAD} + 50$ ns	1 500	ns	3.2.3
t_{XACKB}	XACK* time of an Inhibiting Slave	1 500	8 000	ns	3.2.3
t_{XAH}	XACK* Hold Time	0	65	ns	3.2.1 3.2.2 3.2.4
Serial Priority	See Sub-clause 3.2.5.1				

3.2.1 Opérations de lecture (E/S et mémoire)

Une opération de lecture transfère la donnée de la mémoire ou de l'entrée/sortie au maître en train de contrôler le bus (voir l'article 2.2). Les lignes impliquées et les spécifications de chronologie d'une opération de lecture sont indiquées à la figure 18. Voir l'opération d'invalidation spéciale dans le paragraphe 3.2.3.

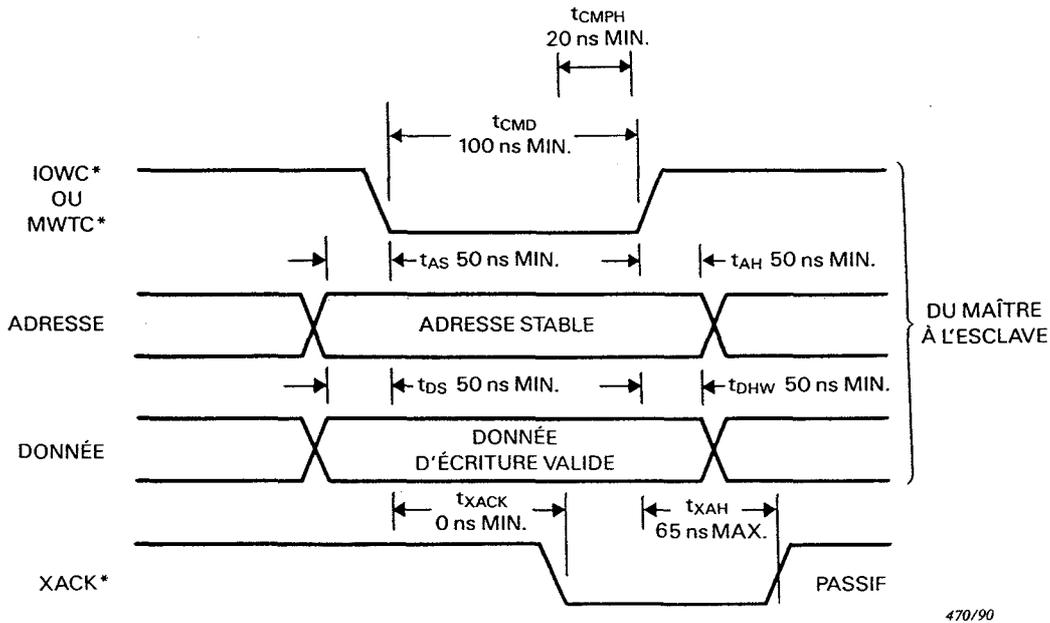
3.2.2 Opérations d'écriture (E/S et mémoire)

Une opération d'écriture transfère la donnée du maître commandant le bus à la mémoire ou à l'E/S (voir l'article 2.2). La chronologie d'une opération d'écriture est indiquée à la figure 19. Voir le paragraphe 3.2.3 en ce qui concerne les opérations d'invalidation.



469/90

Fig. 18. - Synchronisation CA de lecture.



470/90

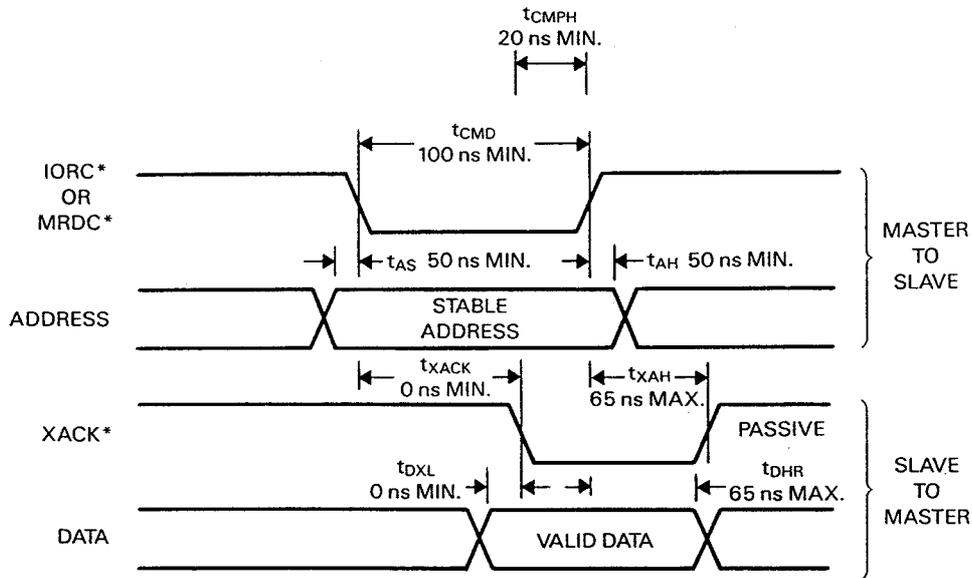
Fig. 19. - Synchronisation CA d'écriture.

3.2.1 Read Operations (I/O and Memory)

A read operation transfers data from memory or from I/O to the master that is controlling the bus (see Clause 2.2). The lines involved and timing specifications for a read operation are shown in Figure 18. See the special inhibit operation in Sub-clause 3.2.3.

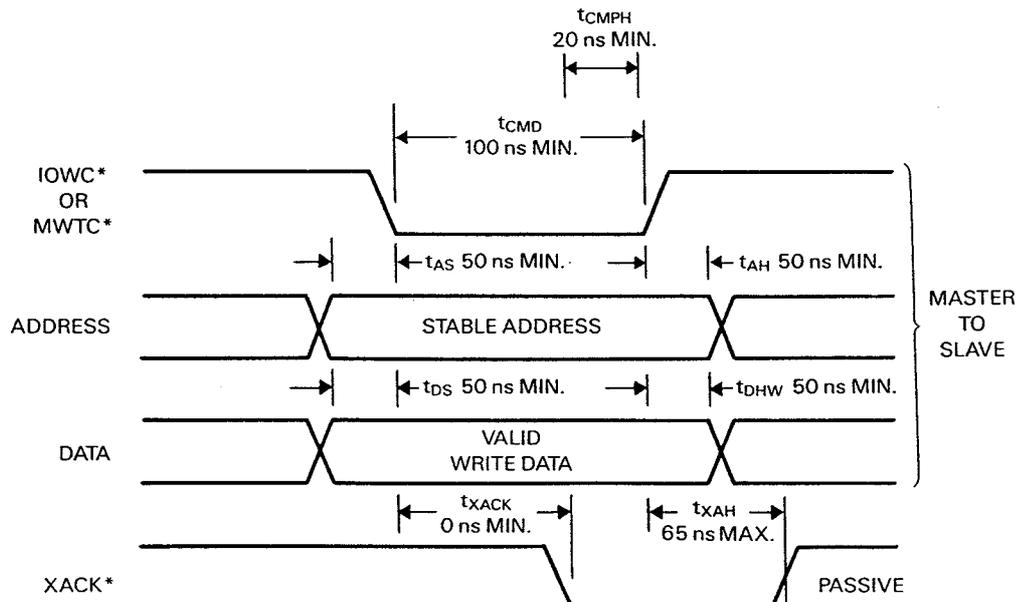
3.2.2 Write Operations (I/O and Memory)

A write operation transfers data from the master controlling the bus to memory or I/O (see Clause 2.2). Timing for a write operation is shown in Figure 19. See Sub-clause 3.2.3 for inhibit operations.



469/90

Fig. 18. - Read AC timing.



470/90

Fig. 19. - Write AC timing.

3.2.3 Opérations d'invalidation

Une opération d'invalidation peut accompagner n'importe quelle opération de lecture de mémoire ou d'écriture de mémoire. Son principal effet consiste pour un esclave à invalider un autre esclave pour la commande des lignes de données et le renvoi de l'accusé de réception (XACK*). Les adresses E/S ne peuvent pas être invalidées. Bien que les signaux d'invalidation puissent être générés durant les opérations IORC*, IOWC*, ou INTA*, ces signaux sont ignorés des autres esclaves (y compris l'esclave qui doit répondre à INTA*, IORC* ou IOWC*). La synchronisation d'invalidation est illustrée à la figure 20. Les paragraphes concernés sont:

	Paragraphe ou article
Descriptions fonctionnelles	2.1.3.2.3
Résumé des spécifications de synchronisation	3.2
Opérations de lecture	3.2.1
Opérations d'écriture	3.2.2
Réalisations du système d'interruption	3.2.4

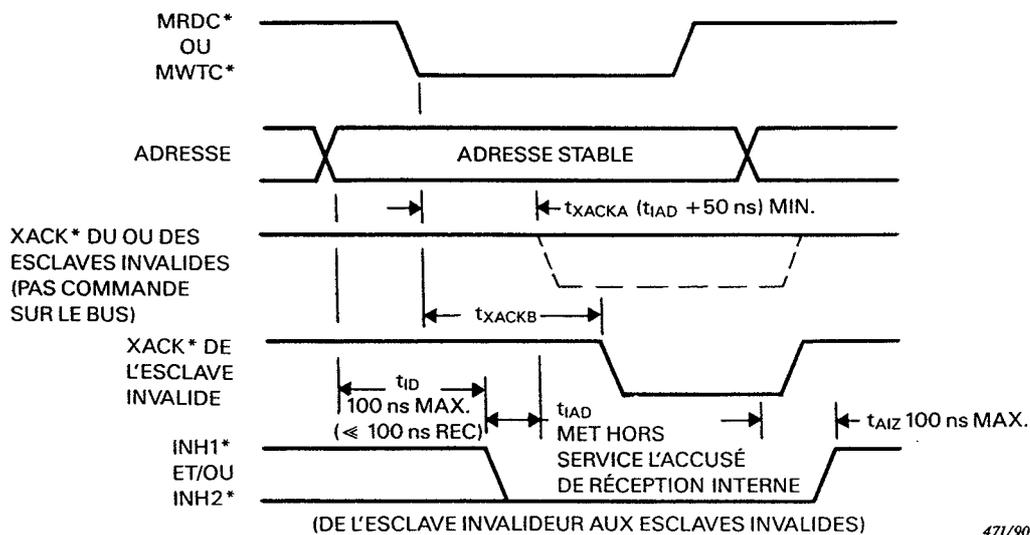


Fig. 20. - Chronologie CA d'invalidation.

3.2.4 Réalisations du système d'interruption

Il y a deux types de réalisations de systèmes d'interruption: vectorisées autrement que par le bus (NBV) et vectorisées par le bus (BV).

3.2.3 *Inhibit Operations*

An inhibit operation may accompany any memory read or memory write operation. The main effect is for one slave to inhibit another slave from driving the data lines and from returning (driving) an acknowledge (XACK*). I/O addresses cannot be inhibited. Although inhibit signals may be generated during IORC*, IOWC*, or INTA* operations, these signals are ignored by other slaves (including the slave that should respond to the INTA*, IORC*, or IOWC*). Inhibit timing is as illustrated in Figure 20. Related sub-clauses are:

	Sub-clause or clause
Functional Descriptions	2.1.3.2.3
Timing Specification Summary	3.2
Read Operations	3.2.1
Write Operations	3.2.2
Interrupt Implementations	3.2.4

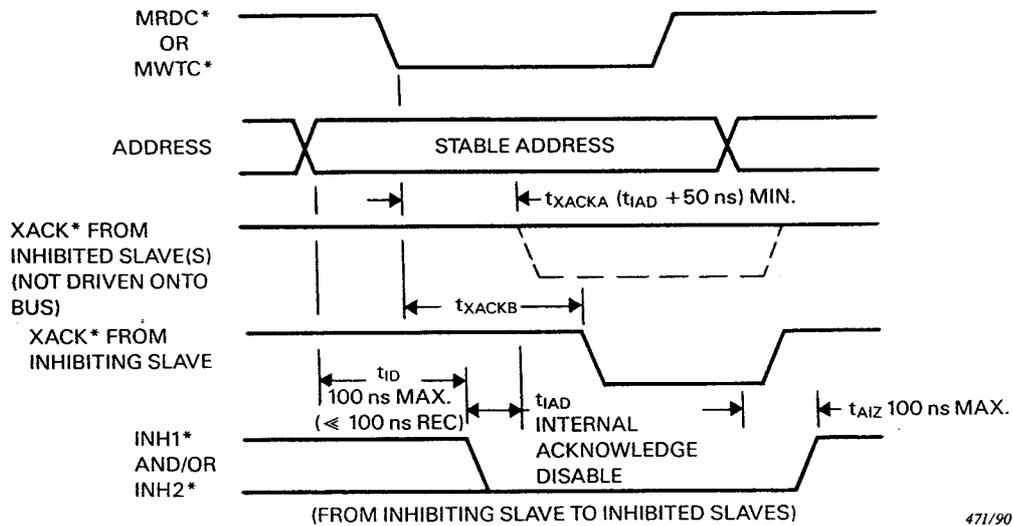


Fig. 20. - Inhibit AC timing.

3.2.4 *Interrupt Implementations*

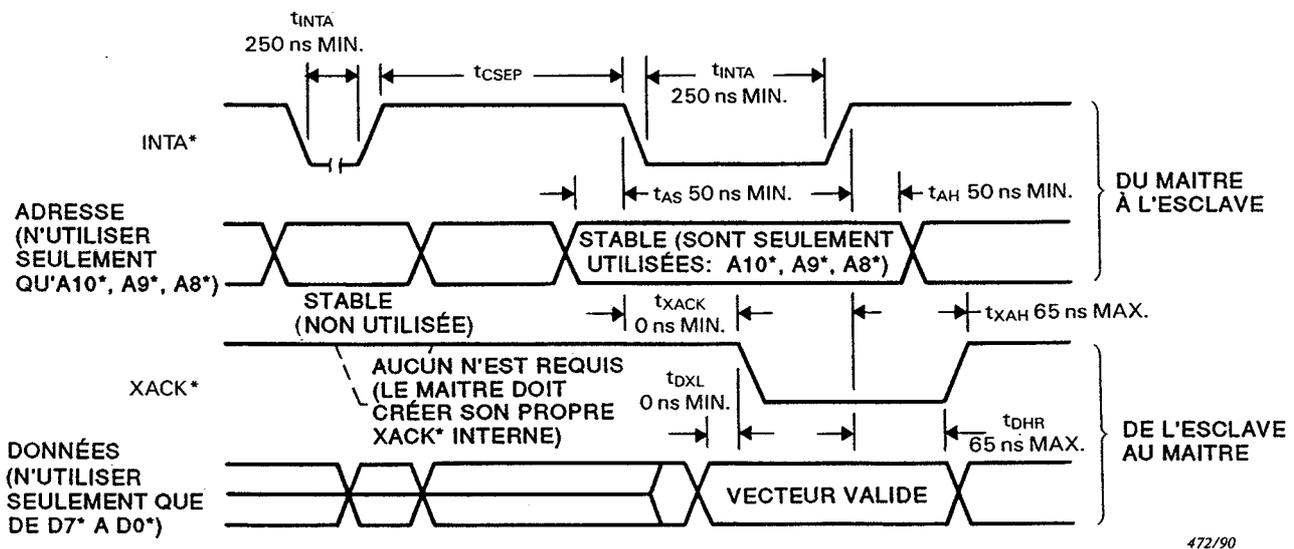
There are two types of interrupt implementation schemes: Non-Bus Vectored (NBV) and Bus Vectored (BV).

3.2.4.1 Interruptions NBV

Les interruptions NBV sont traitées par le maître du bus et ne nécessitent pas le bus système pour le transfert d'une adresse vectorisée d'interruption. Les modules esclaves engendrant les interruptions peuvent résider sur le module maître ou sur les autres modules de bus, auquel cas ils utilisent les lignes de demande d'interruption du bus du système (INT0*-INT7*) pour générer les demandes d'interruption au maître du bus. Quand une ligne de demande d'interruption est activée, le maître du bus exécute ses propres opérations internes d'interruption et traite l'interruption.

3.2.4.2 Interruptions BV

Les interruptions BV sont des interruptions qui transfèrent l'adresse vectorisée d'interruption sur le bus système, de l'esclave au maître du bus, en réponse au signal de INTA*. La chronologie des interruptions BV est indiquée à la figure 21.



472/90

Fig. 21. - Chronologie CA d'interruption vectorisée par bus (BV).

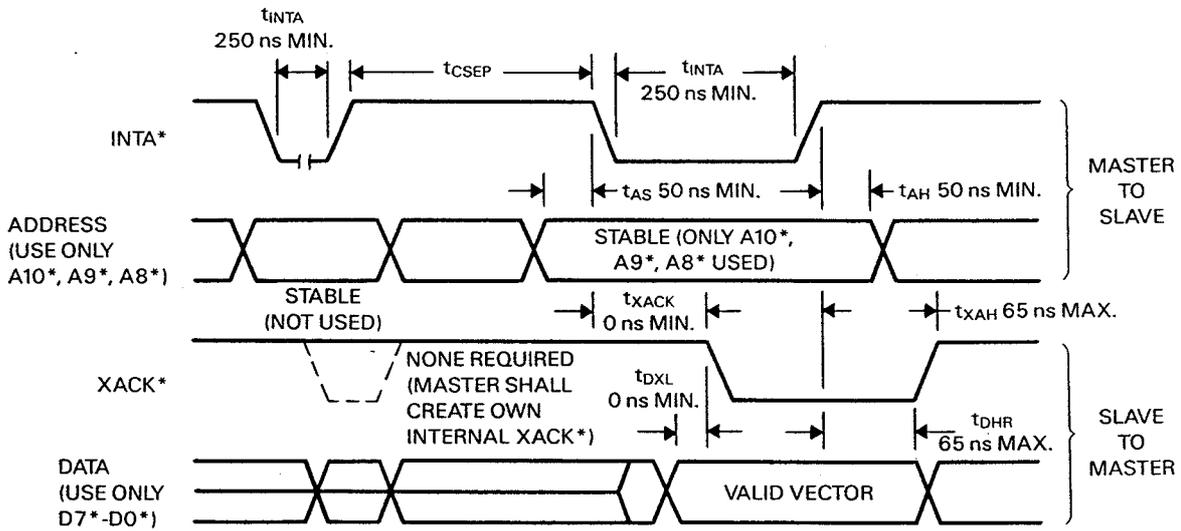
Quand une demande d'interruption se produit, la logique de gestion d'interruption sur le maître du bus interrompt son processeur. Le processeur sur le maître du bus engendre une instruction INTA*, qui gèle l'état de la logique d'interruption sur le bus système pour la résolution des priorités. Le maître du bus bloque aussi le bus système (retient le bus entre deux cycles de bus) pour se garantir pour lui-même des cycles de bus "back-to-back". Après la première instruction INTA*, la logique de gestion d'interruption du maître du bus met un code d'interruption sur les lignes d'adresses du bus système. Le code d'interruption est l'adresse de la ligne de demande d'interruption active de plus haute priorité. A ce stade de la procédure d'interruption BV, il peut se produire deux séquences différentes. Cette différence est due au fait que le bus système peut accepter des maîtres qui génèrent aussi bien deux ou trois instructions INTA* durant le traitement des interruptions.

3.2.4.1 NBV Interrupts

NBV interrupts are handled on the bus master and do not require the system bus for transfer of an interrupt vector address. The slave modules generating the interrupts may reside on the master module or on other bus modules, in which case they use the system bus interrupt request lines (INT0*-INT7*) to generate interrupt requests to the bus master. When an interrupt request line is activated, the bus master performs its own internal interrupt operations and then processes the interrupt.

3.2.4.2 BV Interrupts

BV interrupts are those interrupts that transfer the interrupt vector address along the system bus from the slave to the bus master in response to the INTA* command signal. BV interrupt timing is shown in Figure 21.



472/90

Fig. 21. - Bus vectored (BV) interrupt AC timing.

When an interrupt request occurs, the interrupt control logic on the bus master interrupts its processor. The processor on the bus master generates an INTA* command, which freezes the state of the interrupt logic on the system bus for priority resolution. The bus master also locks the system bus (retains the bus between bus cycles) to guarantee itself back-to-back bus cycles. After the first INTA* command, the bus master's interrupt control logic puts an interrupt code onto the system bus address lines. The interrupt code is the address of the highest priority active interrupt request line. At this point in the BV interrupt procedure, two different sequences could take place. The difference occurs because the system bus can support masters that generate either two or three INTA* commands during the interrupt process.

Si un maître de bus engendre deux instructions INTA*, une instruction INTA* supplémentaire sera engendrée. Cette deuxième INTA* pousse la logique de commande d'interruption de l'esclave du bus à transmettre son adresse de vecteur d'interruption sur les lignes de données du bus système. L'adresse est utilisée par le maître du bus pour traiter l'interruption.

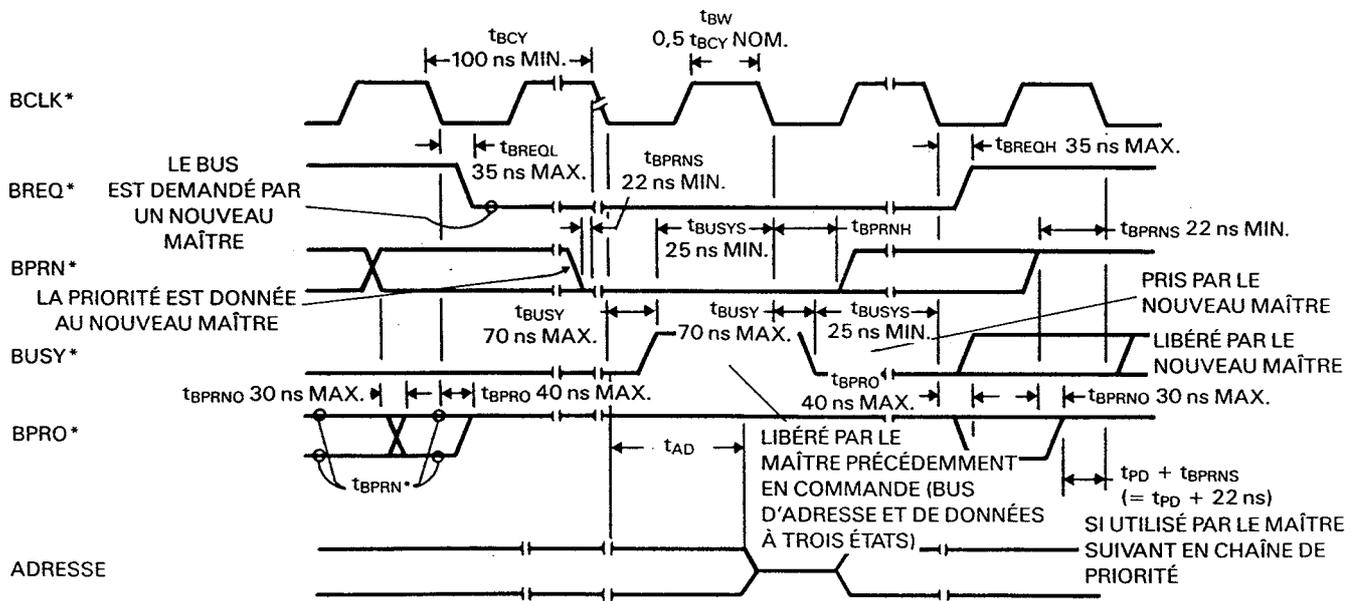
Si un maître de bus génère trois instructions INTA*, deux INTA* supplémentaires seront engendrées. Ces deux nouvelles commandes INTA* permettent à l'esclave du bus de mettre ses adresses vectorisées d'interruption à 2 octets sur les lignes de données (un octet pour chaque instruction INTA*). L'adresse vectorisée d'interruption est utilisée par le maître du bus pour traiter l'interruption.

Note.- Le bus système ne peut prendre en charge qu'un seul type d'interruption BV dans un système donné. Cependant, il peut exploiter les interruptions BV et NBV en même temps. Les interruptions BV et NBV sont traitées dans les paragraphes 2.3.2.2 et 3.2.4.

3.2.5 Permutation de commande du bus

Une permutation de commande du bus enlève la commande du bus (c'est-à-dire la capacité d'effectuer les opérations de lecture, d'écriture et les accusés de réception d'interruption) à un maître pour la donner à un autre maître. Se reporter à l'article 2.4 pour une description fonctionnelle de ce traitement.

Les spécifications de temps de la figure 22 s'appliquent à un maître qui n'utilise pas le signal du bus CBRQ* (demande commune de bus).



Note.- Utiliser t_{PD}, délai de propagation de bus, dans tous les calculs du système.

Fig. 22. - Chronologie CA de permutation de commande bus.

If the bus master generates two INTA* commands, one more INTA* command will be generated. This second INTA* causes the bus slave interrupt control logic to transmit its interrupt vector address on the system bus data lines. The address is used by the bus master to service the interrupt.

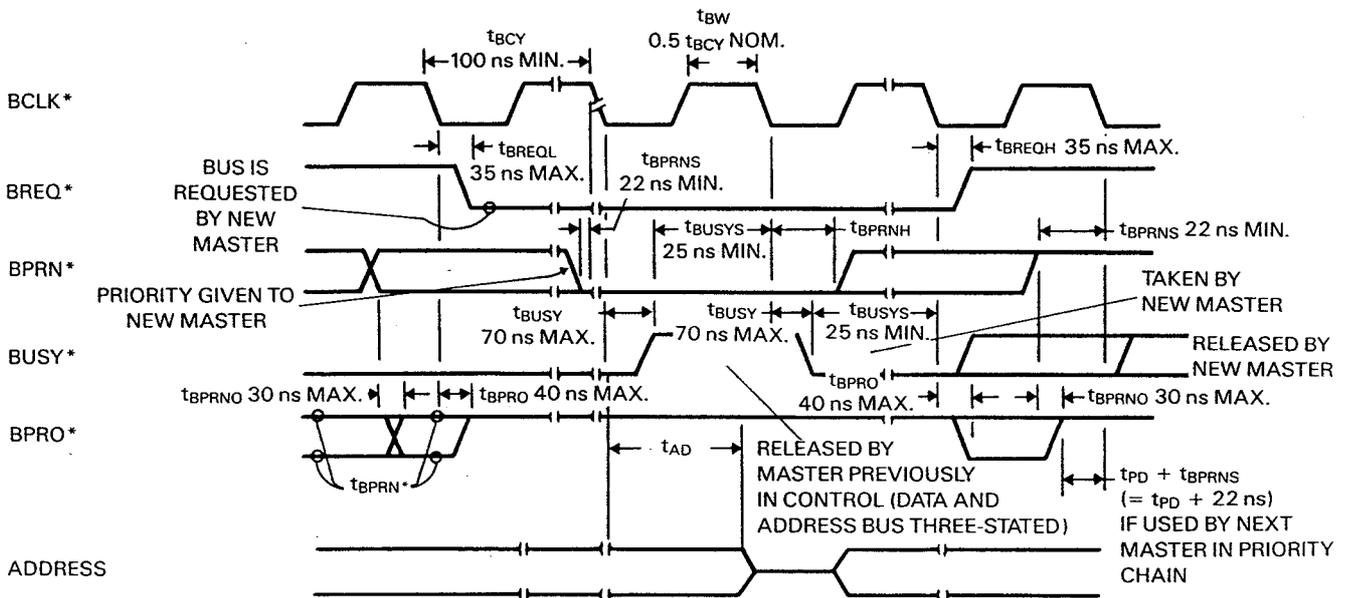
If the bus master generates three INTA* commands, two more INTA* commands will be generated. These two INTA* commands allow the bus slave to put its 2-byte interrupt vector address onto the data lines (one byte for each INTA* command). The interrupt vector address is used by the bus master to service the interrupt.

Note.- The system bus can support only one type of BV interrupt in a given system. However, it can support both BV and NBV interrupts in the same system. BV and NBV interrupts are dealt with in Sub-clauses 2.3.2.2 and 3.2.4.

3.2.5 Bus Control Exchanges

A bus control exchange takes control of the bus (i.e. the ability to do read, write, and interrupt acknowledge operations) from one master and gives it to another master. See Clause 2.4 for a functional description of this process.

For a master that does not use the bus signal CBRQ* (Common Bus Request), the timing specifications in Figure 22 apply.



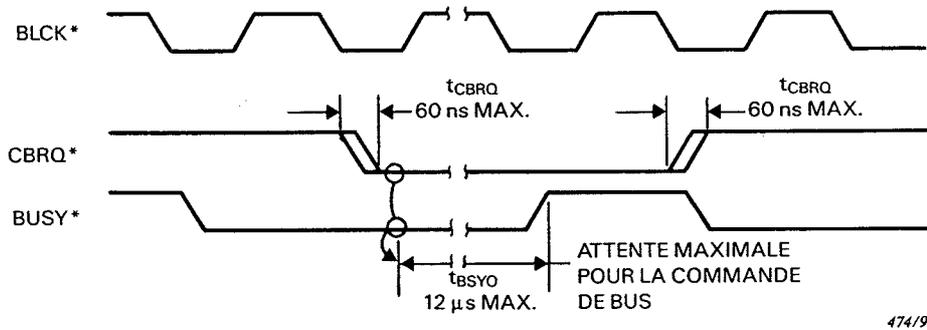
Note.- Use t_{PD} , Bus Propagation Delay, in all system calculations.

Fig. 22. - Bus exchange AC timing.

Dans un système utilisant CBRQ* (demande commune de bus), chaque maître doit aussi satisfaire aux exigences de temps illustrées à la figure 23. A noter qu'avant de "libérer le bus" (c'est-à-dire libérer BUSY*), les temps de maintien, etc., de tout cycle se terminant doivent correspondre à ceux décrits dans les paragraphes précédents. De même, après "la prise du bus" (c'est-à-dire commander BUSY* à niveau bas), il est nécessaire de satisfaire à tous les temps d'établissement appropriés et autres paramètres de chronologie pour un cycle commençant juste à ce moment.

3.2.5.1 Priorité en série

Pour un système utilisant la priorité en série (c'est-à-dire une chaîne d'arbitrage série de BPRO* à BPRN*(s) (voir l'article 2.4), appliquer les spécifications de synchronisation de la figure 24, page 94.



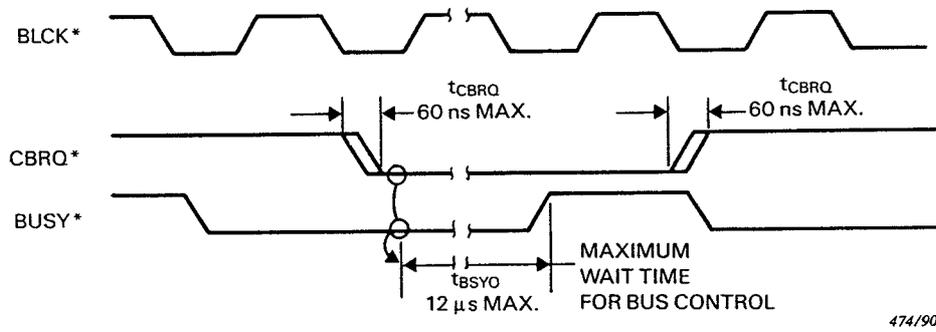
Note.- Utiliser t_{pd} , délai de propagation de bus, dans tous les calculs du système.

Fig. 23. - Synchronisation CA de demande commune de bus.

For a system using CBRQ* (Common Bus Request), each master shall also satisfy the timing requirements illustrated in Figure 23. Note that before "releasing the bus" (i.e. releasing BUSY*), the hold times, etc., of any ending cycle shall still be met as described in the previous sub-clauses. Likewise, after "taking the bus" (i.e. driving BUSY* low), it is necessary to satisfy all applicable set-up and other timing parameters for a cycle just beginning.

3.2.5.1 Serial Priority

For a system that uses a serial priority scheme (i.e. daisy-chain BPRO*s to BPRN*s) (see Clause 2.4), the timing specifications in Figure 24, page 95, apply.



Note.- Use t_{pd} , Bus Propagation Delay, in all system calculations.

Fig. 23. - Common bus request AC timing.

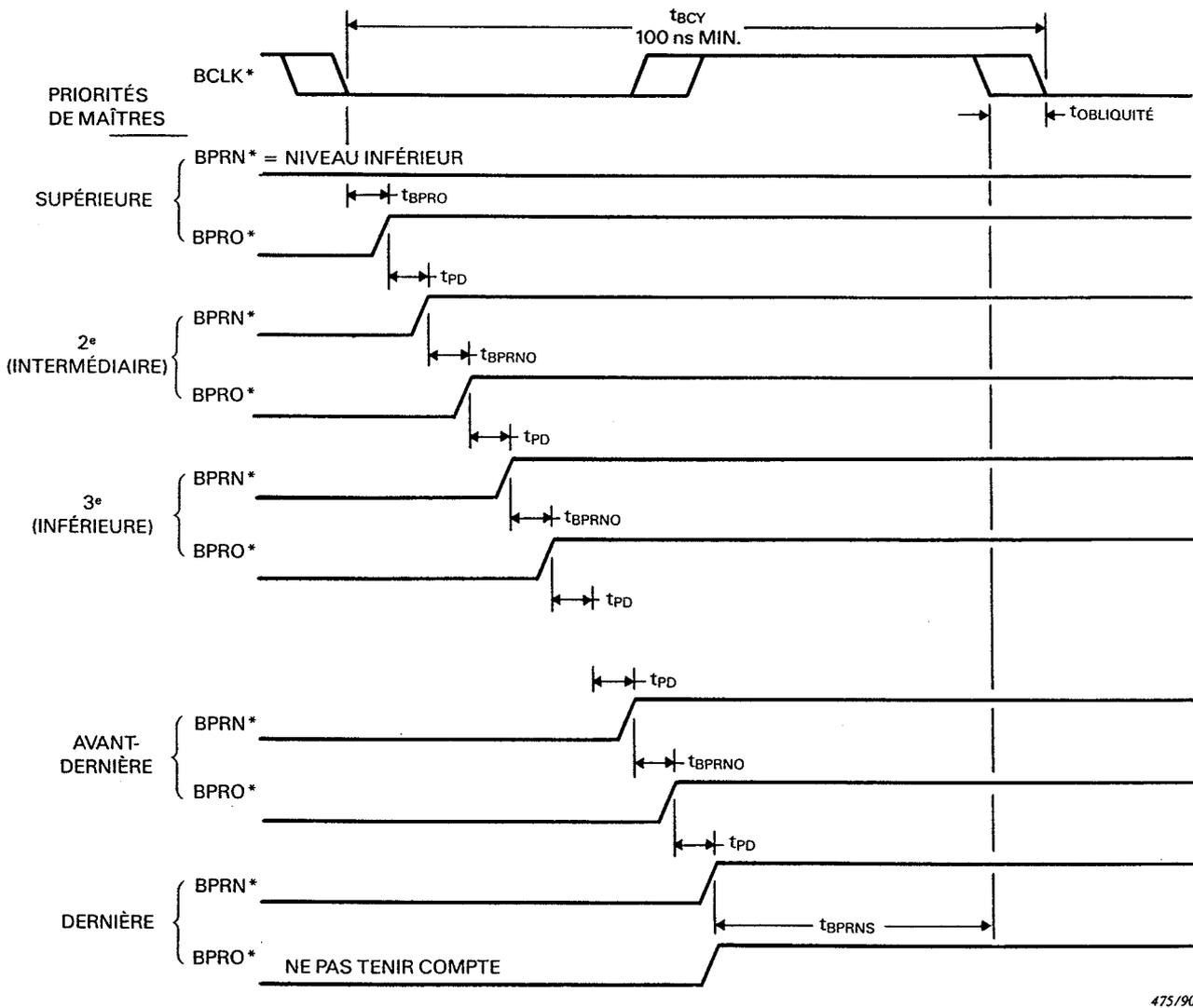


Fig. 24. - Synchronisation CA des priorités en série.

3.2.5.2 Priorité en parallèle

Pour un système utilisant la priorité en parallèle (c'est-à-dire une résolution centrale de priorité) (voir l'article 2.4), les spécifications de synchronisation pour le système et pour le CPM (Module central prioritaire) de la figure 25, page 96, s'appliquent.

3.2.6 Chronologies diverses

Les diagrammes de temps des figures 26, 27, 28 et 29, pages 96 et 98, montrent respectivement la synchronisation de l'horloge constante (CCLK*), de la séparation de commande (t_{CSEP}), de l'initialisation (t_{INIT}) et du blocage (LOCK*).

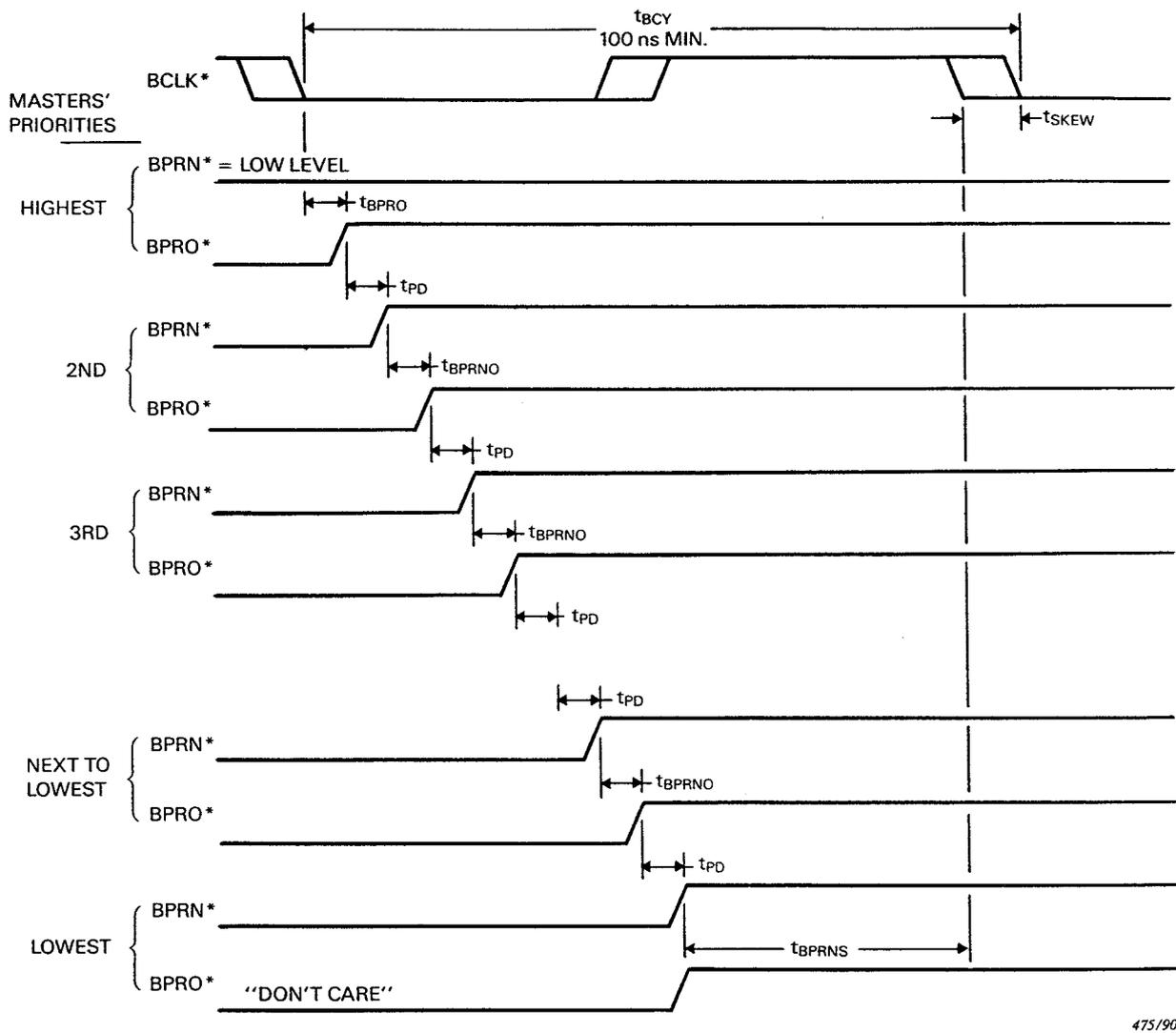


Fig. 24. - Serial priority AC timing.

3.2.5.2 Parallel Priority

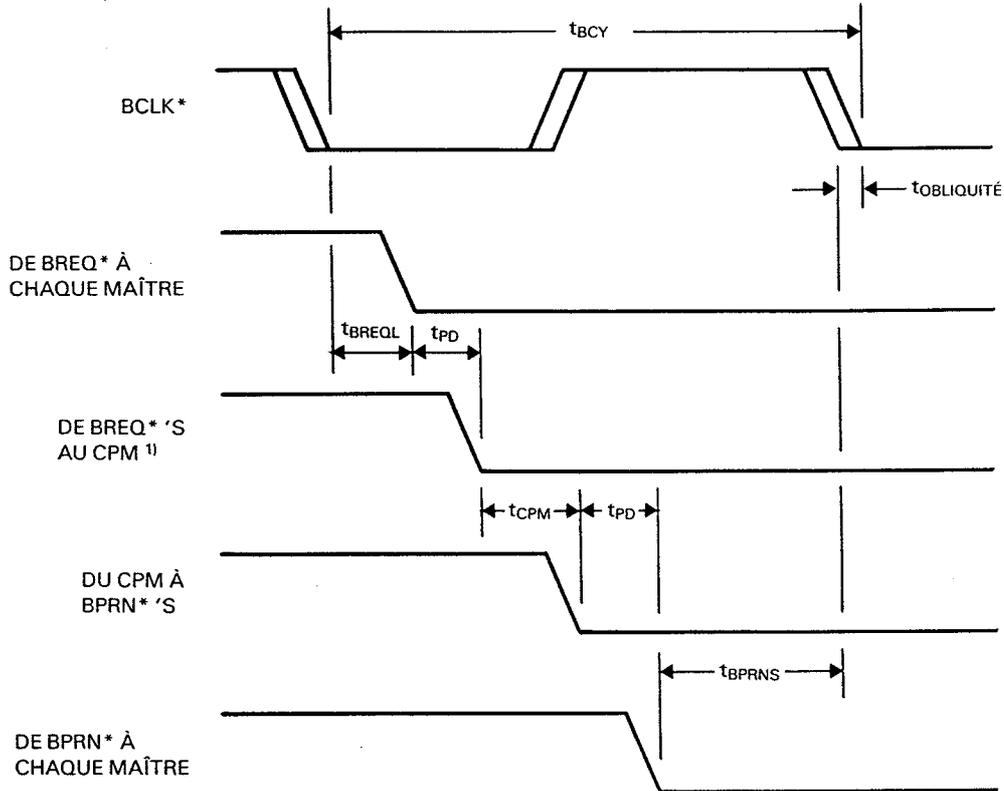
For a system that uses a parallel priority scheme (i.e. a central priority resolver) (see Clause 2.4) the system and CPM (Central Priority Module) timing specifications of Figure 25, page 97, apply.

3.2.6 Miscellaneous Timing

The timing diagrams in Figures 26, 27, 28 and 29, pages 97 and 99, show the timing of Constant Clock (CCLK*), Command Separation (t_{CSEP}), Initialize (t_{INIT}) and Lock (LOCK*), respectively.

3.3 Récepteurs, circuits de commande et terminaisons

Des spécifications, autres que celles de chronologie propres à chaque ligne de signal ou chaque groupe de lignes de signaux sont présentées au tableau III. Sont indiquées les exigences relatives aux récepteurs de ligne de signal, aux circuits de commande et aux terminaisons de bus, de même que les emplacements du récepteur, du circuit de commande et de la terminaison de chaque signal.



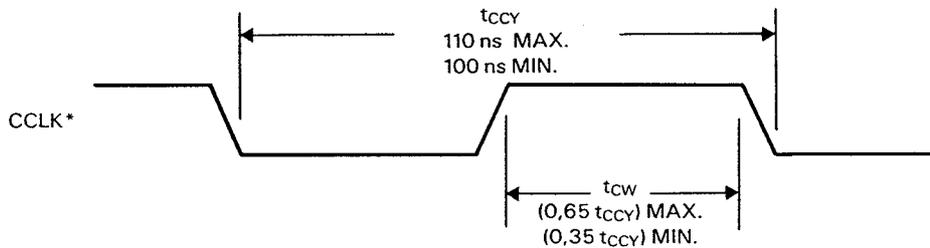
SPÉCIFICATIONS:

$$t_{CPM\text{MAX}} \leq t_{BCY\text{MIN}} - t_{BREQ\text{MAX}} - 2t_{PD\text{MAX}} - t_{BPRNS\text{MAX}} - t_{OBLIQUITÉ\text{MAX}}$$

1) CPM = MODULE CENTRAL DE PRIORITÉ

476/90

Fig. 25. - Chronologie CA de priorité en parallèle.

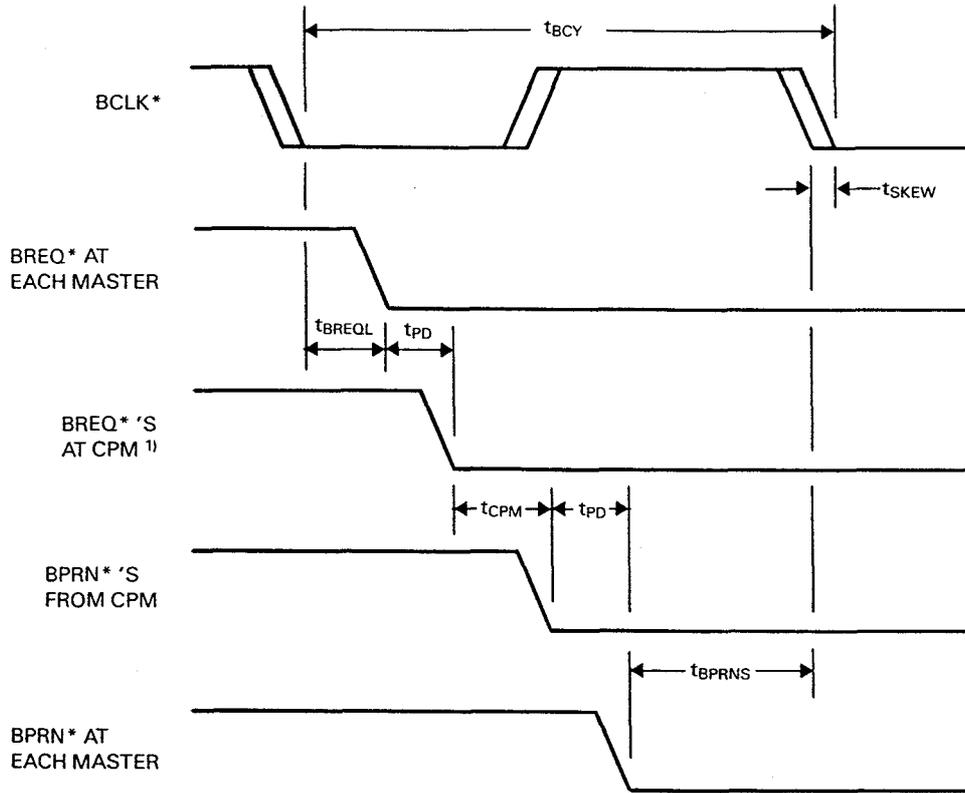


477/90

Fig. 26. - Chronologie CA de l'horloge constante.

3.3 Receivers, Drivers and Terminations

Non-timing specifications unique to each signal line or to groups of signal lines are presented in Table III. The requirements for the signal line receivers, drivers, and bus terminations, and the locations of the receiver, driver, and termination for each signal are given.



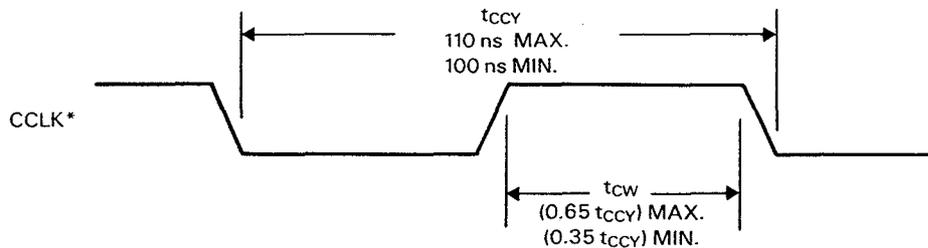
SPECIFICATIONS:

$$t_{CPM\text{MAX}} \leq t_{BCY\text{MIN}} - t_{BREQ\text{MAX}} - 2t_{PD\text{MAX}} - t_{BPRNS\text{MAX}} - t_{SKEW\text{MAX}}$$

1) CPM IS CENTRAL PRIORITY MODULE

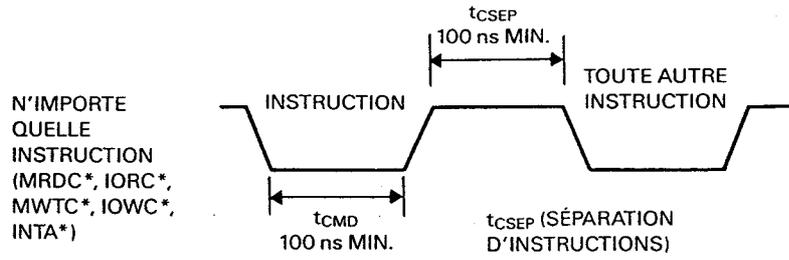
476/90

Fig. 25. - Parallel priority AC timing.



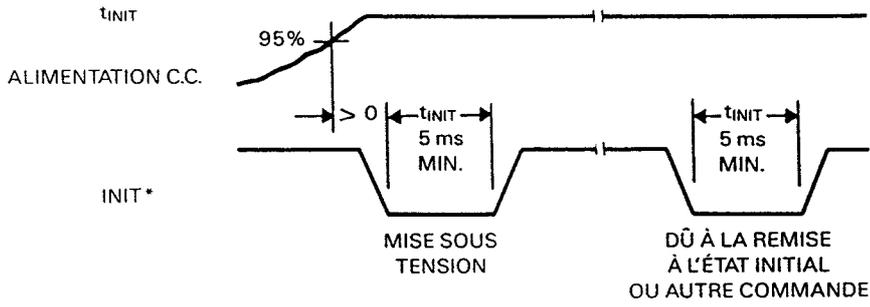
477/90

Fig. 26. - Constant clock AC timing.



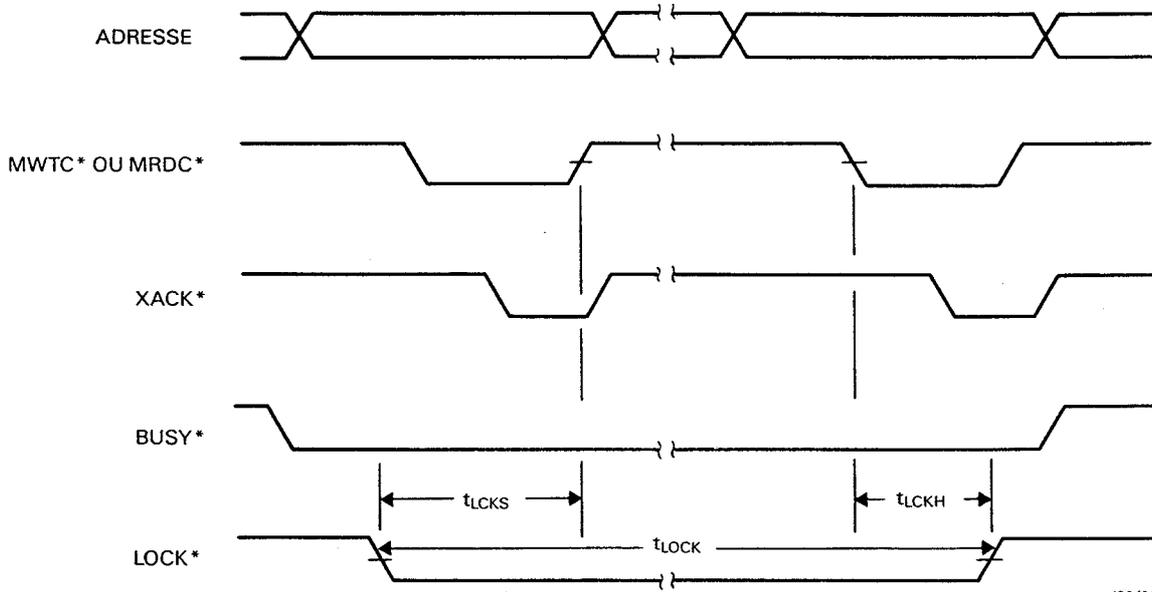
478/90

Fig. 27. - Chronologie CA de séparation de commande.



479/90

Fig. 28. - Chronologie CA d'initialisation.



480/90

Fig. 29. - Chronologie CA de blocage.

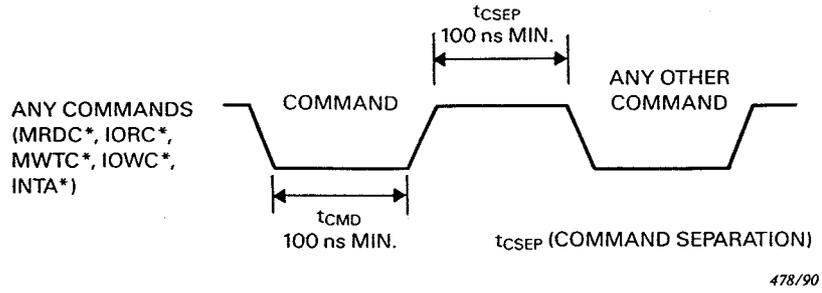


Fig. 27. - Command separation AC timing.

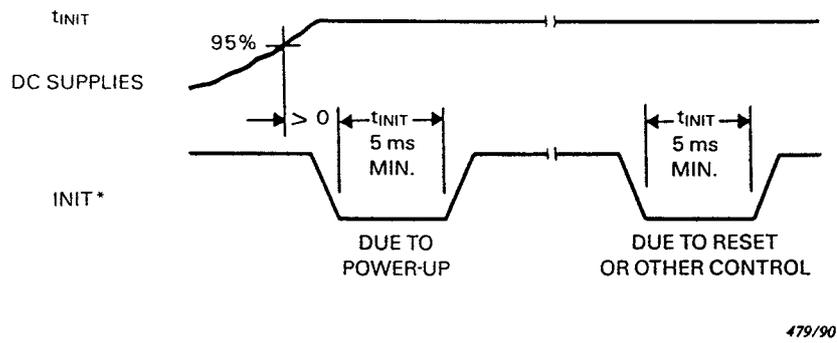


Fig. 28. - Initialize AC timing.

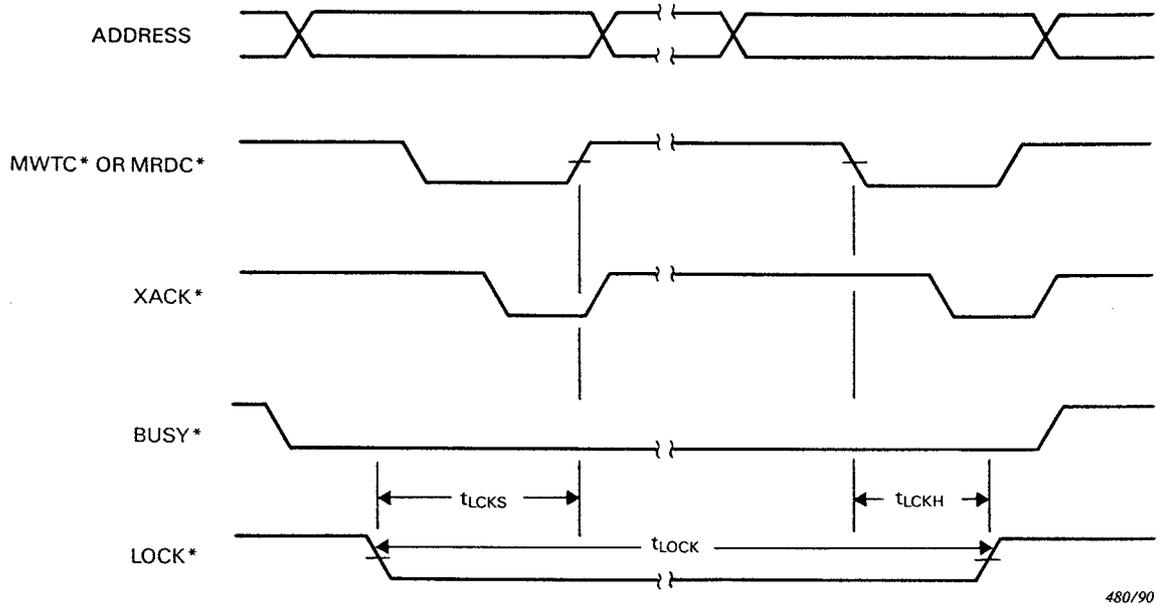


Fig. 29. - Lock AC timing.

Tableau III

Circuits de commande, récepteurs et terminaisons de bus

Signaux de bus	Circuit de commande ^{1), 3)}						Récepteur ^{2), 3)}				Terminaison ⁴⁾			
	Emplacement	Type	I _{OL} Min. mA	I _{OH} Min. μ A	I _{OH} Max. μ A	C _O Min. pf	Emplacement	I _{IL} Max. mA	I _{IH} Max. μ A	C _I Max. pf	Emplacement ⁵⁾	Type	R	Unité
DO* DI5* (16 lignes)	Maîtres et esclaves	TRI	16	-2 000	-	300	Maîtres et esclaves	-0,8	125	18	1 emplacement	Résistance de tirage	2.2	k Ω
A0* A23* BHEN* (25 lignes)	Maîtres	TRI	16	-2 000	-	300	Esclaves	-0,8	125	18	1 emplacement	Résistance de tirage	2.2	k Ω
MRDC* MWTC*	Maîtres	TRI	32	-2 000	-	300	Esclaves (mémoire; E/S en espace mémoire)	-2	125	18	1 emplacement	Résistance de tirage	1	k Ω
RC* IOHC*	Maîtres	TRI	32	-2 000	-	300	Esclaves (E/S)	-2	125	18	1 emplacement	Résistance de tirage	1	k Ω
XACK*	Esclaves	TRI	32	-400	-	300	Maîtres	-2	125	18	1 emplacement	Résistance de tirage	510	
INH1* INH2*	Esclaves invalideurs	OC	16	-	250	300	Esclaves invalidés (RAM, PROM, ROM, E/S en espace mémoire)	-2	50	18	1 emplacement	Résistance de tirage	1	k Ω
BCLK*	1 emplacement (maître en général)	TP	48	-3 000	-	300	Maîtres	-2	125	18	Fond de panier	A + 5 V A la masse	220 330	Ω Ω
BREQ*	Chaque maître	TP	10	-200	-	60	Module central de priorité	-2	50	18	Module central de priorité (non demandé)	Résistance de tirage	1	k Ω

(Suite à la page 102)

Table III
Bus drivers, receivers and terminations

Bus signals	Driver ^{1), 3)}						Receiver ^{2), 3)}				Termination ⁴⁾			
	Location	Type	I _{OL} Min. mA	I _{OH} Min. μ A	I _{OH} Max. μ A	C _O Min. pf	Location	I _{IL} Max. mA	I _{IH} Max. μ A	C _I Max. pf	Location ⁵⁾	Type	R	Units
DO*- D15* (16 lines)	Masters and slaves	TRI	16	-2 000	-	300	Masters and slaves	-0.8	125	18	1 place	Pullup	2.2	k Ω
A0*- A23* BHEN* (25 lines)	Masters	TRI	16	-2 000	-	300	Slaves	-0.8	125	18	1 place	Pullup	2.2	k Ω
MRDC* MMTC*	Masters	TRI	32	-2 000	-	300	Slaves (Memory; Memory- Mapped I/O)	-2	125	18	1 place	Pullup	1	k Ω
IORC* IOWC*	Masters	TRI	32	-2 000	-	300	Slaves (I/O)	-2	125	18	1 place	Pullup	1	k Ω
XACK*	Slaves	TRI	32	-400	-	300	Masters	-2	125	18	1 place	Pullup	510	
INH1*, INH2*	Inhibiting slaves	OC	16	-	250	300	Inhibited Slaves (RAM, PROM, ROM, Memory- Mapped I/O)	-2	50	18	1 place	Pullup	1	k Ω
BCLK*	1 place (Master usually)	TP	48	-3 000	-	300	Masters	-2	125	18	Backplane	To + 5 V To GND	220 330	Ω Ω
BREQ*	Each master	TP	10	-200	-	60	Central Priority Module	-2	50	18	Central Priority Module (not required)	Pullup	1	k Ω

(Continued on page 103)

Tableau III (fin)

Signaux de bus	Circuit de commande ^{1), 3)}						Récepteur ^{2), 3)}				Terminaison ⁴⁾			
	Emplacement	Type	I_{OL} Min. mA	I_{OH} Min. μ A	I_{OH} Max. μ A	C_O Min. pf	Emplacement	I_{IL} Max. mA	I_{IH} Max. μ A	C_I Max. pf	Emplacement ⁵⁾	Type	R	Unité
BPRO*	Chaque maître	TP	3,2	-200	-	60	Prochain maître dans la chaîne de priorité en série à son BPRN*	-1,6	50	18	(Non requis)			
BPRN*	En parallèle: module central de priorité En série: maîtres précédents BPRO*	TP	16	-400	-	300	Maîtres	-4	100	18	(Non requis)			
LOCK*	Maître	TRI	32	-3 000	-	300	Tous	-2	125	18	1 emplacement	Résistance de tirage	1	k Ω
BUSY* CBRQ*	Tous les maîtres	OC	20	-	250	300	Tous les maîtres	-2	50	18	1 emplacement	Résistance de tirage	1	k Ω
INIT*	Maître	OC	32	-	250	300	Tous	-2	50	18	1 emplacement	Résistance de tirage	2.2	k Ω
CCLK*	1 emplacement	TP	48	-3 000	-	300	N'importe où	-2	125	18	Carte-mère	A + 5 V A la masse	220 330	Ω Ω
INTA*	Maîtres	TRI	32	-2 000	-	300	Esclaves (Interrompant E/S)	-2	125	18	1 emplacement	Résistance de tirage	1	k Ω
INT0* INT7* (8 lignes)	Esclaves	OC	16	-	250	300	Maîtres	-1,6	40	18	1 emplacement	Résistance de tirage	1	k Ω

1) Exigences des circuits de commande:

I_{OH} = commande de courant de sortie à niveau haut
 I_{OL} = commande de courant de sortie à niveau bas
 C_O = possibilité de charge capacitive
 TRI = commande à trois états
 OC = circuit de commande de collecteur ouvert
 TP = circuit de commande TP

5) Toutes les résistances de terminaison spécifiées en tant que "1 emplacement" sont normalement situées sur le fond de panier.

2) Exigences du récepteur:

I_{IH} = charge de courant d'entrée à niveau haut
 I_{IL} = charge de courant d'entrée à niveau bas
 C_I = charge capacitive

3) En ce qui concerne les spécifications à haute et basse tension, voir paragraphe 3.1.1

4) Résistances de 0,25 W, $\pm 5\%$

Table III (concluded)

Bus signals	Driver ^{1), 3)}						Receiver ^{2), 3)}				Termination ⁴⁾			
	Location	Type	I _{OL} Min. mA	I _{OH} Min. μ A	I _{OH} Max. μ A	C _O Min. pf	Location	I _{IL} Max. mA	I _{IH} Max. μ A	C _I Max. pf	Location ⁵⁾	Type	R	Units
BPRO*	Each master	TP	3.2	-200	-	60	Next master in serial priority chain at its BPRN*	-1.6	50	18	(Not required)			
BPRN*	Parallel: Central Priority Module Serial: Previous masters BPRO*	TP	16	-400	-	300	Masters	-4	100	18	(Not required)			
LOCK*	Master	TRI	32	-3 000	-	300	All	-2	125	18	1 place	Pullup	1	k Ω
BUSY* CBRQ*	All masters	OC	20	-	250	300	All masters	-2	50	18	1 place	Pullup	1	k Ω
INIT*	Master	OC	32	-	250	300	All	-2	50	18	1 place	Pullup	2.2	k Ω
CCLK*	1 place	TP	48	-3 000	-	300	Any	-2	125	18	Mother-board	To + 5 V To GND	220 330	Ω Ω
INTA*	Masters	TRI	32	-2 000	-	300	Slaves (Interrupting I/O)	-2	125	18	1 place	Pullup	1	k Ω
INT0*- INT7* (8 lines)	Slaves	OC	16	-	250	300	Masters	-1.6	40	18	1 place	Pullup	1	k Ω

1) Driver requirements:

- I_{OH} = high output current drive
- I_{OL} = low output current drive
- C_O = capacitance drive capability
- TRI = 3-state drive
- OC = open collector driver
- TP = totem-pole driver

2) Receiver requirements:

- I_{IH} = high input current load
- I_{IL} = low input current load
- C_I = capacitive load

3) For low and high voltage specification see Sub-clause 3.1.1

4) \pm 5%, 0.25 W resistors

5) All termination resistors specified as "1 place" are normally located on the backplane.

SECTION QUATRE - NIVEAUX DE CONFORMITE

Cette section présente le concept et les notations de niveaux de conformité avec la norme, comme indiqué ci-dessous:

- 1) Eléments variables des possibilités du matériel composant l'essence de la conformité à la norme.
- 2) Etudes générale des relations de conformité pour les maîtres et les esclaves.
- 3) Notations pour décrire les niveaux de conformité avec la norme.

La notion de niveaux de conformité est introduite pour faciliter l'utilisation de matériels de possibilités variables fabriqués par différents fournisseurs. Elle limite les variations permises dans cette norme et fournit une notation pratique et succincte pour ces variables.

4.1 Eléments variables des possibilités du matériel

Le bus système est très souple d'emploi, permettant la construction de systèmes avec des cartes aux possibilités diverses. Le bus système permet des variations dans la largeur du chemin de données, la largeur du chemin d'adresse E/S, et dans les divers attributs d'interruption. De plus, il est un fait que certains matériels de fournisseurs ont des largeurs différentes du chemin d'adresse mémoire.

4.1.1 *Chemin de données*

Le bus système permet l'utilisation de matériels avec chemin de données aussi bien sur 8 bits que sur 16 bits. Les matériels avec chemin de données sur 16 bits utilisent la technique de transfert des octets décrite au paragraphe 2.2.2.4, permettant ainsi aux matériels à 8 et 16 bits de travailler ensemble.

4.1.2 *Chemin d'adresse mémoire*

La présente norme désigne un chemin d'adresse sur 24 bits. Dans de nombreux systèmes, un chemin d'adresse sur 16 ou 20 bits peut se révéler suffisant, bien que pas complètement compatible avec le bus système.

4.1.3 *Chemin d'adresse E/S*

Le bus système permet des chemins d'adresses E/S aussi bien sur 8 bits que sur 16 bits. Les matériels avec chemin sur 16 bits doivent aussi pouvoir se configurer pour agir comme les matériels avec chemin sur 8 bits.

4.1.4 *Attributs d'interruption*

Le bus système (article 2.3) autorise une diversité considérable dans les attributs d'interruption. Un matériel peut ne supporter aucune interruption, une interruption vectorisée autrement que par un

SECTION FOUR - LEVELS OF COMPLIANCE

This section presents the concept and notation of levels of compliance with the standard as follows:

- 1) Variable elements of capability composing the essence of the standard compliance.
- 2) General discussion of compliance relationship for masters and for slaves.
- 3) Notation for describing level of compliance with the standard.

The notion of levels of compliance is introduced to facilitate the use of products of varying capability manufactured by diverse suppliers. It bounds the variability allowed within this standard and provides a succinct and convenient notation for these variables.

4.1 Variable Elements of Capability

The system bus is very versatile, allowing systems to be constructed with boards of varying capability. The system bus allows for variations in data path width, I/O address path width, and diverse interrupt attributes. In addition, it is recognized that some suppliers products have differing memory address path width.

4.1.1 *Data Path*

The system bus allows for both 8-bit and 16-bit data path products. The 16-bit data path products use the byte swapping technique described in Sub-clause 2.2.2.4, thus allowing the 8-bit and 16-bit products to work together.

4.1.2 *Memory Address Path*

This standard designates a 24-bit address path. In many systems, a 16-bit or 20-bit address path may be sufficient, although not fully system bus compatible.

4.1.3 *I/O Address Path*

The system bus allows for both 8-bit and 16-bit I/O address paths. The 16-bit path products shall also be configurable to act as 8-bit path products.

4.1.4 *Interrupt Attributes*

The system bus (Clause 2.3) allows for considerable variety in interrupt attributes. A product may support no interrupts, Non-Bus Vectored (NBV) interrupts, two cycle bus vectored interrupts and

bus (NBV), deux cycles d'interruptions vectorisées par bus, et trois cycles d'interruptions vectorisées par bus. Il y a deux méthodes de détection des interruptions: la méthode préférée, à déclenchement par niveaux, et celle à déclenchement sur front et niveau, seulement pour des raisons historiques de compatibilité.

Déclenchement par niveaux

Le niveau actif de la ligne de demande indique une demande active. Le fait de ne pas nécessiter de front pour déclencher une interruption permet à différentes sources d'être connectées sur une simple ligne de demande d'interruption. Les sources, pour les entrées à détection déclenchées par niveaux doivent en principe être munies de programmes pour libérer la demande d'interruption.

Déclenchement par front et niveau

La transition du niveau inactif au niveau actif indique une demande active si, et seulement si le niveau actif est maintenu au moins jusqu'à ce qu'il soit reconnu par le maître. Les exigences nécessaires à la détection d'une transition excluent la possibilité de sources multiples connectées sur la ligne de demande. Mais le déclenchement par front et niveau supprime l'obligation qu'un programme pour libérer la demande d'interruption soit attaché à la source d'interruption.

Note.- Le déclenchement par front et niveau est seulement décrit pour assurer une compatibilité historique. Les nouvelles conceptions devront utiliser la détection d'interruption par déclenchement sur niveaux.

Un maître peut autoriser soit l'une des deux méthodes de détection d'interruptions ci-dessus, soit les deux. Il est nécessaire de configurer le système de telle manière que les sources de demande d'interruption correspondent aux méthodes de détection des interruptions du maître. A noter qu'une source qui est compatible avec le déclenchement par niveaux l'est aussi avec le déclenchement par front et niveau.

4.2 Maîtres et esclaves

Lors de la construction des systèmes, il n'est pas nécessaire que tous les modules aient des capacités identiques. Par exemple, un module peut avoir un maître ayant un chemin de données sur 8 et 16 bits et un esclave peut avoir un chemin de données sur 8 bits. Le système est alors complètement fonctionnel, bien que ses applications doivent se restreindre à un accès sur 8 bits en ce qui concerne l'esclave.

Le concept clé lors de la construction d'un système est la correspondance entre les besoins exigés et les possibilités fournies. Chaque matériel devra fournir un ensemble de possibilités. Une transaction entre deux matériels de ce type sera restreinte pour utiliser la possibilité qui est l'intersection de l'ensemble des possibilités des deux matériels. Dans certains cas, l'intersection peut s'avérer nulle, impliquant ainsi une incompatibilité fondamentale. Il est de la responsabilité du concepteur du système d'assurer la viabilité de cette intersection.

three cycle bus vectored interrupts. There are two methods of interrupt sensing: the preferred level-triggered; and for historical compatibility only, edge-level-triggered.

Level-Triggered

The active level of the request line indicates an active request. Requiring no edge to trigger an interrupt allows several sources to be attached to a single request line. Sources for level-triggered sense inputs shall provide a programmatic means to clear the interrupt request.

Edge-Level-Triggered

The transition from the inactive to the active level indicates an active request if and only if the active level is maintained at least until it has been recognized by the master. The requirement for a transition precludes multiple sources on a request line. But, edge-level-triggering removes the requirement that the source have a programmatic means to clear the interrupt request.

Note.- Edge-level-triggering is described only to allow for historical compatibility. New designs should use level-triggered interrupt sensing.

A master may support either or both of the above interrupt sensing methods. It is necessary to configure the system so that the sources of the interrupt requests correspond to the interrupt sensing method of the master. Note that a source which is compatible with level-triggering is also compatible with edge-level-triggering.

4.2 Masters and Slaves

When constructing systems it is not necessary that all modules have identical capabilities. One may for instance have a master with an 8-bit to 16-bit data path and a slave with an 8-bit data path. The system is completely functional, though the application shall restrict itself to 8-bit access to the slave.

The key concept when constructing a system is that of required capability versus supplied capability. Each product shall provide some set of capability. A transaction between two such products shall be restricted to use that capability which is the intersection of the sets of capability of the two products. In some cases the intersection may be null implying fundamental incompatibility. It is the responsibility of the system designer to assure the viability of this intersection.

4.3 Notation de niveau de conformité

Une notation est introduite qui permet au fournisseur de spécifier succinctement et avec précision le niveau de conformité d'un produit avec la norme. Pour les cartes qui peuvent agir soit comme maîtres soit comme esclaves, les niveaux de conformité doivent être spécifiés dans les deux cas. Augmenter les niveaux de conformité implique des niveaux moindres pour la largeur du chemin des données, la largeur du chemin d'adresse mémoire et la largeur du chemin d'adresse E/S. Puisqu'ils sont indépendants les uns des autres, les attributs d'interruption sont indiqués séparément. L'absence d'une spécification d'élément (c'est-à-dire l'absence de chemin d'adresse E/S) implique normalement un manque de possibilités pour cet élément.

4.3.1 *Chemin de données*

D8 représente un chemin de données sur 8 bits
D16 représente un chemin de données sur 8 et 16 bits.

4.3.2 *Chemin d'adresse mémoire*

M16 représente un chemin d'adresse mémoire sur 16 bits
M20 représente un chemin d'adresse mémoire sur 20 bits
M24 représente un chemin d'adresse mémoire sur 24 bits.

4.3.3 *Chemin d'adresse E/S*

I8 représente un chemin d'adresse E/S sur 8 bits
I16 représente un chemin d'adresse E/S sur 8 ou 16 bits.

4.3.4 *Attributs d'interruption*

V0 représente des demandes d'interruption vectorisées autrement que par le bus
V2 représente deux cycles de demandes d'interruptions vectorisées par le bus
V3 représente trois cycles de demandes d'interruptions vectorisées par le bus
E représente seulement un déclenchement par front et niveau
L représente un déclenchement par niveau
EL représente des déclenchements par niveau ou par front et niveau.

La notation des attributs d'interruption peut être combinée pour représenter des possibilités multiples.

4.3.5 *Exemple*

Une carte esclave combinée polyvalente comportant des E/S et de la mémoire, et autorisant un chemin de données sur 8 ou 16 bits, une adresse mémoire sur 20 bits, une adresse E/S sur 8 ou 16 bits, des demandes d'interruption NBV, deux ou trois cycles de demandes d'interruptions vectorisées par bus sera spécifiée comme suit:

4.3 Compliance Level Notation

A notation is introduced which allows a supplier to succinctly and accurately specify a product's level of compliance with the standard. For boards which may act as either masters or slaves, the compliance levels shall be specified for both cases. Increasing levels of compliance subsume lesser levels for data path width, memory address path width and I/O address path width. Interrupt attributes are listed separately as they are independent of one another. The lack of an element (i.e., no I/O address path) specification normally implies no capability for this element.

4.3.1 Data Path

D8 represents an 8-bit data path
D16 represents an 8-bit to 16-bit data path.

4.3.2 Memory Address Path

M16 represents a 16-bit memory address path
M20 represents a 20-bit memory address path
M24 represents a 24-bit memory address path.

4.3.3 I/O Address Path

I8 represents an 8-bit I/O address path
I16 represents an 8-bit or 16-bit I/O address path.

4.3.4 Interrupt Attributes

V0 represents Non-Bus Vectored interrupt requests

V2 represents two-cycle bus vectored interrupt requests

V3 represents three-cycle bus vectored interrupt requests

E represents Edge-Level-Triggering only
L represents Level-Triggering
EL represents Level or Edge-Level-Triggering.

The interrupt attributes notation can be concatenated to represent multiple capabilities.

4.3.5 Example

A versatile combination I/O and memory slave board which supports an 8-bit to 16-bit data path, a 20-bit memory address, an 8-bit or 16-bit I/O address, NBV interrupt requests, two- and three-cycle bus vectored interrupt requests would be specified as follows:

Conformité au bus système: esclave D16 M20 I16 V023 L.

4.3.6 *Marque de conformité*

Les niveaux de conformité d'une carte doivent être clairement indiqués sur la carte de circuit imprimé, aussi bien que sur les spécifications imprimées.

System Bus Compliance: Slave D16 M20 I16 V023 L.

4.3.6 *Compliance Marking*

The compliance levels of a card shall be clearly marked on the printed circuit board as well as in the printed specifications.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

ICS 31.080 ; 35.200
