

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Semiconductor devices – Mechanical and climatic test methods –
Part 44: Neutron beam irradiated single event effect (SEE) test method for
semiconductor devices**

**Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques –
Partie 44: Méthode d'essai des effets d'un événement isolé (SEE) irradié par un
faisceau de neutrons pour des dispositifs à semiconducteurs**



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2016 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

IEC Catalogue - webstore.iec.ch/catalogue

The stand-alone application for consulting the entire bibliographical information on IEC International Standards, Technical Specifications, Technical Reports and other documents. Available for PC, Mac OS, Android Tablets and iPad.

IEC publications search - www.iec.ch/searchpub

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing 20 000 terms and definitions in English and French, with equivalent terms in 15 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

65 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Catalogue IEC - webstore.iec.ch/catalogue

Application autonome pour consulter tous les renseignements bibliographiques sur les Normes internationales, Spécifications techniques, Rapports techniques et autres documents de l'IEC. Disponible pour PC, Mac OS, tablettes Android et iPad.

Recherche de publications IEC - www.iec.ch/searchpub

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne de termes électroniques et électriques. Il contient 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans 15 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

65 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Semiconductor devices – Mechanical and climatic test methods –
Part 44: Neutron beam irradiated single event effect (SEE) test method for
semiconductor devices**

**Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques –
Partie 44: Méthode d'essai des effets d'un événement isolé (SEE) irradié par un
faisceau de neutrons pour des dispositifs à semiconducteurs**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.080.01

ISBN 978-2-8322-3541-6

Warning! Make sure that you obtained this publication from an authorized distributor. Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.
--

CONTENTS

FOREWORD.....	4
1 Scope.....	6
2 Normative references.....	6
3 Terms and definitions	6
4 Test apparatus	9
4.1 Measurement equipment	9
4.2 Radiation source	10
4.3 Test sample	10
5 Procedure neutron irradiated soft error test	10
5.1 Surface preparation.....	10
5.2 Power supply voltage	10
5.3 Ambient temperature	11
5.4 Core cycle time	11
5.5 Data pattern.....	11
5.6 Number of measurement samples.....	11
5.7 Calculations for time required in the beam	11
6 Evaluation	11
6.1 Measurement and failure rate estimation	11
6.2 Determination of MCU and MBU cross sections	12
6.3 Determination of device FIT (event rate) from cross section	12
7 Summary.....	12
Annex A (informative) Additional information for the applicable procurement specification	13
A.1 General.....	13
A.2 Description of the beam source	13
A.3 Description of the sample and test vehicle	13
A.3.1 Sample size	13
A.3.2 Vehicle description.....	13
A.4 Test description	14
A.5 Test results	14
Annex B (informative) White neutron test apparatus	16
Annex C (informative) Failure rate calculation.....	18
C.1 An influence of soft error for actual semiconductor devices	18
C.1.1 General	18
C.1.2 Duty derating	18
C.1.3 Utility derating.....	18
C.1.4 Critically derating	19
C.2 Failure rate calculation including derating	19
Bibliography	20
Figure B.1 – Typical white neutron spectra with different shield (polyethylene) thickness	16
Figure B.2 – Typical neutron spectrum	17
Figure B.3 – Comparison of LANSCE (WNR) and TRIUMF neutron spectra with terrestrial neutron spectrum	17

Figure C.1 – Schematic image of duty derating.....	18
Figure C.2 – Schematic image of memory effective area for utility derating	19

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES –
MECHANICAL AND CLIMATIC TEST METHODS –****Part 44: Neutron beam irradiated single event effect (SEE)
test method for semiconductor devices**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60749-44 has been prepared by IEC technical committee 47: Semiconductor devices.

The text of this standard is based on the following documents:

FDIS	Report on voting
47/2303/FDIS	47/2312/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all the parts in the IEC 60749 series, published under the general title *Semiconductor devices – Mechanical and climatic test methods*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

SEMICONDUCTOR DEVICES – MECHANICAL AND CLIMATIC TEST METHODS –

Part 44: Neutron beam irradiated single event effect (SEE) test method for semiconductor devices

1 Scope

This part of IEC 60749 establishes a procedure for measuring the single event effects (SEEs) on high density integrated circuit semiconductor devices including data retention capability of semiconductor devices with memory when subjected to atmospheric neutron radiation produced by cosmic rays. The single event effects sensitivity is measured while the device is irradiated in a neutron beam of known flux. This test method can be applied to any type of integrated circuit.

NOTE 1 Semiconductor devices under high voltage stress can be subject to single event effects including SEB, single event burnout and SEGR single event gate rupture, for this subject which is not covered in this document, please refer to IEC 62396-4 [2].

NOTE 2 In addition to the high energy neutrons some devices can have a soft error rate due to low energy (<1 eV) thermal neutrons. For this subject which is not covered in this document, please refer to IEC 62396-5 [3].

2 Normative references

The following documents, in whole or in part, are normatively referenced in this document and are indispensable for its application. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

None.

3 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

3.1

critical charge

Q_{crit}

smallest charge that will cause a SEE if injected or deposited in the sensitive volume

3.2

single-event upset

SEU

in a semiconductor device when the radiation absorbed by the device is sufficient to change a cell's logic state

Note 1 to entry: After a new write cycle, the original state can be recovered.

3.3

multiple bit upset

MBU

energy deposited in the silicon of an electronic component by a single ionising particle causing more than one bit in the same word to be upset

Note 1 to entry: The definition of MBU has been updated due to the introduction of the definition of MCU.

3.4**multiple cell upset****MCU**

energy deposited in the silicon of an electronic component by a single ionising particle inducing several bits in an integrated circuit (IC) to be upset at one time

3.5**soft error**

erroneous output signal from a latch or memory cell that can be corrected by performing one or more normal functions of the device containing the latch or memory cell

Note 1 to entry: As commonly used, the term refers to an error caused by radiation or electromagnetic pulses and not to an error associated with a physical defect introduced during the manufacturing process.

Note 2 to entry: Soft errors can be generated from SEU, SEFI, MBU, MCU, and or SET. The term SER has been adopted by the commercial industry while the more specific terms SEU, SEFI, etc. are typically used by the avionics, space and military electronics communities.

Note 3 to entry: The term “soft error” was first introduced (for DRAMs and ICs) by May and Woods of Intel in their April 1978 paper at the IRPS and the term “single event upset” was introduced by Guenzer, Wolicki and Allas of NRL in their 1979 NSREC paper (SEU of DRAMs by neutrons and protons).

3.6**single event effect****SEE**

response of a component caused by the impact of a single energetic particle

Note 1 to entry: Examples of energetic particle include galactic cosmic rays, solar energetic particles, energetic neutrons and protons

Note 2 to entry: The range of responses can include both non-destructive (for example upset) and destructive (for example latch-up or gate rupture) phenomena.

3.7**single-event hard error****SHE**

single event induced hard error

irreversible change in operation from a single radiation event that is typically associated with permanent damage to one or more of the device elements

Note 1 to entry: Examples include permanently stuck-bit in the device and gate oxide rupture.

3.8**soft error, power cycle****PCSE**

soft error that is not corrected by repeated reading or writing but can be corrected by the removal of power

3.9**flux**

<particle radiation> time rate of flow of particle energy emitted from or incident on a surface, divided by the area of that surface

Note 1 to entry: The flux is usually expressed in particles per square centimetre second (N/cm²s) or particles per square centimetre hour (N/cm²h).

3.10**soft error rate****SER**

rate at which soft errors are occurring

3.11

failure in time

FIT

failure in 10^9 device-hours

3.12

firm fault

failure that cannot be reset other than by rebooting the system or by cycling the power to the relevant functional element

3.13

hard fault

at the aircraft function level, permanent failure of a component within an LRU

Note 1 to entry: A hard fault results in the removal of the LRU affected and the replacement of the permanently damaged component before a system/system architecture can be restored to full functionality. Such a fault can impact the value for the MTBF of the LRU repaired.

3.14

single event burnout

SEB

burnout of a powered electronic component or part thereof as a result of the energy absorption triggered by an individual radiation event

3.15

single event functional interrupt

SEFI

occurrence of an upset, usually in a complex device, such that a control path is corrupted, leading the part to cease to function properly

Note 1 to entry: Examples of a complex device include microprocessors.

Note 2 to entry: This effect has sometimes been referred to as lockup, indicating that sometimes the part can be put into a “frozen” state.

3.16

single event gate rupture

SEGR

event in the gate of a powered insulated gate component when the radiation charge absorbed by the device is sufficient to cause gate rupture, which is destructive

3.17

single event latch up

SEL

event in a four layer semiconductor device when the radiation absorbed by the device is sufficient to cause a node within the powered semiconductor device to be held in a fixed state whatever input is applied until the device is de-powered

Note 1 to entry: Such latch up can be destructive or non-destructive

3.18

single event transient

SET

momentary voltage excursion (voltage spike) at a node in an integrated circuit caused by a single energetic particle strike

Note 1 to entry: The specific terms ASET analogue single event transient and DSET digital single event transient can be used.

3.19**analogue single event transient****ASET**

spurious signal or voltage produced at the output of an analogue device by the deposition of charge by a single particle

3.20**digital single event transient****DSET**

spurious digital signal or voltage, induced by the deposition of charge by a single particle that can propagate through the circuit path during one clock cycle

3.21**multiple bit upset****MBU**

energy deposited in the silicon of an electronic component by a single ionising particle causing upset of more than one bit in the same word

3.22**cross section** σ

<radiation terms for particle interactions>

combination of a sensitive area and probability of an interaction depositing the critical charge for a SEE

The cross section (σ) is calculated using the following formula:

$$\sigma = N / \Phi$$

Where N, is the number of errors and Φ , the particle fluence

Note 1 to entry: The units for cross section are cm² per device or per bit.

3.23**multiple-cell upset****MCU**

event that induces several bits to fail at one time

Note 1 to entry: MCU consists of multiple-cell error bits which are usually but not always adjacent.

3.24**single bit upset****SBU**

in a semiconductor device when the radiation absorbed by the device is sufficient to change a single cell's logic state

Note 1 to entry: After a new write cycle, the original state can be recovered.

4 Test apparatus**4.1 Measurement equipment**

The equipment shall be capable of measuring the functions of the integrated circuit devices, and capable of measuring the time taken for the change of stored data or other events by the exposure to energetic particles, such as neutrons, protons and alpha radiation to take place (i.e. the generation of a soft error). Alternatively, the test equipment (memory tester, etc.) shall have the capability of counting the number of soft errors in unit time. The equipment shall be capable of identifying when hard or firm faults occur; although these events are in general less frequent, their impact is higher.

NOTE The standard IEC 60749-38 contains a non-accelerated real-time soft error test.

4.2 Radiation source

In order to perform accelerated terrestrial SER measurements, a radiation source(s) is required that is similar to the energy spectrum of terrestrial cosmic rays. This can be accomplished by a broad spectrum beam or by using multiple mono-energetic beams. The radiation beam or beams should cover the whole spectrum of atmospheric radiation taking into account the energy differences in the various beams. Special attention is to be taken with respect to the effects of scattered radiation from the beam on the test setup. Technical personnel operating the facility are to be consulted in terms of the relative flux of the forward and backward scattering distribution of the beam. They shall also be consulted on effectiveness of shielding materials for the main beam and scattered beam attenuation. The number of boards in front of the device under test (DUT) and the distance from the counter shall be recorded to be used in attenuation calculations. The results of the testing shall be due to radiation effects on the DUT and not from interaction of radiation with other components in the test. In particular, power supplies can be vulnerable to radiation-induced avalanche breakdown. Sensitive electronic circuits in the tester and any device on the DUT board (e.g., buffers or registers) can also be affected. These components are to be moved as far from the primary and scattered beam as possible or appropriate shielding is to be used. Care is to be taken that the tester and power supply are not affected by scattered radiation from the beam before conducting tests in a new facility or before conducting tests with a new tester setup (including modified shielding of the tester). To assure this, the tester is to be positioned and shielded in exactly the same way as during actual tests except for the DUT that shall be positioned outside the beam or shielded from the beam. With the beam on and the DUT shielded or otherwise not exposed to the beam, test the DUT. Tester setup verification is successful if no failures are observed. Unless otherwise specified, this tester setup verification test shall last as long as a typical test. Care shall be taken to prevent upsets from stray signals or noise in the cables to the DUT. A tester readiness check shall be performed as part of the test sequence to assure electrical noise immunity.

4.3 Test sample

Any type of integrated circuits with memory can be tested. The device parameters (capacitance of the memory cell in the DRAM, etc.) which can affect the soft error rate shall be well understood. Modern complex devices including application specific integrated circuits (ASIC) and field programmable gate arrays (FPGA) can contain more than one type of memory. These can have very different radiation upset sensitivities. FPGA as an example will generally contain configuration memory, register (flip/flop) memory and composite SRAM memory. An ASIC for example generally contains register (flip/flop) memory and composite SRAM memory. It is important that the distinction is recognised between these elements and each of the SEE rates determined separately for each type of memory bit.

5 Procedure neutron irradiated soft error test

5.1 Surface preparation

The mould compound of the DUT does not need to be etched off because the range of neutron beam in the device is sufficiently long.

5.2 Power supply voltage

Unless otherwise required, the power supply voltage shall be the nominal operating conditions specified for the device.

In order to characterize cosmic ray sensitivity as a function of Q_{crit} (the minimum charge needed to upset a memory cell), lower and higher voltages are also permitted.

5.3 Ambient temperature

Unless otherwise required in any specification, the ambient temperature shall be the nominal operating conditions specified for the device.

5.4 Core cycle time

The core cycle time is dependent on the samples under test (when required, the core cycle time dependence shall be measured).

5.5 Data pattern

This is dependent on the samples under test. The structure of the data patterns shall be recorded (a checker board, all 0/1-read/write pattern, etc).

Record the impact of data patterns on the observed rates.

5.6 Number of measurement samples

Multiple samples shall be measured to take into account measurement variation. If test samples are mounted along the beam line with samples behind the first sample, the beam fluence shall be calculated at each test location allowing for beam attenuation at that sample. The maximum variation in flux between different parts in the sample shall not exceed 20 %.

5.7 Calculations for time required in the beam

Information shall be provided on how to calculate, to a specified accuracy, the amount of time required in the beam, to obtain the required neutron fluence. This will be based on beam type and beam flux. Some suitable neutron beam test facilities are included in Annex B.

6 Evaluation

6.1 Measurement and failure rate estimation

The set-up of DUTs and the measuring system are the same as for the other accelerated tests.

The effective SEU cross section σ_{eff} over the specific range of energy can be defined as follows:

$$\sigma_{eff} = \frac{N_{err}}{\Phi(E_{min}, E_{max})} \quad (1)$$

where

N_{err} is total number of errors counted per device;

$\Phi(E_{min}, E_{max})$ is the total fluence in the energy range from E_{min} to E_{max} . (neutron $\times$ cm⁻²).

On the condition that the shape of the white neutron spectrum is close enough to the field spectrum, Soft error rate (SER) or single event effect rate (SEE rate) can be estimated by

$$SER = \sigma_{eff} \phi_{field}(E_{min}, E_{max}) \quad (2)$$

where

$\phi_{field}(E_{min}, E_{max})$ is the neutron flux in the field (neutron.cm⁻².s⁻¹).

6.2 Determination of MCU and MBU cross sections

These cross sections are determined by analysing the errors in the memory if two or more errors occur during the same read cycle or in an adjacent read cycle (see Note below) then these are caused by the same neutron event. The MCU cross section is the number of these multiple events divided by the fluence. The number of MBU events can be determined by inspection, these occur when more than 1 bit is upset in the same logical word. The neutron flux and related event rate shall not be too high (the probability should be 100 or more times smaller than the single event MCU probability) to avoid multiple upset caused by more than one neutron in the same clock cycle.

NOTE If the neutron event causes SEU in two separate words (i.e. MCU) after the first word has been read in the cycle, then the two SEU will be identified in adjacent read cycles.

6.3 Determination of device FIT (event rate) from cross section

Upset data expressed as FIT/Mbit can be converted to a cross section in units of cm^2/bit by using the conversion factor $7,7\text{E-}17 \text{ Mbit.cm}^2/(\text{FIT per bit})$, and to a device cross section in units of $\text{cm}^2/\text{device}$ by using the conversion factor $7,7\text{E-}11 \text{ cm}^2/(\text{FIT per device})$, both of which are based on a neutron flux ($E > 10 \text{ MeV}$) of $13 \text{ neutron.cm}^{-2}.\text{hr}^{-1}$ at New York City, NYC. A device upset rate of one FIT due to SEU equates to a device cross section of $7,7\text{E-}11 \text{ cm}^2$ [8].

The device NYC FIT rate for a single event effect is determined from the device cross section for that effect multiplied by $1,3 \text{ E} + 10 \text{ cm}^{-2}$.

7 Summary

The following information shall be specified in the applicable procurement document (additional detail on these requirements is given in Annex A):

- a) sample size;
- b) vehicle description;
- c) test description;
- d) values of relevant test stress conditions for example voltage, operating frequency;
- e) test results provided for each SEE type tested. Cross section data on per bit or per device for all SEE measured including SEU, MBU, MCU, SEL, SEFI, SET.

Annex A (informative)

Additional information for the applicable procurement specification

A.1 General

The information provided in Clauses A.2 to A.5 may additionally be specified in the applicable procurement document (see Clause 6).

A.2 Description of the beam source

The description of the beam source can include the following elements:

- 1) facility and location, facility contact information, description of the source generation, particle type (neutron, proton);
- 2) beam energy (mono-energetic) or energy spectrum description;
- 3) filters used, if any (e.g., cadmium strip or borated shield for thermal neutrons);
- 4) variation in beam flux or fluence during testing, including description of the monitor technique or method of estimation;
- 5) description of beam with respect to each DUT, including:
 - a) beam flux density at DUT;
 - b) beam area and uniformity of beam across DUT;
 - c) DUT orientation to incident beam;
 - d) attenuating factors, including a description of the types and thicknesses for materials between the tested silicon chip and the beam source if the thickness is not uniform or if the uniform thickness attenuates the energy of the beam incident on the silicon (includes attenuation from component packaging, heat sinks and thermal enhancements, other tested devices, test fixtures and includes effects of materials containing B-10).

A.3 Description of the sample and test vehicle

A.3.1 Sample size

The sample size (number of devices) tested may also include information on the circuits (array sizes, scan chain size, etc.) tested on each device.

A.3.2 Vehicle description

The vehicle description may include the following elements:

- 1) circuit type and sub-element (e.g., SRAM, DRAM, flip-flop master, flip-flop slave);
- 2) package description (e.g., connection to chip, materials, and geometries), including any modifications made for SER testing (e.g., non-standard heatsink);

- 3) supplier part number (and die revision, if applicable);
- 4) operational description of the circuit;
- 5) ECC description (type and coverage) or “tested per data sheet” if the ECC is unknown”.

A.4 Test description

The test description may include the following elements:

- 1) voltage (external supply, use of internal regulated, back bias if applicable);

NOTE 1 Reporting an internal regulated voltage level is optional, but encouraged where the portability of the data to other devices is of interest.

- 2) test pattern(s), including logical data pattern and, if known, the physical data pattern;
- 3) fluence and test duration;
- 4) core cycle time or frequency with special notation of cycle times different than product data sheet (for dynamic test) or designation as “static”;
- 5) refresh rate, where applicable;
- 6) temperature during test (at minimum, ambient temperature; if available, junction temperature as well. Report the means for determining the junction temperature);
- 7) which source and energy are used, if multiple sources and energies are used;
- 8) tester (commercial model and/or physical description);
- 9) problems or unusual behavior of the devices during test;
- 10) fail information:

- i) count of each error type (transient soft errors, static soft errors, hard errors);

NOTE 2 Because test durations are often relatively short, hard error observations are typically exceptional. Where total dose effects drive those errors, they are test artifacts only and those observations are specially identified as such.

- ii) identification of those soft errors that are multiple-cell errors;
- iii) electrical signature of hard and firm errors / faults;
- iv) failing logical address or addresses;

NOTE 3 Interpretation of multi-cell errors is enhanced by an understanding of the physical relationship of failing addresses.

- v) test conditions (voltage, ECC usage, data pattern, etc.) where multiple conditions are applied within the same test;
- vi) failure rate in test condition. Ideally, the failure rate shall be identified on both a per-bit (or other circuit element) basis as well as a per-event basis. At minimum, the basis for any given failure rate shall be clearly identified.
- 11) periodicity of test readouts;
- 12) the measured SER; where available, it includes the single-bit and multi-bit components and a description of how the multi-bit component was determined;
- 13) for devices intended for harsh environments the electrical signature and sensitivity of hard and firm errors / faults are to be determined under worst case conditions. For example SEL devices are generally at greatest sensitivity (rate) when supply voltage and temperature are at their highest operating limits.

A.5 Test results

The test results may include the following elements:

- 1) the measured SEE rate and SEE cross section(s) at the DUT locations if DUTs are not uniform in their exposure to the beam (e.g. stacked DUTs, differing distances from the beam);

- 2) where observed, fully categorize by a) single-cell upset, b) multi-cell errors, c) latch up, d) address or command errors, e) upset of redundancy latches and provide a description of how these elements were determined;
- 3) linearity which shows the failure rate proportionality to the flux density;
- 4) multiple errors – demonstrate multiple errors are from single energetic events.

Annex B (informative)

White neutron test apparatus

White neutron spectrum can be obtained by bombarding high energy protons at a relatively thick target of, typically, tungsten or lead, which simulates terrestrial neutron spectrum at the ground. The beam line 4FP30L at Los Alamos Neutron Science Center (LANSCE) is widely known and used as such a neutron source. As shown in Figure B.1, the neutron spectrum in the beam line is well defined over 1 MeV by the combination of a fission chamber and a TOF (Time Of Flight) system. The neutron flux is in the range of as high as 10^6 neutron.cm⁻².s⁻¹. The white neutron beam line at Research Center for Nuclear Physics (RCNP) has been in operation since 2004. A neutron beam with flux of 6×10^5 neutron.cm⁻².s⁻¹ is available using a 400 MeV proton beam. The neutron energy spectrum is shown in Figure B.2, which was measured by a TOF method using liquid scintillators. A Comparison of LANSCE (WNR) and TRIUMF neutron spectra with terrestrial neutron spectrum is shown in Figure B.3.

The neutron energy spectrum of the atmospheric radiation exceeds 100 MeV and facilities used for white neutron testing of devices shall have an upper energy range of greater than 100 MeV to ensure that the beam is representative. Additional neutron beam facilities for white neutron testing are ANITA, at TSL, Uppsala, Sweden maximum energy 180 MeV, NIF at TRIUMF, Vancouver, Canada maximum energy 400 MeV and ISIS, Chipir at RAL, Harwell, UK maximum energy 800 MeV.

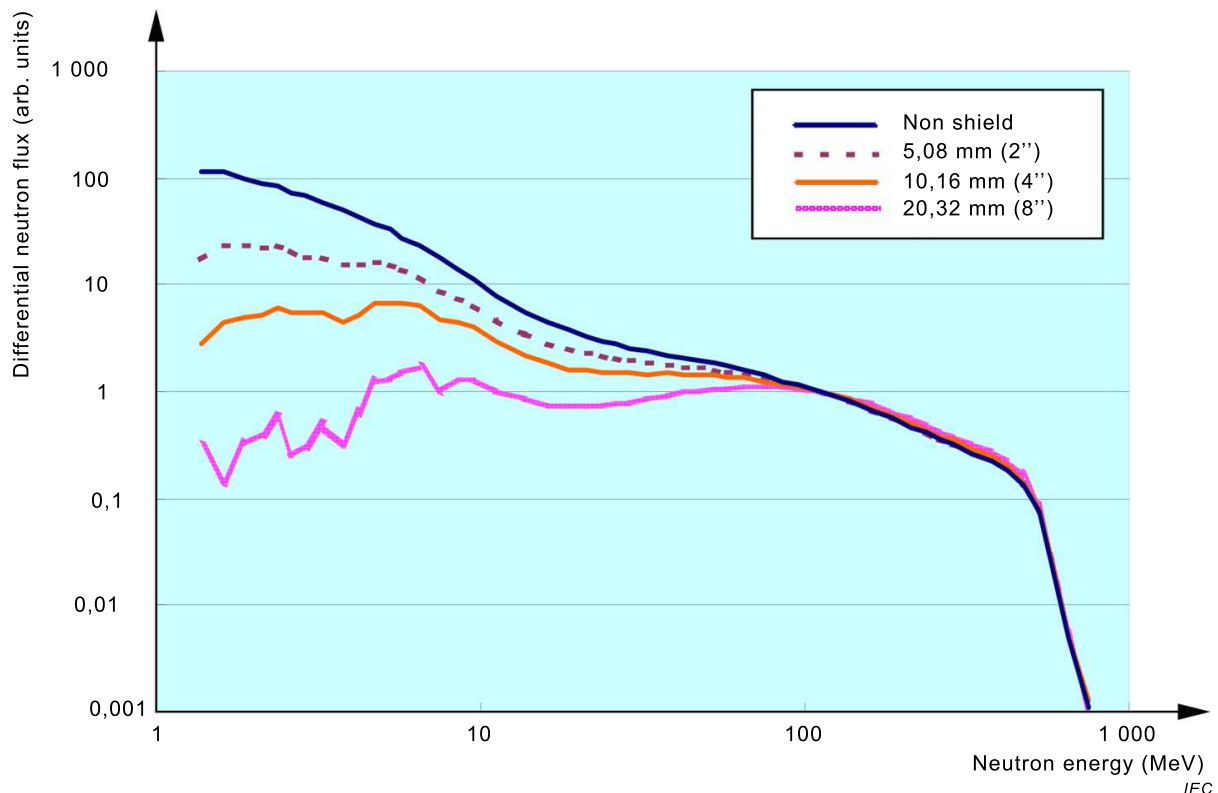


Figure B.1 – Typical white neutron spectra with different shield (polyethylene) thickness

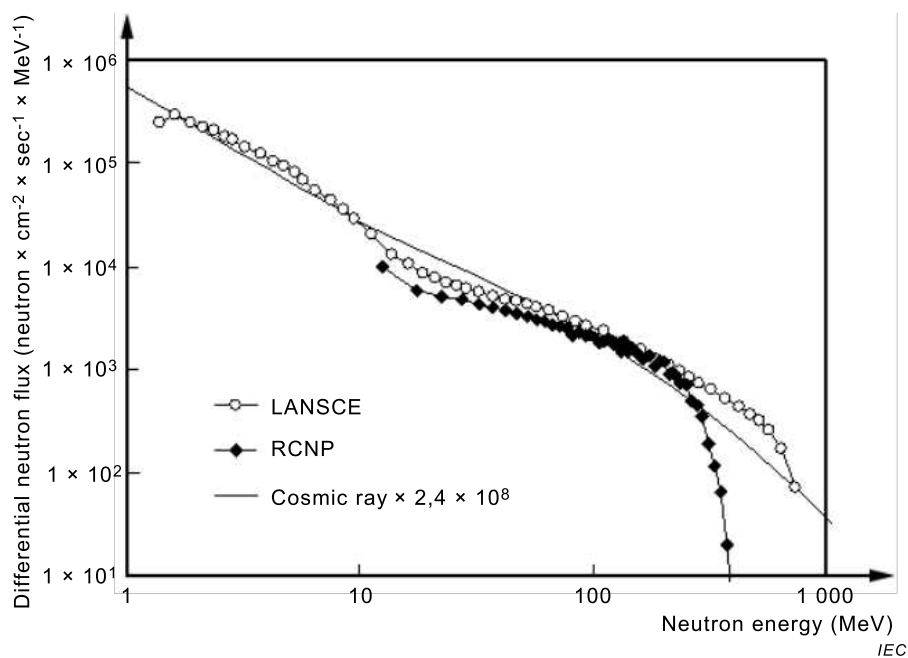
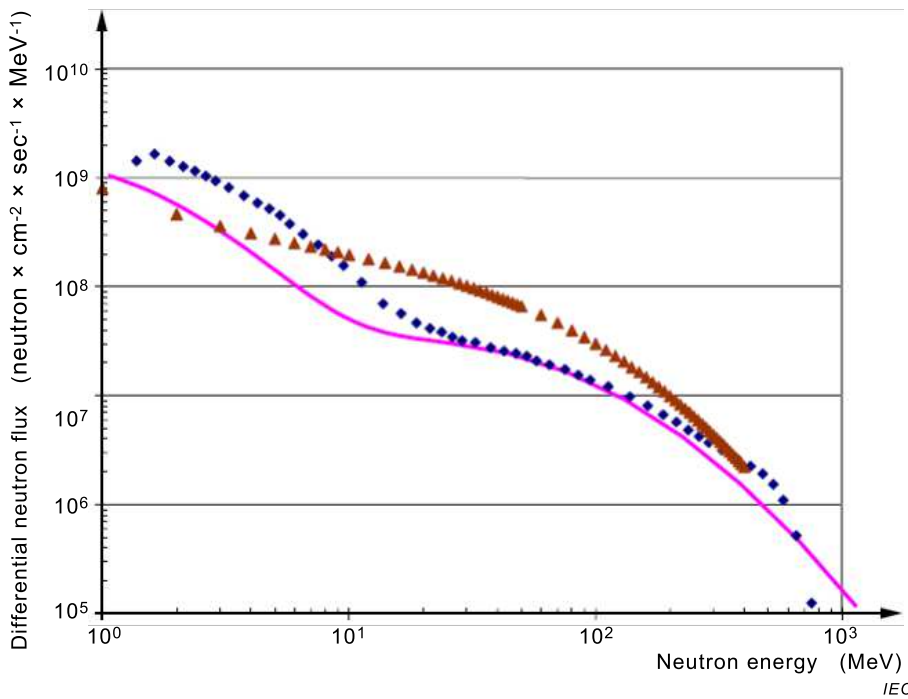


Figure B.2 – Typical neutron spectrum



Key		
	Facility	Multiplication Factor
	Ground Spectrum [latitude 45° North]	Line plot is ground level multiplied by 3×10^8
◆	ICE House (WNR) Measured Spectrum 2005	1
▲	TRIUMF at 100 μ A	1

Figure B.3 – Comparison of LANSCE (WNR) and TRIUMF neutron spectra with terrestrial neutron spectrum

Annex C (informative)

Failure rate calculation

C.1 An influence of soft error for actual semiconductor devices

C.1.1 General

Derating with a consideration of semiconductor device and its application using conditions may be applied to extract actual soft error rate. In Annex C, the derating method is provided.

C.1.2 Duty derating

Normal soft error rate calculation is done based on the power-on time of the devices. Therefore, its error rate can be decreased by inverse proportion of the time and this procedure is called as “Duty derating”.

For example, soft error rate of an application with 8 hours operating in a day becomes one third (1/3).

In Figure C.1 device A is an example of a case of non derated condition with “Duty derating = 1” and device B is an example of a case of derated condition. “Duty derating = 1/3”.

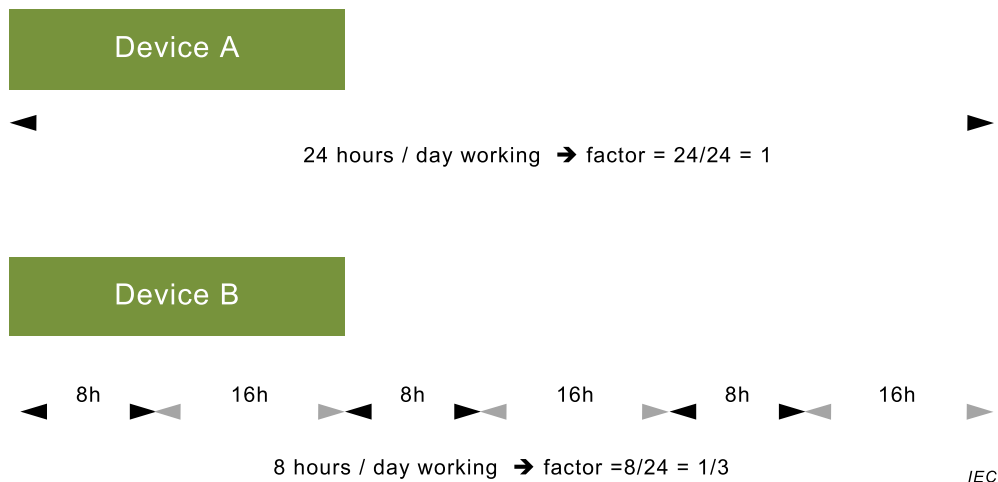


Figure C.1 – Schematic image of duty derating

C.1.3 Utility derating

In general, all of memory area is not always used. The proportion of used data area and not used data area in memory is called as “utility derating”. This derating rate needs to consider the various situations. Those are non-programmed area, ineffective data area of programmed data and ineffective time rate of programmed data. This calculation may be complicated in the application, so averaging is also available.

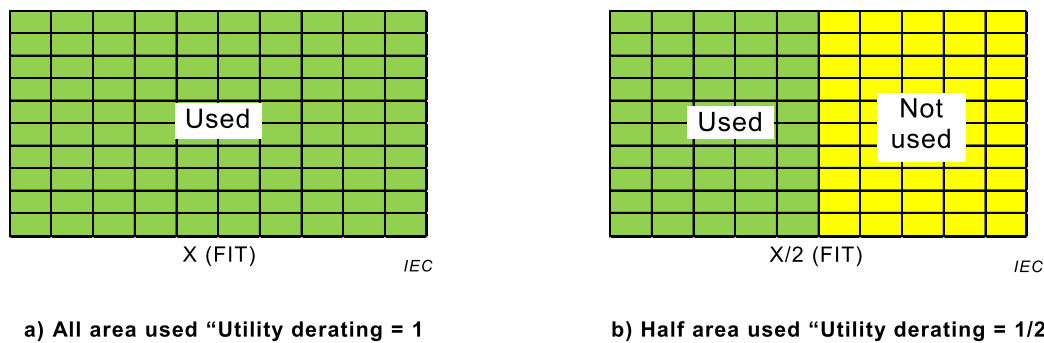


Figure C.2 – Schematic image of memory effective area for utility derating

C.1.4 Critically derating

Critically derating is a probability of seriousness to generate a critical problem in application. A 1 bit failure in picture data is not detected by human eye but a 1 bit error in industry or automotive application might cause a serious problem in social activity. Soft error in the first case can be decreased by digitizing its rate. A schematic image of memory effective area for utility derating is shown in Figure C.2.

C.2 Failure rate calculation including derating

In case these derating factors can be applied, effective soft error rate is extracted as follows.

Example per method IEC 60749-38:

Number of error: 10
 Test time: 1 000 hours (NYC equivalent)
 Sample size: 1 000 devices
 Device exposure: 1 000 000 device hours (NYC equivalent)
 Memory capacity: 3 MB per device on test

- Standard failure SER rate of 3 MB memory without derating (NYC equivalent)

$$\text{SER (3MB)} = (10 / 10^6) \times 10^9 = 10^4 = 10\,000 \text{ FIT per whole memory of 3MB}$$
 or in FIT per MB

$$\text{SER} = 3,33 \times 10^3 \text{ FIT per MB}$$
- Application Derating
 Duty derating: 1 h/day (=0,042=1/24)
 Utility derating: 0,5 (50% area used)
 Critical derating: 0,2 (seriousness in the application)
- Effective upset rate of 3 MB with in application with derating above (NYC equivalent)

$$\text{Effective Upset rate (3 MB) in application} = 1 \times 10^4 \times 0,042 \times 0,5 \times 0,2 = 42 \text{ FIT}$$

Bibliography

- [1] IEC 60749-38, *Semiconductor devices – Mechanical and climatic test methods – Part 38: Soft error test method for semiconductor devices with memory*
- [2] IEC 62396-4, *Process management for avionics – Atmospheric radiation effects – Part 4: Design of high voltage aircraft electronics managing potential single event effects*
- [3] IEC 62396-5, *Process management for avionics – Atmospheric radiation effects – Part 5: Assessment of thermal neutron fluxes and single effects in avionics systems*
- [4] *Thermal Neutron Spectra* – J. D. Dirk, M. E. Nelson, J. F. Ziegler, A. Thompson and T.H. Zabel, *Terrestrial Thermal Neutrons*, /IEEE Trans. Nucl. Sci./, vol. 50, no. 6, pp. 2060-2064, Dec. 2003
- [5] *High Energy Neutron Spectra* – J. F. Ziegler, *Terrestrial cosmic ray intensities*, IBM J. Res. Develop, vol. 42, no.1, pp. 117-139, Jan. 1998
- [6] *Broad energy range (thermal up to high energy)* – M. S. Gordon, P. Goldhagen, K. P. Rodbell, T. H. Zabel, H. H. K. Tang, J. M. Clem, and P. Bailey, *Measurement of the Flux and Energy Spectrum of Cosmic-Ray Induced Neutrons on the Ground*, IEEE Trans. Nucl. Sci., vol. 51, no. 6, pp. 3427-3434, Dec. 2004
- [7] JEITA EDR4705 *SER Testing Guidelines*
- [8] JESD89-A *Measurement and Reporting of Alpha Particle and Terrestrial Cosmic Ray-Induced Soft Errors in Semiconductor Devices*
- [9] JESD89-1A *System Soft Error Rate (SSER) Test Method*
- [10] JESD89-2A *Test Method For Alpha Source Accelerated Soft Error Rate*
- [11] JESD89-3A *Test Method for Beam Accelerated Soft Error Rate*
- [12] T.C. May and M.H. Woods, *A New Physical Mechanism for Soft Errors in Dynamic Memories*, Proceedings of 16th Annual Reliability Physics Symposium, 1978, pp 33-40
- [13] C.S. Guenzer, E.A. Wolicki, and R.G. Allas, *Single event upset of dynamic RAM's by neutrons and protons*, IEEE Trans. Nucl. Sci., vol. NS-26, p. 5048, 1979

SOMMAIRE

AVANT-PROPOS	24
1 Domaine d'application.....	26
2 Références normatives	26
3 Termes et définitions	26
4 Appareillage d'essai	30
4.1 Appareil de mesure	30
4.2 Source de rayonnement	31
4.3 Echantillon d'essai	31
5 Procédure d'essai d'erreur logicielle par irradiation par des neutrons	31
5.1 Préparation de la surface	31
5.2 Tension d'alimentation	32
5.3 Température ambiante	32
5.4 Temps de cycle du cœur	32
5.5 Structure des données	32
5.6 Nombre d'échantillons de mesure	32
5.7 Calculs du temps nécessaire dans le faisceau	32
6 Evaluation	32
6.1 Mesure et estimation du taux de défaillance.....	32
6.2 Détermination des sections efficaces de MCU et MBU	33
6.3 Détermination de la défaillance dans le temps (FIT) d'un dispositif (taux d'événements) à partir d'une section efficace.....	33
7 Résumé.....	33
Annexe A (informative) Informations supplémentaires pour la spécification d'approvisionnement applicable	34
A.1 Généralités	34
A.2 Description de la source du faisceau	34
A.3 Description de l'échantillon et du véhicule d'essai	34
A.3.1 Nombre d'échantillons.....	34
A.3.2 Description du véhicule	34
A.4 Description des essais	35
A.5 Résultats d'essai.....	36
Annexe B (informative) Appareillage d'essai de neutrons blancs	37
Annexe C (informative) Calcul du taux de défaillance	39
C.1 Influence des erreurs logicielles pour les dispositifs à semiconducteurs réels	39
C.1.1 Généralités	39
C.1.2 Taux de réduction de service.....	39
C.1.3 Taux de réduction d'utilisation	39
C.1.4 Taux de réduction critique	40
C.2 Calcul du taux de défaillance incluant le taux de réduction	40
Bibliographie	41
Figure B.1 – Spectres typiques de neutrons blancs avec différentes épaisseurs d'écran (polyéthylène).....	37
Figure B.2 – Spectre de neutrons typique	38
Figure B.3 – Comparaison entre les spectres de neutrons du LANSCE (WNR) et du TRIUMF et le spectre des neutrons terrestres.....	38

Figure C.1 – Représentation simplifiée de taux de réduction de service	39
Figure C.2 – Représentation simplifiée de la zone mémoire effective pour le taux de réduction d'utilisation	40

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –

Partie 44: Méthode d'essai des effets d'un événement isolé (SEE) irradié par un faisceau de neutrons pour des dispositifs à semiconducteurs

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 60749-44 a été établie par le comité d'études 47 de l'IEC: Dispositifs à semiconducteurs.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47/2303/FDIS	47/2312/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 60749, publiées sous le titre général *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "*colour inside*" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

DISPOSITIFS À SEMICONDUCTEURS – MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –

Partie 44: Méthode d'essai des effets d'un événement isolé (SEE) irradié par un faisceau de neutrons pour des dispositifs à semiconducteurs

1 Domaine d'application

La présente partie de la série IEC 60749 établit une procédure pour mesurer les effets d'un événement isolé (SEE: Single Event Effect) sur des dispositifs à semiconducteurs pour circuits intégrés haute densité incluant l'aptitude des dispositifs à semiconducteurs à mémoire à conserver les données lorsqu'ils sont soumis à un rayonnement neutronique atmosphérique produit par des rayons cosmiques. La sensibilité des effets d'un événement isolé est mesurée pendant que le dispositif est irradié par un faisceau de neutrons dont le flux est connu. Cette méthode d'essai peut être appliquée à n'importe quel type de circuit intégré.

NOTE 1 Les dispositifs à semiconducteurs soumis à des contraintes de tension élevée peuvent être sujets aux effets d'un événement isolé, y compris un événement isolé de claquage (SEB: Single Event Burnout) et un événement isolé de claquage de grille (SEGR: Single Event Gate Rupture). Se reporter à l'IEC 62396-4 [2] pour plus d'informations sur ce phénomène qui n'est pas couvert par le présent document.

NOTE 2 Outre les neutrons d'énergie élevée, certains dispositifs peuvent avoir un taux d'erreurs logicielles en raison des neutrons thermiques de faible énergie (<1 eV). Se reporter à l'IEC 62396-5 [3] pour plus d'informations sur ce phénomène qui n'est pas couvert par le présent document.

2 Références normatives

Les documents suivants sont cités en référence de manière normative, en intégralité ou en partie, dans le présent document et sont indispensables pour son application. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

Aucune.

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

3.1 charge critique Qcrit

plus petite charge qui provoque un effet d'un événement isolé si elle est injectée ou déposée dans le volume sensible

3.2 basculement intempestif d'événement non récurrent SEU

dans un dispositif à semiconducteurs, rayonnement absorbé par le dispositif suffisant pour modifier l'état logique d'une cellule

Note 1 à l'article: Après un nouveau cycle d'écriture, l'état d'origine peut être rétabli.

Note 2 à l'article: L'abréviation «SEU» est dérivée du terme anglais développé correspondant «Single-Event Upset».

3.3

basculement intempestif de plusieurs cellules

MBU

basculement intempestif de plusieurs bits dans un même mot causé par l'énergie déposée dans le silicium d'un composant électronique par une seule particule ionisante

Note 1 à l'article: La définition de MBU a été mise à jour en raison de l'introduction de la définition de MCU.

Note 2 à l'article: L'abréviation «MBU» est dérivée du terme anglais développé correspondant «Multiple Bit Upset».

3.4

basculement intempestif de cellules multiples

MCU

basculement intempestif de plusieurs bits en même temps dans un circuit intégré induit par l'énergie déposée dans le silicium d'un composant électronique par une seule particule ionisante

Note 1 à l'article: L'abréviation «MCU» est dérivée du terme anglais développé correspondant «Multiple Cell Upset».

3.5

erreur logicielle

signal de sortie d'une cellule mémoire ou d'un circuit à verrouillage erroné qui peut être corrigé par l'utilisation d'une ou de plusieurs fonctions normales du dispositif qui contient la cellule mémoire ou le circuit à verrouillage

Note 1 à l'article: Le terme fait communément référence à une erreur causée par une radiation ou une impulsion électromagnétique et non à une erreur causée par un défaut physique créé lors du processus de fabrication.

Note 2 à l'article: Les erreurs logicielles peuvent être générées à partir d'un SEU, d'une SEFI, d'un MBU, d'un MCU et/ou d'un SET. Le terme SER a été adopté par l'industrie commerciale alors que les termes plus spécifiques tels que SEU, SFI, etc., sont typiquement utilisés dans les domaines de l'électronique aéronautique, spatiale et militaire.

Note 3 à l'article: Le terme "erreur logicielle" a été introduit (pour les DRAM et les circuits intégrés) par May et Woods d'Intel dans leur publication d'avril 1978 au IRPS et le terme "basculement intempestif d'événement non récurrent" a été introduit par Guenzer, Wolicki et Allas de NRL dans leur publication NSREC de 1979 (SEU de DRAM par des neutrons et des protons).

3.6

effet d'un événement isolé

SEE

réponse d'un composant causée par l'impact d'une seule particule énergétique

Note 1 à l'article: Des exemples de particules énergétiques incluent les rayons cosmiques galactiques, les particules énergétiques solaires, les neutrons et les protons énergétiques.

Note 2 à l'article: La plage de réponses peut inclure à la fois un phénomène non destructif (par exemple une perturbation) et un phénomène destructif (par exemple un déclenchement parasite ou le claquage d'une grille).

Note 3 à l'article: L'abréviation «SEE» est dérivée du terme anglais développé correspondant «Single Event Effect».

3.7

erreur matérielle d'événement non récurrent

SHE

erreur matérielle induite par un événement non récurrent

modification irréversible du fonctionnement dû à un événement de rayonnement non récurrent et qui est généralement associé à un dommage permanent affectant un ou plusieurs des éléments d'un dispositif

Note 1 à l'article: Les "bits collés" permanents dans le dispositif et le claquage de l'oxyde de grille sont des exemples d'erreurs matérielles d'événement non récurrent.

Note 2 à l'article: L'abréviation «SHE» est dérivée du terme anglais développé correspondant «Single-event Hard Error».

3.8

erreur logicielle, cycle d'alimentation

PCSE

erreur logicielle qui n'est pas corrigée par des lectures répétées ou une réécriture, mais qui peut l'être par la coupure de l'alimentation

Note 1 à l'article: L'abréviation «PCSE» est dérivée du terme anglais développé correspondant «Soft Error, Power Cycle».

3.9

flux

<rayonnement de particules> débit du flux d'énergie de particules émis par une surface ou incident à celle-ci, divisé par l'aire de cette surface

Note 1 à l'article: Le flux est généralement exprimé en particules par centimètres carrés seconde (N/cm²s) ou en particules par centimètres carrés heure (N/cm²h).

3.10

taux d'erreurs logicielles

SER

vitesse à laquelle les erreurs logicielles se produisent

Note 1 à l'article: L'abréviation «SER» est dérivée du terme anglais développé correspondant «Soft Error Rate».

3.11

défaillances dans le temps

FIT

nombre de défaillances pour 10⁹ dispositifs-heures

Note 1 à l'article: L'abréviation «FIT» est dérivée du terme anglais développé correspondant «Failure In Time».

3.12

panne logicielle

défaillance qui ne peut être réinitialisée que par un redémarrage du système ou par coupure et remise en marche de l'alimentation de l'élément fonctionnel concerné

3.13

panne matérielle

dans le cadre des fonctions d'un aéronef, défaillance permanente d'un composant à l'intérieur d'une unité d'interchangeabilité (LRU)

Note 1 à l'article: Une panne matérielle entraîne le retrait de la LRU affectée et le remplacement du composant endommagé de manière permanente avant que le système ou l'architecture du système puisse fonctionner de nouveau normalement. Une telle panne peut avoir un effet sur la valeur de la MTBF de la LRU réparée.

3.14

événement isolé de claquage

SEB

claquage d'un composant électronique sous tension ou d'une partie de celui-ci causé par l'absorption d'énergie déclenchée par un événement de rayonnement individuel

Note 1 à l'article: L'abréviation «SEB» est dérivée du terme anglais développé correspondant «Single Event Burnout».

3.15

erreur d'interruption fonctionnelle non récurrente

SEFI

apparition d'un basculement intempestif, généralement dans un dispositif complexe, qui entraîne la corruption d'un chemin de commande et empêche le dispositif de fonctionner correctement

Note 1 à l'article: Les microprocesseurs sont des exemples de dispositifs complexes.

Note 2 à l'article: Cette erreur est parfois appelée "blocage", ce qui indique que le dispositif peut se retrouver dans un état "gelé".

Note 3 à l'article: L'abréviation «SEFI» est dérivée du terme anglais développé correspondant «Single Event Functional Interrupt».

3.16

événement isolé de claquage de grille

SEGR

événement dans la grille d'un composant à grille isolé sous tension se produisant lorsque la charge du rayonnement absorbée par le dispositif est suffisante pour causer un claquage de grille, ce qui est destructif

Note 1 à l'article: L'abréviation «SEGR» est dérivée du terme anglais développé correspondant «Single Event Gate Rupture».

3.17

événement de déclenchement parasite

SEL

événement dans un dispositif à semiconducteurs composé de quatre couches lorsque le rayonnement absorbé par le dispositif est suffisant pour maintenir dans un état fixe un nœud dans le dispositif à semiconducteurs sous tension quelle que soit l'entrée appliquée jusqu'à ce que l'alimentation du dispositif soit coupée

Note 1 à l'article: Un tel déclenchement peut être destructif ou non destructif.

Note 2 à l'article: L'abréviation «SEL» est dérivée du terme anglais développé correspondant «Single Event Latch up».

3.18

événement transitoire isolé

SET

excursion momentanée de tension (impulsion de tension) au niveau d'un nœud dans un circuit intégré causée par l'impact d'une particule énergétique isolée

Note 1 à l'article: Les termes événement transitoire isolé analogique (ASET: Analogue Single Event Transient) et événement transitoire isolé numérique (DSET: Digital Single Event Transient) peuvent être utilisés.

Note 2 à l'article: L'abréviation «SET» est dérivée du terme anglais développé correspondant «Single Event Transient».

3.19

événement transitoire isolé analogique

ASET

signal ou tension parasite produit(e) à la sortie d'un dispositif analogique par le dépôt d'une charge par une particule isolée

Note 1 à l'article: L'abréviation «ASET» est dérivée du terme anglais développé correspondant «Analogue Single Event Transient».

3.20

événement transitoire isolé numérique

DSET

signal ou tension numérique parasite induit par le dépôt d'une charge par une particule isolée qui peut se propager dans le chemin du circuit pendant un cycle d'horloge

Note 1 à l'article: L'abréviation «DSET» est dérivée du terme anglais développé correspondant «Digital Single Event Transient».

3.21**basculement intempestif de plusieurs cellules****MBU**

basculement intempestif de plusieurs bits dans un même mot causé par l'énergie déposée dans le silicium d'un composant électronique par une seule particule ionisante

Note 1 à l'article: L'abréviation «MBU» est dérivée du terme anglais développé correspondant «Multiple Bit Upset».

3.22**section efficace** **σ**

<terme relatif au rayonnement dans le cas d'interactions entre particules>

combinaison de surface sensible et de probabilité d'une interaction qui dépose la charge critique pour un SEE

La section efficace (σ) est calculée en utilisant la formule suivante:

$$\sigma = N / \Phi$$

Où N est le nombre d'erreurs et Φ est la fluence des particules.

Note 1 à l'article: La section efficace s'exprime en cm² par dispositif ou par bit.

3.23**basculement intempestif de cellules multiples****MCU**

événement qui induit la défaillance de plusieurs bits en même temps

Note 1 à l'article: Un MCU est constitué de bits d'erreur de cellules multiples qui sont généralement, mais pas toujours, adjacents.

Note 2 à l'article: L'abréviation «MCU» est dérivée du terme anglais développé correspondant «Multiple-Cell Upset».

3.24**basculement intempestif d'un seul bit****SBU**

dans un dispositif à semiconducteurs, rayonnement absorbé par le dispositif suffisant pour modifier l'état logique d'une seule cellule

Note 1 à l'article: Après un nouveau cycle d'écriture, l'état d'origine peut être rétabli.

Note 2 à l'article: L'abréviation «SBU» est dérivée du terme anglais développé correspondant «Single Bit Upset».

4 Appareillage d'essai**4.1 Appareil de mesure**

L'appareil doit être capable de mesurer les fonctions des dispositifs à circuits intégrés et le temps nécessaire pour modifier les données stockées ou d'autres événements par l'exposition aux particules énergétiques, telles que des neutrons, des protons et un rayonnement alpha (c'est-à-dire la génération d'une erreur logicielle). Sinon, l'appareil d'essai (un appareil d'essai de mémoire, etc.) doit avoir la capacité de compter le nombre d'erreurs logicielles en temps unitaire. L'appareil doit être capable d'identifier l'apparition de pannes matérielles ou logicielles. Bien que ces événements soient généralement moins fréquents, leur impact est plus important.

NOTE La norme IEC 60749-38 présente un essai non accéléré d'erreur logicielle en temps réel.

4.2 Source de rayonnement

Pour réaliser des mesures accélérées de SER terrestre, une ou plusieurs sources de rayonnement dont le spectre énergétique est similaire à celui des rayons cosmiques terrestres sont exigées. Ceci peut être effectué en utilisant un faisceau de large spectre ou plusieurs faisceaux mono-énergétiques. Il convient que le ou les faisceaux de rayonnement couvrent la totalité du spectre du rayonnement atmosphérique en tenant compte des différences d'énergie dans les différents faisceaux. Les effets du rayonnement diffusé issu du faisceau dans le montage d'essai doivent faire l'objet d'une attention particulière. Les personnels techniques travaillant sur l'installation doivent être consultés en ce qui concerne le flux relatif de la distribution de la diffusion vers l'avant et vers l'arrière du faisceau. Ils doivent également indiquer l'efficacité des matériaux d'écrantage pour le faisceau principal et l'affaiblissement du faisceau diffusé. Le nombre de cartes placées devant le dispositif en essai (DUT: Device Under Test) et la distance par rapport au compteur doivent être consignés pour être utilisés dans les calculs d'affaiblissement. Les résultats des essais doivent provenir des effets du rayonnement sur le DUT et non de l'interaction entre le rayonnement et les autres composants des essais. En particulier, les alimentations peuvent être sensibles à un claquage par effet d'avalanche induit par le rayonnement. Les circuits électroniques sensibles dans l'appareil d'essai et dans tout dispositif de la carte du DUT (par exemple des mémoires tampons ou des registres) peuvent également être affectés. Ces composants doivent être placés aussi loin que possible du faisceau primaire et diffusé, ou un écran approprié doit être utilisé. Il faut veiller à ce que l'appareil d'essai et l'alimentation ne soient pas affectés par le rayonnement diffusé provenant du faisceau avant de réaliser des essais dans une nouvelle installation ou avec une nouvelle configuration de l'appareil d'essai (y compris un appareil d'essai dont l'écran a été modifié). Pour cela, l'appareil d'essai doit être positionné et écranté exactement de la même manière que pendant les essais réels, à l'exception du DUT qui ne doit pas être placé dans le faisceau ou qui doit être protégé du faisceau par un écran. Mettre le faisceau en marche et soumettre le DUT aux essais, avec le DUT non exposé au faisceau ou protégé du faisceau par un écran. La configuration de l'appareil d'essai est correcte si aucune défaillance n'est observée. Sauf spécification contraire, la vérification de la configuration de l'appareil d'essai doit durer aussi longtemps qu'un essai typique. Des précautions doivent être prises pour empêcher tout basculement intempestif dû à des signaux parasites ou du bruit dans les câbles du DUT. Dans le cadre de la séquence d'essai, pour garantir l'immunité au bruit électrique, la préparation de l'appareil d'essai doit être contrôlée.

4.3 Echantillon d'essai

Tout type de circuit intégré avec mémoire peut être soumis aux essais. Les paramètres du dispositif (capacité de la cellule mémoire dans la DRAM, etc.) qui peuvent affecter le taux d'erreurs logicielles doivent être bien compris. Des dispositifs complexes modernes tels que les circuits intégrés spécifiques à une application donnée (ASIC: Application Specific Integrated Circuit) et les circuits intégrés prédéfinis programmables sur site (FPGA: Field Programmable Gate Array) peuvent contenir plusieurs types de mémoires. La sensibilité aux basculements intempestifs dus aux rayonnements de ces dispositifs peut largement varier. Un FPGA, par exemple, contient généralement une mémoire de configuration, une mémoire à registres (flip/flop) et une mémoire SRAM composite. Un ASIC, par exemple, contient généralement une mémoire à registres (flip/flop) et une mémoire SRAM composite. Il est important de faire la différence entre ces éléments et chacun des taux de SEE pour chaque type de bit de mémoire.

5 Procédure d'essai d'erreur logicielle par irradiation par des neutrons

5.1 Préparation de la surface

Il n'est pas nécessaire de nettoyer le composé moulé du DUT par attaque chimique, parce que la plage du faisceau de neutrons dans le dispositif est suffisamment grande.

5.2 Tension d'alimentation

Sauf exigences contraires, la tension d'alimentation doit être celle des conditions de fonctionnement nominales spécifiées pour le dispositif.

Afin de caractériser la sensibilité des rayons cosmiques en fonction de Q_{crit} (la charge minimale nécessaire au basculement intempestif d'une cellule mémoire), des tensions plus petites et plus grandes sont également autorisées.

5.3 Température ambiante

Sauf exigences contraires dans une spécification, la température ambiante doit être celle des conditions de fonctionnement nominales spécifiées pour le dispositif.

5.4 Temps de cycle du cœur

Le temps de cycle du cœur dépend des échantillons en essai (si cela est exigé, la dépendance par rapport au temps de cycle du cœur doit être mesurée).

5.5 Structure des données

Elle dépend des échantillons en essai. La structure des données doit être consignée (un damier, une configuration lecture/écriture tout "0/1", etc.).

Enregistrer l'impact des structures de données sur les taux observés.

5.6 Nombre d'échantillons de mesure

Des échantillons multiples doivent être mesurés pour prendre en compte la variation de mesure. Si des échantillons d'essai sont placés le long de la ligne du faisceau avec des échantillons derrière le premier échantillon, la fluence du faisceau doit être calculée à chaque position d'essai pour tenir compte de l'affaiblissement du faisceau sur un échantillon. La variation maximale de flux entre différents éléments de l'échantillon ne doit pas dépasser 20 %.

5.7 Calculs du temps nécessaire dans le faisceau

Les informations sur la façon de calculer, avec une précision spécifiée, le temps nécessaire dans le faisceau pour obtenir la fluence des neutrons exigée doivent être fournies. Ces informations dépendent du type et du flux du faisceau. Des installations appropriées d'essai de faisceaux de neutrons sont présentées à l'Annexe B.

6 Evaluation

6.1 Mesure et estimation du taux de défaillance

Le montage des DUT et le système de mesure sont identiques à ceux des autres essais accélérés.

La section efficace σ_{eff} d'un SEU sur une plage d'énergie spécifique peut être définie de la manière suivante:

$$\sigma_{eff} = \frac{N_{err}}{\Phi(E_{min}, E_{max})} \quad (1)$$

où

N_{err}

est le nombre total d'erreurs comptées par dispositif

$\Phi(E_{\min}, E_{\max})$ est la fluence totale dans la plage d'énergie comprise entre $E_{\min}$ et $E_{\max}$. (neutron.cm⁻²).

A condition que la forme du spectre des neutrons blancs soit suffisamment proche du spectre du champ, le taux d'erreurs logicielles (SER) ou le taux d'effet d'événement isolé (taux de SEE) peuvent être estimés par:

$$SER = \sigma_{eff} \phi_{field}(E_{\min}, E_{\max}) \quad (2)$$

où

$\phi_{field}(E_{\min}, E_{\max})$ est le flux de neutrons dans le champ (neutron.cm⁻².s⁻¹).

6.2 Détermination des sections efficaces de MCU et MBU

Ces sections efficaces sont déterminées en analysant les erreurs dans la mémoire, si deux erreurs ou plus se produisent dans le même cycle de lecture ou dans un cycle de lecture adjacent (voir Note ci-dessous), alors elles sont causées par le même événement de neutron. La section efficace du MCU est le nombre de ces événements multiples divisé par la fluence. Le nombre de MBU peut être déterminé par une inspection. Les MBU se produisent lorsque plusieurs bits basculent de manière intempestive dans un même mot logique. Le flux de neutrons et le taux d'événements associé ne doivent pas être trop élevés (il convient que la probabilité soit au moins 100 fois plus petite que la probabilité d'un MCU isolé) pour éviter plusieurs basculements intempestifs causés par plusieurs neutrons dans un même cycle d'horloge.

NOTE Si l'événement de neutrons provoque un SEU dans deux mots distincts (c'est-à-dire un MCU) après que le premier mot a été lu dans le cycle, alors les deux SEU sont identifiés dans des cycles de lecture adjacents.

6.3 Détermination de la défaillance dans le temps (FIT) d'un dispositif (taux d'événements) à partir d'une section efficace

Des données de basculements intempestifs exprimées en FIT/Mbit peuvent être converties en une section efficace en cm²/bit en utilisant le facteur de conversion 7,7E-17 Mbit.cm²/(FIT par bit), et en une section efficace de dispositif en cm²/dispositif en utilisant le facteur de conversion 7,7E-11 cm²/(FIT par dispositif), les deux étant basées sur un flux de neutrons (E > 10 MeV) de 13 neutron.cm⁻².hr⁻¹ à New York City, NYC. Le taux de basculements intempestifs de dispositif pour un certain FIT dû à un SEU est égal à une section efficace de dispositif de 7,7E-11 cm² [8].

Le taux de FIT d'un dispositif à New York City pour un effet d'événement isolé est déterminé à partir de la section efficace du dispositif pour cet effet multipliée par 1,3 E + 10 cm⁻².

7 Résumé

Les informations suivantes doivent être spécifiées dans le document d'approvisionnement applicable (d'autres informations sur ces exigences sont données à l'Annexe A).

- a) nombre d'échantillons;
- b) description du véhicule;
- c) description des essais;
- d) valeurs des conditions des contraintes d'essai applicables, par exemple la tension et la fréquence de fonctionnement;
- e) résultats d'essai fournis pour chaque type de SEE soumis à essai. Données sur les sections efficaces par bit ou par dispositif pour tous les SEE mesurés, y compris SEU, MBU, MCU, SEL, SEFI, SET.

Annexe A (informative)

Informations supplémentaires pour la spécification d'approvisionnement applicable

A.1 Généralités

Les informations fournies aux Articles A.2 à A.5 peuvent également être spécifiées dans le document d'approvisionnement applicable (voir Article 6).

A.2 Description de la source du faisceau

La description de la source du faisceau peut inclure les éléments suivants:

- 1) l'installation et l'emplacement, les informations sur les contacts de l'installation, la description de la génération de la source, le type de particules (neutrons, protons);
- 2) la description de l'énergie (mono-énergétique) ou du spectre énergétique du faisceau;
- 3) les filtres utilisés, le cas échéant (par exemple une bande de cadmium ou un écran de bore pour les neutrons thermiques);
- 4) la variation de la fluence ou du flux du faisceau pendant les essais, y compris une description de la technique de surveillance ou de la méthode d'estimation;
- 5) la description du faisceau pour chaque dispositif en essai, incluant:
 - a) la densité de flux du faisceau au niveau du dispositif en essai;
 - b) la surface du faisceau et l'uniformité du faisceau à travers le dispositif en essai;
 - c) l'orientation du dispositif en essai par rapport au faisceau incident;
 - d) les facteurs d'affaiblissement, incluant une description des types et des épaisseurs des matériaux entre la puce de silicium soumise aux essais et la source du faisceau si l'épaisseur n'est pas uniforme ou si l'épaisseur uniforme atténue l'énergie du faisceau incident sur le silicium (ceci comprend l'affaiblissement dû aux boîtiers des composants, aux dissipateurs thermiques et aux techniques d'amélioration thermique, aux autres dispositifs soumis aux essais, aux dispositifs d'essai et inclut les effets de matériaux contenant du B-10).

A.3 Description de l'échantillon et du véhicule d'essai

A.3.1 Nombre d'échantillons

Le nombre d'échantillons (nombre de dispositifs) soumis aux essais peut également inclure des informations sur les circuits (tailles des réseaux, taille de la chaîne de balayage, etc.) soumis aux essais sur chaque dispositif.

A.3.2 Description du véhicule

La description du véhicule peut inclure les éléments suivants:

- 1) Le type de circuit et les éléments secondaires (par exemple SRAM, DRAM, flip-flop maître, flip-flop esclave);
- 2) La description des boîtiers (par exemple les connexions à une puce, les matériaux et les géométries), incluant toutes les modifications apportées pour les essais SER (par exemple un dissipateur thermique non normalisé);
- 3) La référence de pièce du fournisseur (et la révision de la puce, le cas échéant);
- 4) La description opérationnelle du circuit;

- 5) La description de l'ECC (type et couverture) ou "soumis aux essais conformément aux fiches techniques, si l'ECC est inconnu".

A.4 Description des essais

La description des essais peut inclure les éléments suivants:

- 1) la tension (alimentation externe, utilisation d'une alimentation interne régulée, polarisation du substrat le cas échéant);

NOTE 1 La consignation d'un niveau de tension régulée interne est facultative, mais elle est conseillée dans le cas de la portabilité des données dans d'autres dispositifs.

- 2) les structures d'essai, incluant la structure des données logiques et, si elle est connue, la structure des données physiques;
- 3) la fluence et la durée des essais;
- 4) la fréquence ou le temps de cycle du cœur avec une notation spéciale pour les temps de cycle différents de ceux des fiches techniques du produit (pour les essais dynamiques) ou la désignation "statique";
- 5) le taux de rafraîchissement, le cas échéant;
- 6) la température pendant les essais (au minimum la température ambiante, et, si elle est disponible, la température de jonction. Indiquer le moyen utilisé pour déterminer la température de jonction);
- 7) les sources et les énergies utilisées, si plusieurs sources et plusieurs énergies sont utilisées;
- 8) l'appareil d'essai (modèle commercial et/ou description physique);
- 9) les problèmes ou les comportements inhabituels des dispositifs pendant les essais;
- 10) les informations relatives aux défaillances:

- i) comptage de chaque type d'erreur (erreurs logicielles transitoires, erreurs logicielles statiques, erreurs matérielles);

NOTE 2 Les durées d'essai étant souvent relativement courtes, les observations d'erreurs matérielles sont généralement exceptionnelles. Lorsque les effets des doses totales sont à l'origine de ces erreurs, ils constituent des artefacts d'essai et ces observations sont identifiées spécialement en tant que telles.

- ii) identification des erreurs logicielles qui sont des erreurs portant sur plusieurs cellules;
- iii) signature électrique des erreurs/pannes logicielles;
- iv) adresses logiques défaillantes;

NOTE 3 L'interprétation des erreurs de plusieurs cellules est améliorée par la compréhension de la relation physique des adresses défaillantes.

- v) conditions d'essai (tension, utilisation de l'ECC, structure des données, etc.) lorsque plusieurs conditions sont appliquées dans un même essai;
- vi) taux de défaillances dans les conditions d'essai. Idéalement, le taux de défaillances doit être identifié par bit (ou autre élément de circuit), mais aussi par événement. Au minimum, la base de détermination du taux de défaillances doit être clairement identifiée;
- 11) la périodicité des lectures d'essais;
- 12) le SER mesuré, en incluant, s'ils sont disponibles, les composants à un bit et à plusieurs bits et une description de la façon dont les composants à plusieurs bits ont été déterminés;
- 13) pour les dispositifs destinés à des environnements sévères, la signature électrique et la sensibilité des erreurs/pannes matérielles et logicielles doivent être déterminées dans les conditions les plus défavorables. Par exemple, les dispositifs à SEL présentent généralement une plus grande sensibilité (taux) lorsque la tension d'alimentation et la température sont à leur limite supérieure.

A.5 Résultats d'essai

Les résultats d'essai peuvent inclure les éléments suivants:

- 1) le taux de SEE et les sections efficaces de SEE mesurés au niveau des emplacements des DUT, si l'exposition des DUT au faisceau n'est pas uniforme (par exemple des DUT empilés, des distances différentes par rapport au faisceau);
- 2) lorsque les événements suivants sont observés, classer selon les catégories suivantes: a) basculement intempestif d'une seule cellule, b) erreurs de plusieurs cellules, c) déclenchement parasite, d) erreurs d'adresse ou de commande, e) basculement intempestif de circuits à verrouillage de redondance, et donner une description de la façon dont ces éléments ont été déterminés;
- 3) la linéarité qui montre la proportionnalité entre le taux de défaillance et la densité de flux;
- 4) les erreurs multiples. Démontrer que les erreurs multiples proviennent d'événements énergétiques isolés.

Annexe B (informative)

Appareillage d'essai de neutrons blancs

Un spectre de neutrons blancs peut être obtenu en bombardant des protons de forte énergie sur une cible relativement épaisse constituée typiquement de tungstène ou de plomb qui simule le spectre des neutrons terrestres au niveau du sol. La ligne du faisceau du 4FP30L au LANSCE (Los Alamos Neutron Science Center) est bien connue et utilisée comme source de neutrons. Comme cela est représenté à la Figure B.1, le spectre des neutrons dans la ligne de faisceau est bien défini sur 1 MeV par la combinaison d'une chambre de fission et d'un système à temps de vol (TOF: Time Of Flight). Le flux de neutrons est dans une plage pouvant atteindre 10^6 neutron.cm⁻².s⁻¹. La ligne de faisceau de neutrons blancs au centre de recherche de physique nucléaire (RCNP: Research Center for Nuclear Physics) est en opération depuis 2004. Un faisceau de neutrons avec un flux de 6×10^5 neutron.cm⁻².s⁻¹ peut être obtenu en utilisant un faisceau de photons de 400 MeV. Le spectre d'énergie des neutrons est représenté sur la Figure B.2. Il a été mesuré en utilisant une méthode à temps de vol à scintillateurs liquides. Une comparaison entre les spectres de neutrons du LANSCE (WNR) et du TRIUMF et le spectre des neutrons terrestres est illustrée à la Figure B.3.

Le spectre d'énergie des neutrons du rayonnement atmosphérique étant supérieur à 100 MeV, la plage d'énergie supérieure des installations utilisées pour soumettre les dispositifs aux essais de neutrons blancs doit dépasser 100 MeV pour garantir que le faisceau est représentatif. D'autres installations de faisceaux de neutrons pour les essais de neutrons blancs sont: ANITA au TSL, Uppsala, Suède, énergie maximale: 180 MeV; NIF au TRIUMF, Vancouver, Canada, énergie maximale: 400 MeV; et ISIS, Chipur au RAL, Harwell, Royaume-Uni, énergie maximale: 800 MeV.

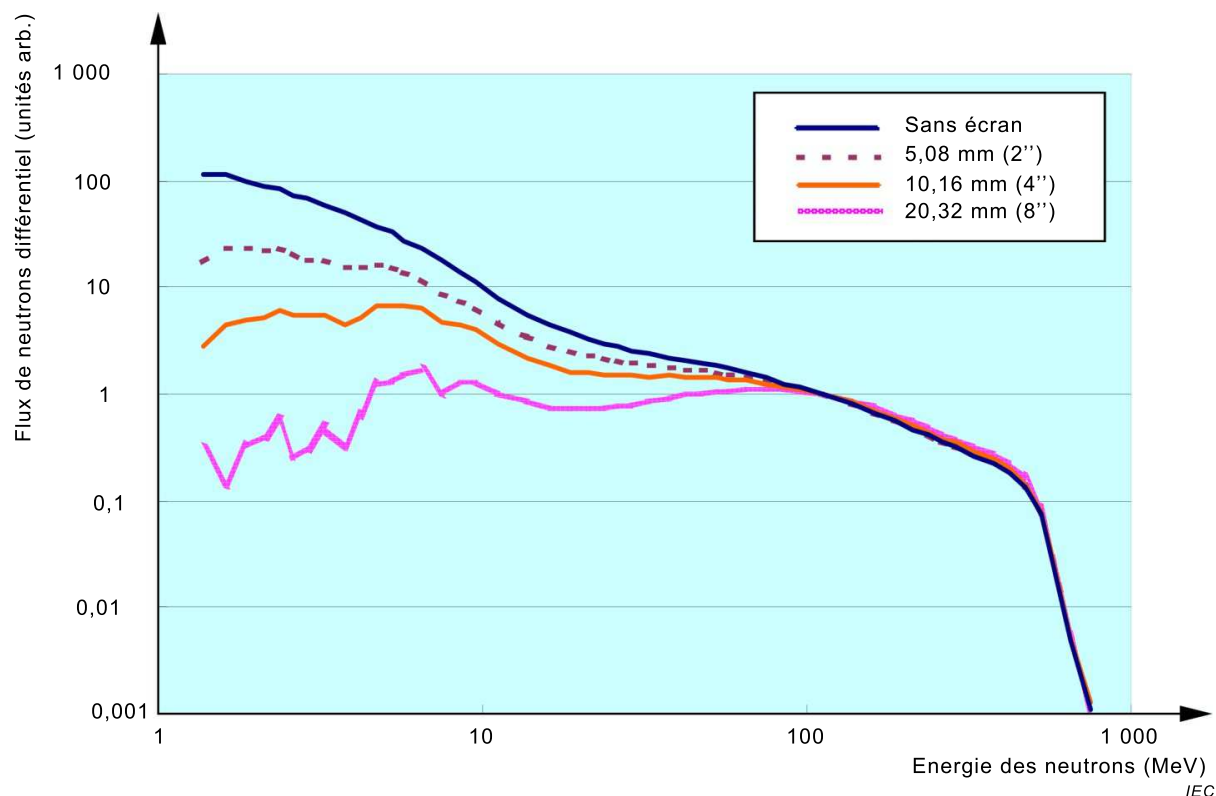


Figure B.1 – Spectres typiques de neutrons blancs avec différentes épaisseurs d'écran (polyéthylène)

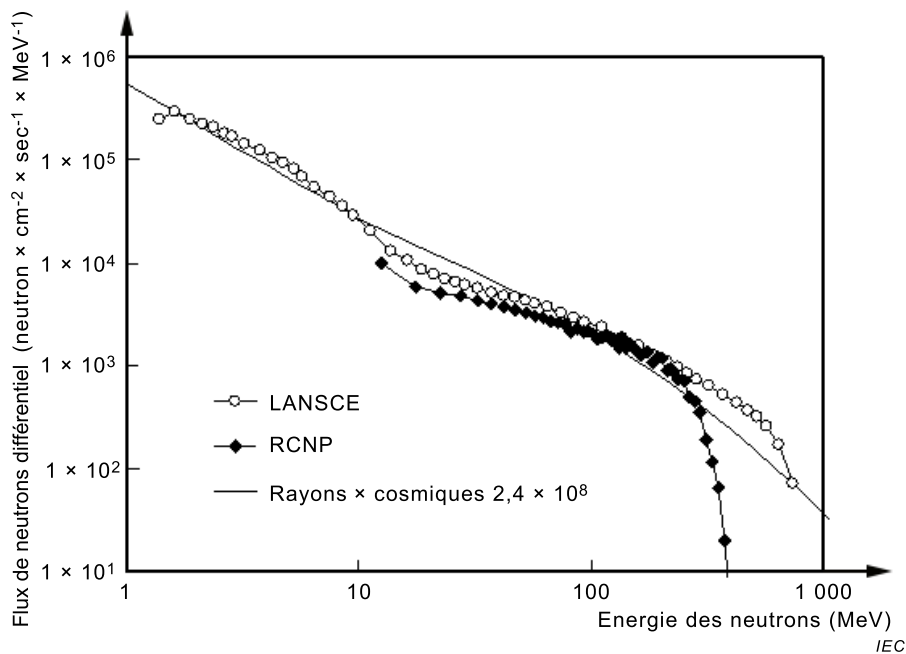
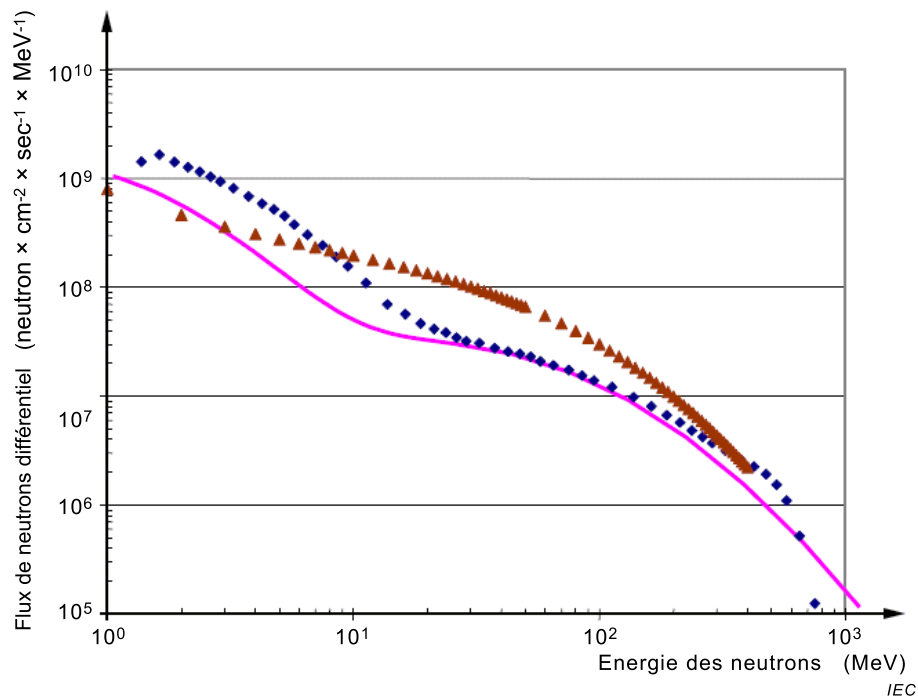


Figure B.2 – Spectre de neutrons typique



Légende		
	Installation	Facteur de multiplication
	Spectre au sol [latitude 45° Nord]	Le tracé est le niveau du sol multiplié par 3×10^8
◆	ICE House (WNR) Spectre mesuré en 2005	1
▲	TRIUMF à 100 μA	1

Figure B.3 – Comparaison entre les spectres de neutrons du LANSCE (WNR) et du TRIUMF et le spectre des neutrons terrestres

Annexe C (informative)

Calcul du taux de défaillance

C.1 Influence des erreurs logicielles pour les dispositifs à semiconducteurs réels

C.1.1 Généralités

Un taux de réduction tenant compte du dispositif à semiconducteurs et de son application dans certaines conditions peut être appliqué pour déterminer le taux d'erreurs logicielles réel. La présente Annexe C présente la méthode du taux de réduction.

C.1.2 Taux de réduction de service

Un calcul normal du taux d'erreurs logicielles est basé sur le temps de mise sous tension des dispositifs. Le taux d'erreurs peut donc diminuer de manière inversement proportionnelle au temps. Cette procédure est appelée "taux de réduction de service".

Par exemple, le taux d'erreurs logicielles d'une application fonctionnant 8 h par jour est divisé par 3.

Dans la Figure C.1, le dispositif A est un exemple de condition sans réduction, "taux de réduction de service = 1", et le dispositif B est un exemple de condition avec réduction, "taux de réduction de service = 1/3".

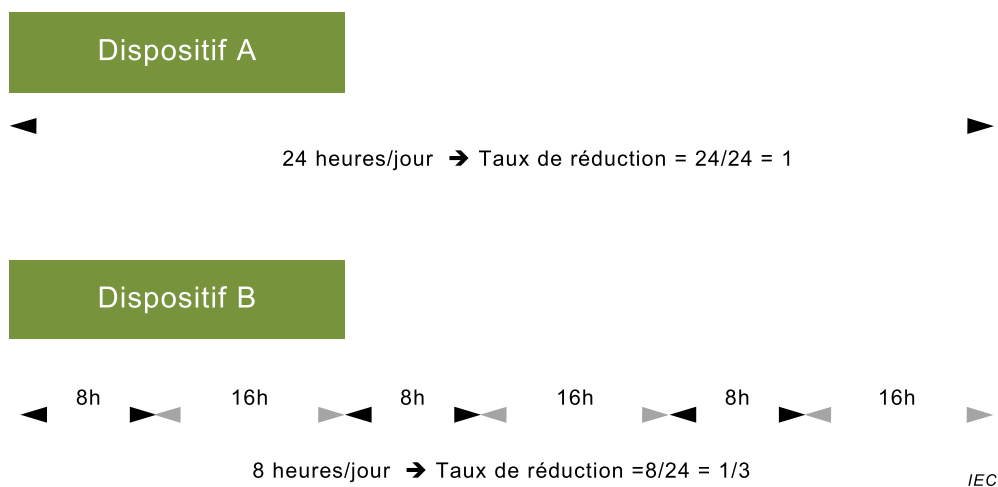


Figure C.1 – Représentation simplifiée de taux de réduction de service

C.1.3 Taux de réduction d'utilisation

Généralement, les zones mémoire ne sont pas toutes utilisées. La proportion des zones de données utilisées par rapport aux zones de données non utilisées dans une mémoire est appelée "taux de réduction d'utilisation". Ce taux de réduction doit tenir compte des différentes situations. Ces différentes situations sont les zones non programmées, les zones non effectives de données programmées et les régimes non effectifs des données programmées. Ce calcul peut s'avérer compliqué et il est possible d'utiliser la moyenne.

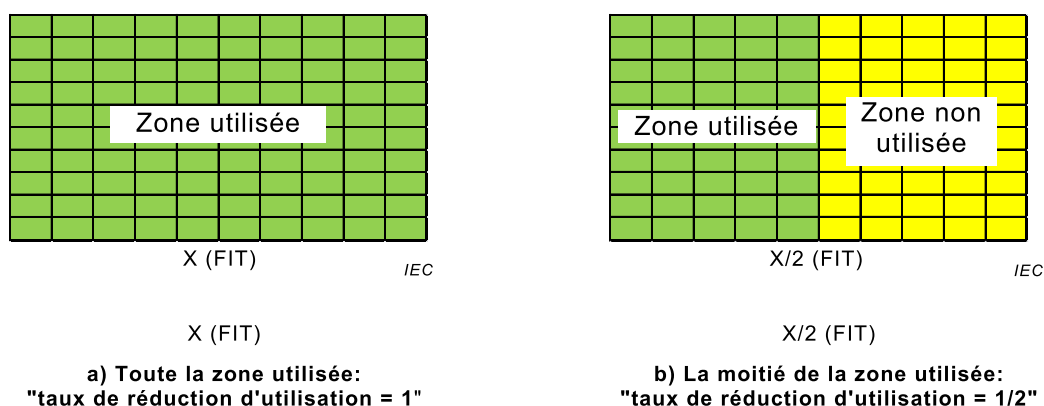


Figure C.2 – Représentation simplifiée de la zone mémoire effective pour le taux de réduction d'utilisation

C.1.4 Taux de réduction critique

Le taux de réduction critique est une probabilité de gravité relative à la génération d'un problème critique dans une application. L'œil humain ne détectera pas la défaillance d'un bit dans des données d'image, mais une erreur d'un bit dans une application industrielle ou automobile peut avoir de graves conséquences. Dans le premier cas, l'erreur logicielle peut être réduite en numérisant son taux. Une représentation simplifiée de la zone mémoire effective pour le taux de réduction d'utilisation est fournie à la Figure C.2.

C.2 Calcul du taux de défaillance incluant le taux de réduction

Lorsque des taux de réduction peuvent être appliqués, le taux d'erreurs logicielles effectif est déterminé comme suit:

Exemple selon la méthode de l'IEC 749-38

Nombre d'erreurs:	10
Durée de l'essai:	1 000 heures (équivalent à New York City)
Nombre d'échantillons:	1 000 dispositifs
Exposition du dispositif:	1 000 000 dispositifs heure (équivalent à New York City)
Capacité de la mémoire:	3 Mo par dispositif en essai

- Taux d'erreurs logicielles (SER) normalisé de défaillances d'une mémoire de 3 Mo sans taux de réduction (équivalent à New York City)

$$\text{SER (3MB)} = (10 / 10^6) \times 10^9 = 10^4 = 10\,000 \text{ FIT pour toute une mémoire de 3 Mo}$$

ou en FIT par Mo

$$\text{SER} = 3,33 \times 10^3 \text{ FIT par Mo}$$

- Taux de réduction d'application

Taux de réduction de service: 1 h/jour (=0,042=1/24)

Taux de réduction d'utilisation: 0,5 (50 % de zone utilisée)

Taux de réduction critique: 0,2 (gravité dans l'application)

- Taux de basculements intempestifs effectif d'une mémoire de 3 Mo avec le taux de réduction indiqué ci-dessus (équivalent à New York City)

$$\text{Taux de basculements intempestifs effectif (3 Mo) en application} = 1 \times 104 \times 0,042 \times 0,5 \times 0,2 = 42 \text{ FIT}$$

Bibliographie

- [1] IEC 60749-38, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 38: Méthode d'essai des erreurs logicielles pour les dispositifs à semiconducteurs avec mémoire*
- [2] IEC 62396-4, *Process management for avionics – Atmospheric radiation effects – Part 4: Design of high voltage aircraft electronics managing potential single event effects* (disponible en anglais seulement)
- [3] IEC 62396-5, *Process management for avionics – Atmospheric radiation effects – Part 5: Assessment of thermal neutron fluxes and single effects in avionics systems* (disponible en anglais seulement)
- [4] *Thermal Neutron Spectra* – J. D. Dirk, M. E. Nelson, J. F. Ziegler, A. Thompson and T.H. Zabel, *Terrestrial Thermal Neutrons*, /IEEE Trans. Nucl. Sci./, vol. 50, no. 6, pp. 2060-2064, Dec. 2003.
- [5] *High Energy Neutron Spectra* – J. F. Ziegler, *Terrestrial cosmic ray intensities*, IBM J. Res. Develop, vol. 42, no.1, pp. 117-139, Jan. 1998.
- [6] *Broad energy range (thermal up to high energy)* – M. S. Gordon, P. Goldhagen, K. P. Rodbell, T. H. Zabel, H. H. K. Tang, J. M. Clem, and P. Bailey, *Measurement of the Flux and Energy Spectrum of Cosmic-Ray Induced Neutrons on the Ground*, IEEE Trans. Nucl. Sci., vol. 51, no. 6, pp. 3427-3434, Dec. 2004.
- [7] JEITA EDR4705 *SER Testing Guidelines*
- [8] JESD89-A *Measurement and Reporting of Alpha Particle and Terrestrial Cosmic Ray-Induced Soft Errors in Semiconductor Devices*
- [9] JESD89-1A *System Soft Error Rate (SSER) Test Method*
- [10] JESD89-2A *Test Method For Alpha Source Accelerated Soft Error Rate*
- [11] JESD89-3A *Test Method for Beam Accelerated Soft Error Rate*
- [12] T.C. May and M.H. Woods, *A New Physical Mechanism for Soft Errors in Dynamic Memories*, Proceedings of 16th Annual Reliability Physics Symposium, 1978, pp 33-40 (disponible en anglais seulement)
- [13] C.S. Guenzer, E.A. Wolicki, and R.G. Allas, *Single event upset of dynamic RAM's by neutrons and protons*, IEEE Trans. Nucl. Sci., vol. NS-26, p. 5048, 1979 (disponible en anglais seulement)

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

3, rue de Varembé
PO Box 131
CH-1211 Geneva 20
Switzerland

Tel: + 41 22 919 02 11
Fax: + 41 22 919 03 00
info@iec.ch
www.iec.ch