

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60748-5

Première édition
First edition
1997-05

**Dispositifs à semiconducteurs –
Circuits intégrés –**

**Partie 5:
Circuits intégrés semi-personnalisés**

**Semiconductor devices –
Integrated circuits –**

**Part 5:
Semicustom integrated circuits**



Numéro de référence
Reference number
CEI/IEC 60748-5: 1997

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles auprès du Bureau Central de la CEI.

Les renseignements relatifs à ces révisions, à l'établissement des éditions révisées et aux amendements peuvent être obtenus auprès des Comités nationaux de la CEI et dans les documents ci-dessous:

- **Bulletin de la CEI**
- **Annuaire de la CEI**
Publié annuellement
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement

Terminologie

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI), qui se présente sous forme de chapitres séparés traitant chacun d'un sujet défini. Des détails complets sur le VEI peuvent être obtenus sur demande. Voir également le dictionnaire multilingue de la CEI.

Les termes et définitions figurant dans la présente publication ont été soit tirés du VEI, soit spécifiquement approuvés aux fins de cette publication.

Symboles graphiques et littéraux

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera:

- la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*;
- la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*;
- la CEI 60617: *Symboles graphiques pour schémas*;

et pour les appareils électromédicaux,

- la CEI 60878: *Symboles graphiques pour équipements électriques en pratique médicale*.

Les symboles et signes contenus dans la présente publication ont été soit tirés de la CEI 60027, de la CEI 60417, de la CEI 60617 et/ou de la CEI 60878, soit spécifiquement approuvés aux fins de cette publication.

Publications de la CEI établies par le même comité d'études

L'attention du lecteur est attirée sur les listes figurant à la fin de cette publication, qui énumèrent les publications de la CEI préparées par le comité d'études qui a établi la présente publication.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available from the IEC Central Office.

Information on the revision work, the issue of revised editions and amendments may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **IEC Yearbook**
Published yearly
- **Catalogue of IEC publications**
Published yearly with regular updates

Terminology

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV), which is issued in the form of separate chapters each dealing with a specific field. Full details of the IEV will be supplied on request. See also the IEC Multilingual Dictionary.

The terms and definitions contained in the present publication have either been taken from the IEV or have been specifically approved for the purpose of this publication.

Graphical and letter symbols

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications:

- IEC 60027: *Letter symbols to be used in electrical technology*;
- IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets*;
- IEC 60617: *Graphical symbols for diagrams*;

and for medical electrical equipment,

- IEC 60878: *Graphical symbols for electromedical equipment in medical practice*.

The symbols and signs contained in the present publication have either been taken from IEC 60027, IEC 60417, IEC 60617 and/or IEC 60878, or have been specifically approved for the purpose of this publication.

IEC publications prepared by the same technical committee

The attention of readers is drawn to the end pages of this publication which list the IEC publications issued by the technical committee which has prepared the present publication.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60748-5

Première édition
First edition
1997-05

**Dispositifs à semiconducteurs –
Circuits intégrés –**

**Partie 5:
Circuits intégrés semi-personnalisés**

**Semiconductor devices –
Integrated circuits –**

**Part 5:
Semicustom integrated circuits**

© IEC 1997 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembé Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE

T

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

	Pages
AVANT-PROPOS	4
INTRODUCTION	6
Articles	
1 Généralités	8
1.1 Domaine d'application	8
1.2 Références normatives	10
2 Terminologie et symboles graphiques	10
2.1 Remarques générales	10
2.2 Termes relatifs aux circuits intégrés semi-personnalisés	12
2.3 Symboles graphiques pour les circuits intégrés semi-personnalisés	14
3 Données essentielles de la part du fournisseur de circuits intégrés semi-personnalisés	14
3.1 Remarques générales	14
3.2 Identification et types de circuit	14
3.3 Description de l'application	14
3.4 Spécification de la description fonctionnelle des éléments de bibliothèque	14
3.5 Valeurs limites (système des valeurs limites maximales absolues)	16
3.6 Conditions de fonctionnement recommandées (dans la gamme de températures de fonctionnement spécifiée)	18
3.7 Caractéristiques électriques des éléments de bibliothèque	18
3.8 Informations supplémentaires	22
4 Méthodes de mesure	22
4.1 Remarques générales	22
4.2 Exigences spécifiques	22
4.3 Caractéristiques statiques	24
4.4 Caractéristiques dynamiques	24
5 Réception et fiabilité	24
5.1 Essais d'endurance électrique	24
5.2 Essais d'environnement	24
5.3 Procédure d'analyse des défaillances	24
6 Aspects de conception	24
6.1 Remarques générales	24
6.2 Bibliothèque (approuvée par le fournisseur)	24
6.3 Matériel de conception assistée par ordinateur (CAO)	26
6.4 Logiciel de CAO	26
7 Interfaces utilisateur/fournisseur	28
7.1 Nature des interfaces utilisateur/fournisseur	28
7.2 Documents types utilisés pour les interfaces utilisateur/fournisseur	32
8 Données essentielles à fournir pour la production des circuits intégrés semi-personnalisés	34
8.1 Remarques générales	34
8.2 Description de l'application	34
8.3 Aspects de conception	36
Annexe A – Formulaire utilisés pour les interfaces utilisateur/fournisseur	38

CONTENTS

	Page
FOREWORD	5
INTRODUCTION	7
Articles	
1 General.....	9
1.1 Scope	9
1.2 Normative references.....	11
2 Terminology and graphical symbols.....	11
2.1 General remark	11
2.2 Terms related to semicustom integrated circuits	13
2.3 Graphical symbols for semicustom integrated circuits.....	15
3 Essential data of semicustom integrated circuits from supplier	15
3.1 General remark	15
3.2 Circuit identification and types.....	15
3.3 Application related description	15
3.4 Specification of the functional description of library elements	15
3.5 Limiting values (absolute maximum rating system)	17
3.6 Recommended operating conditions (within the specified operating temperature range) ..	19
3.7 Electrical characteristics of library elements	19
3.8 Additional information.....	23
4 Measuring methods.....	23
4.1 General remark	23
4.2 Specific requirements	23
4.3 Static characteristics	25
4.4 Dynamic characteristics	25
5 Acceptance and reliability.....	25
5.1 Electrical endurance tests.....	25
5.2 Environment tests	25
5.3 Failure analysis procedure	25
6 Design aspects.....	25
6.1 General remarks	25
6.2 Library (approved by supplier).....	25
6.3 Computer aided engineering (CAE) design hardware	27
6.4 CAE design software.....	27
7 User/supplier interface	29
7.1 Concept of user/supplier design interface.....	29
7.2 User/supplier typical interface documents	33
8 Essential data of semicustom integrated circuits released for production	35
8.1 General remark	35
8.2 Application related description	35
8.3 Design aspects.....	37
Annex A – Forms used for the activity in user/supplier interface	39

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – CIRCUITS INTÉGRÉS –

Partie 5: Circuits intégrés semi-personnalisés

AVANT-PROPOS

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60748-5 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47A/469/FDIS	47A/483/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

L'annexe A est donnée uniquement à titre d'information.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DEVICES –
INTEGRATED CIRCUITS –

Part 5: Semicustom integrated circuits

FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60748-5 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this standard is based on the following documents:

FDIS	Report on voting
47A/469/FDIS	47A/483/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

Annex A is for information only.

INTRODUCTION

Il sera nécessaire d'utiliser la présente partie de la CEI 60748 conjointement avec la CEI 60747-1 et la CEI 60748-1. La présente partie de la CEI 60748 donne les informations de base sur:

- la terminologie;
- les symboles graphiques;
- les valeurs limites et les caractéristiques essentielles;
- les spécifications fonctionnelles;
- les méthodes de mesure;
- la réception et la fiabilité;
- les aspects de conception;
- les interfaces utilisateur/fournisseur.

L'ordre des articles est conforme à la CEI 60747-1, Chapitre III, paragraphe 2.1.

INTRODUCTION

As a rule, it will be necessary to use IEC 60747-1 and IEC 60748-1 in conjunction with this part of IEC 60748. In this part of IEC 60748 the user will find all basic information on:

- terminology;
- graphical symbols;
- essential ratings and characteristics;
- functional specification;
- measuring method;
- acceptance and reliability;
- design aspects;
- user/supplier interface.

The sequence of the clauses is in accordance with IEC 60747-1, Chapter III, subclause 2.1.

DISPOSITIFS À SEMICONDUCTEURS – CIRCUITS INTÉGRÉS –

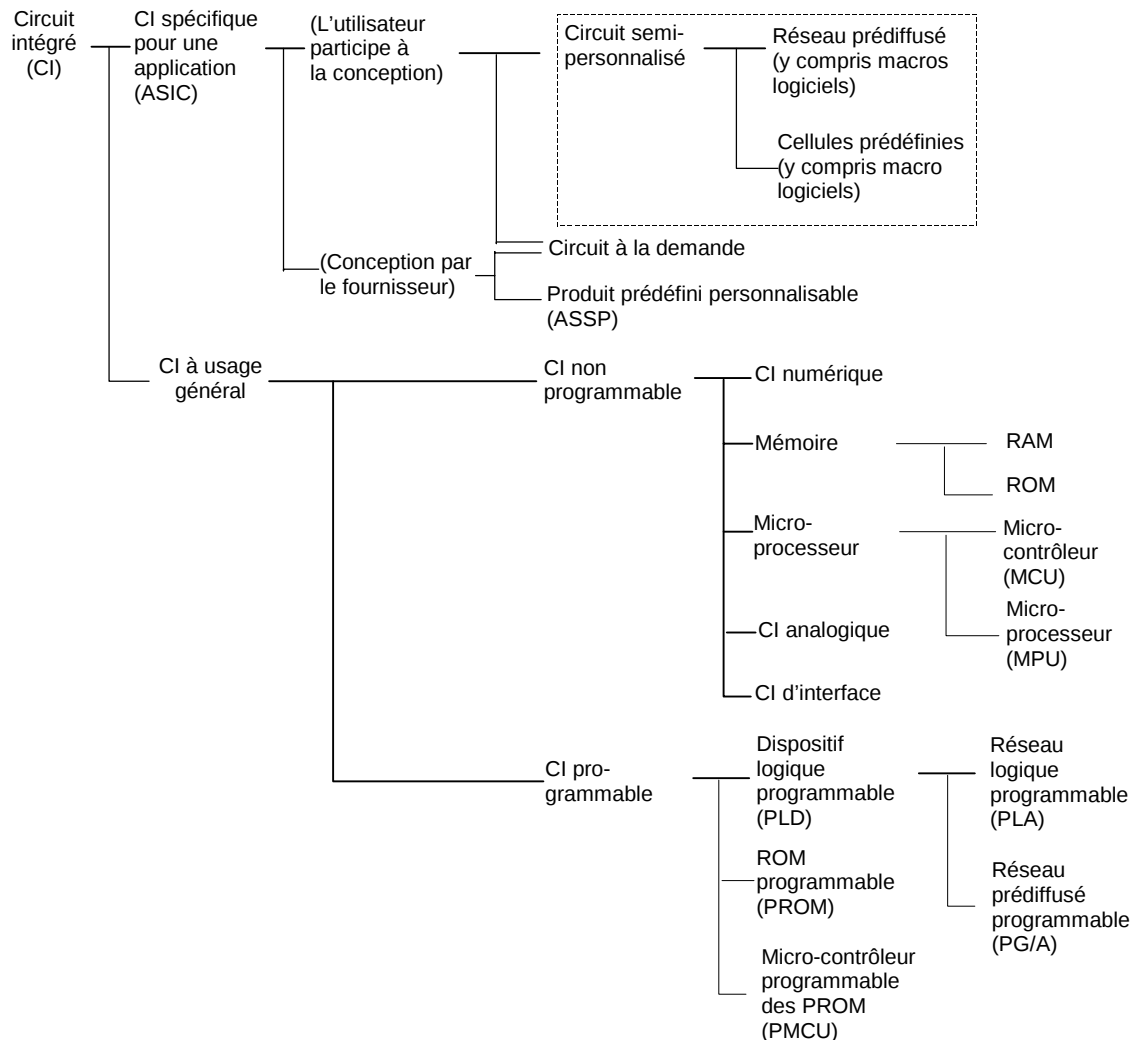
Partie 5: Circuits intégrés semi-personnalisés

1 Généralités

1.1 Domaine d'application

La présente partie de la CEI 60748 spécifie les normes pour la sous-catégorie de circuits intégrés semi-personnalisés qui apparaissent dans l'arbre généalogique des circuits intégrés (voir figure 1).

NOTE – Cet arbre généalogique n'est pas exhaustif et pourra être complété si nécessaire.



Circuit semi-personnalisé : Classification des CI semi-personnalisés

IEC 674/97

Figure 1 – Arbre généalogique des circuits intégrés

SEMICONDUCTOR DEVICES –
INTEGRATED CIRCUITS –

Part 5: Semicustom integrated circuits

1 General

1.1 Scope

This part of IEC 60748 specifies standards on the subcategories of semicustom integrated circuits that appear in the following classification family tree of ICs (see figure 1).

NOTE – This family tree is not exhaustive and may be completed when necessary.

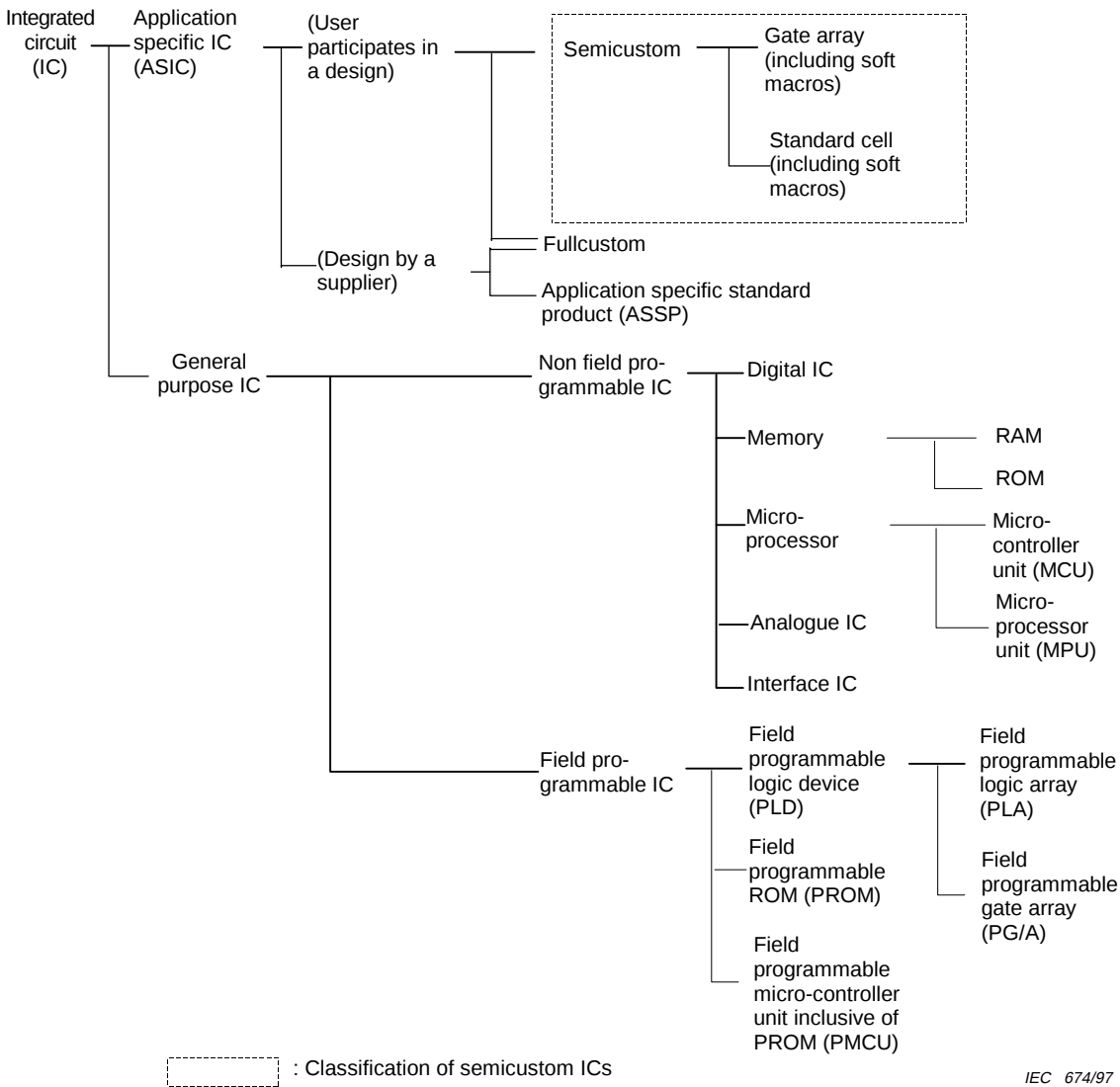


Figure 1 – Family tree of integrated circuits

1.2 Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente partie de la CEI 60748. Au moment de la publication, les éditions indiquées étaient en vigueur. Tout document normatif est sujet à révision et les parties prenantes aux accords fondés sur la présente partie de la CEI 60748 sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 60617-12: 1991, *Symboles graphiques pour schémas – Douzième partie: Opérateurs logiques binaires*
Amendement 1: 1992
Amendement 2: 1994

CEI 60617-13: 1993, *Symboles graphiques pour schémas – Partie 13: Opérateurs analogiques*

CEI 60747-1: 1983, *Dispositifs à semiconducteurs – Dispositifs discrets et circuits intégrés – Première partie: Généralités*
Amendement 1: 1991
Amendement 2: 1993

CEI 60748-1: 1984, *Dispositifs à semiconducteurs – Circuits intégrés – Première partie: Généralités*
Amendement 1: 1991
Amendement 2: 1993

CEI 60748-2: 1985, *Dispositifs à semiconducteurs – Circuits intégrés – Deuxième partie: Circuits intégrés digitaux*
Amendement 1: 1991
Amendement 2: 1993

CEI 60748-3: 1986, *Dispositifs à semi-conducteurs – Circuits intégrés – Troisième partie: Circuits intégrés analogiques*
Amendement 1: 1991
Amendement 2: 1994

CEI 60748-4: 1987, *Dispositifs à semi-conducteurs – Circuits intégrés – Quatrième partie: Circuits intégrés d'interface*
Amendement 1: 1991
Amendement 2: 1994

CEI 60748-11: 1990, *Dispositifs à semi-conducteurs – Circuits intégrés – Onzième partie: Spécification intermédiaire pour les circuits intégrés à semi-conducteurs à l'exclusion des circuits hybrides*
Amendement 1: 1995

2 Terminologie et symboles graphiques

2.1 Remarques générales

Voir la CEI 60748-2, chapitre III.

1.2 Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this part of IEC 60748. At the time of publication, the editions indicated were valid. All normative documents are subject to revision, and parties to agreements based on this part of IEC 60748 are encouraged to investigate the possibility of applying the most recent editions of the normative documents indicated below. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 60617-12: 1991, *Graphical symbols for diagrams – Part 12: Binary logic elements*

Amendment 1: 1992

Amendment 2: 1994

IEC 60617-13: 1993, *Graphical symbols for diagrams – Part 13: Analogue elements*

IEC 60747-1: 1983, *Semiconductor devices – Discrete devices and integrated circuits – Part 1: General*

Amendment 1: 1991

Amendment 2: 1993

IEC 60748-1: 1984, *Semiconductor devices – Integrated circuits – Part 1: General*

Amendment 1: 1991

Amendment 2: 1993

IEC 60748-2: 1985, *Semiconductor devices – Integrated circuits – Part 2: Digital integrated circuits*

Amendment 1: 1991

Amendment 2: 1993

IEC 60748-3: 1986, *Semiconductor devices – Integrated circuits – Part 3: Analogue integrated circuits*

Amendment 1: 1991

Amendment 2: 1994

IEC 60748-4: 1987, *Semiconductor devices – Integrated circuits – Part 4: Interface integrated circuits*

Amendment 1: 1991

Amendment 2: 1994

IEC 60748-11: 1990, *Semiconductor devices – Integrated circuits – Part 11: Sectional specification for semiconductor integrated circuits excluding hybrid circuits*

Amendment 1: 1995

2 Terminology and graphical symbols

2.1 General remark

See IEC 60748-2, chapter III.

2.2 Termes relatifs aux circuits intégrés semi-personnalisés

2.2.1 circuit spécifique (ASIC): Circuit intégré conçu pour des applications spécifiques.

2.2.2 circuit intégré précaractérisé: Circuit intégré dont une ou plusieurs cellules ou macros précaractérisées sont disposées de façon sélective sur une pastille et peuvent être ensuite connectées à d'autres éléments de circuit présents sur la pastille par un procédé d'implantation automatisé de pastille, pour réaliser une fonction électrique.

NOTE – Cette définition couvre aussi bien la conception traditionnelle avec cellules prédéfinies que les conceptions évoluées précaractérisées.

2.2.3 circuit intégré semi-personnalisé: Circuit intégré composé de circuits, cellules et macros précaractérisés qui peuvent être saisis électroniquement par un procédé automatisé d'implantation de pastille pour réaliser un circuit destiné à une application spécifique.

2.2.4 circuit intégré à la demande: Circuit intégré qui peut être conçu pour un seul utilisateur ou pour une seule application (par exemple, certains circuits spéciaux pour télécommunication).

2.2.5 réseau prédiffusé: Circuit intégré contenant un assemblage déterminé d'éléments de circuits utilisés pour former des macrocellules et des macrofonctions qui sont, ou peuvent être, interconnectés pour réaliser une fonction logique.

2.2.5.1 réseau prédiffusé à canaux d'interconnexion: Réseau prédiffusé composé d'éléments de circuits (cellules et/ou macros) précaractérisés situés dans des zones de la pastille séparées des zones prévues pour l'interconnexion.

2.2.5.2 mer de portes: Réseau prédiffusé composé d'éléments de circuits (cellules et/ou macros) précaractérisés qui peuvent être recouverts par le circuit d'interconnexion. Dans le schéma d'une mer de portes, la zone d'interconnexion est créée en sacrifiant des rangées de portes.

2.2.5.3 élément de circuit: Composant de base d'un circuit, à l'exclusion des interconnexions. Par exemple résistances, condensateurs et transistors.

2.2.6 cellule: élément de circuit précaractérisé dont le schéma et les bornes d'interconnexion sont spécialement prévus pour réaliser une fonction électrique.

2.2.6.1 cellule prédéfinie: Cellule dont les caractéristiques physiques et électriques sont définies par le fournisseur.

2.2.6.2 cellule de base: Cellule composée de plusieurs transistors et éléments passifs pour faciliter l'intégration.

2.2.7 macro: Ensemble de cellules pouvant être connectées électriquement de manière spécifique dont les caractéristiques sont dérivées de celles de ses cellules composantes.

NOTE – Cette définition couvre la super-intégration qui comprend un ou plusieurs types de cellules ou macros précaractérisées de grande taille.

2.2.7.1 macro matériel: Interconnexion de cellules élémentaires selon une topologie caractérisée fixe pour réaliser une fonction électrique.

NOTE – La caractérisation peut être faite par mesure des dispositifs fabriqués, ou par simulation sur ordinateur, ou par combinaison des deux procédés. Elle peut comprendre les aspects suivants: dimensions physiques, fonctions logiques, possibilité d'essais, conformité aux règles topologiques et fiabilité.

2.2.7.2 macro logiciel: Interconnexion de cellules élémentaires et/ou de macros qui réalise une fonction électrique mais dont la topologie n'est pas prédéterminée.

2.2.7.3 macro d'utilisateur: Macro qui est fourni par l'utilisateur.

2.2 Terms related to semicustom integrated circuits

2.2.1 **ASIC:** An integrated circuit designed for specific applications.

2.2.2 **cell-based integrated circuits:** An integrated circuit having one or more pre-characterized cells or macros selectively placed on a chip that can subsequently be connected with other on-chip circuit elements in an automated chip-layout process to produce an electrical function.

NOTE – This definition covers both traditional standard-cell design as well as evolving cell-based designs.

2.2.3 **semicustom integrated circuit:** An integrated circuit consisting of pre-characterized circuits, cells and macros that can be electronically captured in an automated chip-layout process to produce a circuit for a specific application.

2.2.4 **full custom integrated circuit:** A fullcustom IC may be designed for only one user or it may be designed for only one application (e.g. some special telecommunication circuits).

2.2.5 **gate array:** An integrated circuit containing a fixed topology of circuit elements used to form macro cells and macro functions that are or may be interconnected to implement a logic function.

2.2.5.1 **channelled gate array:** A gate array consisting of pre-characterized circuit elements (cells and/or macros) that are in chip regions separated from the regions intended to be used for interconnection.

2.2.5.2 **sea of gates:** A gate array consisting of pre-characterized circuit elements (cells and/or macros) that can be covered by interconnection circuitry. In a sea of gates layout, the interconnect region is created by sacrificing rows of gates.

2.2.5.3 **circuit element:** A basic constituent part of a circuit, exclusive of interconnections. Examples include resistors, capacitors and transistors.

2.2.6 **cell:** A pre-characterized circuit element with specific layout and interconnection terminals to implement an electrical function.

2.2.6.1 **standard cell:** A cell with fixed physical and electrical characteristics established by the supplier.

2.2.6.2 **basic cell:** A cell that consists of several transistors and passive elements to facilitate integration.

2.2.7 **macro:** A collection of cells with specific electrical connectivity whose characteristics are derived from the characteristics of its composing cells.

NOTE – This definition includes super integration, which comprises one or more pre-characterized huge type of cells or macros.

2.2.7.1 **hard macro:** A characterized fixed layout and interconnection of primitives that implement an electrical function.

NOTE – Characterization may be made either by measurement of fabricated devices or by computer simulation or by both. Characterization may include the following aspects: physical dimensions, logic functionality, testability, layout rule compliance and reliability.

2.2.7.2 **soft macro:** An interconnection of primitives and/or macro cells that implements an electrical function but has no predetermined physical layout.

2.2.7.3 **user's macro:** A macro that is provided by the user.

2.3 Symboles graphiques pour les circuits intégrés semi-personnalisés

A l'étude.

3 Données essentielles de la part du fournisseur de circuits intégrés semi-personnalisés

3.1 Remarques générales

Cet article fournit des données minimales concernant les circuits intégrés semi-personnalisés établis par le fournisseur, par exemple réseaux prédiffusés ou cellules prédéfinies.

3.2 Identification et types de circuit

3.2.1 Désignation et types

Si le circuit fait partie d'une catégorie fonctionnelle ou électrique, cela doit être indiqué. Les catégories fonctionnelle et électrique peuvent être numériques, analogiques, numériques et analogiques mixtes, ou de circuits d'interface numérique.

3.2.2 Description fonctionnelle générale

Si le circuit intégré semi-personnalisé utilise une série d'éléments, cela doit être indiqué. Les éléments fonctionnels principaux y compris le nombre maximal de portes disponibles, RAM, ROM, MPU et/ou blocs fonctionnels, doivent être indiqués. En outre, la taille des pastilles et le nombre des plots de connexion disponibles doivent être donnés.

3.2.3 Technologie de fabrication

La technologie de fabrication du circuit intégré monolithique doit être indiquée, par exemple CMOS, bipolaire, BICMOS, etc., ainsi que le type et le nombre de couches d'interconnexion, et, pour le CMOS, la longueur de porte (prévue) et, au besoin, la longueur de canal (effective).

3.3 Description de l'application

3.3.1 Application principale

L'application principale doit être indiquée si nécessaire. Toute restriction d'application doit être indiquée.

3.3.2 Identification du boîtier

Numéro CEI et/ou numéro national de référence du dessin d'encombrement, ou dessin du boîtier non normalisé avec la numérotation des bornes et le matériau principal du boîtier, tel que céramique, plastique, etc. La gamme de taille minimale et maximale de pastille doit être indiquée sur chaque boîtier. Si nécessaire, la résistance thermique doit être spécifiée.

3.4 Spécification de la description fonctionnelle des éléments de bibliothèque

3.4.1 Schéma synoptique détaillé des cellules de base (caractéristiques des cellules)

Les fonctions des cellules de base peuvent être indiquées par référence à des catalogues de données applicables ou manuels de conception, y compris leurs éditions revues. Un schéma synoptique détaillé ou une information équivalente sur le circuit des cellules de base doit être donné. Selon la fonction, la description doit être donnée en accord avec le chapitre III de chacune des publications suivantes la CEI 60748-2, la CEI 60748-3 ou la CEI 60748-4. Les symboles graphiques des fonctions doivent être donnés. Ils peuvent être extraits d'un catalogue de symboles graphiques normalisés ou dessinés en suivant les règles de la CEI 60617-12 ou de la CEI 60617-13.

2.3 *Graphical symbols for semicustom integrated circuits*

Under consideration.

3 **Essential data of semicustom integrated circuits from supplier**

3.1 *General remark*

This clause gives the minimum data for semicustom integrated circuits established by the supplier, such as gate arrays or standard cells.

3.2 *Circuit identification and types*

3.2.1 *Designation and types*

If the device belongs to a functional or electrical category, that shall be stated. Functional and electrical categories can be digital, analogue, mixed digital and analogue or digital interface circuits.

3.2.2 *General function description*

When the semicustom integrated circuit makes use of a series, it shall be stated. The main functional features including the maximum number of available gates, RAM, ROM, MPU and/or functional blocks shall be stated. In addition, the die size and the number of available bonding pads shall be given.

3.2.3 *Process technology*

The process technology of monolithic integrated circuits shall be stated such as CMOS, bipolar, BICMOS etc., also type and number of interconnection layers, as well as for CMOS the (drawn) gate length, and optionally, the (effective) channel length.

3.3 *Application related description*

3.3.1 *Main application*

If necessary, the main application shall be stated. Any restrictions for application shall be stated.

3.3.2 *Package identification*

The IEC and/or national reference number of the outline drawing or drawing of a nonstandard package, including terminal numbering and the principal package material, for example, ceramic, plastic, etc., shall be stated. A minimum and maximum chip size range shall be stated for each package. If necessary, the thermal resistance shall be specified.

3.4 *Specification of the functional description of library elements*

3.4.1 *Detailed block diagram of basic cells (cell features)*

The function of the basic cells may be referenced to applicable data books or design manuals, including their revisions. A detailed block diagram or equivalent circuit information of the basic cells shall be given. Depending on the function, the description shall be given in accordance with chapter III of each of the following publications: IEC 60748-2, IEC 60748-3, and IEC 60748-4. The graphical symbols for the function shall be given. This may be obtained from a catalogue of standardized graphical symbols or designed according to the rules of IEC 60617-12 or IEC 60617-13.

3.4.1.1 Macros matériels

La fonction principale des macros matériels doit être décrite. La liste de tous les macros matériels, avec leurs dimensions, doit être donnée. Toute information complémentaire, telle que le nombre des macros matériels disponibles et leurs emplacements possibles, doit être donnée.

3.4.1.2 Macros logiciels

La fonction principale des macros logiciels doit être décrite et le nombre des différentes cellules de base doit être donné.

3.4.2 Identification et fonction des bornes

Chaque borne prédéfinie existante doit être identifiée avec indication des restrictions d'emploi.

3.5 Valeurs limite (système des valeurs limite maximales absolues)

Ces valeurs s'appliquent dans toute la gamme des températures de fonctionnement, sauf indication contraire. Les valeurs limite ne sont pas données dans un but de contrôle. Sauf indication contraire, les valeurs limite doivent être données comme suit: [Toute précaution propre au circuit intégré doit être indiquée. Si des valeurs limite sont interdépendantes, cela doit être dit. Toutes les conditions auxquelles s'appliquent les valeurs limite doivent être indiquées. Si des éléments extérieurs connectés, et/ou attachés au circuit, tels qu'un radiateur, ont une influence sur les valeurs limite, celles-ci doivent être prescrites pour le circuit intégré complété par ces éléments annexes. Si des valeurs minimales et/ou maximales sont citées, ou doit indiquer si elles sont absolues ou algébriques. Si des surcharges transitoires sont permises, leur grandeur et leur durée doivent être spécifiées.

Toutes les tensions se réfèrent à une borne de référence spécifiée (V_{SS} , GND, etc.).

Tableau 1 – Exemples de valeurs limite

Paramètres (note 1)	Symboles	Min.	Max.	Unité
Tension d'alimentation	V_{CC} , V_{DD} , V_{SS} , V_{EE}	X	X	V
Courant d'alimentation, s'il y a lieu	I_{CC} , I_{DD} , I_{SS} , I_{EE}		X	mA
Tension d'entrée	V_I	X	X	V
Courant d'entrée	I_I	X	X	mA
Tension de sortie forcée	V_O , forcé	X	X	V
Courant de sortie	I_O	X	X	mA
Dissipation de puissance	P_D		X	W
Température de stockage	T_{STG}	X	X	°C
Température de jonction s'il y a lieu	T_J		X	°C
Température de soudage s'il y a lieu	T_{SLD}		X	°C
Durée de soudage s'il a lieu (note 2)	t_{SLD}		X	s
NOTES 1 Toutes les autres conditions limite telles que durée du courant, fréquence, méthode de montage, variation des valeurs limite selon la température, etc., doivent être indiquées, s'il y a lieu. 2 La température de soudage maximale doit être indiquée, s'il y a lieu.				

3.4.1.1 *Hard macros*

The main function of the hard macros shall be described. All hard macros shall be listed, including the physical dimensions. All additional information, such as available number and possible locations of the hard macros, shall be given.

3.4.1.2 *Soft macros*

The main function of the soft macros shall be described, and the number of the different basic cells shall be given.

3.4.2 *Identification and function of terminals*

Each predefined terminal shall be identified, and the restriction of its use shall be indicated.

3.5 *Limiting values (absolute maximum rating system)*

These values apply over the operating temperature range, unless otherwise specified. Limiting values are not for inspection purposes. Unless otherwise specified, limiting values shall be given as follows: [Any cautionary statement unique to the integrated circuit shall be included. It shall be specified if any interdependence of limiting values exist. All conditions for which the limiting values apply shall be stated. If externally connected and/or attached elements, for example heat-sinks, have an influence on the values of the ratings, the ratings shall be prescribed for the integrated circuit with the elements connected and/or attached. If minimum and/or maximum values are quoted, it shall be indicated whether they are absolute or algebraic. If transient overloads are permitted, their magnitude and duration shall be specified.]

All voltages are referenced to a specified reference terminal (V_{SS} , GND, etc.).

Table 1 – Examples of limiting values

Parameters (note 1)	Symbols	Min.	Max.	Unit
Supply voltage	V_{CC} , V_{DD} , V_{SS} , V_{EE}	X	X	V
Supply current, where appropriate	I_{CC} , I_{DD} , I_{SS} , I_{EE}		X	mA
Input voltage	V_I	X	X	V
Input current	I_I	X	X	mA
Forced output voltage	V_O , forced	X	X	V
Output current	I_O	X	X	mA
Power dissipation	P_D		X	W
Storage temperature	T_{STG}	X	X	°C
Junction temperature, where appropriate	T_J		X	°C
Soldering temperature, where appropriate	T_{SLD}		X	°C
Soldering duration, where appropriate (note 2)	t_{SLD}		X	s
NOTES 1 Any other limiting conditions such as current duration, frequency, mounting method, temperature dependence of the ratings, etc., shall be stated, where appropriate. 2 Maximum soldering temperature shall be stated, where appropriate.				

3.6 Conditions de fonctionnement recommandées (dans la gamme de températures de fonctionnement spécifiée)

Ces conditions n'ont pas à être contrôlées, mais peuvent être utilisées pour l'assurance de la qualité.

Toutes les tensions se réfèrent à une borne de référence spécifiée (V_{SS} , GND, etc.).

Tableau 2 – Exemples de conditions de fonctionnement recommandées

Paramètres	Symboles	Min.	Max.	Unité
Tension d'alimentation	V_{CC} , V_{DD} , V_{EE}	X	X	V
Tension d'entrée au niveau bas	V_{IL}	X	X	V
Tension d'entrée au niveau haut	V_{IH}	X	X	V
Temps d'entrée de croissance et de décroissance	t_r , t_f	X	X	ns
Température de fonctionnement	T_{amb} et/ou T_{case}	X	X	°C
NOTE – S'il y a lieu, toute autre condition de fonctionnement telle que fréquence, courant de charge, doit être spécifiée selon la CEI 60748-2, la CEI 60748-3 et la CEI 60748-4.				

3.7 Caractéristiques électriques des éléments de bibliothèque

Sauf indication contraire, les caractéristiques doivent s'appliquer dans toute la gamme recommandée des températures de fonctionnement et des tensions d'alimentation.

Si la performance indiquée du circuit varie dans la gamme des températures de fonctionnement, les valeurs des tensions d'entrée et de sortie et des courants correspondants doivent être données à 25 °C et aux températures extrêmes de la gamme des températures de fonctionnement. Les valeurs des courants et tensions doivent être données pour chaque type fonctionnellement différent d'entrée et/ou de sortie. Les caractéristiques spéciales, la séquence de temps et d'autres exigences éventuelles doivent être spécifiées.

3.7.1 Caractéristiques statiques

Toutes les tensions se réfèrent à une borne de référence spécifiée.

3.6 Recommended operating conditions (within the specified operating temperature range)

These conditions are not to be inspected, but may be used for quality assessment purposes.

All voltages are referenced to a specified reference terminal (V_{SS} , GND, etc.).

Table 2 – Examples of recommended operating conditions

Parameters	Symbols	Min.	Max.	Unit
Supply voltage	V_{CC} , V_{DD} , V_{EE}	X	X	V
Low level input voltage	V_{IL}	X	X	V
High level input voltage	V_{IH}	X	X	V
Input rise and fall time	t_r , t_f	X	X	ns
Operating temperature	T_{amb} and/or T_{case}	X	X	°C
NOTE – Where appropriate, any other operating conditions, such as frequency and load current, shall be stated according to IEC 60748-2, IEC 60748-3 and IEC 60748-4.				

3.7 Electrical characteristics of library elements

Unless otherwise specified, the characteristics shall apply over the full recommended range of operating temperatures and supply voltages. Where the stated performance of the circuit varies over the operating temperature range, the values of the input and output voltages and their associated currents shall be stated at 25 °C and the extremes of the operating temperature range. Values of currents and voltages shall be given for each functionally different type of input and/or output. Special characteristics and timing or other requirements shall be specified.

3.7.1 Static characteristics

All voltages are referenced to a specified reference terminal.

Tableau 3 – Exemples de caractéristiques statiques

Nom de macro (note)					
Caractéristiques	Symboles	Conditions d'essais	Min.	Max.	Unité
Courant d'alimentation en fonctionnement	I_{CC}, I_{EE}, I_{DD}	$V_L = GND, V_{IH} = V_{OC,max}$ pour I_{CC} $V_L = GND, V_{IH} = V_{EE,max}$ pour I_{EE} $V_L = GND, V_{IH} = V_{DD,max}$ pour I_{DD}		X	mA
Courant d'alimentation au repos	I_{DDQ}	Fréquence (entrées d'horloge), conditions d'entrée et sortie doivent être spécifiées (par exemple circuits d'excursion haute et basse désactivés pour I_{DDQ})		X	mA
Seuil de déclenchement positif de la bascule de Schmitt, s'il y a lieu	V_{T+}			X	V
Seuil de déclenchement négatif de la bascule de Schmitt, s'il y a lieu	V_{T-}		X		V
Hysteresis de Schmitt s'il y a lieu	ΔV_T	V_{IL} à V_{IH}	X		V
Tension de sortie à niveau bas	V_{OL}	I_{OL}		X	V
Tension de sortie à niveau haut	V_{OH}	I_{OH}	X		V
Courant d'entrée à niveau bas	I_{IL}	$V_I=0V$		X	μA
Courant d'entrée a niveau haut	I_{IH}	$V_I=V_{DD}$		X	μA
Courant d'entrée avec excursion haute/basse	$I_I(1)$	$V_I=0V$	X		μA
Courant d'entrée avec excursion haute/basse	$I_I(2)$	$V_I=V_{DD}$		X	μA
Courant de fuite de sortie, s'il y a lieu	$I_{LO}(1)$	$V_O=0V$		X	μA
Courant de fuite de sortie, s'il y a lieu	$I_{LO}(2)$	$V_O=V_{DD}$		X	μA
NOTE – Le nom des macros d'entrée et de sortie auxquels s'appliquent les caractéristiques doit être indiqué.					

3.7.2 Caractéristiques dynamiques

Les temps de propagation entre les entrées extérieures et les sorties extérieures dépendent de leur emplacement et du routage des interconnexions, de la résistance interne, de la capacité interne, aussi bien que des temps de propagation intrinsèques donnés des cellules de base. [Les valeurs estimées des temps de propagation doivent être données dans un tableau. La vérification de ces valeurs doit être effectuée.]

3.7.3 Diagramme de temps

Le diagramme de temps doit montrer toutes les relations critiques entrées/sorties. Il doit être composé d'un ou plusieurs diagrammes montrant les relations critiques entre deux signaux ou plus. Les exigences de temps, telles que les temps d'établissement et temps de maintien doivent être indiquées. Un exemple de diagramme de temps est donné à la figure 2.

Table 3 – Examples of static characteristics

Macro name (note)					
Characteristics	Symbols	Test conditions	Min.	Max.	Unit
Supply current, operating	I_{CC} , I_{EE} , I_{DD}	$V_L = \text{GND}$, $V_{IH} = V_{OC,max}$ for I_{CC} $V_L = \text{GND}$, $V_{IH} = V_{EE,max}$ for I_{EE} $V_L = \text{GND}$, $V_{IH} = V_{DO,max}$ for I_{DD}		X	mA
Quiescent supply current	I_{DDQ}	Frequency (clock inputs), input and output conditions shall be stated. (e.g. pull-up and pull-down deactivated for I_{DDQ})		X	mA
Schmitt trigger positive going threshold, where appropriate	V_{T+}			X	V
Schmitt trigger negative going threshold, where appropriate	V_{T-}		X		V
Schmitt hysteresis, where appropriate	ΔV_T	V_{IL} to V_{IH}	X		V
Low level output voltage	V_{OL}	I_{OL}		X	V
High level output voltage	V_{OH}	I_{OH}	X		V
Low level input current	I_{IL}	$V_I = 0V$		X	μA
High level input current	I_{IH}	$V_I = V_{DD}$		X	μA
Input current with pull-up/down	$I_I(1)$	$V_I = 0V$	X		μA
Input current with pull-up/down	$I_I(2)$	$V_I = V_{DD}$		X	μA
Output leakage current, where appropriate	$I_{LO}(1)$	$V_0 = 0V$		X	μA
Output leakage current, where appropriate	$I_{LO}(2)$	$V_0 = V_{DD}$		X	μA
NOTE – The name of the input and output macros for which the characteristics apply shall be stated.					

3.7.2 Dynamic characteristics

The propagation delays from external inputs to external outputs depend upon placement and interconnection routing, upon internal resistance and internal capacitance, as well as upon the given intrinsic propagation delays of the basic cells. [The estimated values of the propagation delays shall be given in a table. The verification of these values shall be performed.]

3.7.3 Timing diagram

A timing diagram shall show all critical interrelated input and output. The timing diagram shall consist of one or more diagrams showing critical inter-relationships between two or more signals. Timing requirements such as setup and hold times shall also be shown. An example of a timing diagram is given in figure 2.

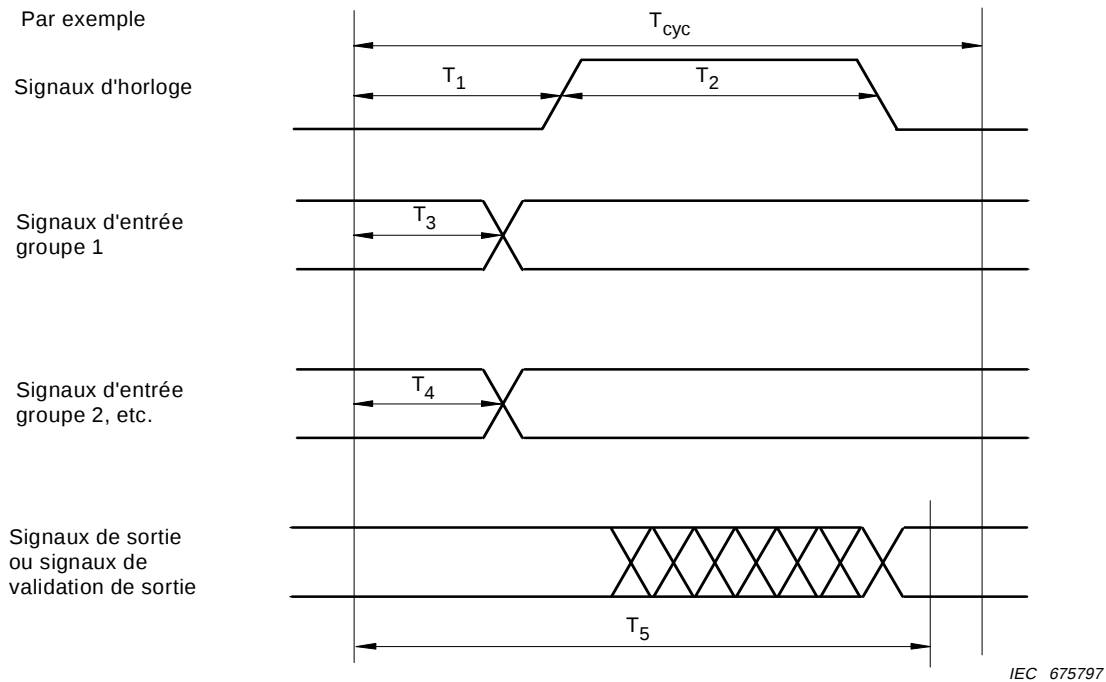


Figure 2 – Exemple de diagramme de temps

3.7.4 Capacités

Tableau 4 – Exemple de capacités

Nom de macro (note)					
Caractéristiques	Symboles	Conditions d'essais	Min.	Max.	Unité
Capacité d'entrée	C_{IN}			X	pF
Capacité d'entrée/sortie	$C_{IN/OUT}$			X	pF
Capacité de sortie	C_{OUT}			X	pF
NOTE – Le nom des macros d'entrée et de sortie auxquels s'appliquent les caractéristiques doit être indiqué.					

3.8 Informations supplémentaires

Les informations sur la décharge électrostatique doivent être données conformément à des considérations à l'étude. Les informations sur la performance de verrouillage à l'état passant pour les CMOS doivent être données selon la CEI 60748-2, chapitre III, 5.5 et 6.3 (amendement 2). Voir aussi la CEI 60748-11, 10.9.

4 Méthodes de mesure

4.1 Remarques générales

L'article 1 de la CEI 60748-1, chapitre VII, lu conjointement avec les article 1 et 2 de la CEI 60747-1, chapitre VII, s'applique, sauf indication contraire.

4.2 Exigences spécifiques

Toutes les méthodes décrites dans les articles suivants doivent être appliquées aux véhicules de tests technologiques:

- CEI 60748-2, chapitre IV, Section un, article 2;
- CEI 60748-3, chapitre IV, Section un, article 2;
- CEI 60748-4, chapitre IV, Section un, article 2.

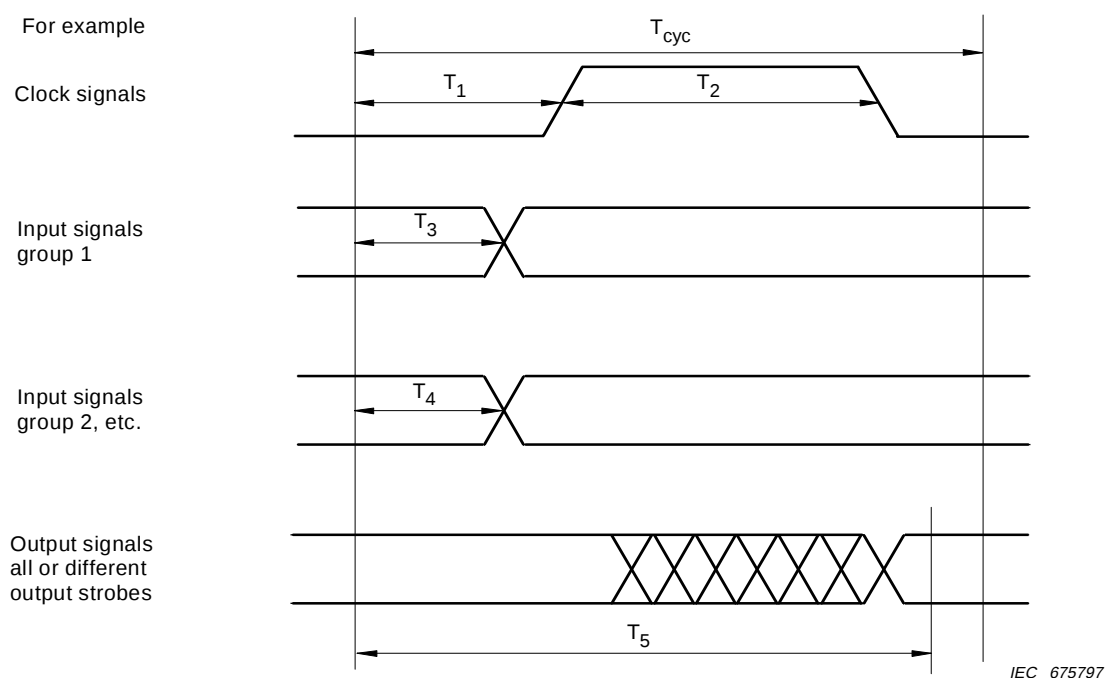


Figure 2 – Example of timing diagram

3.7.4 Capacitances

Table 4 – Examples of capacitances

Macro note (note)					
Characteristics	Symbols	Test conditions	Min.	Max.	Unit
Input capacitance	C_{IN}			X	pF
Input/output capacitance	$C_{IN/OUT}$			X	pF
Output capacitance	C_{OUT}			X	pF
NOTE – The name of the input and output macros for which the characteristics apply shall be stated.					

3.8 Additional information

Information on electrostatic discharge shall be given in accordance with considerations under examination. Information concerning the latch-up performance for CMOS shall be given according to IEC 60748-2, Chapter III, subclauses 5.5 and 6.3 (amendment 2). See also IEC 60748-11, 10.9.

4 Measuring methods

4.1 General remark

Clause 1 of IEC 60748-1, Chapter VII read in conjunction with clauses 1 and 2 of IEC 60747-1, Chapter VII, applies unless otherwise specified.

4.2 Specific requirements

All the methods described in the following clauses shall be applied to technological test vehicles:

- IEC 60748-2, Chapter IV, Section one, clause 2;
- IEC 60748-3, Chapter IV, Section one, clause 2;
- IEC 60784-4, Chapter IV, Section one, clause 2.

4.3 *Caractéristiques statiques*

Voir les points appropriés de la CEI 60748-2, de la CEI 60748-3 et de la CEI 60748-4.

4.4 *Caractéristiques dynamiques*

Voir les points appropriés de la CEI 60748-2, de la CEI 60748-3 et de la CEI 60748-4.

5 Réception et fiabilité

5.1 *Essais d'endurance électrique*

5.1.1 *Exigences générales*

Voir la CEI 60748-1, chapitre VIII, Section trois, article 2, ainsi que la CEI 60748-11.

5.1.2 *Exigences spécifiques*

Voir la CEI 60748-1, Chapitre VIII, Section trois, article 3, ainsi que la CEI 60748-11.

5.2 *Essais d'environnement*

Voir les publications de la CEI appropriées.

5.3 *Procédure d'analyse des défaillances*

Voir les publications de la CEI appropriées.

6 Aspects de conception

6.1 *Remarques générales*

Cet article indique toutes les informations sur la conception qui sont requises pour permettre la réalisation d'un circuit intégré semi-personnalisé, la forme sous laquelle elles doivent être fournies (par exemple catalogue de données ou manuels de conception), et qui doit les fournir (par exemple l'utilisateur ou le fournisseur).

Les documents doivent être fournis par l'utilisateur ou par le fournisseur selon le niveau d'interfaces choisi conformément à l'article 7.

6.2 *Bibliothèque (approuvée par le fournisseur)*

La version de la bibliothèque doit être indiquée. La bibliothèque de toutes les cellules et macros doit comprendre les éléments suivants:

- symboles graphiques de chaque circuit de cellule;
- description fonctionnelle (par exemple diagramme logique, table des états logiques);
- toutes les caractéristiques électriques statiques et dynamiques appropriées, y compris les capacités de charge de sortie, les facteurs de charge d'entrée, la consommation de puissance statique et dynamique, etc.;
- schéma détaillé du circuit, y compris les dimensions des transistors;
- la topologie des cellules avec toutes les structures particulières;
- le compte rendu de la vérification par simulation de la bibliothèque de cellules sur les plans géométrique, fonctionnel, électrique et séquence de temps.

4.3 *Static characteristics*

See relevant points in IEC 60748-2, IEC 60748-3 and IEC 60748-4.

4.4 *Dynamic characteristics*

See relevant points in IEC 60748-2, IEC 60748-3 and IEC 60748-4.

5 **Acceptance and reliability**

5.1 *Electrical endurance tests*

5.1.1 *General requirements*

See IEC 60748-1, Chapter VIII, Section three, clause 2 and also IEC 60748-11.

5.1.2 *Specific requirements*

See IEC 60748-1, Chapter VIII, Section three, clause 3 and also IEC 60748-11.

5.2 *Environment tests*

See relevant IEC publications.

5.3 *Failure analysis procedure*

See relevant IEC publications.

6 **Design aspects**

6.1 *General remarks*

This clause lists all the design information that is required to enable a semicustom IC function, such as the format in which it shall be supplied (such as data books or design manuals), and who shall supply it (such as user or supplier).

The documents shall be supplied either by the user or the supplier, depending on the chosen interface level, in accordance with clause 7.

6.2 *Library (approved by supplier)*

The library version shall be stated. The library of all cells and macros shall be described in the following terms:

- graphical symbols of each cell circuit;
- functional description (for example logic diagram, truth table);
- all relevant static and dynamic electrical characteristics, including output loading capabilities, input loading factors, the static and dynamic power consumption, etc.;
- a detailed circuit diagram, including transistor sizes;
- the cell layout with all distinctive structures;
- the description of the simulation verification of the cell library in terms of geometrical, functional, electrical and timing checks.

6.3 Matériel de conception assistée par ordinateur (CAO)

Une liste doit être fournie, indiquant la configuration et la description du matériel de CAO (par exemple stations de travail, systèmes d'exploitation avec le numéro de la version, taille mémoire requise, réseau informatique local, unité centrale, etc.).

6.4 Logiciel de CAO

6.4.1 Système de CAO

Une liste des logiciels doit être fournie, indiquant pour chacun le nom, la version, le fabricant, le langage de description, le format de données, etc. Le système de CAO doit comprendre tout ou partie des outils suivants, sans exclure d'autres outils.

a) Entrée du schéma

Le schéma du circuit intégré semi-personnalisé sera entré dans le système de CAO au moyen d'éditeurs graphiques capables de présenter les listes d'interconnexions dans un format spécifié.

b) Synthèse

Les schémas peuvent être produits par des compilateurs spécialisés à partir de descriptions fonctionnelles (par exemple équations booléennes) du circuit intégré semi-personnalisé, ou à partir de certains blocs du circuit. Les compilateurs doivent dans ce cas présenter l'information sur les schémas dans un format spécifié, accepté aussi par les autres outils du système de CAO. Les aspects topologiques de la technologie doivent aussi être couverts par l'outil de synthèse.

c) Simulation

Le fonctionnement du circuit intégré semi-personnalisé sera vérifié au moyen d'un programme de simulation acceptant en entrée la liste d'interconnexions représentant le projet et un ensemble de vecteurs représentatifs pour l'application. La réponse logique du circuit et sa performance en courant alternatif seront évaluées pour différents cas (par exemple cas le plus favorable, cas normal, cas le plus défavorable) avant routage avec charges estimées, et après routage, les charges étant extraites et rétro-annotées.

d) Analyse des temps

Les temps de propagation peuvent être déterminés au moyen d'un programme capable d'additionner les temps des divers éléments, dûment chargés, pour tous les chemins de propagation du signal, et de donner les résultats selon des critères de sélection fixés par l'utilisateur.

e) Vérification des règles de construction

La compatibilité des règles de conception imposées par la technologie (par exemple le nombre de sorties qui peuvent être connectées en parallèle ou en série, le nombre de broches d'alimentation, etc.) sera vérifiée au moyen d'un programme effectuant les vérifications demandées par le fournisseur pour s'assurer que le circuit intégré semi-personnalisé sera réalisable. (Ce programme provient normalement du fournisseur.)

f) Vérification des possibilités d'essais

La compatibilité de la structure prévue avec la méthode d'essais adoptée (par exemple balayage des noeuds logiques, LSSD, balayage des plots d'entrée/sortie, etc.) peut être vérifiée au moyen de logiciels spécialisés.

g) Génération automatique de vecteurs de test

La séquence utilisée pour produire les programmes d'essais peut être créée par un logiciel spécialisé de format compatible avec les autres logiciels du système de CAO.

h) Degré de couverture de défaut

Le degré de couverture de défaut est une évaluation statistique du nombre de points logiques d'un circuit intégré semi-personnalisé qui peuvent être appliqués et activés par un programme d'essai électrique. La valeur minimale acceptable du degré de couverture de défaut sera normalement convenue entre l'utilisateur et le fournisseur du circuit intégré semi-personnalisé.

6.3 Computer aided engineering (CAE) design hardware

A list with the configuration and description of the CAE hardware (such as workstations, operating systems including version number, memory requirements, local area network, host computer, etc.) shall be described.

6.4 CAE design software

6.4.1 CAE design system

A list of software packages, including name, version, manufacturer, description language, data formats, etc., shall be given. The CAE system shall include some or all of the following tools, without being restricted to them.

a) Schematic entry

The schematics of the semicustom IC will be entered in the CAE system using graphic editors capable of generating the netlists in a specified format.

b) Synthesis

Schematics can be produced from functional descriptions (for example Boolean equations) of the semicustom IC or some of its blocks by specialized compilers. The compilers must then generate the information about the schematics in a specified format, accepted also by the other tools of the CAE system. Technology topological aspects should also be covered by the synthesis tool.

c) Simulation

The functionality of the semicustom IC will be verified using a simulation program that will accept as input the netlist representing the design and a set of vectors which will be representatives for the application. The logic response of the circuit as well as the a.c. performance will be evaluated under different sets of conditions (such as best case, typical, worst case) before layout with estimated loads, and after layout with loads extracted from the layout and back annotated.

d) Timing analysis

The propagation delays may be determined using a program able to sum up the delays of the individual elements with their loads along all signal paths, and to report them following selection criteria established by the user.

e) Check of engineering rules

The compatibility of the design rules imposed by the technology (such as the number of outputs that can be paralleled or connected in wired-or, the number of power supply pins etc.) will be verified using a program that contains the checks required by the supplier to make sure that the semicustom IC will be manufacturable. (This tool normally comes from the supplier.)

f) Check of design for testability

The compatibility of the designed structure with the test strategy adopted (for example scan path, LSSD, boundary scan etc.) may be checked using specialized software tools.

g) Automatic test pattern generation

The pattern used to produce the test programs may be generated by a specialized tool in a format compatible with the other tools in the CAE system.

h) Fault grading

Fault grading is a statistical assessment of the number of those node points in a semicustom IC design that can be accessed and activated by an electrical testing program. A minimum acceptable value of the fault coverage normally will be agreed between the semicustom IC user and supplier.

i) Topologie (placement et routage)

Les éléments de bibliothèque utilisés dans un circuit intégré semi-personnalisé seront disposés sur la surface de la pastille de silicium et interconnectés par des programmes de topologie spécialisés. Ces programmes fourniront l'information sur la topologie dans un format compatible avec les logiciels de fabrication.

j) Vérification des règles de conception

Le respect par la topologie des contraintes de fabrication (par exemple géométries minimales réalisables en silicium, espaces minimaux à respecter entre les géométries, etc.) sera vérifié par des programmes spécialisés. Une documentation accompagnera les éventuels messages d'erreur et avertissements.

6.4.2 *Qualité et mise à jour du logiciel de CAO*

Chaque fournisseur doit spécifier la procédure qu'il utilise pour mettre à jour et réviser ses logiciels de conception. Cette procédure doit être disponible sur demande. Elle doit indiquer la méthode d'essai et le procédé utilisé d'acceptation ou de refus des mises à jour et révisions des logiciels, internes ou du commerce. Cette exigence ne concerne que les logiciels utilisés par le fournisseur dans le procédé de conception spécifique d'application. Si le procédé de conception est assuré partiellement à l'extérieur ou à l'intérieur par des logiciels ne provenant pas du fournisseur (par exemple entrée du schéma), une procédure équivalente doit exister.

NOTE – Pour assurer la qualité du logiciel de CAO mis à jour, voir les procédures d'assurance de la qualité.

7 Interfaces utilisateur/fournisseur

7.1 *Nature des interfaces utilisateur/fournisseur*

Dans le domaine des circuits intégrés semi-personnalisés, l'utilisateur et le fournisseur ont à collaborer en de nombreuses étapes. Le diagramme du tableau 5 montre les points où cela peut se produire classiquement. Les interfaces indiquées n'impliquent pas la responsabilité de l'une ou l'autre partie.

i) Layout (placement and routing)

The library elements in a semicustom IC will be placed on the surface of the silicon chip, and will be interconnected by specialized layouting programs. These programs will produce the information about the layout in a format compatible with the manufacturing tools.

j) Check of design rules

The correctness of the layout with respect to the manufacturing constraints (for example minimum geometries that can be realized in silicon, minimum spacings between geometries, etc.) will be checked by specialized programs. Possible error messages and warnings will be documented.

6.4.2 CAE software quality and updating

Each supplier shall specify the procedure he uses for updating and revising design software packages. This procedure shall be made available on request. It shall outline the test methods and or descriptions concerning the process used to accept or reject updates and revisions to in-house or commercially supplied software packages. This requirement only applies to software packages used by the supplier in the application specific design process. Equivalent procedures shall exist, if, for parts of the design process, non-supplier software packages are used from system-house or external design houses (for example schematic entry).

NOTE – In order to assure the quality of updated CAE software, see relevant quality assessment procedure.

7 User/supplier interface

7.1 Concept of user/supplier design interface

In the field of semicustom integrated circuits, the user and supplier will interface at many stages. The flow diagram of table 5 below shows the typical design points at which this interface may occur. This design interface does not concern the responsibility of either party.

Tableau 5 – Niveaux types des interfaces entre utilisateur et fournisseur

Niveau des interfaces	Utilisateur	Fournisseur	Outil de support	Niveau des interfaces					
				1	2	3	4	5	6
Niveau 1 Interfaces au niveau fonctionnel	Conception du système		Manuel de conception Bibliothèque						
Niveau 2 Interfaces au niveau logique	Conception logique		Spécification fonctionnelle						
Niveau 3 Interfaces au niveau du circuit	Simulation		Station de travail (EWS)						
Niveau 4 Interfaces au niveau de la topologie	Placement et routage		Système de CAO						
Niveau 5 Interfaces au niveau du masque	Simulation post-routage								
		Masque et fabrication							
		Assemblage et essai							
		SP (Spécimen de production)							
Niveau 6 Interfaces au niveau du SP	Evaluation								

Table 5 – Typical interface levels between user and supplier

Interface Level	User	Supplier	Support tool	Interface level					
				1	2	3	4	5	6
Level 1 Functional level interface	System design		Design manual Library	User					
Level 2 Logic level interface	Logic design		Functional specification						
Level 3 Circuit level interface	Simulation		Engineering work station (EWS)						
Level 4 Layout level interface	Placement and routing		CAE system						
Level 5 Mask level interface	Post layout simulation								
		Mask and engineering fabrication	Supplier						
		Assembly and test							
		ES							
Level 6 ES level interface	Evaluation		(Engineering sample)	User					

7.2 Documents types utilisés pour les interfaces utilisateur/fournisseur

Les documents à utiliser sont indiqués au tableau 6 ci-dessous. Les formulaires sont donnés dans l'annexe A.

Tableau 6 – Documents types utilisés pour les interfaces utilisateur/fournisseur à propos des circuit intégrés semi-personnalisés

Niveau des interfaces		Documents	
		Utilisateur	Fournisseur
1	Interface au niveau fonctionnel	1) Vue d'ensemble de la spécification 2) Spécification fonctionnelle a) description générale des demandes dans le système de l'utilisateur b) schéma synoptique fonctionnel 3) Séquence des fonctions 4) Disposition des broches 5) Certificats a) Simulation b) Simulation post-routage c) Evaluation des spécimens de production	1) Catalogue 2) Manuel de conception 3) Bibliothèque de cellules 4) Guide de choix du boîtier 5) Nom et notification du CI 6) Liste des données concernant: a) Simulation des fonctions et des retards, vérification des temps b) Simulation post-routage c) Evaluation des spécimens de production
2	Interface au niveau logique	1) Vue d'ensemble de la spécification 2) Spécification logique a) diagramme logique de circuit b) fonctions attribués aux cellules et macros c) définition et dénomination des cellules macro d'utilisateur d) désignation des buffers d'entrée/sortie e) désignation du niveau du signal d'entrée f) temps de propagation estimés g) dissipation de puissance estimée 3) Données de séquence de test 4) Données de désignation des broches 5) Certificats a) Simulation b) Simulation post-routage c) Evaluation des spécimens de production	1) Catalogue 2) Manuel de conception 3) Bibliothèque de cellules 4) Guide de choix du boîtier 5) Manuel de fonctionnement de l'EWS 6) Manuel de fonctionnement du système de CAO 7) Nom et notification du CI 8) Liste des données concernant: a) Simulation des fonctions et des retards, vérification des temps b) Simulation post-routage c) Evaluation des spécimens de production
3	Interface au niveau du circuit	1) Vue d'ensemble de la spécification 2) Diagramme logique de circuit 3) Données sur la simulation des fonctions et des temps et la vérification des retards 4) Données de séquence de test 5) Données de désignation de broches a) Simulation post-routage b) Evaluation des spécimens de production	1) Catalogue 2) Manuel de conception 3) Bibliothèque de cellules 4) Guide de choix du boîtier 5) Manuel de fonctionnement de l'EWS 6) Manuel de fonctionnement du système de CAO 7) Nom et notification du CI 8) Liste des données concernant: a) Simulation post-routage b) Evaluation des spécimens de production
4	Interface au niveau de la topologie	1) Vue d'ensemble de la spécification 2) Données topologiques 3) Données de séquence de test 4) Données de désignation des broches 5) Certificats a) Simulation post-routage b) Evaluation des spécimens de production	1) Catalogue 2) Manuel de conception 3) Bibliothèque de cellules 4) Guide de choix du boîtier 5) Manuel de fonctionnement de l'EWS 6) Manuel de fonctionnement du système de CAO 7) Manuel du système de topologie 8) Nom et notification du CI 9) Liste des données concernant: a) Simulation post-routage b) Evaluation des spécimens de production
5	Interface au niveau du masque	1) Vue d'ensemble de la spécification 2) Données topologiques 3) Données de simulation post-routage 4) Données de séquence de test 5) Données de désignation des broches 6) Certificat a) Evaluation des spécimens de production	1) Catalogue 2) Manuel de conception 3) Bibliothèque de cellules 4) Guide de choix du boîtier 5) Manuel de fonctionnement de l'EWS 6) Manuel de fonctionnement du système de CAO 7) Manuel du système de topologie 8) Nom et notification du CI 9) Liste des données concernant: a) Simulation post-routage b) Evaluation des spécimens de production
6	Interface au niveau du SP	1) Résultats de l'évaluation des spécimens de production 2) Certificat a) Evaluation des spécimens de production	1) Spécimens de production (SP) 2) Liste des données concernant: a) L'évaluation b) Le résultat des tests

7.2 User/supplier typical interface documents

These documents are shown in table 6 below. The sample forms are shown in annex A.

Table 6 – User/supplier typical interface documents for semicustom ICs

Interface level		Documents	
		User	Supplier
1	Functional-level interface	1) Summary specification 2) Functional specification a) General requirement description in user's system b) Functional block diagram 3) Function pattern 4) Pin configuration 5) Certificate(s) a) Simulation b) Post layout simulation c) Evaluation of engineering sample	1) Catalogue 2) Design manual 3) Cell library 4) Package selection guidance 5) IC naming and notification 6) Presentation data a) Function and delay simulation data, timing verification data b) Post layout simulation data c) Evaluation data of engineering sample
2	Logic-level interface	1) Summary specification 2) Logical specification a) Logic circuit diagram b) Used macro cell, macro function assignment c) User's macro cell definition and naming d) Input/output buffer cell assignment e) Input signal level assignment f) Estimate of propagation delay time g) Estimate of power dissipation 3) Test pattern data 4) Pin assignment data 5) Certificate(s) a) Simulation b) Post layout simulation c) Evaluation of engineering sample	1) Catalogue 2) Design manual 3) Cell library 4) Package selection guidance 5) EWS operation manual 6) CAE system operation manual 7) IC naming and notification 8) Presentation data a) Function and delay simulation data, timing verification data b) Post layout simulation data c) Evaluation data of engineering sample
3	Circuit-level interface	1) Summary specification 2) Logic circuit diagram 3) Function and delay simulation data, timing verification data 4) Test pattern, data 5) Pin assignment data 6) Certificate(s) a) Post layout simulation b) Evaluation of engineering sample	1) Catalogue 2) Design manual 3) Cell library 4) Package selection guidance 5) EWS operation manual 6) CAE system operation manual 7) IC naming and notification 8) Presentation data a) Post layout simulation data b) Evaluation data of engineering sample
4	Layout-level interface	1) Summary specification 2) Layout data 3) Text pattern data 4) Pin assignment data 5) Certificate(s) a) Post layout simulation b) Evaluation of engineering sample	1) Catalogue 2) Design manual 3) Cell library 4) Package selection guidance 5) EWS operation manual 6) CAE system operation manual 7) Layout system operation manual 8) IC naming and notification 9) Presentation data a) Post layout simulation data b) Evaluation data of engineering sample
5	Mask-level interface	1) Summary specification 2) Layout data 3) Post layout simulation data 4) Test pattern data 5) Pin assignment data 6) Certificate a) Evaluation of engineering sample	1) Catalogue 2) Design manual 3) Cell library 4) Package selection guidance 5) EWS operation manual 6) CAE system operation manual 7) Layout system operation manual 8) IC naming and notification 9) Presentation data a) Evaluation data of engineering sample
6	ES-level interface	1) Evaluation result of engineering sample 2) Certificate a) Evaluation of engineering sample	1) ES 2) Presentation data a) Evaluation data b) Test result

8 Données essentielles à fournir pour la production des circuits intégrés semi-personnalisés

8.1 Remarques générales

Cet article concerne la reconnaissance et la confirmation des données de conception d'un circuit intégré semi-personnalisé par la communication d'informations spécifiques par l'utilisateur.

8.1.1 Identification et types de circuits

Indiquer les catégories fonctionnelles et électriques utilisées. Indiquer la technologie choisie pour le procédé de fabrication. Indiquer les noms de séries particulières de circuits intégrés semi-personnalisés. Le nombre de portes, l'attribution des broches, la taille de pastille et toute autre donnée utile doivent être indiquées par l'utilisateur.

8.2 Description de l'application

8.2.1 Description fonctionnelle

L'utilisateur doit spécifier la fonction remplie par le circuit et la décrire conformément à l'article 3.

8.2.2 Schéma synoptique global

Si l'utilisateur le juge bon, il pourra fournir un schéma synoptique de la fonction principale.

8.2.3 Vérification de la fonction

La fonction du circuit doit être vérifiée. La séquence de test, le programme de temps ou de test doivent être créés ou approuvés par l'utilisateur.

8.2.4 Identification et fonction des bornes

Chaque borne doit être identifiée. L'attribution des broches doit être indiquée dans un tableau avec le type de bornes.

Tableau 7 – Exemple de type de bornes

Numéro de broche	Nom de broche	Fonction	Macro	Niveau	Caractéristique
12	ACCT		–	CMOS	4 mA
13	NC	Non connectée	–	–	–
14	VLL		–	TTL	24 mA
15	VDD		–	–	–

8.2.5 Identification du boîtier

Le numéro de référence CEI et/ou nationale du dessin du boîtier doit être indiqué, ou le dessin d'un boîtier non normalisé comprenant le numérotage des bornes et le matériau principal du boîtier tel que céramique, plastique, etc.

Si nécessaire, la résistance thermique doit être spécifiée.

8 Essential data of semicustom integrated circuits released for production

8.1 General remarks

This clause concerns the recognition and approval of the design data for semicustom integrated circuits by the communication of specific information from the user.

8.1.1 Circuit identification and types

The functional and electrical categories used shall be stated. The fabrication process technology selected shall be stated. The name of specific series of semicustom ICs shall be stated. The user shall state the number of gates, the pin assignment, the die size and other relevant data.

8.2 Application related description

8.2.1 Functional description

The function performed by the circuit shall be specified by the user and shall be described according to clause 3.

8.2.2 Overall block diagram

The user has the option of providing or not a block diagram which shows the main function.

8.2.3 Verification of the function

The function of the circuit shall be verified. The test pattern, timing or test program shall be generated or approved by the user.

8.2.4 Identification and function of terminals

Each terminal shall be identified. A pin assignment shall be indicated in a table with the type of terminals.

Table 7 – Example of the type of terminals

Pin number	Pin name	Function	Macro	Level	Characteristic
12	ACCT		–	CMOS	4 mA
13	NC	Not connected	–	–	–
14	VLL		–	TTL	24 mA
15	VDD		–	–	–

8.2.5 Package identification

The IEC and/or national reference number of the outline drawing or drawing of a nonstandard package, including terminal numbering and the principal package material, for example, ceramic, plastic, etc., shall be stated.

If necessary, the thermal resistance shall be specified.

8.2.6 *Autres données utiles*

Au choix de l'utilisateur.

8.3 *Aspects de conception*

Ce paragraphe indique toutes les informations qui doivent être disponibles sous forme de documents (par exemple catalogues de données) pour couvrir des points tels que les suivants.

8.3.1 *Bibliothèque (utilisée par l'utilisateur)*

La version de bibliothèque utilisée doit être indiquée.

La bibliothèque utilisée pour toutes les cellules et macros doit comprendre les éléments suivants:

- symboles graphique du circuit de chaque cellule;
- toutes les caractéristiques électriques appropriées, statiques et dynamiques, y compris les capacités de charges de sortie, les facteurs de charge d'entrée, la consommation de puissance statique et dynamique, etc.

On peut convenir de donner des informations supplémentaires comme:

- un schéma détaillé du circuit comprenant les dimensions réelles des transistors;
- la topologie des cellules avec toutes les structures particulières;
- le compte rendu de la vérification par simulation de la bibliothèque de cellules sur les plans géométrique, fonctionnel, électrique et séquence de temps.

8.3.2 *Aspects topologiques*

La description des aspects topologiques à concevoir doit comprendre les éléments suivants:

- a) diagramme d'interconnexion;
- b) diagramme du plan d'implantation (emplacement des blocs fonctionnels avec les signaux/bus correspondants), s'il y a lieu;
- c) diagramme du chemin critique, s'il y a lieu;
- d) diagramme du routage de puissance, s'il ne suit pas l'organisation standard des bus de puissance (par exemple organisation des bus de puissance basée sur les blocs fonctionnels pour des conceptions précaractérisées/semi-personnalisées).

8.3.3 *Matériel de CAO*

Une liste doit être fournie, indiquant la configuration et la description du matériel de CAO utilisé (par exemple stations de travail, systèmes d'exploitation, taille de mémoire requise, réseau informatique local, unité centrale, etc.).

8.3.4 *Logiciel de CAO*

Une liste des logiciels utilisés doit être fournie, comprenant pour chacun le nom, la version, le fabricant, le langage de description, le format de données, etc.

NOTE – Il convient que les valeurs limites, caractéristiques et exigences essentielles concernant les produits finals soient données conformément à la CEI 60748-1.

8.2.6 *Other relevant data*

At the user's option.

8.3 *Design aspect*

This subclause lists all the information, which shall be available as documents (for example as data books) covering topics such as the following.

8.3.1 *Library (used by user)*

The library version used shall be stated.

The library of all cells and macros used shall be described in the following terms:

- graphical symbols of each cell circuit;
- all relevant static and dynamic electrical characteristics, including output loading capabilities, input loading factors, the static and dynamic power consumption, etc.

Additional information may be given, if mutually agreed, for example:

- a detailed circuit diagram, including effective transistor sizes;
- the cell layout with all distinctive structures;
- the description of the simulation verification of the cell library in terms of geometrical, functional, electrical and timing checks.

8.3.2 *Topological aspects*

The topological aspects to be designed shall be described in the following terms:

- a) bonding diagram;
- b) a diagram showing the floor plan (location of functional blocks and relevant signals/busses), if applicable;
- c) a diagram with the critical path, if applicable;
- d) a diagram with power routing, if not according to the amendment power bussing (for example function block-oriented power bussing at cell-based designs/ semicustom designs).

8.3.3 *CAE design hardware*

A list with the configuration and description of CAE-hardware used shall be stated (such as workstations, operating systems, memory requirements, local area network, host computer, etc.).

8.3.4 *CAE design software*

A list of software packages used, including name, version, manufacturer, description language, data formats, etc., shall be given.

NOTE – Essential ratings, characteristics and requirements for the final products should be given in accordance with IEC 60748-1.

Annexe A (informative)

Formulaires utilisés pour les interfaces utilisateur/fournisseur

Les documents suivants ont été préparés pour les interfaces utilisateur/fournisseur.

- 1) Vue d'ensemble de la spécification
- 2) Certificat A – Après simulation
- 3) Certificat B – Après simulation post-routage
- 4) Certificat C – Après évaluation par l'utilisateur des spécimens de production.

Annex A

(informative)

Forms used for the activity in user/supplier interface

The following documents have been prepared for the user/supplier interface.

- 1) Summary specification
- 2) Certificate A – After simulation
- 3) Certificate B – After post-layout simulation
- 4) Certificate C – After user has evaluated the engineering sample.

Vue d'ensemble de la spécification

Formulaire du fournisseur

Cette spécification a pour but de permettre au fournisseur de choisir le circuit intégré semi-personnalisé le mieux adapté à la réalisation du système de l'utilisateur.

- A) Broches d'entrée
 - 1) Niveau du signal d'entrée
 - 2) Types de niveau d'entrée des CMOS
 - 3) Types de tampon(s) d'entrée des CMOS
- B) Broches de sortie
 - 1) Type de sortie
 - 2) Nombre de broches du tampon(s) de sortie normal
 - 3) Nombre de broches du tampon(s) de sortie à trois états
 - 4) Types de tampon(s) de sortie à drain ouvert
- C) Broches bidirectionnelles
 - 1) Niveau du signal d'entrée
 - 2) Types de tampon(s) bidirectionnels avec tampon(s) d'entrée TTL
 - 3) Types de tampon(s) bidirectionnels avec tampon(s) d'entrée CMOS
- D) Broches d'oscillateur
 - 1) Type d'oscillateur
 - 2) Nombre des broches de tampon(s) pour oscillateur cristal
 - 3) Nombre des broches de tampon(s) pour oscillateur CR
- E) Alimentation supplémentaire/broches V_{SS}
 - 1) Nombre de tampon(s) de sortie changeant simultanément
 - 2) Tous courants de sortie
 - 3) Nombre d'alimentation normale
 - 4) Alimentation supplémentaire/broches V_{SS}
 - 5) Broches d'essai supplémentaires
- F) Nombre de broches d'entrée/sortie nécessaires
- G) Choix des tampon(s) d'entrée
- H) Interface d'entrée/sortie
- I) Tension d'alimentation de fonctionnement
- J) Température ambiante de fonctionnement
- K) Dissipation de puissance estimée
- L) Divers

Summary specification

Form used for the supplier assignment

The purpose of this specification is to allow the supplier to select the most appropriate semicustom IC that meets the needs of the user's system.

- A) Input pin
 - 1) Input signal level
 - 2) Types of CMOS level input
 - 3) Types of CMOS level input buffer
- B) Output pin
 - 1) Output type
 - 2) Pin numbers of normal output buffer
 - 3) Pin numbers of tristate output buffer
 - 4) Types of open drain output buffer
- C) Bi-directional pin
 - 1) Input signal level
 - 2) Types of bi-directional buffers with TTL input buffer
 - 3) Types of bi-directional buffers with CMOS input buffer
- D) Oscillator pin
 - 1) Type of oscillator
 - 2) Pin numbers of buffer for crystal ceramic oscillation
 - 3) Pin numbers of buffer for CR oscillation
- E) Additional power supply/ V_{SS} pin
 - 1) Number of output buffers changing simultaneously
 - 2) All output current
 - 3) Number of normal power supply
 - 4) Additional power supply/ V_{SS} pins
 - 5) Additional test pins
- F) Numbers of necessary I/O pins
- G) Input buffer selection
- H) Input/output interface
- I) Operation power supply voltage
- J) Operation ambient temperature
- K) Estimate of power dissipation
- L) Others

CERTIFICAT A après simulation

Formulaire du fournisseur

1 Du fournisseur à l'utilisateur

Après simulation par le fournisseur suivant le diagramme logique du circuit et le diagramme des temps fournis par l'utilisateur, le fournisseur adresse à l'utilisateur les données suivantes. Quand l'utilisateur a approuvé chaque donnée du fournisseur et que le fournisseur a obtenu la certification de l'utilisateur, le fournisseur commencera la réalisation topologique.

Signe repère pour la CAO: _____

Données présentées:

Diagramme logique du circuit

Diagramme des temps

Données de simulation

Configuration des broches

2 De l'utilisateur au fournisseur

Quand l'utilisateur a vérifié les données de simulation et la configuration des broches présentées par le fournisseur, l'utilisateur remet sa certification au fournisseur et l'autorise à commencer la réalisation topologique.

Certification

Nom de la société: _____

Section/département: _____

Directeur (signature): _____

CERTIFICATE A after simulation

Form used for the supplier assignment

1 From supplier to user

After simulation in accordance with the user's logical circuit diagram and time chart, the supplier will send the following data to the user. After the user has approved the data and the supplier has received certification from the user, the supplier will start the layout design.

Indication sign for CAE: _____

Presentation data

Logical circuit diagram

Time diagram

Simulation date

Pin configuration

2 From user to supplier

After the simulation data and the pin configuration has been checked by the user, he will give a firm order to the supplier to start the layout design.

Certification

Company name: _____

Department/section: _____

Manager (signature): _____

CERTIFICAT B après simulation post-routage

Formulaire du fournisseur

1 Du fournisseur à l'utilisateur

Quand le fournisseur a terminé la réalisation topologique et la simulation post-routage, il adresse à l'utilisateur les données correspondantes.

Quand l'utilisateur a approuvé chaque donnée du fournisseur et que le fournisseur a obtenu la certification de l'utilisateur, le fournisseur commence la production du masque et des plaquettes.

Signe repère pour la CAO: _____

Données présentées: Données de simulation post-routage

Le fournisseur notifiera alors à l'utilisateur le nom et le boîtier du circuit intégré.

Numéro du type: _____

Boîtier: _____

2 De l'utilisateur au fournisseur

Quand l'utilisateur a vérifié les données de simulation post-routage présentées au fournisseur, l'utilisateur remet sa certification au fournisseur et l'autorise à commencer la production du masque.

Marquage spécial

Dénomination spéciale: OUI NON

Designation des dimensions: OUI NON

(Si OUI, se reporter svp aux données annexées)

Contenu du marquage désiré: _____

Certification

Nom de la société: _____

Section/département: _____

Directeur (signature): _____

CERTIFICATE B after post-layout simulation

Form used for the supplier assignment

1 From supplier to user

After completion of the layout design and the post-layout simulation, the corresponding data will be transmitted to the user. As soon as the user has formally accepted each item of data, the supplier will produce a mask and wafers.

Indication sign for CAE: _____

Presentation data: Post-layout simulation data

The IC package will be marked as follows.

Type number: _____

Package: _____

2 From user to supplier

After the user has verified the post-layout simulation data, he will give a firm order to the supplier to produce the mask.

Special marking

Special naming: YES NO

Size assignment: YES NO

(If the answer is YES, please refer to attached data.)

The desired marking will contain the following: _____

Certification

Company name: _____

Department/section: _____

Manager (signature): _____

CERTIFICAT C après évaluation par l'utilisateur des spécimens de production (ES)

Formulaire du fournisseur

Quand le fournisseur a terminé la production des plaquettes et évalué les spécimens, le fournisseur adresse à l'utilisateur les spécimens de production et les résultats de leur évaluation. Quand l'utilisateur a évalué les spécimens de production selon sa propre spécification fonctionnelle, il adresse au fournisseur la certification de cette évaluation comme suit.

Numéro du type: _____

Résultat de l'évaluation des spécimens de production: BON/DÉFAILLANCE

Motif de défaillance si celle-ci n'est apparue qu'après l'évaluation des spécimens de production

Certification

Nom de la société: _____

Section/département: _____

Directeur (signature): _____

CERTIFICATE C after user has evaluated ES

Form used for supplier assignment

After completion of the wafer production and evaluation of the samples, the supplier will send the ES and the ES evaluation data to the user. After the user has evaluated the ES according to his own functional specification, he will send the supplier the following certification.

Type number: _____

ES evaluation result: PASS/FAILURE

Reason for FAILURE if FAILURE appears only after ES evaluation.

Certification

Company name: _____

Department/section: _____

Manager (signature): _____



Standards Survey

We at the IEC want to know how our standards are used once they are published.

The answers to this survey will help us to improve IEC standards and standard related information to meet your future needs

Would you please take a minute to answer the survey on the other side and mail or fax to:

Customer Service Centre (CSC)

International Electrotechnical Commission

3, rue de Varembé

Case postale 131

1211 Geneva 20

Switzerland

or

Fax to: CSC at +41 22 919 03 00

Thank you for your contribution to the standards making process.

A Prioritaire

Nicht frankieren
Ne pas affranchir



Non affrancare
No stamp required

RÉPONSE PAYÉE

SUISSE

Customer Service Centre (CSC)

International Electrotechnical Commission

3, rue de Varembé

Case postale 131

1211 GENEVA 20

Switzerland

1.
No. of IEC standard:
.....

2.
Tell us why you have the standard.
(check as many as apply). I am:

☐ the buyer

☐ the user

☐ a librarian

☐ a researcher

☐ an engineer

☐ a safety expert

☐ involved in testing

☐ with a government agency

☐ in industry

☐ other.....

3.
This standard was purchased from?
.....

4.
This standard will be used
(check as many as apply):

☐ for reference

☐ in a standards library

☐ to develop a new product

☐ to write specifications

☐ to use in a tender

☐ for educational purposes

☐ for a lawsuit

☐ for quality assessment

☐ for certification

☐ for general information

☐ for design purposes

☐ for testing

☐ other.....

5.
This standard will be used in conjunction
with (check as many as apply):

☐ IEC

☐ ISO

☐ corporate

☐ other (published by.....)

☐ other (published by.....)

☐ other (published by.....)

6.
This standard meets my needs
(check one)

☐ not at all

☐ almost

☐ fairly well

☐ exactly

7.
Please rate the standard in the following
areas as (1) bad, (2) below average,
(3) average, (4) above average,
(5) exceptional, (0) not applicable:

☐ clearly written

☐ logically arranged

☐ information given by tables

☐ illustrations

☐ technical information

8.
I would like to know how I can legally
reproduce this standard for:

☐ internal use

☐ sales information

☐ product demonstration

☐ other.....

9.
In what medium of standard does your
organization maintain most of its
standards (check one):

☐ paper

☐ microfilm/microfiche

☐ mag tapes

☐ CD-ROM

☐ floppy disk

☐ on line

9A.
If your organization currently maintains
part or all of its standards collection in
electronic media, please indicate the
format(s):

☐ raster image

☐ full text

10.
In what medium does your organization
intend to maintain its standards collection
in the future (check all that apply):

☐ paper

☐ microfilm/microfiche

☐ mag tape

☐ CD-ROM

☐ floppy disk

☐ on line

10A.
For electronic media which format will be
chosen (check one)

☐ raster image

☐ full text

11.
My organization is in the following sector
(e.g. engineering, manufacturing)
.....

12.
Does your organization have a standards
library:

☐ yes

☐ no

13.
If you said yes to 12 then how many
volumes:
.....

14.
Which standards organizations
published the standards in your
library (e.g. ISO, DIN, ANSI, BSI,
etc.):
.....

15.
My organization supports the
standards-making process (check as
many as apply):

☐ buying standards

☐ using standards

☐ membership in standards
organization

☐ serving on standards
development committee

☐ other.....

16.
My organization uses (check one)

☐ French text only

☐ English text only

☐ Both English/French text

17.
Other comments:
.....
.....
.....
.....
.....
.....
.....

18.
Please give us information about you
and your company

name:

job title:.....

company:

address:.....
.....
.....
.....
.....

No. employees at your location:.....

turnover/sales:.....



Enquête sur les normes

La CEI se préoccupe de savoir comment ses normes sont accueillies et utilisées.

Les réponses que nous procurera cette enquête nous aideront tout à la fois à améliorer nos normes et les informations qui les concernent afin de toujours mieux répondre à votre attente.

Nous aimerions que vous nous consacriez une petite minute pour remplir le questionnaire joint que nous vous invitons à retourner au:

Centre du Service Clientèle (CSC)

Commission Electrotechnique Internationale

3, rue de Varembe

Case postale 131

1211 Genève 20

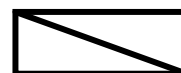
Suisse

Télécopie: IEC/CSC +41 22 919 03 00

Nous vous remercions de la contribution que vous voudrez bien apporter ainsi à la Normalisation Internationale

A Prioritaire

Nicht frankieren
Ne pas affranchir



Non affrancare
No stamp required

RÉPONSE PAYÉE

SUISSE

Centre du Service Clientèle (CSC)

Commission Electrotechnique Internationale

3, rue de Varembe

Case postale 131

1211 GENÈVE 20

Suisse

1.
Numéro de la Norme CEI:
.....

2.
Pourquoi possédez-vous cette norme?
(plusieurs réponses possibles). Je suis:
☐ l'acheteur
☐ l'utilisateur
☐ bibliothécaire
☐ chercheur
☐ ingénieur
☐ expert en sécurité
☐ chargé d'effectuer des essais
☐ fonctionnaire d'Etat
☐ dans l'industrie
☐ autres

3.
Où avez-vous acheté cette norme?
.....

4.
Comment cette norme sera-t-elle utilisée?
(plusieurs réponses possibles)
☐ comme référence
☐ dans une bibliothèque de normes
☐ pour développer un produit nouveau
☐ pour rédiger des spécifications
☐ pour utilisation dans une soumission
☐ à des fins éducatives
☐ pour un procès
☐ pour une évaluation de la qualité
☐ pour la certification
☐ à titre d'information générale
☐ pour une étude de conception
☐ pour effectuer des essais
☐ autres

5.
Cette norme est-elle appelée à être utilisée conjointement avec d'autres normes?
Lesquelles? (plusieurs réponses possibles):
☐ CEI
☐ ISO
☐ internes à votre société
☐ autre (publiée par))
☐ autre (publiée par))
☐ autre (publiée par))

6.
Cette norme répond-elle à vos besoins?
☐ pas du tout
☐ à peu près
☐ assez bien
☐ parfaitement

7.
Nous vous demandons maintenant de donner une note à chacun des critères ci-dessous (1, mauvais; 2, en-dessous de la moyenne; 3, moyen; 4, au-dessus de la moyenne; 5, exceptionnel; 0, sans objet)
☐ clarté de la rédaction
☐ logique de la disposition
☐ tableaux informatifs
☐ illustrations
☐ informations techniques

8.
J'aimerais savoir comment je peux reproduire légalement cette norme pour:
☐ usage interne
☐ des renseignements commerciaux
☐ des démonstrations de produit
☐ autres

9.
Quel support votre société utilise-t-elle pour garder la plupart de ses normes?
☐ papier
☐ microfilm/microfiche
☐ bandes magnétiques
☐ CD-ROM
☐ disquettes
☐ abonnement à un serveur électronique

9A.
Si votre société conserve en totalité ou en partie sa collection de normes sous forme électronique, indiquer le ou les formats:
☐ format tramé (ou image balayée ligne par ligne)
☐ texte intégral

10.
Sur quels supports votre société prévoit-elle de conserver sa collection de normes à l'avenir (plusieurs réponses possibles):
☐ papier
☐ microfilm/microfiche
☐ bandes magnétiques
☐ CD-ROM
☐ disquettes
☐ abonnement à un serveur électronique

10A.
Quel format serait retenu pour un moyen électronique? (une seule réponse)
☐ format tramé
☐ texte intégral

11.
A quel secteur d'activité appartient votre société? (par ex. ingénierie, fabrication)
.....

12.
Votre société possède-t-elle une bibliothèque de normes?
☐ Oui
☐ Non

13.
En combien de volumes dans le cas affirmatif?
.....

14.
Quelles organisations de normalisation ont publié les normes de cette bibliothèque (ISO, DIN, ANSI, BSI, etc.):
.....

15.
Ma société apporte sa contribution à l'élaboration des normes par les moyens suivants (plusieurs réponses possibles):
☐ en achetant des normes
☐ en utilisant des normes
☐ en qualité de membre d'organisations de normalisation
☐ en qualité de membre de comités de normalisation
☐ autres

16.
Ma société utilise (une seule réponse)
☐ des normes en français seulement
☐ des normes en anglais seulement
☐ des normes bilingues anglais/français

17.
Autres observations
.....
.....
.....
.....
.....
.....

18.
Pourriez-vous nous donner quelques informations sur vous-mêmes et votre société?
 nom
 fonction.....
 nom de la société
 adresse.....

 nombre d'employés.....
 chiffre d'affaires:.....

Publications de la CEI préparées par le Comité d'Etudes n° 47

60191:—	Normalisation mécanique des dispositifs à semi-conducteurs.
60191-1 (1966)	Première partie: Préparation des dessins des dispositifs à semiconducteurs.
60191-1A (1969)	Premier complément.
60191-1B (1970)	Deuxième complément.
60191-1C (1974)	Troisième complément.
60191-2 (1966)	Partie 2: Dimensions – Réimpression consolidée comprenant la CEI 191-2A (1967), 191-2B (1969), 191-2C (1970), 191-2D (1971), 191-2E (1974), 191-2F (1976), 191-2G (1978), 191-2H (1978), 191-2J (1980), 191-2K (1981), 191-2L (1982), 191-2M (1983), 191-2N (1987), 191-2P (1988), 191-2Q (1990), 191-2R (1995), 191-2S (1995), 191-2T (1996), 191-2U (1997).
60191-3 (1974)	Troisième partie: Règles générales pour la préparation des dessins d'encombrement des circuits intégrés. Modification n° 1 (1983). Amendement 2 (1995).
60191-3A (1976)	Premier complément.
60191-3B (1978)	Deuxième complément.
60191-3C (1987)	Troisième complément.
60191-3D (1988)	Quatrième complément.
60191-3E (1990)	Cinquième complément.
60191-3F (1994)	Sixième complément.
60191-4 (1987)	Quatrième partie: Système de codification et classification en formes des boîtiers pour dispositifs à semiconducteurs.
60191-5 (1997)	Partie 5: Recommandations applicables aux boîtiers à transfert automatisé sur bande (TAB) des circuits intégrés.
60191-6 (1990)	Sixième partie: Règles générales pour la préparation des dessins d'encombrement des dispositifs à semiconducteurs à montage en surface.
60747:—	Dispositifs à semiconducteurs. Dispositifs discrets.
60747-1 (1983)	Première partie: Généralités. Amendement 1 (1991). Amendement 2 (1993). Amendement 3 (1996).
60747-2 (1983)	Deuxième partie: Diodes de redressement. Amendement 1 (1992). Amendement 2 (1993).
60747-2-1 (1989)	Section un: Spécification particulière-cadre pour les diodes de redressement (y compris les diodes à avalanche) à température ambiante et de boîtier spécifiées, pour courants jusqu'à 100 A.
60747-2-2 (1993)	Section 2: Spécification particulière cadre pour les diodes de redressement (y compris les diodes à avalanche), à températures ambiante et de boîtier spécifiées, pour courants supérieurs à 100 A.
60747-3 (1985)	Troisième partie: Diodes de signal (y compris les diodes de commutation) et diodes régulatrices. Amendement 1 (1991). Amendement 2 (1993).
60747-3-1 (1986)	Section un: Spécification particulière cadre pour les diodes de signal, les diodes de commutation et les diodes à avalanche contrôlée.
60747-3-2 (1986)	Section deux: Spécification particulière cadre pour les diodes régulatrices de tension et les diodes de tension de référence, à l'exclusion des diodes de référence de précision compensées en température.
60747-4 (1991)	Quatrième partie: Diodes et transistors hyperfréquences. Amendement 1 (1993).

(suite)

IEC publications prepared by Technical Committee No. 47

60191:—	Mechanical standardization of semiconductor devices.
60191-1 (1966)	Part 1: Preparation of drawings of semiconductor devices.
60191-1A (1969)	First supplement.
60191-1B (1970)	Second supplement.
60191-1C (1974)	Third supplement.
60191-2 (1966)	Part 2: Dimensions – Consolidated reprint consisting of IEC 191-2A (1967), 191-2B (1969), 191-2C (1970), 191-2D (1971), 191-2E (1974), 191-2F (1976), 191-2G (1978), 191-2H (1978), 191-2J (1980), 191-2K (1981), 191-2L (1982), 191-2M (1983), 191-2N (1987), 191-2P (1988), 191-2Q (1990), 191-2R (1995), 191-2S (1995), 191-2T (1996), 191-2U (1997).
60191-3 (1974)	Part 3: General rules for the preparation of outline drawings of integrated circuits. Amendment No. 1 (1983). Amendment 2 (1995).
60191-3A (1976)	First supplement.
60191-3B (1978)	Second supplement.
60191-3C (1987)	Third supplement.
60191-3D (1988)	Fourth supplement.
60191-3E (1990)	Fifth supplement.
60191-3F (1994)	Sixth supplement.
60191-4 (1987)	Part 4: Coding system and classification into forms of package outlines for semiconductor devices.
60191-5 (1997)	Part 5: Recommendations applying to integrated circuit packages using tape automated bonding (TAB).
60191-6 (1990)	General rules for the preparation of outline drawings of surface mounted semiconductor device packages.
60747:—	Semiconductor devices. Discrete devices.
60747-1 (1983)	Part 1: General. Amendment 1 (1991). Amendment 2 (1993). Amendment 3 (1996).
60747-2 (1983)	Part 2: Rectifier diodes. Amendment 1 (1992). Amendment 2 (1993).
60747-2-1 (1989)	Section One: Blank detail specification for rectifier diodes (including avalanche rectifier diodes), ambient and case-rated up to 100 A.
60747-2-2 (1993)	Section 2: Blank detail specification for rectifier diodes (including avalanche rectifier diodes), ambient and case-rated, for currents greater than 100 A.
60747-3 (1985)	Part 3: Signal (including switching) and regulator diodes. Amendment 1 (1991). Amendment 2 (1993).
60747-3-1 (1986)	Section One: Blank detail specification for signal diodes, switching diodes and controlled-avalanche diodes.
60747-3-2 (1986)	Section Two: Blank detail specification for voltage-regulator diodes and voltage-reference diodes, excluding temperature-compensated precision reference diodes.
60747-4 (1991)	Part 4: Microwave diodes and transistors. Amendment 1 (1993).

(continued)

**Publications de la CEI préparées
par le Comité d'Etudes n° 47 (suite)**

60747-5 (1992)	Cinquième partie: Dispositifs optoélectroniques. Amendement 1 (1994). Amendement 2 (1995).
60747-6 (1983)	Sixième partie: Thyristors. Amendement 1 (1991). Amendement 2 (1994).
60747-6-1 (1989)	Section un: Spécification particulière cadre pour les thyristors triodes bloqués en inverse, à température ambiante et de boîtier spécifiée, pour courants jusqu'à 100 A.
60747-6-2 (1991)	Section deux: Spécification particulière cadre pour les thyristors triodes bidirectionnels (triacs), à température ambiante ou à température de boîtier spécifiée, jusqu'à 100 A.
60747-6-3 (1993)	Section trois: Spécification particulière cadre pour les thyristors triodes bloqués en inverse, à température ambiante et de boîtier spécifiée, pour courants supérieurs à 100 A.
60747-7 (1988)	Septième partie: Transistors bipolaires. Amendement 1 (1991). Amendement 2 (1994).
60747-7-1 (1989)	Section un: Spécification particulière cadre pour les transistors bipolaires à température ambiante spécifiée pour amplification en basse et haute fréquences.
60747-7-2 (1989)	Section deux: Spécification particulière cadre pour les transistors bipolaires à température de boîtier spécifiée pour amplification en basse fréquence.
60747-7-3 (1991)	Section trois: Spécification particulière cadre pour les transistors bipolaires de commutation.
60747-7-4 (1991)	Section quatre: Spécification particulière cadre pour les transistors bipolaires à température de boîtier spécifiée pour amplification en haute fréquence.
60747-8 (1984)	Huitième partie: Transistors à effet de champ. Amendement 1 (1991). Amendement 2 (1993).
60747-8-1 (1987)	Section un: Spécification particulière cadre pour les transistors à effet de champ à grille unique jusqu'à 5 W et 1 GHz.
60747-8-2 (1993)	Section deux: Spécification particulière cadre pour les transistors à effet de champ à température de boîtier spécifiée pour applications en amplificateurs de puissance.
60747-8-3 (1995)	Section 3: Spécification particulière cadre pour les transistors à effet de champ, à température de boîtier spécifiée, pour applications en commutation.
60747-10 (1991)	Dixième partie: Spécification générique pour les dispositifs discrets et les circuits intégrés. Amendement 1 (1995). Amendement 2 (1996). Amendement 3 (1996).
60747-11 (1985)	Onzième partie: Spécification intermédiaire pour les dispositifs discrets. Amendement 1 (1991).
60747-12 (1991)	Partie 12: Spécification intermédiaire pour les dispositifs optoélectroniques.
60747-12-1 (1995)	Section 1: Spécification particulière cadre pour diodes électroluminescentes, diodes émettrices avec/sans fibres amorce pour systèmes et sous-systèmes à fibres optiques.
60747-12-2 (1995)	Section 2: Spécification particulière cadre pour module à diode laser avec fibres amorce pour systèmes et sous-systèmes à fibres optiques.

(suite)

**IEC publications prepared
by Technical Committee No. 47 (continued)**

60747-5 (1992)	Part 5: Optoelectronic devices. Amendment 1 (1994). Amendment 2 (1995).
60747-6 (1983)	Part 6: Thyristors. Amendment 1 (1991). Amendment 2 (1994).
60747-6-1 (1989)	Section One: Blank detail specification for reverse blocking triode thyristors, ambient and case-rated, up to 100 A.
60747-6-2 (1991)	Section Two: Blank detail specification for bi-directional triode thyristors (triacs), ambient or case-rated temperature, up to 100 A.
60747-6-3 (1993)	Section Three: Blank detail specification for reverse blocking triode thyristors, ambient and case-rated, for currents greater than 100 A.
60747-7 (1988)	Part 7: Bipolar transistors. Amendment 1 (1991). Amendment 2 (1994).
60747-7-1 (1989)	Section One: Blank detail specification for ambient-rated bipolar transistors for low and high-frequency amplification.
60747-7-2 (1989)	Section Two: Blank detail specification for case-rated bipolar transistors for low-frequency amplification.
60747-7-3 (1991)	Section Three: Blank detail specification for bipolar transistors for switching applications.
60747-7-4 (1991)	Section Four: Blank detail specification for case-rated bipolar transistors for high-frequency amplification.
60747-8 (1984)	Part 8: Field-effect transistors. Amendment 1 (1991). Amendment 2 (1993).
60747-8-1 (1987)	Section One: Blank detail specification for single-gate field-effect transistors up to 5 W and 1 GHz.
60747-8-2 (1993)	Section Two: Blank detail specification for field-effect transistors for case-rated power amplifier applications.
60747-8-3 (1995)	Section 3: Blank detail specification for case-rated field-effect transistors for switching applications.
60747-10 (1991)	Part 10: Generic specification for discrete devices and integrated circuits. Amendment 1 (1995). Amendment 2 (1996). Amendment 3 (1996).
60747-11 (1985)	Part 11: Sectional specification for discrete devices. Amendment 1 (1991).
60747-12 (1991)	Part 12: Sectional specification for optoelectronic devices.
60747-12-1 (1995)	Section 1: Blank detail specification for light emitting/infrared emitting diodes with/without pigtail for fibre optic systems and sub-systems.
60747-12-2 (1995)	Section 2: Blank detail specification for laser diode modules with pigtail for fibre optic systems and sub-systems.

(continued)

Publications de la CEI préparées par le Comité d'Etudes n° 47 (suite)

- 60747-12-4 (1997) Partie 12-4: Dispositifs optoélectroniques – Spécification particulière cadre pour modules pin-FET avec ou sans fibre amorce, pour systèmes ou sous-systèmes à fibres optiques.
- 60747-12-5 (1997) Partie 12-5: Dispositifs optoélectroniques – Spécification particulière cadre pour photodiodes pin avec ou sans fibre amorce, pour systèmes ou sous-systèmes à fibres optiques.
- 60747-12-6 (1997) Partie 12-6: Dispositifs optoélectroniques – Spécification particulière cadre pour photodiodes à avalanche avec ou sans fibre amorce, pour systèmes ou sous-systèmes à fibres optiques.
- 60748: — Dispositifs à semiconducteurs. Circuits intégrés.
- 60748-1 (1984) Première partie: Généralités.
Amendement 1 (1991).
Amendement 2 (1993).
Amendement 3 (1995).
- 60748-2 (1985) Deuxième partie: Circuits intégrés digitaux.
Amendement 1 (1991).
Amendement 2 (1993).
- 60748-2-1 (1991) Section deux – Spécification particulière cadre pour les portes bipolaires à circuits intégrés digitaux monolithiques (non valable pour les réseaux logiques prédiffusés).
- 60748-2-2 (1992) Section deux – Spécification de famille pour les circuits intégrés numériques HCMOS, séries 54/74 HC, 54/74 HCT, 54/74 HCU.
Amendement 1 (1994).
- 60748-2-3 (1992) Section trois – Spécification particulière cadre pour les circuits intégrés numériques HCMOS, séries 54/74 HC, 54/74 HCT, 54/74 HCU.
- 60748-2-4 (1992) Section quatre – Spécification de famille pour les circuits intégrés numériques MOS complémentaires, séries 4 000 B et 4 000 UB.
- 60748-2-5 (1992) Section cinq – Spécification particulière cadre pour les circuits intégrés numériques MOS complémentaires (séries 4 000 B et 4 000 UB).
- 60748-2-6 (1991) Section six – Spécification particulière cadre pour les microprocesseurs à circuits intégrés.
- 60748-2-7 (1992) Section sept – Spécification particulière cadre pour les mémoires bipolaires à lecture seule programmables par fusion à circuits intégrés.
- 60748-2-8 (1993) Section huit – Spécification particulière cadre pour les mémoires à circuits intégrés, à lecture-écriture, à fonctionnement statique.
- 60748-2-9 (1994) Section 9: Spécification particulière cadre pour les mémoires mortes MOS effaçables aux UV et programmables électriquement.
- 60748-2-10 (1994) Section 10: Spécification particulière cadre pour les mémoires à circuits intégrés à lecture-écriture, à fonctionnement dynamique
- 60748-3 (1986) Troisième partie: Circuits intégrés analogiques.
Amendement 1 (1991).
Amendement 2 (1994).
- 60748-3-1 (1991) Section un: Spécification particulière cadre pour les amplificateurs opérationnels intégrés monolithiques.
- 60748-4 (1997) Partie 4: Circuits intégrés d'interface.
- 60748-4-1 (1993) Partie 4: Circuits intégrés d'interface – Section 1: Spécification particulière cadre pour les convertisseurs linéaires numériques-analogiques.
- 60748-4-2 (1993) Partie 4: Circuits intégrés d'interface – Section 2: Spécification particulière cadre pour les convertisseurs linéaires analogiques-numériques.
- 60748-5 (1997) Partie 5: Circuits intégrés semi-personnalisés.
(suite)

IEC publications prepared by Technical Committee No. 47 (continued)

- 60747-12-4 (1997) Part 12-4: Optoelectronic devices – Blank detail specification for pin-FET modules with/without pigtail, for fibre optic systems or sub-systems.
- 60747-12-5 (1997) Part 12-5: Optoelectronic devices – Blank detail specification for pin-photodiodes with/without pigtail, for fibre optic systems or sub-systems.
- 60747-12-6 (1997) Part 12-6: Optoelectronic devices – Blank detail specification for avalanche photodiodes with/without pigtail, for fibre optic systems or subsystems.
- 60748: — Semiconductor devices. Integrated circuits.
- 60748-1 (1984) Part 1: General.
Amendment 1 (1991).
Amendment 2 (1993).
Amendment 3 (1995).
- 60748-2 (1985) Part 2: Digital integrated circuits.
Amendment 1 (1991).
Amendment 2 (1993).
- 60748-2-1 (1991) Section two – Blank detail specification for bipolar monolithic digital integrated circuit gates (excluding uncommitted logic arrays).
- 60748-2-2 (1992) Section two – Family specification for HCMOS digital integrated circuits, series 54/74 HC, 54/74 HCT, 54/74 HCU.
Amendment 1 (1994).
- 60748-2-3 (1992) Section three – Blank detail specification for HCMOS digital integrated circuits, series 54/74 HC, 54/74 HCT, 54/74 HCU.
- 60748-2-4 (1992) Section four – Family specification for complementary MOS digital integrated circuits, series 4 000 B and 4 000 UB.
- 60748-2-5 (1992) Section five – Blank detail specification for complementary MOS digital integrated circuits (series 4 000 B and 4 000 UB).
- 60748-2-6 (1991) Section six – Blank detail specification for micro-processor integrated circuits.
- 60748-2-7 (1992) Section seven – Blank detail specification for integrated circuit fusible-link programmable bipolar read-only memories.
- 60748-2-8 (1993) Section eight – Blank detail specification for integrated circuit static read/write memories.
- 60748-2-9 (1994) Section 9: Blank detail specification for MOS ultra-violet light erasable electrically programmable read-only memories.
- 60748-2-10 (1994) Section 10: Blank detail specification for integrated circuit dynamic read/write memories.
- 60748-3 (1986) Part 3: Analogue integrated circuits.
Amendment 1 (1991).
Amendment 2 (1994).
- 60748-3-1 (1991) Section One: Blank detail specification for monolithic integrated operational amplifiers.
- 60748-4 (1997) Part 4: Interface integrated circuits.
- 60748-4-1 (1993) Part 4: Interface integrated circuits – Section 1: Blank detail specification for linear digital-to-analogue converters (DAC).
- 60748-4-2 (1993) Part 4: Interface integrated circuits – Section 2: Blank detail specification for linear analogue-to-digital converters (ADC).
- 60748-5 (1997) Part 5: Semicustom integrated circuits.
(continued)

**Publications de la CEI préparées
par le Comité d'Etudes n° 47 (suite)**

60748-11 (1990)	Onzième partie: Spécification intermédiaire pour les circuits intégrés à semiconducteurs à l'exclusion des circuits hybrides. Amendement 1 (1995).
60748-11-1 (1992)	Onzième partie: Section un: Examen visuel interne pour les circuits intégrés à semiconducteurs à l'exclusion des circuits hybrides.
60748-20 (1988)	Vingtième partie: Spécification générique pour les circuits intégrés à couches et les circuits intégrés hybrides à couches. Amendement 1 (1995).
60748-20-1 (1994)	Section 1: Exigences pour l'examen visuel interne.
60748-21 (1997)	Partie 21: Spécification intermédiaire pour les circuits intégrés à couches et les circuits intégrés hybrides à couches sur la base des procédures d'homologation.
60748-21-1 (1997)	Partie 21-1: Spécification particulière cadre pour les circuits intégrés à couches et les circuits intégrés hybrides à couches sur la base des procédures d'homologation.
60748-22 (1997)	Partie 22: Spécification intermédiaire pour les circuits intégrés à couches et les circuits intégrés hybrides à couches sur la base des procédures d'agrément de savoir-faire.
60748-22-1 (1997)	Partie 22-1: Spécification particulière cadre pour les circuits intégrés à couches et les circuits intégrés hybrides à couches sur la base des procédures d'agrément de savoir-faire.
60749 (1996)	Dispositifs à semiconducteurs. Essais mécaniques et climatiques.
61739 (1996)	Circuits intégrés – Procédures pour l'agrément d'une ligne de fabrication et la gestion de la qualité.

**IEC publications prepared
by Technical Committee No. 47 (continued)**

60748-11 (1990)	Part 11: Sectional specification for semiconductor integrated circuits excluding hybrid circuits. Amendment 1 (1995).
60748-11-1 (1992)	Part 11: Section one: Internal visual examination for semiconductor integrated circuits excluding hybrid circuits.
60748-20 (1988)	Part 20: Generic specification for film integrated circuits and hybrid film integrated circuits. Amendment 1 (1995).
60748-20-1 (1994)	Section 1: Requirements for internal visual examination.
60748-21 (1997)	Part 21: Sectional specification for film integrated circuits and hybrid film integrated circuits on the basis of qualification approval procedures.
60748-21-1 (1997)	Part 21-1: Blank detail specification for film integrated circuits and hybrid film integrated circuits on the basis of qualification approval procedures.
60748-22 (1997)	Part 22: Sectional specification for film integrated circuits and hybrid film integrated circuits on the basis of the capability approval procedure.
60748-22-1 (1997)	Part 22-1: Blank detail specification for film integrated circuits and hybrid film integrated circuits on the basis of the capability approval procedures.
60749 (1996)	Semiconductor devices. Mechanical and climatic test methods.
61739 (1996)	Integrated circuits – Procedures for manufacturing line approval and quality management.

ISBN 2-8318-3843-6



ICS 31.080; 31.200
