

**NORME  
INTERNATIONALE  
INTERNATIONAL  
STANDARD**

**CEI  
IEC**

**748-2-9**

QC 790106

Première édition  
First edition  
1994-12

---

---

**Dispositifs à semiconducteurs –  
Circuits intégrés –**

**Partie 2:**

**Circuits intégrés numériques –  
Section 9: Spécification particulière cadre  
pour les mémoires mortes MOS effaçables  
aux UV et programmables électriquement**

**Semiconductor devices –  
Integrated circuits –**

**Part 2:**

**Digital integrated circuits –  
Section 9: Blank detail specification for MOS  
ultraviolet light erasable electrically programmable  
read-only memories**



Numéro de référence  
Reference number  
CEI/IEC 748-2-9: 1994

## Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

## Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

## Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- **«Site web» de la CEI\***
- **Catalogue des publications de la CEI**  
Publié annuellement et mis à jour régulièrement  
(Catalogue en ligne)\*
- **Bulletin de la CEI**  
Disponible à la fois au «site web» de la CEI\* et comme périodique imprimé

## Terminologie, symboles graphiques et littéraires

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraires et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraires à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

\* Voir adresse «site web» sur la page de titre.

## Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

## Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

## Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site\***
- **Catalogue of IEC publications**  
Published yearly with regular updates  
  
(On-line catalogue)\*
- **IEC Bulletin**  
Available both at the IEC web site\* and as a printed periodical

## Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

\* See web site address on title page.

**NORME  
INTERNATIONALE  
INTERNATIONAL  
STANDARD**

**CEI  
IEC  
748-2-9**

QC 790106

Première édition  
First edition  
1994-12

---

---

**Dispositifs à semiconducteurs –  
Circuits intégrés –**

**Partie 2:  
Circuits intégrés numériques –  
Section 9: Spécification particulière cadre  
pour les mémoires mortes MOS effaçables  
aux UV et programmables électriquement**

**Semiconductor devices –  
Integrated circuits –**

**Part 2:  
Digital integrated circuits –  
Section 9: Blank detail specification for MOS  
ultraviolet light erasable electrically programmable  
read-only memories**

© CEI 1994 Droits de reproduction réservés — Copyright — all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher

Bureau central de la Commission Electrotechnique Internationale 3, rue de Varembe Genève Suisse  
Téléfax: +41 22 919 0300 e-mail: [inmail@iec.ch](mailto:inmail@iec.ch) IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale  
International Electrotechnical Commission  
Международная Электротехническая Комиссия

CODE PRIX  
PRICE CODE

T

● Pour prix, voir catalogue en vigueur  
For price, see current catalogue

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS –

Circuits intégrés –

Partie 2: Circuits intégrés numériques –

Section 9 – Spécification particulière cadre pour les mémoires mortes MOS effaçables aux UV et programmables électriquement

AVANT-PROPOS

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par les comités d'études où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 3) Ces décisions constituent des recommandations internationales publiées sous forme de normes, de rapports techniques ou de guides et agréées comme telles par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.

La présente norme a été établie par le sous-comité 47a: Circuits intégrés, et par le comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Cette norme est une spécification particulière cadre pour les mémoires mortes effaçables aux UV et programmables électriquement.

Le texte de cette norme est issu des documents suivants:

DIS	Rapport de vote
47A(BC)296	47A(BC)299

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Le numéro QC qui figure sur la page de couverture de la présente publication est le numéro de la spécification dans le système CEI d'assurance de la qualité des composants électroniques (IECQ).

L'annexe A fait partie intégrante de cette norme.

## INTERNATIONAL ELECTROTECHNICAL COMMISSION

## SEMICONDUCTOR DEVICES –

## Integrated circuits –

## Part 2: Digital integrated circuits –

Section 9 – Blank detail specification for  
MOS ultraviolet light erasable electrically programmable  
read-only memories

## FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international cooperation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters, prepared by technical committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 3) They have the form of recommendations for international use published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.

This standard has been prepared by sub-committee 47A: Integrated circuits, and IEC technical committee 47: Semiconductor devices.

This standard is a blank detail specification for MOS ultraviolet light erasable electrically programmable read-only memories.

The text of this standard is based on the following documents:

DIS	Report on voting
47A(CO)296	47A(CO)299

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

The QC number that appears on the front cover of this publication is the specification number in the IEC Quality Assessment System for Electronic Components (IECQ).

Annex A forms an integral part of this standard.

Les publications suivantes sont citées dans la présente norme:

- CEI 68-2-17 (1978): *Essais d'environnement – Deuxième partie: Essais - Essai Q: Etanchéité*
- CEI 134 (1961): *Systèmes de valeurs limites pour les tubes électroniques et les dispositifs à semiconducteurs analogues*
- CEI 617-12 (1991): *Symboles graphiques pour schémas – Douzième partie: Opérateurs logiques binaires*
- CEI 747-10 (1991): *Dispositifs à semiconducteurs – Dispositifs discrets et circuits intégrés – Dixième partie: Spécification générique pour les dispositifs discrets et les circuits intégrés*
- CEI 748-2 (1985): *Dispositifs à semiconducteurs – Circuits intégrés – Deuxième partie: Circuits intégrés digitaux*  
Amendement n° 1 (1991).
- CEI 748-11 (1990): *Dispositifs à semiconducteurs – Circuits intégrés – Onzième partie: Spécification intermédiaire pour les circuits intégrés à semiconducteurs à l'exclusion des circuits hybrides*
- CEI 749 (1984): *Dispositifs à semiconducteurs – Essais mécaniques et climatiques*  
Amendement n° 1 (1991).  
Amendement n° 2 (1993).

The following publications are quoted in this standard:

- IEC 68-2-17 (1978): *Environmental testing – Part 2: Tests – Test Q: Sealing*
- IEC 134 (1961): *Rating systems for electronic tubes and valves and analogous semiconductor devices*
- IEC 617-12 (1991): *Graphical symbols for diagrams – Part 12: Binary logic elements*
- IEC 747-10 (1991): *Semiconductor devices – Discrete devices and integrated circuits – Part 10: Generic specification for discrete devices and integrated circuits*
- IEC 748-2 (1985): *Semiconductor devices – Integrated circuits – Part 2: Digital integrated circuits*  
Amendment No. 1 (1991).
- IEC 748-11 (1990): *Semiconductor devices – Integrated circuits – Part 11: Sectional specification for semiconductor integrated circuits excluding hybrid circuits*
  
- IEC 749 (1984): *Semiconductor devices – Mechanical and climatic test methods*  
Amendment No. 1 (1991)  
Amendment No. 2 (1993).

**DISPOSITIFS À SEMICONDUCTEURS –  
Circuits intégrés –  
Partie 2: Circuits intégrés numériques –  
Section 9 – Spécification particulière cadre pour  
les mémoires mortes MOS effaçables aux UV  
et programmables électriquement**

**INTRODUCTION**

Le système CEI d'assurance de la qualité des composants électroniques fonctionne conformément aux statuts de la CEI et sous son autorité. Le but de ce système est de définir les procédures d'assurance de la qualité de telle façon que les composants électroniques livrés par un pays participant comme étant conformes aux exigences d'une spécification applicable soient également acceptables dans les autres pays participants sans nécessiter d'autres essais.

Cette spécification particulière cadre fait partie d'une série de spécifications particulières cadres concernant les dispositifs à semiconducteurs; elle doit être utilisée avec les publications suivantes:

*CEI 747-10/QC 700000: Dispositifs à semiconducteurs – Dispositifs discrets et circuits intégrés – Dixième partie: Spécification générique pour les dispositifs discrets et les circuits intégrés*

*CEI 748-11/QC 790100: Dispositifs à semiconducteurs – Circuits intégrés – Onzième partie: Spécification intermédiaire pour les circuits intégrés à semiconducteurs à l'exclusion des hybrides*

*Renseignements nécessaires*

Les nombres placés entre crochets sur cette page et les pages suivantes correspondent aux indications suivantes qui doivent être portées dans les cases prévues à cet effet à la page suivante de cette spécification.

*Identification de la spécification particulière*

- [1] Nom de l'Organisme National de Normalisation sous l'autorité duquel la spécification particulière est établie.
- [2] Numéro IECQ de la spécification particulière.
- [3] Numéros de référence et d'édition des spécifications générique et intermédiaire.
- [4] Numéro national de la spécification particulière, date d'édition et toute autre information requise par le système national.

*Identification du composant*

- [5] Fonction principale et numéro de type.
- [6] Renseignements sur la construction typique (matériaux, technologie principale) et le boîtier. Si les produits ont des variantes, elles doivent être indiquées ainsi que leurs caractéristiques.

**SEMICONDUCTOR DEVICES –**  
**Integrated circuits –**  
**Part 2: Digital integrated circuits –**  
**Section 9 – Blank detail specification for**  
**MOS ultraviolet light erasable electrically programmable**  
**read-only memories**

## INTRODUCTION

The IEC Quality Assessment System for Electronic Components is operated in accordance with the statutes of the IEC and under the authority of the IEC. The object of this system is to define quality assessment procedures in such a manner that electronic components released by one participating country as conforming with the requirements of an applicable specification are equally acceptable in all other participating countries without the need for further testing.

This blank detail specification is one of a series of blank detail specifications for semiconductor devices and shall be used with the following publications:

IEC 747-10/QC 700000: *Semiconductor devices – Discrete devices and integrated circuits – Part 10: Generic specification for discrete devices and integrated circuits*

IEC 748-11/QC 790100: *Semiconductor devices – Integrated circuits – Part 11: Sectional specification for semiconductor integrated circuits excluding hybrid circuits*

### *Required information*

Numbers shown in brackets on this page and the following pages correspond to the following items of required information, which should be entered in the spaces provided on the next page of this specification.

### *Identification of the detail specification*

- [1] The name of the National Standards Organization under whose authority the detail specification is issued.
- [2] The IECQ number of the detail specification.
- [3] The numbers and issue numbers of the generic and sectional specifications.
- [4] The national number of the detail specification, date of issue and any further information, if required by the national system.

### *Identification of the component*

- [5] Main function and type number.
- [6] Information on typical construction (materials, the main technology) and the package. If applicable, variants of the products shall be given here together with the variant characteristics.

La spécification particulière doit fournir une description brève comprenant les renseignements suivants:

- technologie (N MOS, etc.);
- organisation (mots x bits);
- configuration des étages de sortie (par exemple: trois états);
- fonctions essentielles.

- [7] Dessin d'encombrement, identification des bornes, marquage et/ou référence aux documents correspondants pour les encombrements.
- [8] Catégorie d'assurance de la qualité conformément à 2.6 de la spécification générique.
- [9] Données de référence.

---

[Les articles indiqués entre crochets sur la page suivante de cette norme qui constitue la première page de la spécification particulière, sont destinés à guider le rédacteur de la spécification; ils ne doivent pas figurer dans la spécification particulière.]

[Lorsqu'il existe un risque d'ambiguïté quant à savoir si un paragraphe est uniquement destiné à guider le rédacteur ou non, il doit être indiqué entre crochets.]

The detail specification shall give a brief description including the following:

- technology (N MOS, etc.);
- structure (words × bits);
- type of output circuit (e.g.: three state);
- major functions.

- [7] Outline drawing, terminal identification, marking, and/or reference of the relevant document for outlines.
- [8] Category of assessed quality according to 2.6 of the generic specification.
- [9] Reference data.

---

[The clauses given in square brackets on the next page of this standard, which forms the front page of the detail specification, are intended for guidance to the specification writer and shall not be included in the detail specification.]

[When confusion may arise as to whether the paragraph is only instruction to the writer or not, the paragraph shall be indicated between brackets.]

<p>[Nom (adresse) de l'ONH responsable [1] (et éventuellement de l'organisme auprès duquel la spécification peut être obtenue).]</p>	<p>[N° de la spécification particulière IECQ, plus n° d'édition et/ou date.] [2]  QC 790106-...</p>
<p><b>COMPOSANT ÉLECTRONIQUE DE QUALITÉ CONTRÔLÉE CONFORMÉMENT À:</b> [3]  Spécification générique: Publication 747-10/QC 700000  Spécification intermédiaire: Publication 748-11/QC 790100  [et références nationales si elles sont différentes].</p>	<p>[Numéro national de la spécification particulière.] [4] [Cette case n'a pas besoin d'être utilisée si le numéro national est identique au numéro IECQ.]</p>
<p><b>SPÉCIFICATION PARTICULIÈRE CADRE POUR: MÉMOIRES MORTES MOS EFFAÇABLES AUX UV ET PROGRAMMABLES ÉLECTRIQUEMENT</b> [5]  [Numéro(s) de type du ou des dispositifs.] Renseignements à donner dans les commandes: voir 1.2 de cette norme.</p>	
<p><b>Description mécanique</b> [7]  <i>Références d'encombrement:</i> [Références du boîtier normalisé, numéro CEI (obligatoire si disponible) et/ou numéro national.]  <i>Dessin d'encombrement</i> [peut être transféré, ou donné avec plus de détails, à l'article 8 de cette norme].  <i>Identification des bornes</i> [dessin indiquant l'emplacement des bornes, y compris les symboles graphiques].  <i>Marquage:</i> [lettres et chiffres, ou code de couleur.] [La spécification particulière doit indiquer les informations à marquer sur le dispositif.] [Voir 2.5 de la spécification générique et/ou 1.1 de cette norme.]</p>	<p><b>Brève description</b> [6]  Application: Fonction: Construction typique: [Si, monolithique, MOS.] Encapsulation: [avec ou sans cavité.] [Tableau comparatif des caractéristiques des variantes de produits.]  ATTENTION: Dispositifs sensibles aux charges électrostatiques.</p> <p><b>Catégories d'assurance de la qualité</b> [8] [A choisir en 2.6 de la spécification générique.]</p> <p><b>Données de référence</b> [9] [Données de référence sur les propriétés les plus importantes pour permettre la comparaison des types de composants entre eux.]</p>
<p>Se reporter à la liste des Produits Homologués en vigueur pour connaître les fabricants dont les composants conformes à cette spécification particulière sont homologués.</p>	

[Name (address) of responsible NAI [1] (and possibly of body from which specification is available).]	[Number of IECQ detail specification, plus issue number and/or date.] [2] QC 790106-...
<b>ELECTRONIC COMPONENT OF ASSESSED QUALITY IN ACCORDANCE WITH:</b> [3]  Generic specification: Publication 747-10/QC 700000  Sectional specification: Publication 748-11/QC 790100  [and national references if different].	[National number of the detail specification.] [4]  [This box need not be used if national number repeats IECQ number.]
<b>BLANK DETAIL SPECIFICATION FOR MOS ULTRAVIOLET LIGHT ERASABLE ELECTRICALLY PROGRAMMABLE READ-ONLY MEMORIES</b> [5]  [Type number(s) of the relevant device(s).] Ordering information: see 1.2 of this standard.	
<b>Mechanical description</b> [7]  <i>Outline references:</i> [Standard package references should be given, IEC number (mandatory if available) and/or national number.]  <i>Outline drawing</i> [may be transferred to or given with more details in clause 8 of this standard].  <i>Terminal identification</i> [drawing showing pin assignments, including graphical symbols].  <i>Marking:</i> [letters and figures, or colour code.] [The detail specification shall prescribe the information to be marked on the device, if any.] [See 2.5 of generic specification and/or 1.1 of this standard.]	<b>Short description</b> [6]  Application: Function: Typical construction: [Si, monolithic, MOS.] Encapsulation: [cavity or non-cavity.] [Comparison table of characteristics for variant products.]  CAUTION: Electrostatic sensitive devices  <b>Categories of assessed quality</b> [8] [From 2.6 of the generic specification.]  <b>Reference data</b> [9] [Reference data on the most important properties to permit comparison between types.]
Information about manufacturers who have components qualified to this detail specification is available in the current Qualified Products List.	

## **1 Marquage et renseignements à donner dans les commandes**

### **1.1 Marquage**

Voir 2.5 de la spécification générique.

### **1.2 Renseignements à donner dans les commandes**

[Sauf spécification contraire, les renseignements suivants constituent le minimum nécessaire pour passer commande d'un dispositif donné:

- référence précise du modèle (et valeur de la tension nominale, si nécessaire);
- référence IECQ de la spécification particulière avec numéro d'édition et/ou date selon le cas;
- niveau de qualité défini à l'article 9 de la spécification intermédiaire et, si nécessaire, séquence de sélection définie à l'article 8 de cette même spécification;
- emballage pour livraison;
- autres spécificités.

Il doit être indiqué si le dispositif sera fourni non programmé ou programmé. La description du programme sera fournie.]

## **2 Description relative à l'application**

[Les caractéristiques suivantes doivent être indiquées:

- tension d'alimentation nominale;
- consommation nominale (si applicable);
- consommation en mode attente;
- modes de fonctionnement;
- compatibilité électrique (si approprié).

On doit indiquer si la mémoire à circuits intégrés est compatible électriquement avec d'autres circuits intégrés particuliers ou familles de circuits intégrés, ou si des interfaces spéciales sont nécessaires.]

Les conditions de programmation et d'effacement sont décrites dans les annexes de la spécification particulière.

## **3 Spécification de la fonction**

### **3.1 Schéma synoptique**

[Le schéma synoptique doit être suffisamment détaillé pour permettre l'identification des différentes liaisons d'entrée et de sortie et des connexions extérieures (sélection boîtier, décodage d'adresse, etc.) nécessaires au fonctionnement des unités fonctionnelles individuelles composant la mémoire.]

[Le symbole graphique de la fonction doit être indiqué. Il peut être extrait d'un catalogue de normes de symboles graphiques, ou conçu conformément aux règles de la CEI 617-12.]

## 1 Marking and ordering information

### 1.1 Marking

See 2.5 of the generic specification.

### 1.2 Ordering information

[The following minimum information is necessary to order a specific device, unless otherwise specified:

- precise type reference (and nominal voltage value, if required);
- IECQ reference of the detail specification with issue number and/or date when relevant;
- categories as defined in clause 9 of the sectional specification and, if required, the screening sequence as defined in clause 8 of the sectional specification;
- packaging for delivery;
- any other particulars.

A statement should be made in the ordering information stating that the device will be supplied either unprogrammed or programmed. Description of the programme shall be supplied.]

## 2 Application related description

[The following characteristics shall be given:

- nominal supply voltage;
- nominal current consumption (if applicable);
- stand-by current consumption;
- operating modes;
- electrical compatibility (if appropriate).

It shall be stated whether the integrated circuit memory is electrically compatible with other particular integrated circuits or families of integrated circuits, or whether special interfaces are required.]

The programming and erasing conditions are described in the annex of the detail specification.

## 3 Specification of the function

### 3.1 Block diagram

[The block diagram shall be sufficiently detailed to enable the individual functional units within the memory to be identified with their main input and output paths and the identification of their external connections (chip enable, address decode...)]

[The graphical symbol for the function shall be given. This may be obtained from a catalogue of standards of graphical symbols, or designed according to the rules of IEC 617-12.]

### 3.2 Identification et fonction des bornes

[Toutes les bornes doivent être identifiées sur le schéma synoptique (bornes d'alimentation, bornes d'adresse, de données et de commande).]

[Les fonctions des bornes doivent être indiquées dans un tableau comme suit.]

Numéro de la borne	Symbole de la borne	Désignation de la borne	Fonction	Fonction de la borne	
				Identification entrée/sortie	Type de circuit de sortie

### 3.3 Description fonctionnelle

[Les caractéristiques suivantes doivent être indiquées:

- capacité de la mémoire: nombre total d'éléments binaires pouvant être stockés dans la mémoire;
- organisation de la mémoire: nombre d'éléments binaires par mot pouvant être stockés dans la mémoire;
- mode d'adressage (par exemple: multiplexé, verrouillé, etc.);
- sélection boîtier\* (si applicable);
- validation sortie\* (si applicable);
- mode attente «standby» (si applicable);
- table de vérité (cette table doit indiquer les états de sortie en fonction des différentes combinaisons des entrées d'adresse et de sélection).

Le produit est conçu pour être programmé électriquement et effaçable par rayons ultra-violets.

L'état logique initial de toute la mémoire doit être spécifié.

Il doit être indiqué s'il est possible de modifier le contenu de la mémoire sur des positions non programmées. Le fonctionnement opérationnel de la mémoire n'altère pas son contenu. Les conditions de programmation sont définies en 7 ci-après.

L'effacement permettant le retour à l'état logique non programmé de la cellule mémoire s'effectue sur la totalité des cellules mémoires.]

\* Il convient de distinguer la sélection boîtier de la validation sortie.

**3.2 Identification and function of terminals**

[All terminals shall be identified on the block diagram (supply terminals, address, data and control terminals).]

[The terminal functions shall be indicated in a table as follows.]

Terminal number	Terminal symbol	Terminal designation	Function	Function of terminal	
				Input/output identification	Type of output circuit

**3.3 Functional description**

[The following characteristics shall be given:

- memory size: the total number of bits of information capable of being stored in the memory circuit;
- memory organization: the number of bits per word capable of being stored in the memory circuit;
- addressing mode (e.g.: multiplexed, latched, etc.);
- chip select\* (if applicable);
- output enable\* (if applicable);
- stand-by mode (if applicable);
- truth table (this table shall show the output states versus the different combinations of the address inputs and the select inputs).

The product is designed to be electrically programmed and UV light erasable.

The initial logic state of the whole memory shall be specified.

It should be stated whether it is possible to modify the memory content of unprogrammed cells. The normal functioning of the memory shall not change its content. The programming conditions are defined in clause 7.

The erasure allowing return to the unprogrammed logic state of memory cells is done on all the memory cells.]

\* The chip select and the output enable shall be distinguished.

#### 4 Valeurs limites (système des valeurs limites absolues)

Voir la CEI 134.

Ces valeurs s'appliquent dans la gamme des températures de fonctionnement, sauf spécification contraire.

[Sauf spécification contraire, les valeurs limites doivent être indiquées comme suit:

Toutes les précautions à prendre relatives à un circuit intégré particulier doivent être incluses, par exemple la manipulation des circuits MOS.

Toute interdépendance entre les valeurs limites doit être spécifiée.

Toutes les conditions pour lesquelles les valeurs limites s'appliquent doivent être indiquées.

Si des surcharges transitoires sont tolérées, leur amplitude et leur durée doivent être spécifiées.]

Pour toutes les tensions, la référence est une borne de référence désignée.

Paramètres	Symboles	Min.*	Max.*	Unité
Tension d'alimentation	$V_{CC}$	x	x	V
Tension de programmation	$V_{PP}$	x	x	V
Tensions d'entrée	$V_I$	x	x	V
Tensions de sortie	$V_O$	x	x	V
Tension à l'état bloqué (note 1)	$V_{OZ}$	x	x	V
Courants de sortie	$I_O$	x	x	mA
Courants d'entrée	$I_I$	x	x	mA
Dissipation de puissance	$P_D$	n.a.	x	W
Température de fonctionnement	$T_{amb}$	x	x	°C
Température de stockage	$T_{stg}$	x	x	°C
* Valeurs algébriques				
NOTE 1 - S'il y a lieu.				

#### 4 Limiting values (absolute maximum rating system)

See IEC 134.

These values apply over the operating temperature range, unless otherwise specified.

[Unless otherwise specified, limiting values shall be given as follows:

Any cautionary statement unique to an individual integrated circuit shall be included, for example the handling of MOS circuits.

Any interdependence of limiting values shall be specified.

All conditions for which the limiting values apply shall be stated.

If transient overloads are permitted, their magnitude and duration shall be specified.]

All voltages are referenced to a designated reference terminal.

Parameters	Symbols	Min.*	Max.*	Unit
Supply voltage	$V_{CC}$	x	x	V
Programming supply voltage	$V_{PP}$	x	x	V
Input voltages	$V_I$	x	x	V
Output voltages	$V_O$	x	x	V
Off-state voltage (note 1)	$V_{OZ}$	x	x	V
Output currents	$I_O$	x	x	mA
Input currents	$I_I$	x	x	mA
Power dissipation	$P_D$	n.a.	x	W
Operating temperature	$T_{amb}$	x	x	°C
Storage temperature	$T_{stg}$	x	x	°C
* Algebraic values				
NOTE 1 – Where appropriate.				

## 5 Conditions de fonctionnement (dans la gamme des températures de fonctionnement spécifiées)

Ces conditions ne sont pas destinées à être contrôlées, mais elles sont applicables à l'assurance de la qualité.

Caractéristiques	Symboles	Min.	Max.	Unité
Tension d'alimentation	$V_{CC}$	x	x	V
Tension d'entrée au niveau bas	$V_{IL}$	x	x	V
Tension d'entrée au niveau haut	$V_{IH}$	x	x	V
Température de fonctionnement	$T_{amb}$	x	x	°C

## 6 Caractéristiques électriques

Les caractéristiques doivent s'appliquer dans toutes les conditions de fonctionnement, définies à l'article 5, sauf spécification contraire.

[Si la performance indiquée du circuit varie dans la gamme des températures de fonctionnement, les valeurs des tensions d'entrée et de sortie et de leurs courants associés doivent être indiquées à 25 °C et aux deux températures extrêmes de fonctionnement. Les valeurs de courant et de tension doivent être indiquées pour chaque type fonctionnellement différent d'entrée et/ou de sortie.

Les caractéristiques spéciales et les exigences de temps doivent être spécifiées.]

### 6.1 Caractéristiques statiques

Pour toutes les tensions, la référence est une borne de référence désignée.

Caractéristiques	Conditions (note 4)	Symboles	Min.*	Max.*	Unité
Courants d'alimentation (note 1)	$V_{CC}$ max.	$I_{CC}$ , $I_{DD}$	x	x	mA
Courant de repos	$V_{CC}$ max.	$I_{CC0}$ , $I_{DD0}$	—	x	μA
Tension de sortie au niveau haut	$V_{CC}$ min. $I_{OHA}$	$V_{OH}$	x	x	V
Tension de sortie au niveau bas	$V_{CC}$ min. $I_{OLA}$	$V_{OL}$	x	x	V
Courant d'entrée ou de fuite au niveau haut	$V_{CC}$ max. $V_{IHB}$	$I_{IH(1)}$	x	x	μA

## 5 Operating conditions (within the specified operating temperature range)

These conditions are not to be inspected but may be used for quality assessment purposes.

Characteristics	Symbols	Min.	Max.	Unit
Supply voltage	$V_{CC}$	x	x	V
Low-level input voltage	$V_{IL}$	x	x	V
High-level input voltage	$V_{IH}$	x	x	V
Operating temperature	$T_{amb}$	x	x	°C

## 6 Electrical characteristics

The characteristics shall apply over the full operating conditions in clause 5 unless otherwise specified.

[Where the stated performance of the circuit varies over the operating temperature range, the values of the input and output voltages and their associated currents shall be stated at 25 °C and at the extremes of the operating temperature range. Values of current and voltage shall be given for each functionally different type of input and/or output.

Special characteristics and timing requirements shall be specified.]

### 6.1 Static characteristics

All voltages are referenced to a designated reference terminal.

Characteristics	Conditions (note 4)	Symbols	Min.*	Max.*	Unit
Supply currents (note 1)	$V_{CC}$ max.	$I_{CC}, I_{DD}$	x	x	mA
Stand-by supply current	$V_{CC}$ max.	$I_{CC0}, I_{DD0}$	–	x	µA
High-level output voltage	$V_{CC}$ min. $I_{OHA}$	$V_{OH}$	x	x	V
Low-level output voltage	$V_{CC}$ min. $I_{OLA}$	$V_{OL}$	x	x	V
High-level input or leakage current	$V_{CC}$ max. $V_{IHB}$	$I_{IH(1)}$	x	x	µA

Tableau (fin)

Caractéristiques	Conditions (note 4)	Symboles	Min.*	Max.*	Unité
Courant d'entrée ou de fuite au niveau haut (note 1)	$V_{CC}$ max. $V_{IHA}$	$I_{IH(2)}$	x	x	$\mu A$
Courant d'entrée ou de fuite au niveau bas	$V_{CC}$ max. $V_{ILA}$	$I_{IL(1)}$	x	x	$\mu A$
Courant d'entrée ou de fuite au niveau bas	$V_{CC}$ max. $V_{ILB}$	$I_{IL(2)}$	x	x	$\mu A$
Courant de sortie au niveau haut	$V_{CC}$ min. $V_{OHB}$	$I_{OH}$	x	x	$\mu A$
Courant de sortie au niveau bas	$V_{CC}$ max. $V_{OLA}$	$I_{OL}$	x	x	mA
Courant de sortie (fuite) au niveau haut (note 2)	$V_{CC}$ max. $V_{OHA}$	$I_{OHX}$	x	x	$\mu A$
Courant de sortie (fuite) au niveau bas (note 2)	$V_{CC}$ max. $V_{OLB}$	$I_{OLX}$	x	x	$\mu A$
Courant de sortie au niveau haut (fuite) pour les sorties trois-états (si applicable)	$V_{CC}$ max. $V_{OHB}$	$I_{OHZ}$	x	x	$\mu A$
Courant de sortie au niveau bas (fuite) pour les sorties trois-états (si applicable)	$V_{CC}$ max. $V_{OLA}$	$I_{OLZ}$	x	x	$\mu A$
Courant de court-circuit en sortie (note 3)	$V_{CC}$ max. $V_O = 0$	$I_{OS}$	x	x	mA
<p>* Valeurs algébriques</p> <p>[NOTES</p> <p>1 S'il y a lieu.</p> <p>2 <math>I_{OHX}</math> et <math>I_{OLX}</math> s'appliquent uniquement aux circuits possédant des sorties à collecteur ouvert (ou source/drain ouvert) et dans ce cas ils remplacent <math>I_{OH}</math> et <math>I_{OL}</math>.</p> <p>3 Durée à spécifier.</p> <p>4 Les tensions d'alimentation doivent être spécifiées pour assurer que la mesure de la caractéristique correspondante est effectuée dans les conditions de pire cas.</p> <p>5 Le dispositif peut être programmé pour la mesure de certaines caractéristiques.</p> <p>Les valeurs suivantes doivent aussi être indiquées, s'il y a lieu:</p> <p>- lorsque certaines bornes peuvent jouer le rôle d'entrées ou de sorties, les informations doivent être fournies dans ces deux cas.]</p>					

Table (continued)

Characteristics	Conditions (note 4)	Symbols	Min.*	Max.*	Unit
High-level input or leakage current (note 1)	$V_{CC}$ max. $V_{IHA}$	$I_{IH(2)}$	x	x	$\mu A$
Low-level input or leakage current	$V_{CC}$ max. $V_{ILA}$	$I_{IL(1)}$	x	x	$\mu A$
Low-level input or leakage current	$V_{CC}$ max. $V_{ILB}$	$I_{IL(2)}$	x	x	$\mu A$
High-level output current	$V_{CC}$ min. $V_{OHB}$	$I_{OH}$	x	x	$\mu A$
Low-level output current	$V_{CC}$ max. $V_{OLA}$	$I_{OL}$	x	x	mA
High-level output current (leakage) (note 2)	$V_{CC}$ max. $V_{OHA}$	$I_{OHX}$	x	x	$\mu A$
Low-level output current (leakage) (note 2)	$V_{CC}$ max. $V_{OLB}$	$I_{OLX}$	x	x	$\mu A$
High-level output leakage current at three-state outputs (if applicable)	$V_{CC}$ max. $V_{OHB}$	$I_{OHZ}$	x	x	$\mu A$
Low-level output leakage current at three-state outputs (if applicable)	$V_{CC}$ max. $V_{OLA}$	$I_{OLZ}$	x	x	$\mu A$
Output short-circuit current (note 3)	$V_{CC}$ max. $V_O = 0$	$I_{OS}$	x	x	mA
<p>* Algebraic values</p> <p>[NOTES</p> <p>1 Where appropriate.</p> <p>2 <math>I_{OHX}</math> and <math>I_{OLX}</math> apply only to circuits having open-collector (or open-source/drain) outputs and in this case replace <math>I_{OH}</math> and <math>I_{OL}</math>.</p> <p>3 Duration to be specified.</p> <p>4 The supply voltages shall be specified to ensure the worst case for the relevant characteristic measurement.</p> <p>5 For measurement of this characteristic it may be necessary to programme the device.</p> <p>The following shall also be stated where applicable:</p> <p>– where certain terminals may function as inputs or outputs, then information shall be given for both these conditions.]</p>					

## 6.2 Caractéristiques dynamiques

Caractéristiques	Conditions (note 1)	Symboles	Min.	Max.	Unité
Temps d'accès adresse		$t_a (A)$			ns
Temps d'accès autorisation boîtier		$t_a (E)$			ns
Temps d'accès pour l'opération de lecture (note 2) - sortie après adressage - sortie après autorisation - sortie après la fin du mode d'attente		$t_a$			ns
Temps de maintien de validité des données (note 2) - après la fin d'autorisation - après la fin de validité de l'adresse - après la fin de l'autorisation de sortie - après l'entrée du mode d'attente		$t_v$			ns
Temps d'autorisation et d'inhibition (note 2)  Des sorties trois états au début et à la fin de l'état haute impédance, mesurées sur la base du temps de transition approprié d'autorisation de sortie		$t_{dis}$ $t_{en}$			ns ns
<p>[NOTES</p> <p>1 Les conditions d'essai et les circuits de charge doivent être spécifiés.</p> <p>2 Si applicable.]</p>					

## 6.3 Diagrammes des temps

[Des diagrammes de temps, comportant un ensemble complet de signaux indiquant le fonctionnement de chaque mode du circuit doivent être donnés. On doit indiquer tous les intervalles de temps que l'utilisateur doit connaître pour assurer le fonctionnement correct de la mémoire. On doit indiquer sur ces diagrammes tous les paramètres spécifiés en 6.2.]

## 6.4 Capacités

Caractéristiques	Conditions	Symboles	Min.	Max.	Unité
Capacité d'entrée	-	$C_{in}$		x	pF
Capacité de sortie (si applicable)	-	$C_{out}$		x	pF

## 6.2 Dynamic characteristics

Characteristics	Conditions (note 1)	Symbols	Min.	Max.	Unit
Address access time		$t_a(A)$			ns
Chip enable access time		$t_a(E)$		x	ns
Read operation access time (note 2) - output after address - output after enable - output after leaving stand-by mode		$t_a$			ns
Output valid times (note 2) - after end of enable - after address is no longer valid - after end of output enable - after entering stand-by mode		$t_v$			ns
Disable and enable times (note 2) For the three-state outputs entering and leaving the off-state condition, measured from the relevant transition of output enable		$t_{dis}$ $t_{en}$			ns ns
<p>[NOTES</p> <p>1 Test conditions and loading circuits shall be specified.</p> <p>2 Where applicable.]</p>					

## 6.3 Timing diagrams

[Timing diagrams shall be given, to comprise a complete set of signals which show the operation for each mode of the circuit. Any time intervals which need to be known by the user to ensure the correct operation of the memory shall be stated. All the parameters specified in 6.2 shall be given on these diagrams.]

## 6.4 Capacitances

Characteristics	Conditions	Symbols	Min.	Max.	Unit
Input capacitance	—	$C_{in}$		x	pF
Output capacitance (if applicable)	—	$C_{out}$		x	pF

### 6.5 *Nombre de cycles de programmation*

Nombre d'opérations par unités adressables.

### 6.6 *Durée de rétention des informations* (voir aussi 14.1 ci-après)

Les durées minimales de rétention des informations:

- rétention statique,
- rétention dynamique,

doivent être précisées en spécification particulière pour une température donnée.

## 7 **Programmation**

Les paramètres et les conditions sont donnés en annexe A.

### 7.1 *Programmation (inscription du contenu)*

Le produit est conçu pour être programmé électriquement par l'utilisateur.

L'opération de programmation consiste à stocker une quantité suffisante de charges négatives dans la grille flottante du dispositif constituant la cellule mémoire ce qui provoque le déblocage de ce dernier entraînant le passage de l'état logique initial (état «1») à l'état logique programmé (état «0»).

Les méthodes et les conditions de programmation sont décrites dans la spécification particulière.

Il est possible de modifier ultérieurement le contenu de la mémoire sur des positions non programmées. La programmation des cellules n'altère pas son contenu.

Les paramètres de programmation spécifiques à chaque composant sont décrits à l'annexe A. Dans cette annexe les paramètres peuvent être présentés sous forme d'organigrammes ou de séquences de programmation. Les différentes configurations de signaux et les niveaux logiques nécessaires à la programmation doivent être décrits.

### 7.2 *Effacement (retour à l'état logique initial)*

L'opération d'effacement consiste à faire disparaître toutes les charges électriques négatives se trouvant dans la grille flottante du dispositif constituant la cellule mémoire, ce qui provoque le déblocage de ce dernier en le ramenant à l'état logique non programmé.

Les méthodes et les conditions d'effacement, les caractéristiques de la source ultraviolet (longueur d'onde et largeur de bande des ultraviolets) et la dose minimale d'irradiation nécessaire pour assurer l'effacement total doivent être indiqués dans la spécification particulière.

### 7.3 *Opérations effacement/programmation*

Le nombre maximal d'opérations effacement/programmation doit être inscrit en spécification particulière. Ce nombre est vérifié lors de l'essai de fatigue des cellules mémoire (voir 14.2 ci-après).

### 6.5 *Number of programming cycles*

Number of operations per addressable units.

### 6.6 *Data retention time (see also 14.1 below)*

The minimum data retention time for:

- static retention,
- dynamic retention,

shall be specified in the DS and for a given temperature.

## 7 **Programming**

Data and conditions are given in annex A.

### 7.1 *Programming (writing of a content)*

The product is designed to be electrically programmed by the user.

The programming operation is the storage of a sufficient quantity of negative electrical charges in the floating gate of a memory cell. This causes the change from the initial logic state "1" to the programmed logic state "0".

Programming methods and conditions are described by the detail specification.

It is possible to modify further the memory content of unprogrammed cells. The programmed cells shall not change its content.

The programming parameters specific to each considered device are described in annex A. In the annex, the parameters may be shown as organigrams or programming sequences. The different signal configurations and logic levels needed for programming shall be described.

### 7.2 *Erasing (return to the initial logic state)*

The erasing operation is the removal of all the negative electrical charges from the floating gate of the memory cell. This unlatches the memory cell and sets it back to the unprogrammed logic state.

The erasing methods, the erasing conditions, the UV source characteristics (wavelength and spectrum bandwidth of ultraviolet light) and the minimum erasure dosage to ensure full erasure shall be stated in the detail specification.

### 7.3 *Erasing/programming operations*

The maximum number of erasing/programming operations shall be specified in the DS. This number is checked in the memory cells wear-out test (see 14.2 below).

## 8 Caractéristiques et données mécaniques et d'environnement, valeurs limites

Voir le 12.2 de la spécification intermédiaire.

## 9 Renseignements supplémentaires

[Les renseignements supplémentaires facultatifs suivants peuvent constituer les données minimales de conception:

- résistance thermique;

Des renseignements peuvent être donnés pour définir la température maximale tolérée au point de référence à la surface d'un dispositif à une dissipation indiquée conformément aux conditions maximales d'utilisation recommandées.

- immunité au bruit (entrées, tensions d'alimentation, etc.);
- alimentations;

S'il y a lieu, donner les variations typiques du ou des courants (ou de la ou des tensions) d'alimentation, dans toute la gamme spécifiée des fréquences du signal de commande, y compris les alimentations par impulsions.

- règles de charge: les informations concernant la capacité de charge en sortie doivent être données;
- schémas électriques d'entrée ou de sortie (si nécessaire);
- durée de rétention des informations;
- nombre de cycles de programmation.

Un avertissement doit être donné pour indiquer que les fenêtres doivent être obturées pour éviter l'effacement dû à la lumière ambiante.]

## 10 Sélection (si exigé)

Voir l'article 8 de la spécification intermédiaire.

[Conditions de rodage: les informations suivantes doivent être spécifiées:

- température ambiante: température maximale de fonctionnement, sauf spécification contraire;
- tension d'alimentation: valeur nominale, sauf spécification contraire;
- fréquence;
- schéma du circuit et conditions.]

## 11 Procédures d'assurance de la qualité

Pour la qualification, l'une des deux procédures ci-après peut être utilisée.

### 11.1 Procédures d'homologation

[Voir 3.1 de la spécification générique et 5.1 de la spécification intermédiaire.]

## 8 Mechanical and environmental ratings, characteristics and data

See 12.2 of the sectional specification.

## 9 Additional information

[Optionally the following additional information may be given as minimum design data:

- thermal resistance;

Information may be included to define the maximum temperature which may be permitted to occur at the reference point on the surface of a device under stated dissipation in accordance with the recommended maximum conditions of use.

- noise immunity (inputs, supply voltages, etc.);
- power supplies;

Where appropriate, information shall be given for the typical variation of power supply current(s) (or, as applicable, voltage(s)), over the specified range of control signal frequencies including pulsed supplies.

- loading rules: information on the output loading capability shall be given;
- the electrical schemas of input or output circuits (if necessary);
- data retention time;
- number of programming cycles.

A caution statement shall be given to the effect that the window shall be covered to avoid erasure by normal ambient light.]

## 10 Screening procedure (if required)

See clause 8 of the sectional specification.

[Burn-in conditions: the following shall be specified:

- ambient temperature: maximum operating temperature, unless otherwise specified;
- supply voltage: nominal value, unless otherwise specified;
- frequency;
- circuit diagram and conditions.]

## 11 Quality assessment procedures

For qualification, either of the following two procedures may be used.

### 11.1 Qualification approval procedures

[See 3.1 of the generic specification and 5.1 of the sectional specification.]

## 11.2 *Procédures d'agrément de savoir-faire*

[Voir 3.11 de la spécification générique.]

## 12 **Procédures d'associativité**

[Voir l'article 6 de la spécification intermédiaire.]

## 13 **Conditions d'essai et exigences de contrôle**

### 13.1 *Généralités*

#### 13.1.1 *Conditions générales pour les mesures électriques et fonctionnelles*

Voir 4.3.1 de la spécification générique.

Le programme d'essais fait partie de la spécification du produit. [Le fabricant doit démontrer à l'ONS que la séquence d'essais fonctionnels est appropriée à la définition donnée par le fabricant (fonction, taux de couverture, etc.)]. Cette information reste confidentielle entre le fabricant et l'ONS et ne doit pas être divulguée sans le consentement du fabricant.

#### 13.1.2 *Vérification fonctionnelle*

##### 13.1.2.1 *Conditions générales*

Voir la spécification générique.

##### 13.1.2.2 *Définitions et vérification de la fonction*

[La fonction accomplie par le circuit intégré doit être décrite le plus précisément possible à l'article 3 de la spécification particulière ou de cette spécification particulière cadre.]

Le programme d'essais du fabricant doit être utilisé pour la vérification de la fonction. Ce programme d'essais fait partie de la spécification du produit.

[Le fabricant doit garantir à l'ONS que le programme d'essais est approprié aux besoins de la vérification de la fonction et, en particulier, que la vérification de la fonction par ce programme d'essais est valable dans toute la gamme des tensions d'alimentation et des températures de fonctionnement.]

[L'ONS peut exiger que le fabricant montre le programme d'essais avec toutes les modifications éventuelles; cependant, ces renseignements restent confidentiels.]

[L'ONS est en droit de consulter des experts qui doivent être agréés par le fabricant.]

[Dans le cadre de cette procédure, la vérification de la fonction n'est pas décrite dans la spécification particulière.]

## 11.2 *Capacity approval procedures*

[See 3.11 of the generic specification.]

## 12 **Structural similarity procedures**

[See clause 6 of the sectional specification.]

## 13 **Test conditions and inspection requirements**

### 13.1 *General*

#### 13.1.1 *General conditions for electrical and functional measurements*

See 4.3.1 of the generic specification.

The test programme is part of the product specification. [The manufacturer shall demonstrate to the NSI that the functional test sequence is adequate, referring to the definition given by the manufacturer (function, test coverage, etc.).] This information is confidential between the manufacturer and the NSI and must not be disclosed without the consent of the manufacturer.

#### 13.1.2 *Functional verification*

##### 13.1.2.1 *General conditions*

See the generic specification.

##### 13.1.2.2 *Definition and verification of the function*

[The function performed by the integrated circuit shall be described as precisely as possible in clause 3 of the detail specification or of this blank detail specification.]

For the verification of the function, the manufacturer's test programme shall be used. This test programme is part of the product specification.

[The manufacturer shall have assured the NSI that the test programme is adequate for this purpose and, in particular, shall assure the NSI that the verification of the function by the test programme is valid over the supply voltage and operating temperature range.]

[The NSI can require the manufacturer to demonstrate the test programme and any changes; however, the information is confidential.]

[The NSI has the right to consult experts who shall be acceptable to the manufacturer.]

[Within this procedure, the verification of the function is not described in the detail specification.]

### 13.1.2.3 *Qualification de la programmation et de l'effacement*

Ces essais sont effectués en sous-groupe A2 dans les conditions suivantes:

Un échantillon de dispositifs doit être programmé puis effacé dans des conditions de programmation et d'effacement applicables aux dispositifs soumis à l'essai (voir annexe A) comme spécifié dans la spécification particulière (voir 7.1 et 7.2 de la présente spécification particulière cadre).

Le gabarit utilisé pour la programmation doit être tel qu'après l'effacement, au moins 50 % des éléments binaires doivent avoir changé d'état.

Les éléments binaires programmés doivent être distribués uniformément dans toute la surface mémoire de la pastille.

*Sanction:* Une pièce est réputée défectueuse si une des positions ayant été soumises à programmation ou effacement n'a pas changé d'état logique.

### 13.2 *Exigences de prélèvements et constitution des lots de contrôle*

Exigences de prélèvement: voir l'article 9 de la spécification intermédiaire et 3.7 de la spécification générique.

Le système AQL doit être choisi pour les essais du groupe A.

Lots de contrôle: voir l'article 9 de la spécification intermédiaire.

### 13.3 *Séquences d'essais*

Les essais doivent être effectués à 25 °C, sauf spécification contraire.

Les essais suivis de (D) sont destructifs.

### 13.1.2.3 *Assessment of programmability and erasability*

These tests are carried out in the sub-group A2 with the following conditions:

A sample of devices shall be programmed and then erased under the programming and erasing conditions valid for the devices under test (see annex A) as they are described in the DS (see 7.1 and 7.2 of the BDS).

The pattern used for programming shall be such that after erasure, at least 50 % of the binary elements shall have been programmed in the changed state.

The programmed binary elements shall be distributed uniformly over the whole memory area of the die.

*Criteria:* A device is said to be defective if one of its locations submitted to a programming/erasing operation does not change its logic state.

### 13.2 *Sampling requirements and formation of inspection lots*

Sampling requirements: see clause 9 of the sectional specification and 3.7 of the generic specification.

The AQL system shall be chosen for the group A testing.

Inspection lots: see clause 9 of the sectional specification.

### 13.3 *Inspection tables*

Tests shall be made at 25 °C, unless otherwise specified.

Tests marked (D) are destructive.

Table 1 – Group A: Lot-by-lot

Sub-group	Examination or test	Conditions of test	Limits
A1	External visual examination	See 4.2.1.1 of IEC 747-10/ QC 700000	
A2	Verification of the function at 25 °C unless otherwise specified	In accordance with 13.1 of this specification	
A2a	(Not applicable to category I) Verification of the function at minimum and maximum operating temperatures (see note 1)		
A3	Static characteristics at 25 °C	See 6.1 of this specification. For output parameters, pre-setting sequences and loading shall be specified. The levels of unused inputs shall be specified if necessary	See 6.1 of this specification
A3a	Static characteristics at minimum and maximum operating temperatures (see note 1)	At $T_{amb} = T_{amb \text{ min.}}$ and $T_{amb \text{ max.}}$	Limits may be different from those in sub-group A3
A4	Dynamic characteristics at 25 °C, unless otherwise specified	See 6.2 of this specification. The voltages, sequences and combinations of input signals, and the resulting output waveforms as given in the specified control sequence diagrams. Appropriate values of essential timing conditions shall be specified. Output loading shall be specified	See 6.2 of this specification.
A4a	(Not applicable to category I) Dynamic characteristics at minimum and maximum operating temperatures (see note 1)	At $T_{amb} = T_{amb \text{ min.}}$ and $T_{amb \text{ max.}}$ Same conditions as A4 above	Limits may be different from those in sub-group A4
NOTE 1 – The manufacturer may use test results at 25 °C if he can demonstrate, on a periodic basis, the correlation with those obtained at the two extremes of temperature.			





Tableau 3 – Groupe C: Contrôles périodiques

Sous-groupe	Examen ou essai	Publication de la CEI	Détails et conditions	Limites
C1 (ND)	Dimensions	747-10, 4.2.2 et annexe B		
C2c (D)	Valeur limite d'énergie transitoire	A spécifier	A spécifier	
C3 (D)	Robustesse des sorties	749, II, 1	Comme spécifié s'il y a lieu pour le boîtier	
C4 (D)	Résistance à la chaleur de soudage	749, II, 2.2	Comme spécifié	
C5 (ND)	Variations rapides de température: dispositifs programmés			
(D)	a) <i>Dispositifs à cavité</i> Variations rapides de température suivies de: • Essais électriques choisis en A2, A3 et A4 • Etanchéité, détection des microfuites et • Etanchéité, détection des fuites franches	749, III, 1.1 et A.1  749, III, 7.3 (et A.1) ou 7.4  68-2-17, essai Qc	10 cycles  Comme en A2, A3 et A4  Comme spécifié  Comme spécifié	Comme en A2, A3 et A4
(D)	b) <i>Dispositifs sans cavité et avec cavité à scellement époxyde</i> Variations rapides de température, suivies de: • Examen visuel externe • Essai continu de chaleur humide • Essais électriques choisis en A2, A3 et A4	749, III, 1.1 (et A.1)  747-10, 4.2.1.1 749 (A.1), III, 5B	500 cycles  Sévérité 1, 24 h Comme en A2, A3 et A4	Comme en A2, A3 et A4
C5a (D)	Brouillard salin (si approprié)	749, III, 8		
C6 (D)	Accélération constante (pour les dispositifs à cavité)	749, II, 5 (et A.1)	Comme spécifié	
C7 (D)	Essai continu de chaleur humide: dispositifs programmés			
(D)	a) <i>Dispositifs à cavité</i>	749 (A.1), III, 5.A	Sévérité: 56 jours pour les catégories II et III, 21 jours pour la catégorie I	
(D)	b) <i>Dispositifs sans cavité et avec cavité à scellement époxyde</i>	749 (A.1), III, 5.B	Sévérité: 1 Polarisation: comme spécifié dans la spécification particulière Durée: 1 000 h pour les catégories II et III, 500 h pour la catégorie I	
(D)	Suivi de: • Essais électriques des sous-groupes A2, A3 et A4		Comme en A2, A3 et A4	Comme en A2, A3 et A4
C8 (D)	Endurance électrique: dispositifs programmés	Voir 12.3 de la spécification intermédiaire	Durée: 1 000 h, conditions spécifiées en 12.3 et 12.4 et, si applicable, de la spécification intermédiaire	Voir 12.3 de la spécification intermédiaire
C9 (D)	Stockage à haute température: dispositifs programmés	749, III, 2	1 000 h, à $T_{stg}$ max.	
C11 (ND)	Permanence du marquage	749 (A.1), ch. IV, art. 2	Méthode 1	
RCLA	Informations par attributs pour C3, C4, C5, C6, C7, C8, C9 et C11			

Table 3 – Group C: Periodic

Sub-group	Examination or test	IEC publication	Details and conditions	Limits
C1 (ND)	Dimensions	747-10, 4.2.2 and appendix B		
C2c (D)	Transient energy rating	To be specified	To be specified	
C3 (D)	Robustness of terminations	749, II, 1	As specified where appropriate for the package	
C4 (D)	Resistance to soldering heat	749, II, 2.2	As specified	
C5 (ND)	Rapid change of temperature:			
	a) <i>Cavity devices</i> Rapid change of temperature, followed by:	749, III, 1.1 and A.1	10 cycles	
	• Electrical tests selected from A2, A3 and A4		As in A2, A3 and A4	As in A2, A3 and A4
	• Sealing, fine leak detection and	749, III, 7.3 (and A.1) or 7.4	As specified	
	• Sealing, gross leak detection	68-2-17, test Qc	As specified	
(D)	b) <i>Non-cavity and epoxy-sealed cavity devices</i> Rapid change of temperature, followed by:	749, III, 1.1 (and A.1)	500 cycles	
	• External visual examination	747-10, 4.2.1.1	Severity 1, 24 h	
	• Damp heat, steady state	749 (A.1) III, 5B	As in A2, A3 and A4	As in A2, A3 and A4
	• Electrical tests selected from A2, A3 and A4			
C5a (D)	Salt mist (where appropriate)	749, III, 8		
C6 (D)	Acceleration steady state (for cavity devices)	749, II, 5 (and A.1)	As specified	
C7 (D)	Damp heat, steady state: programmed devices			
	a) <i>Cavity devices</i>	749 (A.1), III, 5.A	Severity: 56 days for categories II and III, 21 days for category I	
	b) <i>Non-cavity and epoxy-sealed cavity devices</i>	749 (A.1), III, 5.B	Severity 1 Bias: as specified in the detail specification Duration: 1 000 h for categories II and III, 500 h for category I	
	Followed by:			
	• Electrical tests of sub-groups A2, A.3 and A4		As in A2, A3 and A4	As in A2, A3 and A4
C8 (D)	Electrical endurance: programmed devices	See 12.3 of the sectional specification	Duration: 1 000 h, conditions as specified in 12.3 and, if applicable 12.4 of the sectional specification	See 12.3 of the sectional specification
C9 (D)	Storage at high temperature programmed devices	749, III, 2	1 000 h, at $T_{stg}$ max.	
C11 (ND)	Permanence of marking	749 (A.1), IV, 2	Method 1	
CRRL	Attributes information for C3, C4, C5, C6, C7, C8, C9 and C11			

**Tableau 4 – Groupe D**

Sous-groupe	Examen ou essai	Publication de la CEI	Détails et conditions	Limites
D8a (D)	Endurance électrique (voir note 1) : dispositifs programmés	Voir 12.3 de la spécification intermédiaire	Catégorie I: non applicable Catégorie II: 2 000 h Catégorie III: 3 000 h Conditions: voir 12.3 et 12.4, si applicable, la spécification intermédiaire	Voir 12.3 de la spécification intermédiaire
D8b (D)	Endurance à l'opération d'écriture/effacement	Voir 12.3 de la spécification intermédiaire et 14.2 de la présente spécification	Catégorie II: 50 cycles Catégorie III: 100 cycles	Voir 12.3 de la spécification intermédiaire
D8c (D)	Essai de rétention	Voir 14.1 de la présente spécification	Voir 14.1 de la présente spécification	Voir 14.1 de la présente spécification
D12 (ND)	Capacité d'entrée	Voir 6.4 de cette spécification	Voir 6.4 de cette spécification	Voir 6.4 de cette spécification
D13 (ND)	Capacité de sortie (si applicable)	Voir 6.4 de cette spécification	Voir 6.4 de cette spécification	Voir 6.4 de cette spécification
D14 (D)	Essai de verrouillage (si applicable)	748-2, IV, 2.8	748-2, IV, 2.8	Comme spécifié en spécification particulière
NOTE 1 – Les essais du groupe D doivent être initialement effectués immédiatement après l'homologation et annuellement par la suite.				

### 13.4 Livraisons différées

Voir 3.6.7 de la CEI 747-10.

## 14 Méthode de mesure supplémentaire

### 14.1 Essai de rétention (essai destructif)

Essai à effectuer en sous-groupe D8c avec  $n = 8$ ,  $c = 1$ .

- Inscription de la totalité de la mémoire.
- A effectuer sans tension en statique, fenêtre masquée.
- Durée et température: 1 000 h à 150 °C.
- Mesures finales: vérification du contenu de la mémoire, et mesure des caractéristiques dynamiques.

Les conditions d'exécution de cet essai doivent être précisées dans la spécification particulière.

**Table 4 – Group D**

Sub-group	Examination or test	IEC publication	Details and conditions	Limits
D8a (D)	Electrical endurance (see note 1) : programmed devices	See 12.3 of the sectional specification	Category I: not applicable Category II: 2 000 h Category III: 3 000 h Conditions: see 12.3 and, if applicable, 12.4 of the sectional specification	See 12.3 of the sectional specification
D8b (D)	Write/erase endurance	See 12.3 of the sectional specification and 14.2 of this specification	Category II: 50 cycles Category III: 100 cycles	See 12.3 of the sectional specification
D8c (D)	Data retention test	See 14.1 of this specification	See 14.1 of this specification	See 14.1 of this specification
D12 (ND)	Input capacitance	See 6.4 of this specification	See 6.4 of this specification	See 6.4 of this specification
D13 (ND)	Output capacitance (if applicable)	See 6.4 of this specification	See 6.4 of this specification	See 6.4 of this specification
D14 (D)	Latch up (if applicable)	748-2, IV, 2.8	748-2, IV, 2.8	As specified in the detail specification
NOTE 1 – Group D tests shall be initially performed immediately following qualification approval and annually thereafter.				

### 13.4 Delayed deliveries

See 3.6.7 of IEC 747-10.

## 14 Additional measurement method

### 14.1 Data retention test (destructive test)

This test is to be carried out under sub-group D8c with  $n = 8$ ,  $c = 1$ .

- Write a test pattern in the whole memory.
- Test to be done with static conditions, device powered, with covered window.
- Duration and temperature: 1 000 h at 150 °C.
- Final measurements: memory content to be verified, and dynamic characteristics to be measured.

These test conditions shall be described in the detail specification.

**14.2 Endurance à l'opération d'écriture/effacement: nombre de cycles de programmation (essai destructif)**

Essai à effectuer en sous-groupe D8b avec  $n = 8$ ,  $c = 1$ .

- Exécution
  - Inscription de la totalité de la mémoire (par exemple configuration aléatoire).
  - Effacement de la totalité de la mémoire.
  - Répéter ces opérations  $n$  fois, selon la spécification particulière (voir 7.3 de cette spécification particulière cadre) alternativement avec configuration inversée.
- Mesures après chaque cycle: vérification de la fonction (selon sous-groupe A2) et des caractéristiques statiques et dynamiques (sous-groupes A3 et A4).

**14.2 Write/erase endurance: number of programming cycles (destructive test)**

This test is to be done under sub-group D8b with  $n = 8$ ,  $c = 1$ .

- Procedure
  - Write a test pattern in the whole memory (e.g. random pattern).
  - Erase the memory.
  - Repeat these operations  $n$  times according to the detail specification (see 7.3 of this blank detail specification) alternatively with inverse pattern.
- Measurements after each cycle: verification of the function (under sub-group A2 ) and static and dynamic characteristics (sub-groups A3 and A4) to be verified.

**Annexe A**  
(normative)

**Programmation et effacement**

**A.1 Programmation**

- a) La méthode de programmation utilisée (organigramme, etc.) doit être indiquée.
- b) Il convient d'établir le tableau des caractéristiques de programmation à appliquer (les caractéristiques) à préciser pourront différer selon le type de produit considéré).

**Tableau A.1**

Caractéristiques	Conditions	Symboles	Min.	Max.	Unité
Tension de programmation		$V_{PP}$	x	x	V
Courant de programmation à l'entrée de lecture		$I_{PP(1)}$	x	x	mA
Courant de programmation à l'entrée de lecture pendant l'impulsion de programmation		$I_{PP(2)}$			mA
Tension d'alimentation pour vérifier (si applicable)		$V_{CCV}$	x	x	V
Tension d'entrée à l'état haut		$V_{IH}$	x	x	V
Tension d'entrée à l'état bas		$V_{IL}$	x	x	V
Temps d'établissement pour l'opération de programmation (si applicable) <ul style="list-style-type: none"> <li>- adressage avant l'impulsion de programmation ou d'autorisation du programme</li> <li>- autorisation avant l'impulsion de programmation ou l'autorisation du programme</li> <li>- introduction de données avant l'impulsion de programmation ou l'autorisation du programme</li> <li>- autorisation du programme avant l'impulsion de programmation ou impulsion d'alimentation avant l'impulsion de programmation</li> </ul>		$t_{su(\dots)PR}$	x		ns

## Annex A (normative)

### Programming and erasing

#### A.1 Programming

- a) The programming method used (organigram, etc) shall be given.
- b) The table of the programming conditions that apply should be given (the characteristics to be given may be different depending on the type of memory).

**Table A.1**

Characteristics	Conditions	Symbols	Min.	Max.	Unit
Programming supply voltage		$V_{PP}$	x	x	V
Programming current (read input)		$I_{PP(1)}$	x	x	mA
Programming current (read input) during programming pulse		$I_{PP(2)}$			mA
Power supply voltage to verify (if applicable)		$V_{CCV}$	x	x	V
Input high voltage		$V_{IH}$	x	x	V
Input low voltage		$V_{IL}$	x	x	V
Programming operation set-up times (if applicable)  - address before programme pulse or programme enable  - enable before programme pulse or programme enable  - data before programme pulse or programme enable  - programme enable before programme pulse or pulsed supply before programme pulse		$t_{su(\dots)PR}$	x		ns

Tableau A.1 (fin)

Caractéristiques	Conditions	Symboles	Min.	Max.	Unité
<p>Temps de maintien pour l'opération de programmation (si applicable)</p> <ul style="list-style-type: none"> <li>- adressage après la fin de l'impulsion de programmation ou de l'autorisation du programme</li> <li>- autorisation après la fin de l'impulsion de programmation ou de l'autorisation du programme</li> <li>- introduction de données après la fin de l'impulsion de programmation ou de l'autorisation du programme</li> <li>- adressage après la fin de l'introduction de données</li> <li>- alimentation par impulsion après la fin de l'impulsion de programmation</li> </ul>		$t_{h(\dots)PR}$	x		ns
<p>Temps de maintien de validité des données (si applicable)</p> <ul style="list-style-type: none"> <li>- après la fin d'autorisation</li> <li>- après la fin de validité de l'adresse</li> <li>- après la fin de l'autorisation de sortie</li> <li>- après l'entrée du mode attente</li> </ul>		$t_{V(\dots)PR}$	x		ns
Durée d'impulsion de programmation ou d'autorisation du programme		$t_{WPR}$	x		
Cycle maximal d'impulsion de programmation ou d'autorisation du programme (sauf quand cette information peut être dérivée d'autres paramètres donnés)					
Temps total de programmation pour chaque adresse					
Nombre maximal de tentatives nécessaires pour obtenir une programmation satisfaisante					
Température ambiante de programmation		$T_{amb}$	x	x	°C

Table A.1 (concluded)

Characteristics	Conditions	Symbols	Min.	Max.	Unit
Programming operation hold times (if applicable) <ul style="list-style-type: none"> <li>- address after end of programme pulse or programme enable</li> <li>- enable after end of programme pulse or programme enable</li> <li>- data after end of programme pulse or programme enable</li> <li>- address after end of data input</li> <li>- pulsed supply after end of programme pulse</li> </ul>		$t_{h(\dots)PR}$	x		ns
Times for which data remains valid (if applicable) <ul style="list-style-type: none"> <li>- after end of enable</li> <li>- after address is no longer valid</li> <li>- after end of output enable</li> <li>- after entering stand-by mode</li> </ul>		$t_{V(\dots)PR}$	x		ns
Programming pulse or programme enable duration		$t_{WPR}$	x		
Maximum duty cycle of programming or programme enable pulse (except where this information can be derived for other given parameters)					
Total programming time for each location					
Maximum number of attempts which may be necessary for successful programming					
Programming ambient temperature		$T_{amb}$	x	x	°C

## **A.2 Effacement**

### **a) Procédure**

### **b) Conditions et paramètres:**

- longueur d'onde;
- intensité de la lumière à la fenêtre;
- température;
- temps d'exposition;
- dose minimale d'irradiation pour l'effacement (l'intensité des UV × temps d'exposition).

## **A.3 Un diagramme des temps décrivant la séquence de programmation.**

## **A.4 Le schéma de branchement.**

---

**A.2 Erasure**

- a) Procedure
- b) Conditions and parameters:
  - wavelength;
  - luminous intensity at the window;
  - temperature;
  - exposure time;
  - minimum dose for erasure (UV intensity × exposure time).

**A.3 A timing diagram which describes programming sequence.**

**A.4 Connection diagram.**

---

LICENSED TO MECON Limited. - RANCHI/BANGALORE  
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

---

**ICS 31.200**

---