

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC
748-2-7**

QC 790105

Première édition
First edition
1992-10

**Dispositifs à semiconducteurs
Circuits intégrés**

Deuxième partie:

Circuits intégrés numériques

Section sept – Spécification particulière cadre
pour les mémoires bipolaires à lecture seule
programmables par fusion à circuits intégrés

**Semiconductor devices
Integrated circuits**

Part 2:

Digital integrated circuits

Section seven – Blank detail specification for
integrated circuit fusible-link programmable
bipolar read-only memories



Numéro de référence
Reference number
CEI/IEC 748-2-7: 1992

Numéros des publications

Depuis le 1^{er} janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement
(Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates

(On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC
748-2-7**

QC 790105

Première édition
First edition
1992-10

**Dispositifs à semiconducteurs
Circuits intégrés**

Deuxième partie:
Circuits intégrés numériques
Section sept – Spécification particulière cadre
pour les mémoires bipolaires à lecture seule
programmables par fusion à circuits intégrés

**Semiconductor devices
Integrated circuits**

Part 2:
Digital integrated circuits
Section seven – Blank detail specification for
integrated circuit fusible-link programmable
bipolar read-only memories

© CEI 1992 Droits de reproduction réservés — Copyright — all rights reserved

Aucune partie de cette publication ne peut être reproduite ni
utilisée sous quelque forme que ce soit et par aucun procédé,
électronique ou mécanique, y compris la photocopie et les
microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized
in any form or by any means, electronic or mechanical,
including photocopying and microfilm, without permission
in writing from the publisher

Bureau central de la Commission Electrotechnique Internationale 3, rue de Varembé Genève Suisse
Téléfax: +41 22 919 0300 e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE

S

● Pour prix, voir catalogue en vigueur
For price, see current catalogue

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS

Circuits intégrés

Deuxième partie: Circuits intégrés numériques

Section sept – Spécification particulière cadre pour les mémoires bipolaires à lecture seule programmables par fusion à circuits intégrés

AVANT-PROPOS

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

La présente norme a été établie par le Sous-Comité 47A: Circuits intégrés, et par le Comité d'Etudes n° 47 de la CEI: Dispositifs à semiconducteurs.

Cette norme est une spécification particulière cadre pour les mémoires bipolaires à lecture seule programmables par fusion à circuits intégrés.

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapport de vote
47A(BC)233	47A(BC)247

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Le numéro QC qui figure sur la page de couverture de la présente publication est le numéro de la spécification dans le système CEI d'assurance de la qualité des composants électroniques (IECQ).

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DEVICES

Integrated circuits

Part 2: Digital integrated circuits

Section seven – Blank detail specification for
integrated circuit fusible-link programmable
bipolar read-only memories

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

This standard has been prepared by Sub-Committee 47A: Integrated circuits, and IEC Technical Committee No. 47: Semiconductor devices.

This standard is a blank detail specification for integrated circuit fusible-link programmable bipolar read-only memories.

The text of this standard is based on the following documents:

Six Months' Rule	Report on Voting
47A(CO)233	47A(CO)247

Full information on the voting for the approval of this standard can be found in the Voting Report indicated in the above table.

The QC number that appears on the front cover of this publication is the specification number in the IEC Quality Assessment System for Electronic Components (IECQ).

Les publications suivantes de la CEI sont citées dans le présent norme:

- Publications n^{os} 68-2-17 (1978): Essais d'environnement – Deuxième partie: Essais - Essai Q: Étanchéité.
- 134 (1961): Systèmes de valeurs limites pour les tubes électroniques et les dispositifs à semiconducteurs analogues.
- 617-12 (1991): Symboles graphiques pour schémas. Douzième partie: Opérateurs logiques binaires.
- 747-10 (1991): Dispositifs à semiconducteurs. Dixième partie: Spécification générique pour les dispositifs discrets et les circuits intégrés.
- 748-2 (1985): Dispositifs à semiconducteurs. Circuits intégrés. Deuxième partie: Circuits intégrés numériques. Amendement 1 (1991).
- 748-11 (1990): Dispositifs à semiconducteurs. Circuits intégrés. Onzième partie: Spécification intermédiaire pour les circuits intégrés à semiconducteurs à l'exclusion des circuits hybrides.
- 749 (1984): Dispositifs à semiconducteurs. Essais mécaniques et climatiques. Amendement 1 (1991).

The following IEC publications are quoted in this standard:

- Publications Nos. 68-2-17 (1978): Environmental testing – Part 2: Tests - Test Q: Sealing.
- 134 (1961): Rating systems for electronic tubes and valves and analogous semiconductor devices.
- 617-12 (1991): Graphical symbols for diagrams. Part 12: Binary logic elements.
- 747-10 (1991): Semiconductor devices. Part 10: Generic specification for discrete devices and integrated circuits.
- 748-2 (1985): Semiconductor devices. Integrated circuits. Part 2: Digital integrated circuit. Amendment 1 (1991).
- 748-11 (1990): Semiconductor devices. Integrated circuits. Part 11: Sectional specification for semiconductor integrated circuits excluding hybrid circuits.
- 749 (1984): Semiconductor devices. Mechanical and climatic test methods. Amendment 1 (1991).

DISPOSITIFS À SEMICONDUCTEURS

Circuits intégrés

Deuxième partie: Circuits intégrés numériques

Section sept – Spécification particulière cadre pour les mémoires bipolaires à lecture seule programmables par fusion à circuits intégrés

INTRODUCTION

Le système CEI d'assurance de la qualité des composants électroniques fonctionne conformément aux statuts de la CEI et sous son autorité. Le but de ce système est de définir les procédures d'assurance de la qualité de telle façon que les composants électroniques livrés par un pays participant comme étant conformes aux exigences d'une spécification applicable soient également acceptables dans les autres pays participants sans nécessiter d'autres essais.

Cette spécification particulière cadre fait partie d'une série de spécifications particulières cadres concernant les dispositifs à semiconducteurs; elle doit être utilisée avec les publications suivantes de la CEI:

747-10/QC 700000: *Dispositifs à semiconducteurs – Dixième partie: Spécification générique pour les dispositifs discrets et les circuits intégrés.*

748-11/QC 790100: *Dispositifs à semiconducteurs. Circuits intégrés. Onzième partie: Spécification intermédiaire pour les circuits intégrés à semiconducteurs à l'exclusion des hybrides.*

Renseignements nécessaires

Les nombres placés entre crochets sur cette page et les pages suivantes correspondent aux indications suivantes qui doivent être portées dans les cases prévues à cet effet.

Identification de la spécification particulière

- [1] Nom de l'Organisme National de Normalisation sous l'autorité duquel la spécification particulière est établie.
- [2] Numéro IECQ de la spécification particulière.
- [3] Numéros de référence et d'édition des spécifications générique et intermédiaire.
- [4] Numéro national de la spécification particulière, date d'édition et toute autre information requise par le système national.

Identification du composant

- [5] Fonction principale et numéro de type.
- [6] Renseignements sur la construction typique (matériaux, technologie principale) et le boîtier. Si les produits ont des variantes, elles doivent être indiquées ainsi que leurs caractéristiques.

SEMICONDUCTOR DEVICES

Integrated circuits

Part 2: Digital integrated circuits

Section seven – Blank detail specification for integrated circuit fusible-link programmable bipolar read-only memories

INTRODUCTION

The IEC Quality Assessment System for Electronic Components is operated in accordance with the statutes of the IEC and under the authority of the IEC. The object of this system is to define quality assessment procedures in such a manner that electronic components released by one participating country as conforming with the requirements of an applicable specification are equally acceptable in all other participating countries without the need for further testing.

This blank detail specification is one of a series of blank detail specifications for semiconductor devices and shall be used with the following IEC Publications:

747-10/QC 700000: *Semiconductor devices. Part 10: Generic specification for discrete devices and integrated circuits.*

748-11/QC 790100: *Semiconductor devices. Integrated circuits. Part 11: Sectional specification for semiconductor integrated circuits excluding hybrid circuits.*

Required information

Numbers shown in brackets on this and the following pages correspond to the following items of required information, which should be entered in the spaces provided.

Identification of the detail specification

- [1] The name of the National Standards Organization under whose authority the detail specification is issued.
- [2] The IECQ number of the detail specification.
- [3] The numbers and issue numbers of the generic and sectional specifications.
- [4] The national number of the detail specification, date of issue and any further information, if required by the national system.

Identification of the component

- [5] Main function and type number.
- [6] Information on typical construction (materials, the main technology) and the package. If applicable, variants of the products shall be given here together with the variant characteristics.

La spécification particulière doit fournir une description brève comprenant les renseignements suivants:

- organisation (mots x bits);
- configuration des étages de sortie (par exemple: trois états);
- fonctions essentielles.

- [7] Dessin d'encombrement, identification des bornes, marquage et/ou référence aux documents correspondants pour les encombrements.
- [8] Catégorie d'assurance de la qualité conformément au paragraphe 2.6 de la spécification générique.
- [9] Données de référence.

[Les articles indiqués entre crochets sur les pages suivantes de cette norme qui correspondent à la première page de la spécification particulière, sont destinés à guider le rédacteur de la spécification; ils ne doivent pas figurer dans la spécification particulière.]

[Lorsqu'il existe un risque d'ambiguïté quant à savoir si un paragraphe est uniquement destiné à guider le rédacteur ou non, il doit être indiqué entre crochets.]

The detail specification shall give a brief description including the following:

- structure (words x bits);
 - type of output circuit (for example: three state);
 - major functions.
- [7] Outline drawing, terminal identification, marking and/or reference to the relevant document for outlines.
- [8] Category of assessed quality according to subclause 2.6 of the generic specification.
- [9] Reference data.

[The clauses given in square brackets on the next pages of this standard, which form the front page of the detail specification, are intended for guidance to the specification writer and shall not be included in the detail specification.]

[When confusion may arise as to whether a paragraph is only instruction to the writer or not, the paragraph shall be indicated between brackets.]

[Nom (adresse) de l'ONH responsable [1] (et éventuellement de l'organisme auprès duquel la spécification peut être obtenue).]	[N° de la spécification particulière [2] IECQ, plus n° d'édition et/ou date.] QC 790105-...
COMPOSANT ÉLECTRONIQUE DE QUALITÉ [3] CONTRÔLÉE CONFORMÉMENT À: Spécification générique: Publication 747-10 / QC 700000 Spécification intermédiaire: Publication 748-11 / QC 790100 [et références nationales si elles sont différentes].	[Numéro national de la spécification particulière.] [4] [Cette case n'a pas besoin d'être utilisée si le numéro national est identique au numéro IECQ.]
SPÉCIFICATION PARTICULIÈRE CADRE POUR: MÉMOIRES BIPOLAIRES À LECTURE SEULE PROGRAMMABLES PAR FUSION À CIRCUITS INTÉGRÉS [5] [Numéro(s) de type du ou des dispositifs.] Renseignements à donner dans les commandes: voir le paragraphe 1.2 de cette norme.	
Description mécanique [7] <i>Références d'encombrement:</i> [Références du boîtier normalisé, numéro CEI (obligatoire si disponible) et/ou numéro national.] <i>Dessin d'encombrement</i> [peut être transféré, ou donné avec plus de détails, à l'article 8 de cette norme]. <i>Identification des bornes</i> [dessin indiquant l'emplacement des bornes, y compris les symboles graphiques]. <i>Marquage:</i> [lettres et chiffres, ou code de couleur.] [La spécification particulière doit indiquer les infor- mations à marquer sur le dispositif.] [Voir le paragraphe 2.5 de la spécification généri- que et/ou le paragraphe 1.1 de cette norme.]	Brève description [6] Application: Fonction: Construction typique: [Si, monolithique, bipolaire, MOS.] Technologie de fusion: Encapsulation: [avec ou sans cavité.] [Tableau comparatif des caractéristiques des variantes de produits.] ATTENTION: Dispositifs sensibles aux charges électro- statiques.
	Catégories d'assurance de la qualité [8] [A choisir dans le paragraphe 2.6 de la spécification générique.]
	Données de référence [9] [Données de référence sur les propriétés les plus im- portantes pour permettre la comparaison des types de composants entre eux.]
Se reporter à la liste des produits homologués en vigueur pour connaître les fabricants dont les composants conformes à cette spécification particulière sont homologués.	

[Name (address) of responsible NAI [1] (and possibly of body from which specification is available).]	[Number of IECQ detail specification, plus issue number and/or date.] [2] QC 790105-...
ELECTRONIC COMPONENT OF ASSESSED QUALITY IN ACCORDANCE WITH: [3] Generic specification: Publication 747-10 / QC 700000 Sectional specification: Publication 748-11 / QC 790100 [and national references if different].	[National number of detail specification.] [4] [This box need not be used if national number repeats IECQ number.]
BLANK DETAIL SPECIFICATION FOR: INTEGRATED CIRCUIT FUSIBLE-LINK PROGRAMMABLE BIPOLAR READ-ONLY MEMORIES [5] [Type number(s) of the relevant device(s).] Ordering information: see subclause 1.2 of this standard.	
Mechanical description [7] <i>Outline references:</i> [Standard package references should be given, IEC number (mandatory if available) and/or national number.] <i>Outline drawing</i> [may be transferred to or given with more details in clause 8 of this standard]. <i>Terminal identification</i> [drawing showing pin assignments, including graphical symbols]. <i>Marking:</i> [letters and figures, or colour code.] [The detail specification shall prescribe the information to be marked on the device, if any.] [See subclause 2.5 of generic specification and/or subclause 1.1 of this standard.]	Short description [6] Application: Function: Typical construction: [Si, monolithic, bipolar, MOS.] Fuse technology: Encapsulation: [cavity or non-cavity.] [Comparison table of characteristics for variant products.] CAUTION: Electrostatic sensitive devices
	Categories of assessed quality [8] [From subclause 2.6 of the generic specification.]
	Reference data [9] [Reference data on the most important properties to permit comparison between types.]
Information about manufacturers who have components qualified to this detail specification is available in the current Qualified Products List.	

1 Marquage et renseignements à donner dans les commandes

1.1 Marquage

Voir le paragraphe 2.5 de la spécification générique.

1.2 Renseignements à donner dans les commandes

[Sauf spécification contraire, les renseignements suivants constituent le minimum nécessaire pour passer commande d'un dispositif donné:

- référence précise du modèle (et valeur de la tension nominale, si nécessaire);
- référence IECQ de la spécification particulière avec numéro d'édition et/ou date selon le cas;
- catégorie d'assurance de la qualité définie à l'article 9 de la spécification intermédiaire et, si nécessaire, séquence de sélection définie à l'article 8 de cette même spécification;
- emballage pour la livraison;
- toute autre particularité.]

2 Description relative à l'application

[Les caractéristiques suivantes doivent être indiquées

- tension d'alimentation nominale;
- consommation nominale;
- consommation en mode attente (si applicable);
- technologie de fusion;
- modes de fonctionnement;
- compatibilité électrique (si approprié);

On doit indiquer si la mémoire à circuits intégrés est compatible électriquement avec d'autres circuits intégrés particuliers ou familles de circuits intégrés, ou si des interfaces spéciales sont nécessaires.

- schéma synoptique global;
- résumé des conditions de programmation (voir également l'article 7 de cette norme).]

3 Spécification de la fonction

3.1 Schéma synoptique

[Le schéma synoptique doit être suffisamment détaillé pour permettre l'identification des différentes liaisons d'entrée et de sortie (validation puce, décodage d'adresse, programmation, etc.) nécessaires au fonctionnement des blocs fonctionnels composant la mémoire.]

[Le symbole graphique de la fonction doit être indiqué. Il peut être extrait d'un catalogue de normes de symboles graphiques, ou conçu conformément aux règles de la Publication 617-12 de la CEI.]

1 Marking and ordering information

1.1 Marking

See subclause 2.5 of the generic specification.

1.2 Ordering information

[The following minimum information is necessary to order a specific device, unless otherwise specified:

- precise type reference (and nominal voltage value, if required);
- IECQ reference of detail specification with issue number and/or date when relevant;
- category of assessed quality as defined in clause 9 of the sectional specification and, if required, the screening sequence as defined in clause 8 of the sectional specification;
- packaging for delivery;
- any other particulars.]

2 Application related description

[The following characteristics shall be given:

- nominal supply voltage;
- nominal current consumption;
- standby current consumption (if applicable);
- fuse technology;
- operating modes;
- electrical compatibility (if appropriate);

It shall be stated whether the integrated circuit memory is electrically compatible with other particular integrated circuits or families of integrated circuits, or whether special interfaces are required.

- overall block diagram;
- summary of the programming conditions (see also clause 7 of this standard).]

3 Specification of the function

3.1 Block diagram

[The block diagram shall be sufficiently detailed to enable the individual functional units within the memory to be identified with their main input and output paths and the identification of their external connections (chip enable, address decode, programming, etc.).]

[The graphical symbol for the function shall be given. This may be obtained from a catalogue of standards of graphical symbols, or designed according to the rules of IEC 617-12.]

3.2 Identification et fonction des bornes

[Toutes les bornes doivent être identifiées sur le schéma synoptique (bornes d'alimentation, bornes d'adresse, de données et de commande).]

[Les fonctions des bornes doivent être indiquées dans un tableau comme suit.]

Numéro de la borne*	Symbole de la borne	Désignation de la borne	Fonction	Fonction de la borne	
				Identification entrée/sortie	Type de circuit de sortie

3.3 Description fonctionnelle

[Les caractéristiques suivantes doivent être indiquées:

- capacité de la mémoire: nombre total d'éléments binaires pouvant être stockés dans la mémoire;
- organisation de la mémoire: nombre d'éléments binaires par mot pouvant être stockés dans la mémoire;
- mode d'adressage (par exemple: multiplexé, verrouillé);
- sélection puce* (si applicable);
- validation sortie* (si applicable);
- mode attente «standby» (si applicable);
- table de vérité (cette table doit indiquer les états de sortie en fonction des différentes combinaisons des entrées d'adresse et de sélection).

Le produit est conçu pour être programmé électriquement (voir le paragraphe 3.3.1 ci-dessous).

[L'état logique initial de toute la mémoire doit être spécifié.]

3.3.1 Programmation (écriture du contenu)

[Les méthodes et les conditions de programmation doivent être indiquées dans la spécification particulière (voir également l'article 7).]

3.3.2 Types fonctionnellement interchangeables

Tous les produits décrits dans la spécification particulière sont interchangeables après la programmation. Dans ce cas, les produits peuvent être programmés selon des méthodes différentes. Chacune de ces méthodes est décrite à l'article 7 de cette norme.

* Il est nécessaire de distinguer la sélection puce de la validation sortie.

3.2 Identification and function of terminals

[All terminals shall be identified on the block diagram (supply terminals, address, data and control terminals).]

[The terminal functions shall be indicated in a table as follows.]

Terminal number*	Terminal symbol	Terminal designation	Function	Function of terminal	
				Input/output identification	Type of output circuit

3.3 Functional description

[The following characteristics shall be given:

- memory size: the total number of bits of information capable of being stored in the memory circuit;
- memory organization: the number of bits per word capable of being stored in the memory circuit;
- addressing mode (for example: multiplexed, latched, etc.);
- chip select* (if applicable);
- output enable* (if applicable);
- standby mode (if applicable);
- truth table (this table shall show the output states versus the different combinations of the address inputs and the select inputs).

The product is designed to be electrically programmed (see subclause 3.3.1 below).

The initial logic state of the whole memory shall be specified.]

3.3.1 Programming (writing of a content)

[Programming methods and conditions shall be given in the detail specification (see also clause 7).]

3.3.2 Functional interchangeable types

All products described in the detail specification are interchangeable after programming. In this case, products may be programmed under different methods. Each of these methods is described in clause 7 of this standard.

* The chip select and the output enable shall be distinguished.

4 Valeurs limites (système des valeurs limites absolues)

Voir la Publication 134 de la CEI.

Ces valeurs s'appliquent dans la gamme des températures de fonctionnement, sauf spécification contraire.

[Sauf spécification contraire, les valeurs limites doivent être indiquées comme suit:

- toutes les précautions à prendre relatives à un circuit intégré particulier doivent être incluses;
- toute interdépendance entre les valeurs limites doit être spécifiée;
- toutes les conditions pour lesquelles les valeurs limites s'appliquent doivent être indiquées;
- si des surcharges transitoires sont tolérées, leur amplitude et leur durée doivent être spécifiées;
- si les valeurs minimales et maximales diffèrent au cours de l'exécution d'un programme, ceci doit être indiqué.]

Pour toutes les tensions, la référence est une borne de référence désignée.

Paramètres (note 2)	Symboles	Min.	Max.	Unité
Tension d'alimentation	V_{CC}	x	x	V
Tensions d'entrée	V_I	x	x	V
Tensions de sortie	V_O	x	x	V
Tensions à l'état bloqué (note 1)	V_{OZ}	x	x	V
Courants de sortie	I_O	x	x	mA
Courants d'entrée	I_I	x	x	mA
Dissipation de puissance	P_D	–	x	W
Température de fonctionnement	T_{amb} et/ou T_{case}	x	x	°C
Température de stockage	T_{stg}	x	x	°C

Notes 1. – S'il y a lieu.

2. – Toute condition telle que temps, fréquence, température, méthode de montage, etc. doit être indiquée.

4 Limiting values (absolute maximum rating system)

See IEC Publication 134.

These values apply over the operating temperature range, unless otherwise specified.

[Unless otherwise specified, limiting values shall be given as follows:

- any cautionary statement unique to an individual integrated circuit shall be included;
- any interdependence of limiting values shall be specified;
- all conditions for which the limiting values apply shall be stated;
- if transient overloads are permitted, their magnitude and duration shall be specified;
- where minimum and maximum values differ during programming of the device, this shall be stated.]

All voltages are referenced to a designated reference terminal.

Parameters (note 2)	Symbols	Min.	Max.	Unit
Supply voltage	V_{CC}	x	x	V
Input voltages	V_I	x	x	V
Output voltages	V_O	x	x	V
Off-state voltage (note 1)	V_{OZ}	x	x	V
Output currents	I_O	x	x	mA
Input currents	I_I	x	x	mA
Power dissipation	P_D	–	x	W
Operating temperature	T_{amb} and/or T_{case}	x	x	°C
Storage temperature	T_{stg}	x	x	°C

Notes 1. – Where appropriate.

2. – Any conditions such as time, frequency, temperature, mounting method, etc. shall be stated.

5 Conditions de fonctionnement (dans la gamme des températures de fonctionnement spécifiées)

Ces conditions ne sont pas destinées à être contrôlées, mais elles sont applicables à l'assurance de la qualité.

Caractéristiques	Symboles	Min.	Max.	Unité
Tension d'alimentation	V_{CC} (note 1)	–	x	V
Tension d'entrée au niveau bas	V_{IL}	x	x	V
Tension d'entrée au niveau haut	V_{IH}	x	x	V
Température de fonctionnement	T_{amb} et/ou T_{case}	x	x	°C

Note 1. – S'il y a lieu, ces valeurs doivent également être fournies dans des conditions de veille.

6 Caractéristiques électriques

Les caractéristiques doivent s'appliquer dans toute la gamme des températures de fonctionnement, sauf spécification contraire.

[Si la performance indiquée du circuit varie dans la gamme des températures de fonctionnement, les valeurs des tensions d'entrée et de sortie et de leurs courants associés doivent être indiquées à 25 °C et aux deux températures extrêmes de fonctionnement. Les valeurs de courant et de tension doivent être indiquées pour chaque type fonctionnellement différent d'entrée et/ou de sortie.

Les caractéristiques particulières et les exigences de temps doivent être spécifiées.]

6.1 Caractéristiques statiques

Pour toutes les tensions, la référence est une borne de référence désignée.

Caractéristiques	Conditions (note 4)	Symboles	Min.*	Max.*	Unité
Courants d'alimentation (note 1)	V_{CC} max.	I_{CC}	x	x	mA
Tension de sortie au niveau haut (note 5)	V_{CC} min. I_{OHA}	V_{OH}	x	–	V
Tension de sortie au niveau bas (note 5)	V_{CC} min. I_{OLA}	V_{OL}	x	x	V
Courant d'entrée ou de fuite au niveau haut	V_{CC} max. V_{IHB}	$I_{IH(1)}$	x	x	μA
* Valeurs algébriques					

5 Operating conditions (within the specified operating temperature range)

These conditions are not to be inspected but may be used for quality assessment purposes.

Characteristics	Symbols	Min.	Max.	Unit
Supply voltage	V_{CC} (note 1)	–	x	V
Low-level input voltage	V_{IL}	x	x	V
High-level input voltage	V_{IH}	x	x	V
Operating temperature	T_{amb} and/or T_{case}	x	x	°C

Note 1. – Where appropriate, these values shall also be quoted under standby conditions.

6 Electrical characteristics

The characteristics shall apply over the full operating temperature range, unless otherwise specified.

[Where the stated performance of the circuit varies over the operating temperature range, the values of the input and output voltages, and their associated currents shall be stated at 25 °C and at the extremes of the operating temperature range. Values of current and voltage shall be given for each functionally different type of input and/or output.

Special characteristics and timing requirements shall be specified.]

6.1 Static characteristics

All voltages are referenced to a designated reference terminal.

Characteristics	Conditions (note 4)	Symbols	Min.*	Max.*	Unit
Supply current (note 1)	V_{CC} max.	I_{CC}	x	x	mA
High-level output voltage (note 5)	V_{CC} min. I_{OHA}	V_{OH}	x	–	V
Low-level output voltage (note 5)	V_{CC} min. I_{OLA}	V_{OL}	x	x	V
High-level input or leakage voltage current	V_{CC} max. V_{IHB}	$I_{IH(1)}$	x	x	μA
* Algebraic values					

Tableau (suite)

Caractéristiques	Conditions (note 4)	Symboles	Min.*	Max.*	Unité
Courant d'entrée ou de fuite au niveau haut (s'il y a lieu)	$V_{CC} \text{ max.}$ V_{IHA}	$I_{IH(2)}$	x	x	μA
Courant d'entrée ou de fuite au niveau bas	$V_{CC} \text{ max.}$ V_{ILA}	$I_{IL(1)}$	x	x	μA
Courant d'entrée ou de fuite au niveau bas (s'il y a lieu)	$V_{CC} \text{ max.}$ V_{ILB}	$I_{IL(2)}$	x	x	μA
Courant de sortie au niveau haut (note 5)	$V_{CC} \text{ min.}$ V_{OHB}	I_{OH}	x	x	μA
Courant de sortie au niveau bas (note 5)	$V_{CC} \text{ max.}$ V_{OLA}	I_{OL}	x	x	μA
Courant de sortie (fuite) au niveau haut (note 2)	$V_{CC} \text{ max.}$ V_{OHA}	I_{OHX}	x	x	μA
Courant de sortie (fuite) au niveau bas (note 2)	$V_{CC} \text{ max.}$ V_{OLB}	I_{OLX}	x	x	μA
Courant de sortie (fuite) au niveau haut pour les sorties trois-états (si applicable)	$V_{CC} \text{ max.}$ V_{OHB}	I_{OHZ}	x	x	μA
Courant de sortie (fuite) au niveau bas pour les sorties trois-états (si applicable)	$V_{CC} \text{ max.}$ V_{OLA}	I_{OLZ}	x	x	μA
Courant de court-circuit en sortie (note 3)	$V_{CC} \text{ max.}$ $V_O = 0$	I_{OS}	x	x	μA
* Valeurs algébriques.					

[Notes 1. – S'il y a lieu, ces valeurs doivent également être fournies dans des conditions de veille.

2. – I_{OHX} et I_{OLX} s'appliquent uniquement aux circuits possédant des sorties à collecteur ouvert (ou source/drain ouvert) et dans ce cas il remplacent I_{OH} et I_{OL} .

3. – Durée à spécifier.

4. – Ces conditions doivent être spécifiées pour le pire cas de mesure de la caractéristique correspondante.

5. – Il peut être nécessaire de programmer le dispositif afin de mesurer cette caractéristique.

L'information suivante doit également être donnée, s'il y a lieu:

– lorsque certaines bornes peuvent jouer le rôle d'entrées ou de sorties, ces deux conditions doivent être spécifiées.]

Table (continued)

Characteristics	Conditions (note 4)	Symbols	Min.*	Max.*	Unit
High-level input or leakage current (where appropriate)	V_{CC} max. V_{IHA}	$I_{IH(2)}$	x	x	μA
Low-level input or leakage current	V_{CC} max. V_{ILA}	$I_{IL(1)}$	x	x	μA
Low-level input or leakage current (where appropriate)	V_{CC} max. V_{ILB}	$I_{IL(2)}$	x	x	μA
High-level output current (note 5)	V_{CC} min. V_{OHB}	I_{OH}	x	x	μA
Low-level output current (note 5)	V_{CC} max. V_{OLA}	I_{OL}	x	x	μA
High-level output current (leakage) (note 2)	V_{CC} max. V_{OHA}	I_{OHX}	x	x	μA
Low-level output current (leakage) (note 2)	V_{CC} max. V_{OLB}	I_{OLX}	x	x	μA
High-level output leakage current at three-state outputs (if applicable)	V_{CC} max. V_{OHB}	I_{OHZ}	x	x	μA
Low-level output leakage current at three-state outputs (if applicable)	V_{CC} max. V_{OLA}	I_{OLZ}	x	x	μA
Output short-circuit current (note 3)	V_{CC} max. $V_O = 0$	I_{OS}	x	x	μA
* Algebraic values.					

[Notes 1. – Where appropriate, these values shall also be quoted under standby conditions.

2. – I_{OHX} and I_{OLX} apply only to circuits having open-collector (or open source/drain) outputs and in this case replace I_{OH} and I_{OL} .

3. – Duration to be specified.

4. – These conditions shall be specified for the worst case of the relevant characteristic measurement.

5. – For measurement of this characteristic it may be necessary to programme the device.

The following shall also be stated where applicable:

- where certain terminals may be used both as inputs and outputs then both conditions shall be specified.]

6.2 Caractéristiques dynamiques

Caractéristiques	Conditions	Symboles	Min.	Max.	Unité
Temps d'accès adresse		t_a (A)		x	ns
Temps d'accès validation puce		t_a (S)		x	ns
Invalidation puce		t_{dis} (S)		x	ns
Validation sortie		t_{en} (O)		x	ns

[Note. – Les conditions d'essai et les circuits de charge doivent être spécifiés.]

6.3 Diagrammes des temps

[Des diagrammes de temps doivent être fournis, comportant un ensemble complet de signaux indiquant le fonctionnement de chaque mode du circuit. On doit indiquer tous les intervalles de temps que l'utilisateur doit connaître pour assurer le fonctionnement correct de la mémoire, par exemple le fonctionnement pendant et après les conditions de veille.]

6.4 Capacités

Caractéristiques	Conditions	Symboles	Max.	Unité
Capacité d'entrée		C_{in}	x	pF
Capacité de sortie (si applicable)		C_{out}	x	pF

6.2 Dynamic characteristics

Characteristics	Conditions	Symbols	Min.	Max.	Unit
Address access time		t_a (A)		x	ns
Chip enable access time		t_a (S)		x	ns
Chip disable		t_{dis} (S)		x	ns
Output enable		t_{en} (O)		x	ns

[Note. – Test conditions and loading circuits shall be specified.]

6.3 Timing diagrams

[Timing diagrams shall be given, to comprise a complete set of signals which show the operation for each mode of the circuit. Any time intervals which need to be known by the user to ensure the correct operation of the memory should be stated, for example operation during and after leaving the standby condition.]

6.4 Capacitances

Characteristics	Conditions	Symbols	Max.	Unit
Input capacitance		C_{in}	x	pF
Output capacitance (if applicable)		C_{out}	x	pF

7 Programmation

Tous les renseignements nécessaires pour la programmation du dispositif doivent être donnés dans cet article comme suit:

- 1) conditions de programmation;
- 2) diagrammes des temps;
- 3) conditions de fonctionnement conformément au tableau ci-après.

Paramètres	Symboles	Min.*	Max.*	Unité
Tension d'alimentation de programmation	V_{CCP}	x	x	V
Tension de seuil de vérification	V_s	x	x	V
Tension d'alimentation de vérification	V_{CCV}	x	x	V
Courant de programmation	I_{CCP}	x	x	mA
Tension d'entrée au niveau haut	V_{IH}	x	x	V
Tension d'entrée au niveau bas	V_{IL}	x	x	V
Courant d'entrée au niveau haut	I_{IH}	x	x	μA
Courant d'entrée au niveau bas	I_{IL}	x	x	μA
Tension de sortie forcée	V_{OPF}	x	x	V
Courant de sortie forcé	I_{OPF}	x	x	mA
Tension d'entrée au niveau haut validation puce	V_{IHCE}	x	x	V
Tension d'entrée au niveau bas validation puce	V_{ILCE}	x	x	V
Temps de montée du signal de sortie	t_r	x	x	ns
Largeur d'impulsion de programmation sur la broche validation puce	t_p	x	x	ns
Retard du train d'impulsion	t_d	x	x	ns
Largeur d'impulsion de vérification sur la broche validation puce	t_v	x	x	ns
Cycle de vérification du programme adresse	t_{pva}	x	x	ms
Temps de vérification du programme mémoire	t_{pvm}	x	x	s
Essais de fusion par fusible	F_L	–	x	–
* Valeurs algébriques				

[S'il y a lieu, les temps maximal et minimal de montée et de descente pour chaque entrée doivent être spécifiés.

7 Programming

All information necessary for programming the device shall be given in this clause as follows:

- 1) programming conditions;
- 2) timing diagrams;
- 3) operating conditions according to the following table.

Parameters	Symbols	Min.*	Max.*	Unit
Programming power supply voltage	V_{CCP}	x	x	V
Verifying threshold voltage	V_s	x	x	V
Verifying power supply voltage	V_{CCV}	x	x	V
Programming supply current	I_{CCP}	x	x	mA
High-level input voltage	V_{IH}	x	x	V
Low-level input voltage	V_{IL}	x	x	V
High-level input current	I_{IH}	x	x	μA
Low-level input current	I_{IL}	x	x	μA
Forced output voltage	V_{OPF}	x	x	V
Forced output current	I_{OPF}	x	x	mA
Chip enable high-level input voltage	V_{IHCE}	x	x	V
Chip enable low-level input voltage	V_{ILCE}	x	x	V
Output pulse rise time	t_r	x	x	ns
Chip enable programming pulse width	t_p	x	x	ns
Pulse sequence delay	t_d	x	x	ns
Chip enable verifying pulse width	t_v	x	x	ns
Address programme verifying cycle	t_{pva}	x	x	ms
Memory programme verifying time	t_{pvm}	x	x	s
Fusing attempts per link	F_L	—	x	—
* Algebraic values				

[Where appropriate, maximum and minimum rise and fall times for each input shall be specified.]

Les valeurs minimales de temps d'établissement suivants doivent être spécifiées:

- 1) adressage avant l'impulsion de programmation ou de validation de programmation;
- 2) impulsion de programmation ou de validation de programmation avant la validation ou validation avant l'impulsion de programmation ou de validation de programmation.

Les valeurs minimales des temps de maintien suivants doivent être spécifiées:

- 1) adressage après la fin de l'impulsion de programmation ou de validation de programmation;
- 2) impulsion de programmation ou de validation de programmation après la fin de la validation ou validation après la fin de l'impulsion de programmation ou de validation de programmation.

Charges en sortie (s'il y a lieu).

Temps total maximal de programmation pour chaque adresse.]

Rendement de programmation

Le rendement minimal de programmation P_V doit être indiqué.

8 Valeurs limites, caractéristiques et données mécaniques et d'environnement

Voir le paragraphe 12.2 de la spécification intermédiaire.

9 Renseignements supplémentaires

[Les renseignements supplémentaires facultatifs suivants peuvent constituer les données minimales de conception:

- résistance thermique.

Des renseignements peuvent être donnés pour définir la température maximale tolérée au point de référence à la surface d'un dispositif à une dissipation indiquée conformément aux conditions maximales d'utilisation recommandées.

- immunité au bruit (entrées, tensions d'alimentation, etc.);
- alimentations;

S'il y a lieu, donner les variations typiques du (des) courants (ou de la(des) tensions) d'alimentation, dans toute la gamme spécifiée des fréquences du signal de commande (y compris les alimentations par impulsions, s'il y a lieu).

- règles de charge: les informations concernant la capacité de charge en sortie doivent être données;
- schémas électriques d'entrée ou de sortie (si nécessaire).]

Minimum values for the following set-up times shall be specified, as appropriate:

- 1) address before programme pulse or programme enable pulse;
- 2) programme pulse or programme enable pulse before enable or enable before programme pulse or programme enable pulse.

Minimum values for the following hold times shall be specified, as appropriate:

- 1) address after end of programme pulse or programme enable pulse;
- 2) programme pulse or programme enable pulse after end of enable or enable after end of programme pulse or programme enable pulse.

Output loads (where appropriate).

Maximum total programming time for each location.]

Programming yield

Minimum programming yield P_Y shall be stated.

8 Mechanical and environmental ratings, characteristics and data

See subclause 12.2 of the sectional specification.

9 Additional information

[Optionally the following additional information may be given as minimum design data:

- thermal resistance.

Information may be included to define the maximum temperature which may be permitted to occur at the reference point on the surface of a device under stated dissipation in accordance with the recommended maximum conditions of use.

- noise immunity (inputs, supply voltages, etc.);
- power supplies;

Where appropriate, information shall be given for the typical variation of power supply current(s) (or, as applicable, voltage(s)), over the specified range of control signal frequencies (including pulsed supplies where appropriate).

- loading rules: information on the output loading capability shall be given;
- electrical schemas of input or output circuits (if necessary).]

10 Procédure de sélection (si exigé)

Voir l'article 8 de la spécification intermédiaire.

[Conditions de déverminage: les informations suivantes doivent être spécifiées:

- température ambiante: température maximale de fonctionnement, sauf spécification contraire;
- tension d'alimentation: valeur nominale, sauf spécification contraire;
- fréquence;
- schéma du circuit et conditions.]

11 Procédures d'assurance de la qualité

11.1 Procédures d'homologation

[Voir les paragraphes 3.1 à 3.10 de la spécification générique et le paragraphe 5.1 de la spécification intermédiaire.]

11.2 Procédures d'agrément de savoir-faire

[Voir le paragraphe 3.11 de la spécification générique.]

12 Procédures d'associativité

[Voir l'article 6 de la spécification intermédiaire.]

13 Conditions d'essai et exigences de contrôle

13.1 Généralités

13.1.1 Conditions générales pour les mesures électriques et fonctionnelles

Voir l'article 4 de la spécification générique.

Le programme d'essais fait partie de la spécification du produit. [Le fabricant doit démontrer à l'ONS que la séquence d'essais fonctionnels est appropriée à la définition donnée par le fabricant (fonction, taux de couverture, etc.).] Cette information reste confidentielle entre le fabricant et l'ONS et ne doit pas être divulguée sans le consentement du fabricant.

13.1.2 Vérification fonctionnelle

13.1.2.1 Conditions générales

Voir la spécification générique.

13.1.2.2 Définitions et vérification de la fonction

[La fonction accomplie par le circuit intégré doit être décrite si possible à l'article 3 de cette spécification particulière.]

10 Screening procedure (if required)

See clause 8 of the sectional specification.

[Burn-in conditions: the following shall be specified:

- ambient temperature: maximum operating temperature, unless otherwise specified;
- supply voltage: nominal value, unless otherwise specified;
- frequency;
- circuit diagram and conditions.]

11 Quality assessment procedures

11.1 *Qualification approval procedures*

[See subclauses 3.1 to 3.10 of the generic specification and subclause 5.1 of the sectional specification.]

11.2 *Capacity approval procedures*

[See subclause 3.11 of the generic specification.]

12 Structural similarity procedures

[See clause 6 of the sectional specification.]

13 Test conditions and inspection requirements

13.1 *General*

13.1.1 *General conditions for electrical and functional measurements*

See clause 4 of the generic specification.

The test program is part of the product specification. [The manufacturer shall demonstrate to the NSI that the functional test sequence is adequate, referring to the definition given by the manufacturer (function, test coverage, etc.).] This information is confidential between the manufacturer and the NSI and must not be disclosed without the consent of the manufacturer.

13.1.2 *Functional verification*

13.1.2.1 *General conditions*

See the generic specification.

13.1.2.2 *Definition and verification of the function*

[The function performed by the integrated circuit shall be described if possible in clause 3 of this detail specification.]

Le programme d'essais du fabricant doit être utilisé pour la vérification de la fonction. Ce programme d'essais fait partie de la spécification du produit.

Le fabricant doit garantir à l'ONS que le programme d'essais est approprié aux besoins de la vérification de la fonction et, en particulier, que la vérification de la fonction par ce programme d'essais est valable dans toute la gamme des tensions d'alimentation et des températures de fonctionnement.

[L'ONS peut exiger que le fabricant montre le programme d'essais avec toutes les modifications éventuelles. Cependant, cette information reste confidentielle.]

[L'ONS est en droit de consulter des experts qui doivent être agréés par le fabricant.]

[Dans le cadre de cette procédure, la vérification de la fonction n'est pas décrite dans la spécification particulière.]

13.2 *Exigences de prélèvement et constitution des lots de contrôle*

Exigences de prélèvement, voir l'article 9 de la spécification intermédiaire et le paragraphe 3.7 de la spécification générique.

Le système NQA doit être choisi pour les essais du Groupe A.

Constitution des lots de contrôle, voir l'article 9 de la spécification intermédiaire.

13.3 *Séquences d'essais*

Les essais doivent être effectués à 25 °C, sauf spécification contraire.

Les essais suivis de (D) sont destructifs.

For the verification of the function, the manufacturer's test program shall be used. This test program is part of the product specification.

The manufacturer shall have assured the NSI that the test program is adequate for this purpose and, in particular, shall assure the NSI that the verification of the function by the test program is valid over the supply voltage and operating temperature range.

[The NSI can require the manufacturer to demonstrate the test program and any changes; however, the information is confidential.]

[The NSI has the right to consult experts who shall be acceptable to the manufacturer.]

[Within this procedure, the verification of the function is not described in the detail specification.]

13.2 *Sampling requirements and formation of inspection lots*

Sampling requirements, see clause 9 of the sectional specification and subclause 3.7 of the generic specification.

AQL system shall be chosen for Group A testing.

Formation of inspection lots: see clause 9 of the sectional specification.

13.3 *Inspection tables*

Tests shall be made at 25 °C, unless otherwise specified.

Tests marked (D) are destructive.

TABLEAU I
GROUPE A
Contrôles lot par lot

Sous-groupe	Examen ou essai	Conditions d'essai	Limites
A1	Examen visuel externe	CEI 747-10/QC 700000, paragraphe 4.2.1.1	
A2	Vérification de la fonction à 25 °C sauf spécification contraire	Conformément au paragraphe 13.1 de cette spécification	
A2a	(Non applicable à la catégorie I) Vérification de la fonction aux températures minimale et maximale de fonctionnement (voir note 1)		
A3	Caractéristiques statiques à 25 °C	Voir le paragraphe 6.1 de cette spécification. Pour les paramètres de sortie, les séquences de pré-réglage et la charge doivent être spécifiées. Les niveaux des entrées non utilisées doivent être spécifiés si nécessaire	Voir le paragraphe 6.1 de cette spécification
A3a	Caractéristiques statiques aux températures minimale et maximale de fonctionnement	$A T_{amb} = T_{amb} \text{ max. et } T_{amb} \text{ min.}$	Les limites peuvent être différentes de celles du sous-groupe A3
A4	Caractéristiques dynamiques à 25 °C sauf spécification contraire (voir note 2)	Voir le paragraphe 6.2 de cette spécification. Les tensions, séquences et combinaisons de signaux d'entrée, et les formes d'ondes de sortie qui en résultent telles qu'elles sont indiquées dans les diagrammes de séquences spécifiées. Les valeurs appropriées des conditions de temps essentielles doivent être spécifiées. La charge en sortie doit être spécifiée	Voir le paragraphe 6.2 de cette spécification
A4a	(Non applicable à la catégorie I) Caractéristiques dynamiques aux températures minimale et maximale de fonctionnement (voir note 1)	$A T_{amb} = T_{amb} \text{ max. et } T_{amb} \text{ min.}$ Mêmes conditions que le sous-groupe A4 ci-dessus	Les limites peuvent être différentes de celles du sous-groupe A4

Note 1. – Le fabricant peut utiliser les résultats des essais à 25 °C s'il peut démontrer, périodiquement, leur corrélation avec les résultats obtenus aux deux températures extrêmes.

[Note 2. – Dans le cas où des dispositifs non programmés doivent être testés, l'une des procédures suivantes, nécessaire pour vérifier les dispositifs programmés, peut être utilisée:

1) une quantité suffisante d'échantillons doit être programmée conformément aux exigences du sous-groupe B8a afin d'être conforme à la taille d'échantillons des essais du groupe A;

OU

2) lorsque la mémoire est capable de commuter les étages de sortie du niveau bas au niveau haut et vice-versa en accédant à des ligne(s) et colonne(s) supplémentaires, cela est permis.

La procédure pour accéder à ces ligne(s) et colonne(s) supplémentaires doit être totalement décrite par le fabricant.

Cette procédure doit être mise à la disposition de l'ONS à sa demande.]

TABLE I
GROUP A
Lot-by-lot

Sub-group	Examination or test	Conditions of test	Limits
A1	External visual examination	IEC 747-10/QC 700000, subclause 4.2.1.1	
A2	Verification of the function at 25 °C unless otherwise specified	In accordance with subclause 13.1 of this specification	
A2a	(Not applicable to category I) Verification of the function at minimum and maximum operating temperatures (see note 1)		
A3	Static characteristics at 25 °C	See subclause 6.1 of this specification. For output parameters, pre-setting sequences and loading shall be specified. The levels of unused inputs shall be specified if necessary	See subclause 6.1 of this specification
A3a	Static characteristics at minimum and maximum operating temperatures	At $T_{amb} = T_{amb \text{ max.}}$ and $T_{amb \text{ min.}}$	Limits may be different from those in sub-group A3
A4	Dynamic characteristics at 25 °C, unless otherwise specified (see note 2)	See subclause 6.2 of this specification. The voltages, sequences and combinations of input signals, and the resulting output waveforms as given in the specified control sequence diagrams. Appropriate values of essential timing conditions shall be specified. Output loading shall be specified	See subclause 6.2 of this specification
A4a	(Not applicable to category I) Dynamic characteristics at minimum and maximum operating temperatures (see note 1)	At $T_{amb} = T_{amb \text{ max.}}$ and $T_{amb \text{ min.}}$. Same conditions as sub-group A4 above	Limits may be different from those in sub-group A4

Note 1. – The manufacturer may use test results at 25 °C if he can demonstrate, on a periodic basis, the correlation with those obtained at the two extremes of temperature.

[Note 2. – In case non-programmed devices are to be tested one of the following procedures necessary to check programmed devices may be used:

- 1) sufficient samples are to be programmed in accordance with the requirements of sub-group B8a to comply with the required sample size of group A tests;

OR

- 2) where the memory circuit is capable of switching output stages from low to high and vice-versa by accessing extra test row(s) and column(s), this is permissible.

The procedure of accessing extra test row(s) and column(s) shall be fully documented by the manufacturer.

This procedure shall be made available to the NSI on request.]

TABLEAU II

GROUPE B

Contrôles lot par lot

(dans le cas de la catégorie I, voir la spécification générique, paragraphe 2.6)

Sous-groupe	Examen ou essai	Publication de la CEI	Détails et conditions	Limites
B1	Dimensions	747-10, par. 4.2.2 et annexe B		Voir [7] de l'introduction
B2c	Vérification des valeurs limites électriques	Non applicable		
B4	Soudabilité	749, ch. II, par. 2.1	Comme spécifié	Etamage correct
B5	Variations rapides de température:			
	a) <i>Boîtiers à cavité</i> Variations rapides de température suivies de:	749, ch. III, par. 1.1	10 cycles	Comme en A2 et A3
	• Essais électriques choisis en A2 et A3		Comme en A2 et A3	
	• Etanchéité, détection des microfuites et	749, ch. III, par. 7.3 ou 7.4	Comme spécifié	
	• Etanchéité, détection des fuites franches	68-2-17, essai Qc	Comme spécifié	
	b) <i>Dispositifs sans cavité et avec cavité à scellement époxyde</i> Variations rapides de température, suivies de:	749, ch. III, par. 1.1	10 cycles	Comme en A2 et A3
	• Examen visuel externe	747-10, par. 4.2.1.1		
	• Essai continu de chaleur humide	749, ch. III, par. 5B	Sévérité 1, 24 h	
	• Essais électriques		Comme en A2 et A3	
B8a	Programmabilité	Voir l'article 14 de cette spécification		Voir l'article 14 de cette spécification. Les dispositifs doivent être programmés selon des contenus spécifiés. Au moins deux contenus doivent être choisis de façon que chaque adresse mémoire soit programmée une fois, c'est-à-dire un damier et un damier inverse par rapport à la topologie. Mesure finale: A2 et A3
B8b	Endurance électrique	Voir le paragraphe 12.3 de la spécification intermédiaire	168 h, conditions spécifiées aux paragraphes 12.3 et, si applicable, 12.4 de la spécification intermédiaire	Voir le paragraphe 12.3 de la spécification intermédiaire
RCLA	Informations par attributs pour B4, B5 et B8			

TABLE II

GROUP B

Lot-by-lot

(in the case of category I, see the generic specification, subclause 2.6)

Sub-group	Examination or test	IEC publication	Details and conditions	Limits
B1	Dimensions	747-10, subcl. 4.2.2 and appendix B		See [7] of the introduction
B2c	Electrical ratings verification	Not applicable		
B4	Solderability	749, ch. II, subcl. 2.1	As specified	Good wetting
B5	Rapid change of temperature: a) <i>Cavity packages</i> Rapid change of temperature, followed by: - Electrical tests selected from A2 and A3 - Sealing, fine leak detection and - Sealing, gross leak detection b) <i>Non-cavity and epoxy-sealed cavity devices</i> Rapid change of temperature, followed by: - External visual examination - Damp heat, steady state - Electrical tests	749, ch. III, subcl. 1.1 749, ch. III, subcl. 7.3 or 7.4 68-2-17, test Qc 749, ch. III, subcl. 1.1 747-10, subcl. 4.2.1.1 749, ch. III, subcl. 5B	10 cycles As in A2 and A3 As specified As specified 10 cycles Severity 1, 24 h As in A2 and A3	As in A2 and A3 As in A2 and A3
B8a	Programmability	See clause 14 of this specification		See clause 14 of this specification. Devices shall be programmable to specified patterns. At least two patterns shall be chosen such that each location is programmed once, that is a checker board and an inverted checker board with respect to topology. Final measurements: A2 and A3.
B8b	Electrical endurance	See subclause 12.3 of to sectional specification	168 h, conditions as specified in subclause 12.3 and, if applicable, 12.4 of the sectional specification	See subclause 12.3 of the sectional specification
CRRL	Attributes information for B4, B5 and B8			

TABLEAU III
GROUPE C
Contrôles périodiques

Sous-groupe	Examen ou essai	Publication de la CEI	Détails et conditions	Limites
C1	Dimensions	747-10, par. 4.2.2 et annexe B		
C2c	Valeur limite d'énergie transitoire (D)	A spécifier	A spécifier	
C3	Robustesse des sorties	749, ch. II, art. 1	Comme spécifié s'il y a lieu pour le boîtier	
C4	Résistance à la chaleur de soudage	749, ch. II, par. 2.2	Comme spécifié	
C5	Variations rapides de température: a) <i>Boîtiers à cavité</i> Variations rapides de température suivies de: • Essais électriques choisis en A2 et A3 • Etanchéité, détection des microfuites et • Etanchéité, détection des fuites franches b) <i>Dispositifs sans cavité et avec cavité à scellement époxyde (D)</i> Variations rapides de température, suivies de: • Examen visuel externe • Essai continu de chaleur humide • Essais électriques	749, ch. III, par. 1.1 749, ch. III, par. 7.3 ou 7.4 68-2-17, essai Qc 749, ch. III, par. 1.1 747-10, par. 4.2.1.1 749, ch. III, par. 5B	10 cycles Comme en A2 et A3 Comme spécifié Comme spécifié 500 cycles Sévérité 1, 24 h Comme en A2 et A3	Comme en A2 et A3 Comme en A2 et A3
C6	Accélération constante (pour les dispositifs à cavité)	749, ch. II, art. 5	Comme spécifié	
C7	Essai continu de chaleur humide a) <i>Boîtiers à cavité</i> b) <i>Dispositifs sans cavité et avec cavité à scellement époxyde (D)</i> suivi de: • Essais électriques des sous-groupes A2 et A3	749, ch. III, par. 5A 749, ch. III, par. 5B	Sévérité: 56 jours pour les catégories II et III, 21 jours pour la catégorie I Sévérité 1 Polarisation: comme spécifié dans la spécification particulière Durée: 1 000 h pour les catégories II et III, 500 h pour la catégorie I Comme en A2 et A3	 Comme en A2 et A3
C8	Endurance électrique	Voir le paragraphe 13.2 de la spécification intermédiaire	Durée: 1 000 h, conditions spécifiées aux paragraphes 12.3 et, si applicable, 12.4 de la spécification intermédiaire	Voir le paragraphe 12.3 de la spécification intermédiaire
C9	Stockage à haute température	749, ch. III, art. 2	1 000 h, à T_{stg} max.	

TABLE III
GROUP C
Periodic

Sub-group	Examination or test	IEC publication	Details and conditions	Limits
C1	Dimensions	747-10, subcl. 4.2.2 and Appendix B		
C2c	Transient energy rating (D)	To be specified	To be specified	
C3	Robustness of terminations	749, ch. II, cl. 1	As specified where appropriate for the package	
C4	Resistance to soldering heat	749, ch. II, subcl. 2.2	As specified	
C5	Rapid change of temperature: a) <i>Cavity packages</i> Rapid change of temperature, followed by: - Electrical tests selected from A2 and A3 - Sealing, fine leak detection and - Sealing, gross leak detection b) <i>Non-cavity and epoxy-sealed cavity devices (D)</i> Rapid change of temperature, followed by: - External visual examination - Damp heat, steady state - Electrical tests	749, ch. III, subcl. 1.1 749, ch. III, subcl. 7.3 or 7.4 68-2-17, test Qc 749, ch. III, subcl. 1.1 747-10, subcl. 4.2.1.1 749, ch. III, subcl. 5B	10 cycles As in A2 and A3 As specified As specified 500 cycles Severity 1, 24 h As in A2 and A3	As in A2 and A3 As in A2 and A3
C6	Acceleration, steady state (for cavity devices)	749, ch. II, cl. 5	As specified	
C7	Damp heat, steady state a) <i>Cavity packages</i> b) <i>Non-cavity and epoxy-sealed cavity devices (D)</i> Followed by: Electrical tests of sub-groups A2 and A3	749, ch. III, subcl. 5A 749, ch. III, subcl. 5B	Severity: 56 days for categories II and III, 21 days for category I Severity 1 Bias: as specified in the detail specification Duration: 1 000 h for categories II and III, 500 h for category I As in A2 and A3	As in A2 and A3
C8	Electrical endurance	See subclause 13.2 of the sectional specification	Duration: 1 000 h, conditions as specified in subclause 12.3 and, if applicable, 12.4 of the sectional specification	See subclause 12.3 of the sectional specification
C9	Storage at high temperature	749, ch. III, cl. 2	1 000 h, at T_{stg} max.	

TABLEAU III (suite)

Sous-groupe	Examen ou essai	Publication de la CEI	Détails et conditions	Limites
C11	Permanence du marquage	749, ch. IV, art. 2	Méthode 1	
C12	Capacité d'entrée	Voir le paragraphe 6.4 de cette spécification	Voir le paragraphe 6.4 de cette spécification	Voir le paragraphe 6.4 de cette spécification
C13	Capacité de sortie (si applicable)	Voir le paragraphe 6.4 de cette spécification	Voir le paragraphe 6.4 de cette spécification	Voir le paragraphe 6.4 de cette spécification
RCLA	Informations par attributs pour C3, C4, C5, C6, C7, C8, C9 et C11			

TABLEAU IV

GROUPE D

Essais d'homologation

Sous-groupe	Examen ou essai	Publication de la CEI	Détails et conditions	Limites
D8	Endurance électrique (voir note 1)	Voir le paragraphe 12.3 de la spécification intermédiaire	Catégorie I: non applicable Catégorie II: 2 000 h Catégorie III: 3 000 h Conditions: voir le paragraphe 12.3 et, si applicable, 12.4, de la spécification intermédiaire	Voir le paragraphe 12.3 de la spécification intermédiaire

Note 1. – Les essais du groupe D doivent être initialement effectués immédiatement après l'homologation et annuellement par la suite.

13.4 *Livraisons différées*

Voir le paragraphe 3.6.7 de la Publication 747-10 de la CEI.

TABLE III (continued)

Sub-group	Examination or test	IEC publication	Details and conditions	Limits
C11	Permanence of marking	749, ch. IV, cl. 2	Method 1	
C12	Input capacitance	See subclause 6.4 of this specification	See subclause 6.4 of this specification	See subclause 6.4 of this specification
C13	Output capacitance (if applicable)	See subclause 6.4 of this specification	See subclause 6.4 of this specification	See subclause 6.4 of this specification
CRRL	Attributes information for C3, C4, C5, C6, C7, C8, C9 and C11			

TABLE IV

GROUP D

Qualification approval tests

Sub-group	Examination or test	IEC publication	Details and conditions	Limits
D8	Electrical endurance (see note 1)	See subclause 12.3 of the sectional specification	Category I: not applicable Category II: 2 000 h Category III: 3 000 h Conditions: see subclause 12.3 and, if applicable, 12.4 of the sectional specification	See subclause 12.3 of the sectional specification

Note 1. – Group D tests shall be initially performed immediately following qualification approval and annually thereafter.

13.4 *Delayed deliveries*

See subclause 3.6.7 of IEC Publication 747-10.

14 Méthode de mesure supplémentaire

[Essai spécifique aux mémoires PROM.]

Programmabilité

Cet essai est effectué au titre du sous-groupe B de la spécification intermédiaire dans les conditions particulières décrites ci-après.

L'aptitude à la programmation est évaluée lors de la préparation des échantillons requis pour les essais d'endurance dont l'échantillonnage est augmenté d'une quantité dépendant du PDA déclaré. Les conditions pour l'essai de rendement de programmation doivent être spécifiées par le fabricant et choisies dans la plage de valeurs autorisées pour chaque variable spécifiée dans le mode de programmation. La table de vérité enregistrée doit permettre de réaliser, lors de la programmation, le changement d'état d'au moins 50 % des éléments binaires contenus dans la mémoire. Il doit être tenu compte des circuits internes de décodage des adresses dans le but de répartir les éléments programmables de manière quasi uniforme sur toute la partie concernée de la surface de la pastille.

La taille de l'échantillon est calculée de la manière suivante:

Soit S_E = échantillonnage pour l'essai d'endurance

P_R = PDA exprimé en rapport

S_P = échantillonnage calculé pour l'essai d'aptitude à la programmation

$$S_P = \frac{S_E}{(1 - P_R)} \text{ arrondi sinon entier}$$

Soit S cette valeur arrondie.

Le critère d'acceptation est calculé de la sorte:

Nombre maximal de pièces en refus de programmation = $P_R \times S$ (critère d'acceptation).

Si la valeur n'est pas entière, l'arrondi inférieur donne le critère d'acceptation et l'arrondi supérieur le critère de refus.

Sanction: une pièce est réputée défectueuse si une des positions ayant été soumises à programmation n'a pas changé d'état logique après programmation.]

14 Additional measurement method

[Specific test for PROM memories.

Programmability

This test is performed in the sub-group B of the sectional specification with the following conditions.

The programming function is assessed by pre-conditioning the electrical endurance sample, the size of which is enhanced by an amount dependent on the declared PDA. The conditions for the programming yield test shall be stated by the manufacturer and shall be selected within the range of values allowed for each variable specified in the programming mode. After the programming the truth table written inside the memory shall change the state of a least 50 % of the binary elements of the memory. One shall take care of internal address decode circuit to distribute in a uniform manner the programmed elements on the whole chip surface.

The programming sample size is as follows:

- Let S_E = sample size for electrical endurance
 P_R = PDA expressed as a ratio
 S_P = calculated sample size for programmability

$$S_P = \frac{S_E}{(1 - P_R)} \text{ rounded up if not an integer}$$

Let this rounded up figure be S .

The acceptance criterion is calculated:

Maximum number of failures after programming = $P_R \times S$ (accept number).

If no integer, round down for accept number and round up for reject number.

Requirements: a device is said defective if one of its locations submitted to a programming operation does not change its logic state.]

ICS 31.200
