NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC
60748-2

Deuxième édition
Second edition
1997-12

Dispositifs à semiconducteurs –
Circuits intégrés –

Partie 2:
Circuits intégrés numériques

Semiconductor devices –
Integrated circuits –

Part 2:
Digital integrated circuits

Numéro de référence
Reference number
CEI/IEC 60748-2:1997

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à ces révisions, à l'établissement des éditions révisées et aux amendements peuvent être obtenus auprès des Comités nationaux de la CEI et dans les documents ci-dessous:

- **Bulletin de la CEI**
- **Annuaire de la CEI**
  Accès en ligne*
- **Catalogue des publications de la CEI**
  Publié annuellement et mis à jour régulièrement (Accès en ligne)*

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique,* la CEI 60417: S*ymboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles,* et la CEI 60617: *Symboles graphiques pour schémas.*

Publications de la CEI établies par le même comité d'études

L'attention du lecteur est attirée sur les listes figurant à la fin de cette publication, qui énumèrent les publications de la CEI préparées par le comité d'études qui a établi la présente publication.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the revision work, the issue of revised editions and amendments may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **IEC Yearbook**
  On-line access*
- **Catalogue of IEC publications**
  Published yearly with regular updates
  (On-line access)*

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams.*

IEC publications prepared by the same technical committee

The attention of readers is drawn to the end pages of this publication which list the IEC publications issued by the technical committee which has prepared the present publication.

* See web site address on title page.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC
60748-2

Deuxièmme édition
Second edition
1997-12

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Dispositifs à semiconducteurs – Circuits intégrés –

Partie 2: Circuits intégrés numériques

Semiconductor devices – Integrated circuits –

Part 2: Digital integrated circuits

© IEC 1997 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission 3, rue de Varembé Geneva, Switzerland
Telefax: +41 22 919 0300 e-mail: inmail@iec.ch IEC web site http: //www.iec.ch

Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE XH

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

Pages

AVANT-PROPOS 16

Articles

CHAPITRE I: GÉNÉRALITÉS

1 Domaine d'application 18
2 Références normatives 18

CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX

1 Terminologie pour les circuits intégrés combinatoires et séquentiels 20
1.1 Termes généraux 20
1.2 Termes relatifs à la fonction 20
1.3 Types de circuits 26
1.4 Termes relatifs aux valeurs limites et aux caractéristiques 32
1.5 Concept de verrouillage 36
2 Exemples 36
3 Terminologie pour les mémoires à circuit intégré 66
3.1 Termes généraux 66
3.2 Termes généraux relatifs à la fonction et à l'organisation d'une mémoire 68
3.3 Types de mémoires 70
3.4 Termes relatifs aux valeurs limites et aux caractéristiques 74
3.5 Formes d'onde typiques pour les mémoires à écriture-lecture à fonctionnement statique 76
3.6 Termes et descriptions pour les configurations de test pour l'essai des mémoires 86
4 Terminologie pour les microprocesseurs à circuit intégré 98
5 Terminologie pour les dispositifs à transfert de charge 98
6 Symboles littéraux pour circuits combinatoires et séquentiels 106
7 Symboles littéraux pour les paramètres dynamiques des circuits intégrés séquentiels, y compris des mémoires 106
8 Termes et définitions supplémentaires pour les circuits intégrés numériques 132
9 Classification des réseaux logiques programmables (PLDs) 132

CHAPITRE III: VALEURS LIMITES ET CARACTÉRISTIQUES ESSENTIELLES

SECTION UN – GÉNÉRALITÉS SUR LES CIRCUITS INTÉGRÉS NUMÉRIQUES

1 Identification et description du circuit 134
1.1 Désignation et type 134
1.2 Technologie 134
1.3 Identification du boîtier 134
2 Spécifications fonctionnelles 134
2.1 Schéma synoptique 134
2.2 Description fonctionnelle 136
2.3 Structures complexes 136

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

CONTENTS

Page

FOREWORD 17

Clause

CHAPTER I: GENERAL

1 Scope 19
2 Normative references 19

CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS

1 Terminology for combinatorial and sequential integrated circuits 21
1.1 General terms 21
1.2 Terms related to functions 21
1.3 Types of circuits 27
1.4 Terms related to ratings and characteristics 33
1.5 Latch-up concept 37
2 Examples 37
3 Terminology for integrated circuit memories 67
3.1 General terms 67
3.2 General terms relating to memory function and organization 69
3.3 Types of memories 71
3.4 Terms related to ratings and characteristics 75
3.5 Typical waveforms for static read/write memories 77
3.6 Terms and descriptions for test patterns for memory testing 87
4 Terminology for integrated circuit microprocessors 99
5 Terminology for charge-transfer devices 99
6 Letter symbols for combinatorial and sequential circuits 107
7 Letter symbols for the dynamic parameters of sequential integrated circuits, including memories 107
8 Additional terms and definitions for digital integrated circuits 133
9 Classification of programmable logic devices (PLDs) 133

CHAPTER III: ESSENTIAL RATINGS AND CHARACTERISTICS

SECTION ONE — DIGITAL INTEGRATED CIRCUITS, GENERAL

1 Circuit identification and description 135
1.1 Designation and type 135
1.2 Technology 135
1.3 Package identification 135
2 Functional specifications 135
2.1 Block diagram 135
2.2 Functional description 137
2.3 Complex structures 137

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3 Valeurs limites 136
3.1 Tensions et courants continus 138
3.2 Tensions et courants non continus 138
3.3 Températures 138
3.4 Aptitude à supporter un court-circuit 138
4 Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée) 138
5 Caractéristiques électriques statiques pour les circuits intégrés bipolaires 140
5.1 Caractéristiques essentielles en tension des signaux numériques 140
5.2 Tension d'écrêtage d'entrée (s'il y a lieu) 142
5.3 Caractéristiques essentielles des courants d'entrée et de sortie 142
5.4 Conditions appliquées pour le pire cas 148
5.5 Caractéristiques du phénomène de verrouillage 148
6 Caractéristiques électriques statiques et quasi statiques pour les circuits intégrés MOS 150
6.1 Caractéristiques essentielles en tension des signaux numériques 150
6.2 Caractéristiques essentielles des courants 150
6.3 Caractéristiques du phénomène de verrouillage 152
7 Caractéristiques électriques dynamiques 152
7.1 Introduction 154
7.2 Temps caractérisant la réponse d'un circuit 154
7.3 Exigences sur les entrées pour assurer un fonctionnement séquentiel correct 156
7.4 Impédances d'entrée et de sortie 158
8 Puissance totale ou courants fournis par les alimentations 162
9 Courant total extrait des alimentations (fonctionnement dynamique) 162
10 Informations sur les impulsions de commande (s'il y a lieu) 164
11 Résistance d'isolement 164
12 Valeurs limites, caractéristiques mécaniques et autres données 164
13 Informations supplémentaires 164
13.1 Facteur de charge de sortie 164
13.2 Marges de protection contre les perturbations 164
13.3 Interconnexions de circuits intégrés numériques 164
14 Précautions de manipulation 164

ANNEXE À LA SECTION UN – Spécification des caractéristiques

SECTION DEUX – MÉMOIRES À CIRCUIT INTÉGRÉ

A. Mémoires à lecture-écriture à fonctionnement statique et à fonctionnement dynamique et mémoires à lecture seule

1 Identification et description du circuit 168
2 Spécifications fonctionnelles 168
2.1 Schéma synoptique 168
2.2 Description fonctionnelle 168
3 Valeurs limites 168
4 Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée) 170
5 Caractéristiques électriques statiques pour les mémoires bipolaires 170
6 Caractéristiques électriques statiques pour les mémoires MOS 170

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3 Ratings (limiting values) 137
3.1 Continuous voltages and currents 139
3.2 Non-continuous voltages and currents 139
3.3 Temperatures 139
3.4 Capability of sustaining a short circuit 139
4 Recommended operating conditions (within the specified operating temperature range) .. 139
5 Static electrical characteristics for bipolar integrated circuits 141
5.1 Essential characteristics of the digital voltage signals 141
5.2 Input clamping voltage (where appropriate) 143
5.3 Essential characteristics for input and output currents 143
5.4 Applied conditions for worst case 149
5.5 Latch-up characteristics 149
6 Static and quasi-static electrical characteristics for MOS integrated circuits 151
6.1 Essential characteristics of the digital voltage signals 151
6.2 Essential characteristics for currents 151
6.3 Latch-up characteristics 153
7 Dynamic electrical characteristics 153
7.1 Introduction 155
7.2 Times characterizing the response of the circuit 155
7.3 Requirements at the inputs to ensure correct sequential operation 157
7.4 Input and output impedances 159
8 Total power or currents provided from the supplies 163
9 Total current drawn from the power supplies (dynamic operation) 163
10 Command pulse information (where appropriate) 165
11 Insulation resistance 165
12 Mechanical ratings, characteristics and other data 165
13 Supplementary information 165
13.1 Output loading capability 165
13.2 Noise margins 165
13.3 Interconnections of digital integrated circuits 165
14 Handling precautions 165

APPENDIX TO SECTION ONE — Specification of characteristics

SECTION TWO — INTEGRATED CIRCUIT MEMORIES

A. Static and dynamic read/write memories and read-only memories

1 Circuit identification and description 169
2 Functional specifications 169
2.1 Block diagram 169
2.2 Functional description 169
3 Ratings (limiting values) 169
4 Recommended operating conditions (within the specified operating temperature range) 171
5 Static electrical characteristics for bipolar memories 171
6 Static electrical characteristics for MOS memories 171

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7 Caractéristiques électriques dynamiques 170
7.1 Temps caractérisant la réponse du circuit 170
7.2 Exigences sur les entrées pour assurer un fonctionnement séquentiel correct 172
7.3 Capacités d'entrée et de sortie..... 180
8 Puissance ou courant fourni par chaque alimentation (cas du fonctionnement statique) 182
9 Puissance ou courant fourni par chaque alimentation (cas du fonctionnement dynamique). 182
10 Valeurs limites, caractéristiques mécaniques et autres données..... 182
11 Informations supplémentaires 182
11.1 Facteur de charge de sortie 182
11.2 Marges de protection contre les perturbations 182
11.3 Interconnexions de circuits similaires 182
11.4 Type de circuit de sortie..... 182
11.5 Interconnexions avec d'autres types de circuits 182
12 Précautions de manipulation 182

B. Mémoires à lecture seule à contenu programmable par l'utilisateur

1 Identification et description du circuit 184
2 Spécifications fonctionnelles..... 184
2.1 Schéma synoptique 184
2.2 Identification des bornes..... 184
2.3 Description foncionnelle..... 186
3 Valeurs limites..... 186
4 Mode de lecture..... 186
4.1 Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée) 186
4.2 Caractéristiques électriques statiques..... 186
4.3 Caractéristiques électriques dynamiques 188
4.4 Exigences de temps 188
5 Mode de programmation 188
5.1 Procédure de programmation..... 188
5.2 Conditions de programmation recommandées..... 188
5.3 Exigences de temps 190
6 Mode d'effacement (si applicable)..... 190
6.1 Mémoires effaçables électriquement..... 190
6.2 Mémoires effaçables par ultraviolet..... 192
7 Nombre de cycles de programmation-effacement..... 192
8 Informations concernant la rétention des données..... 194
9 Puissance ou courant fourni par chaque alimentation (cas du fonctionnement statique) 194
10 Puissance ou courant fourni par chaque alimentation (cas du fonctionnement dynamique). 194
11 Valeurs limites et caractéristiques mécaniques et autres données..... 194
12 Informations supplémentaires 194
12.1 Capacité de charge de sortie 194
12.2 Marges de protection contre les perturbations électriques 194
12.3 Interconnexions de circuits similaires..... 194
12.4 Type de circuit de sortie..... 196
12.5 Interconnexions à d'autres types de circuits 196
13 Précautions de manipulation 196

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7 Dynamic electrical characteristics 171
7.1 Times characterizing the response of the circuit 171
7.2 Requirements at the inputs to ensure correct sequential operation 173
7.3 Input and output capacitances 181
8 Power or current drawn from each supply (static operation) 183
9 Power or current drawn from each supply (dynamic operation) 183
10 Mechanical ratings, characteristics and other data 183
11 Supplementary information 183
11.1 Output loading capability 183
11.2 Noise margins 183
11.3 Interconnections of similar units 183
11.4 Type of output circuit 183
11.5 Interconnections to other types of circuits 183
12 Handling precautions 183

B. Field-programmable read-only memories

1 Circuit identification and description 185
2 Functional specifications 185
2.1 Block diagram 185
2.2 Identification of terminals 185
2.3 Functional description 187
3 Ratings (limiting values) 187
4 Read mode 187
4.1 Recommended operating conditions (within the specified operating temperature range) 187
4.2 Static electrical characteristics 187
4.3 Dynamic electrical characteristics 189
4.4 Timing requirements 189
5 Programming mode 189
5.1 Programming procedure 189
5.2 Recommended programming conditions 189
5.3 Timing requirements 191
6 Erasing mode (if applicable) 191
6.1 Electrically erasable memories 191
6.2 Ultraviolet erasable memories 193
7 Number of programming-erasing cycles 193
8 Data retention information 195
9 Power or current drawn from each supply (static operation) 195
10 Power or current drawn from each supply (dynamic operation) 195
11 Mechanical ratings, characteristics and other data 195
12 Supplementary information 195
12.1 Output loading capability 195
12.2 Electrical noise margins 195
12.3 Interconnections of similar units 195
12.4 Type of output circuit 197
12.5 Interconnections to other types of circuits 197
13 Handling precautions 197

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

C. Mémoires à contenu adressable (CAM)

1 Identification et description du circuit 198
2 Spécifications fonctionnelles 198
2.1 Schéma fonctionnel 198
2.2 Description fonctionnelle 198
2.3 Jeu d'instructions 198
2.4 Mode d'opération 200
3 Les stipulations des articles 3 à 6 de la section deux A s'appliquent 200
4 Les stipulations de l'article 7 et du 7.1 de la section deux A s'appliquent à l'exception du 7.1.1 qui est remplacé par ce qui suit 200
5 Les stipulations des 7.2 et 7.3 de la section deux A s'appliquent 200
6 Les stipulations des articles 8 à 12 de la section deux A s'appliquent 200

SECTION TROIS – MICROPROCESSEURS À CIRCUIT INTÉGRÉ

1 Identification et description du circuit 202
1.4 Compatibilité électrique 202
2 Spécifications fonctionnelles 202
2.1 Schéma synoptique 202
2.2 Description fonctionnelle 202
2.3 Jeux d'instructions 204
2.4 Configuration de l'instruction 204
2.5 Signaux d'entrée et de sortie 204
3 Valeurs limites 206
3.1 Valeurs limites électriques 206
3.2 Températures 208
3.3 Dissipation de puissance 208
4 Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée) 208
4.1 Tension(s) d'alimentation 208
4.2 Entrées d'horloge 208
4.3 Tensions d'entrée (à l'exclusion des entrées d'horloge) 208
4.4 Courants de sortie 208
4.5 Eléments extérieurs (s'il y a lieu) 208
4.6 Temps de préparation et de maintien 208
4.7 Diagrammes des temps (chronogrammes) pour les séquences de commande 210
5 Caractéristiques électriques 210
5.1 Caractéristiques statiques 210
5.2 Caractéristiques dynamiques 212
6 Valeurs limites, caractéristiques mécaniques et autres données 214
7 Informations supplémentaires 214
7.1 Facteur de charge de sortie 214
7.2 Marges de protection contre les perturbations 214
7.3 Données d'application 214
7.4 Autres informations 216
8 Précautions de manipulation 216

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

C. Content addressable memories (CAM)

1 Circuit identification and description 199
2 Functional specifications 199
2.1 Block diagram 199
2.2 Functional description 199
2.3 Instruction set 199
2.4 Operation mode 201
3 The provisions of clauses 3 to 6 of Section Two A apply 201
4 The provisions of clauses 7 and 7.1 of Section Two A apply with the exception of 7.1.1 which is replaced by the following 201
5 The provisions of 7.2 and 7.3 of Section Two A apply 201
6 The provisions of clauses 8 to 12 of Section Two A apply 201

SECTION THREE — INTEGRATED CIRCUIT MICROPROCESSORS

1 Circuit identification and description 203
1.4 Electrical compatibility 203
2 Functional specifications 203
2.1 Block diagram 203
2.2 Functional description 203
2.3 Instruction set 205
2.4 Configuration of instructions 205
2.5 Input and output signals 205
3 Ratings (limiting values) 207
3.1 Electrical limiting values 207
3.2 Temperatures 209
3.3 Power dissipation 209
4 Recommended operating conditions (within the specified operating temperature range) .. 209
4.1 Power supply voltage(s) 209
4.2 Clock inputs 209
4.3 Input voltages (excluding clock inputs) 209
4.4 Output currents 209
4.5 External elements (where appropriate) 209
4.6 Set-up and hold times 209
4.7 Timing diagrams for control sequences 211
5 Electrical characteristics 211
5.1 Static characteristics 211
5.2 Dynamic characteristics 213
6 Mechanical ratings, characteristics and other data 215
7 Supplementary information 215
7.1 Output loading capability 215
7.2 Noise margins 215
7.3 Application data 215
7.4 Other information 217
8 Handling precautions 217

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SECTION QUATRE – CIRCUITS LOGIQUES PROGRAMMABLES (PLDs)

1 Identification du circuit et types 218
1.1 Désignation et types 218
1.2 Description générale de la fonction 218
1.3 Technologie de fabrication 218
1.4 Identification du boîtier 218
2 Description relative à l'application 218
2.1 Caractéristiques et application principales 218
2.2 Schéma fonctionnel global 218
2.3 Caractéristique principale disponible par programmation 218
2.4 Données de référence 220
2.5 Compatibilité électrique 220
2.6 Dispositifs associés 220
3 Spécification de la fonction 220
3.1 Schéma fonctionnel détaillé – blocs fonctionnels 220
3.2 Identification et fonction des bornes 220
3.3 Description de la fonction 222
3.4 Caractéristiques de famille 224
4 Valeurs limites (système des valeurs limites absolues) 224
4.1 Valeurs limites électriques 224
4.2 Températures 226
5 Conditions de fonctionnement recommandées (dans la gamme de température de fonctionnement spécifiée) 226
5.1 Alimentation – valeurs positives et/ou négatives 226
5.2 Séquences d'initialisation 226
5.3 Entrées(s) d'horloge (s'il y a lieu) 226
5.4 Tension(s) d'entrée 226
5.5 Courant(s) de sortie 228
5.6 Tension et/ou courant d'une (d')autre(s) borne(s) 228
5.7 Eléments externes (s'il y a lieu) 228
5.8 Gamme des températures de fonctionnement 228
5.9 Exigences de temps 228
6 Caractéristiques électriques 228
6.1 Caractéristiques statiques 228
6.2 Caractéristiques dynamiques 230
6.3 Diagramme des temps 232
6.4 Capacités 232
7 Programmation 234
7.1 Mode programmation 234
7.2 Mode effacement (s'il y a lieu) 236
7.3 Nombre de cycles programmation/effacement (s'il y a lieu) 238
7.4 Information de rétention 238
8 Points relatifs à la conception 238
8.1 Matériel de CAO 238
8.2 Logiciels de CAO 238

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SECTION FOUR — PROGRAMMABLE LOGIC DEVICES (PLDs)

1 Circuit identification and types 219
1.1 Designation of types 219
1.2 General function description 219
1.3 Manufacturing technology 219
1.4 Package identification 219
2 Application related description 219
2.1 Main application and features 219
2.2 Overall block diagram 219
2.3 Main features available by programming 219
2.4 Reference data 221
2.5 Electrical compatibility 221
2.6 Associated devices 221
3 Specification of the function 221
3.1 Detailed block diagram - functional blocks 221
3.2 Identification and function of terminals 221
3.3 Functional description 223
3.4 Family related characteristics 225
4 Limiting values (absolute maximum rating system) 225
4.1 Electrical limiting values 225
4.2 Temperatures 227
5 Recommended operating conditions (within the specified operating temperature range) .. 227
5.1 Power supplies – positive and/or negative values 227
5.2 Initialization sequences 227
5.3 Clock input(s) (where appropriate) 227
5.4 Input voltage(s) 227
5.5 Output current(s) 229
5.6 Voltage and/or current of other terminal(s) 229
5.7 External elements (where appropriate) 229
5.8 Operating temperature range 229
5.9 Timing requirements 229
6 Electrical characteristics 229
6.1 Static characteristics 229
6.2 Dynamic characteristics 231
6.3 Timing diagram 233
6.4 Capacitances 233
7 Programming 235
7.1 Programming mode 235
7.2 Erasing mode (if applicable) 237
7.3 Number of programming-erasing cycles (where appropriate) 239
7.4 Data retention information 239
8 Design aspects 239
8.1 Computer aided engineering (CAE) design hardware 239
8.2 CAE design software 239

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

9 Valeurs limites, caractéristiques et données mécaniques et climatiques 238
10 Renseignements supplémentaires..... 238
10.1 Circuit d'entrée et de sortie équivalent 238
10.2 Protection interne 240
10.3 Résistance thermique 240
10.4 Marge d'immunité au bruit..... 240
10.5 Charge de sortie admissible..... 240
10.6 Interconnexions des circuits numériques..... 240
10.7 Interconnexions avec d'autres types de circuits..... 240
10.8 Effets d'un ou de composants connectés extérieurement 240
10.9 Recommandations pour tout dispositif associé 240
10.10 Précautions de manipulation..... 240
10.11 Données d'application 240
10.12 Autres renseignements sur l'application..... 240
10.13 Date de publication de la feuille de données 240

CHAPITRE IV: MÉTHODES DE MESURE

SECTION UN – GÉNÉRALITÉS

1 Exigences générales..... 242
2 Exigences spécifiques 242
2.1 Exigences générales pour les mesures statiques et dynamiques 242
2.2 Conditions spécifiées pour les caractéristiques statiques 242
2.3 Conditions spécifiées pour les caractéristiques dynamiques..... 244
3 Matrice d'application pour les méthodes de mesure..... 244

SECTION DEUX – MÉTHODES DE MESURE POUR LES CARACTÉRISTIQUES STATIQUES

1 Tensions de sortie au niveau haut et au niveau bas (V_{OH} and V_{OL}) 37 248
2 Courants d'entrée au niveau haut et au niveau bas (I_{IH} and I_{IL}) 38 250
3 Courant de court-circuit en sortie (I_{OS}) 40 252
4 Courant d'alimentation en fonctionnement statique 41 254
5 Tensions de seuil (d'entrée) et tension d'hystérésis 48 254
6 Tension d'écrêtage d'entrée (V_{IK}) 94 260
7 Courant de sortie à l'état bloqué (I_{OZ}) 95 262
8 Caractéristiques du phénomène de verrouillage 96 262
8.1 Tension ou courant de verrouillage positive (positif) d'entrée ou de sortie..... 262
8.2 Tension ou courant de verrouillage négative (négatif) d'entrée ou de sortie 268
8.3 Tension ou courant d'alimentation de verrouillage 272
8.4 Tension ou courant (d'alimentation) à l'état de verrouillage..... 276
8.5 Précautions 280
8.6 Mesure finale..... 280

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

9 Mechanical and environment rating, characteristics and data 239
10 Additional information 239
10.1 Equivalent input and output circuit 239
10.2 Internal protection 241
10.3 Thermal resistance 241
10.4 Noise margin 241
10.5 Output loading capability 241
10.6 Interconnections of digital circuits 241
10.7 Interconnections to other types of circuit 241
10.8 Effects of externally connected component(s) 241
10.9 Recommendations for any associated device(s) 241
10.10 Handling precautions 241
10.11 Application data 241
10.12 Other application information 241
10.13 Date of issue of data sheet 241

CHAPTER IV: MEASURING METHODS

SECTION ONE — GENERAL

1 Basic requirements 243
2 Specific requirements 243
2.1 General requirements for static and dynamic measurements 243
2.2 Specified conditions for static characteristics 243
2.3 Specified conditions for dynamic characteristics 245
3 Application matrix for the measuring methods 245

SECTION TWO — MEASURING METHODS OF STATIC CHARACTERISTICS

1 High-level and low-level output voltages (V_{OH} and V_{OL}) [37] 249
2 High-level and low-level input currents (I_{IH} and I_{IL}) [38] 251
3 Short-circuit output current (I_{OS}) [40] 253
4 Power supply current under static conditions [41] 255
5 (Input) threshold voltages and hysteresis voltage [48] 255
6 Input clamping voltage (V_{IK}) [94] 261
7 Off-state output current (I_{OZ}) [95] 263
8 Latch-up characteristics [96] 263
8.1 Positive latch-up input or output voltage or current 263
8.2 Negative latch-up input or output voltage or current 269
8.3 Latch-up supply voltage or current 273
8.4 Latch-up state (supply) voltage or current 277
8.5 Precautions 281
8.6 Post-test measurement 281

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SECTION TROIS – MESURES DYNAMIQUES

1 Courant total fourni par les alimentations (fonctionnement dynamique) [1] 282

2 Puissance fournie à travers la ligne d'horloge [2] 284

3 Impédances d'entrée et de sortie [6], [11] 286

3.1 Mesure de courant: capacités d'entrée et de sortie pour un fonctionnement en grands signaux [6] 286

3.2 Mesure de tension: capacités d'entrée et de sortie équivalentes, résistances d'entrée et de sortie équivalentes [11] 290

4 Temps caractérisant le circuit 300

4.1 Temps de propagation [3], [7] 300

4.2 Temps de délai et de transition [4], [5] 306

4.3 Temps d'établissement [8] et temps de maintien [9] 312

4.4 Temps de résolution [36] 318

4.5 Temps d'autorisation et d'inhibition en sortie (pour les sorties «trois états») [49] 322

4.6 Temps spécifiques aux mémoires [50] à [54] 326

5 Fréquence de commutation d'un circuit séquentiel [10] 334

6 Méthode de vérification de la fonction d'un circuit intégré numérique [97] 338

CHAPITRE V: RÉCEPTION ET FIABILITÉ

SECTION UN – ESSAIS D'ENDURANCE ÉLECTRIQUE

1 Exigences générales 342

2 Exigences spécifiques 342

2.1 Liste des essais d'endurance 342

2.2 Conditions pour les essais d'endurance 342

2.3 Critères de défaillance pour les caractéristiques définissant la défaillance pour les essais de réception 342

2.4 Critères de défaillance et caractéristiques définissant la défaillance pour les essais de fiabilité 342

2.5 Procédure à suivre dans le cas d'une erreur d'essai 342

TABLEAU 7 344

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SECTION THREE — DYNAMIC MEASUREMENTS

1 Total current drawn from the power supplies under dynamic conditions [1] 283

2 Power supplied through the clock line [2] 285

3 Input and output impedances [6], [11] 287

3.1 Current measurement: input and output capacitances for large-signal operation [6] 287

3.2 Voltage measurement: equivalent input and output capacitances, equivalent input and output resistances [11] 291

4 Times characterizing the circuit 301

4.1 Propagation times [3], [7] 301

4.2 Delay and transition times [4], [5] 307

4.3 Set-up time [8] and hold time [9] 313

4.4 Resolution time [36] 319

4.5 Output enable and disable times (for three-state outputs) [49] 323

4.6 Specific times for memories [50] to [54] 327

5 Switching frequency of a sequential circuit [10] 335

6 Method of verification of the function of a digital integrated circuit [97] 339

CHAPTER V: ACCEPTANCE AND RELIABILITY

SECTION ONE — ELECTRICAL ENDURANCE TESTS

1 General requirements 343

2 Specific requirements 343

2.1 List of endurance tests 343

2.2 Conditions for the endurance tests 343

2.3 Failure criteria for the failure-defining characteristics for acceptance tests 343

2.4 Failure criteria and failure-defining characteristics for reliability tests 343

2.5 Procedure in case of a testing error 343

TABLE 7 345

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

_____

DISPOSITIFS À SEMICONDUCTEURS – CIRCUITS INTÉGRÉS –

Partie 2: Circuits intégrés numériques

AVANT-PROPOS

1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes Internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
2) Les décisions ou accords officiels de la CEI concernant les questions techniques, représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60748-2 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Cette deuxième édition annule et remplace la première édition, parue en 1985, l'amendement 1 (1991) et l'amendement 2 (1993).

Le texte de cette norme est une consolidation de la première édition avec ses amendements 1 et 2 ainsi que les documents suivants:

FDIS	Rapport de vote
47A/502/FDIS	47A/506/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

La présente norme doit être utilisée avec la CEI 60747-1 et la CEI 60748-1, qui donnent les informations de base sur la terminologie, les symboles littéraux, les valeurs limites et caractéristiques essentielles, les méthodes de mesure ainsi que la réception et la fiabilité.

La numérotation des articles de la présente norme n'a pas été modifiée par rapport à la première édition, bien qu'elle ne soit pas conforme à la partie 3 des directives ISO/CEI. La prochaine révision technique se conformera à la partie 3 des directives.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

_____

SEMICONDUCTOR DEVICES – INTEGRATED CIRCUITS –

Part 2: Digital integrated circuits

FOREWORD

1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.
4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60748-2 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

This second edition cancels and replaces the first edition published in 1985, amendment 1 (1991) and amendment 2 (1993).

The text of this standard is a compilation of the first edition, its amendments 1 and 2 and the following documents:

FDIS	Report on voting
47A/502/FDIS	47A/506/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This standard shall be used in conjunction with IEC 60747-1 and IEC 60748-1. In these publications, the user with find all basic information on terminology, letter symbols, essential ratings and characteristics, measuring methods, acceptance and reliability.

Although not conform to Part 3 of ISO/IEC Directives, the numbering of the clauses of this standard remains the same as that of the first edition. The next technical revision will conform to Part 3 of the Directives.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

DISPOSITIFS À SEMICONDUCTEURS – CIRCUITS INTÉGRÉS –

Partie 2: Circuits intégrés numériques

CHAPITRE I: GÉNÉRALITÉS

1 Domaine d'application

La présente partie de la CEI 60748 s'applique aux catégories et sous-catégories suivantes de dispositifs:

– circuits numériques combinatoires et séquentiels;
– mémoires à circuits intégrés;
– microprocesseurs à circuits intégrés;
– dispositifs à transfert de charge.

2 Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente Norme internationale. Au moment de sa publication, les éditions indiquées étaient en vigueur et les parties prenantes aux accords fondés sur la présente Norme internationale sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 60747-1: 1983, *Dispositifs à semiconducteurs – Dispositifs discrets – Partie 1: Généralités*

CEI 60748-1: 1984, *Dispositifs à semiconducteurs – Circuits intégrés – Partie 1: Généralités*

CEI 60748-3: 1986, *Dispositifs à semiconducteurs – Circuits intégrés – Partie 3: Circuits intégrés analogiques*

CEI 60748-4: 1987, *Dispositifs à semiconducteurs – Circuits intégrés – Partie 4: Circuits intégrés d'interface*

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SEMICONDUCTOR DEVICES – INTEGRATED CIRCUITS –

Part 2: Digital integrated circuits

CHAPTER I: GENERAL

1 Scope

This part of IEC 60748 is applicable for the following categories or subcategories of devices:

– combinatorial and sequential digital circuits;
– integrated circuit memories;
– integrated circuit microprocessors;
– charge-transfer devices.

2 Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this International Standard. At the time of publication, the editions indicated were valid. All normative documents are subject to revision, and parties to agreements based on this International Standard are encouraged to investigate the possibility of applying the most recent editions of the normative documents indicated below. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 60747-1: 1983, *Semiconductor devices – Discrete devices – Part 1: General*

IEC 60748-1: 1984, *Semiconductor devices – Integrated circuits – Part 1: General*

IEC 60748-3: 1986, *Semiconductor devices – Integrated circuits – Part 3: Analogue integrated circuits*

IEC 60748-4: 1987, *Semiconductor devices – Integrated circuits – Part 4: Interface integrated circuits*

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX

1 Terminologie pour les circuits intégrés combinatoires et séquentiels

1.1 Termes généraux

NOTE – Une variable est une représentation physique de l'information. Une variable numérique est le comportement ou la variation temporelle d'une grandeur physique avec un nombre fini de gammes de valeurs, non enchevêtrées. Une variable numérique peut être utilisée pour la transmission d'informations. Pour tenir compte de l'usage courant, on a choisi ci-dessous des définitions simplifiées. Pour ce qui est des circuits numériques, cela ne produira en général ni ambiguïté, ni confusion.

1.1.1 Variable numérique

Variation temporelle d'une grandeur physique qui possède un nombre fini de gammes disjointes de valeurs et qui est utilisée pour la transmission ou le traitement d'informations.

NOTE 1– La grandeur physique peut être une tension, un courant, une impédance, etc.

NOTE 2 – Pour simplifier, chaque gamme de valeurs peut être représentée par une valeur unique, par exemple nominale.

1.1.2 Variable binaire

Variable numérique qui n'a que deux gammes disjointes de valeurs possibles.

1.1.3 Gamme des valeurs basses (d'une variable binaire)

Gamme des niveaux les moins positifs (les plus négatifs) d'une variable binaire.

NOTE – Cette gamme est souvent notée «gamme L» et une valeur quelconque dans cette gamme «niveau L».

1.1.4 Gamme des valeurs hautes (d'une variable binaire)

Gamme des niveaux les plus positifs (les moins négatifs) d'une variable binaire.

NOTE – Cette gamme est souvent notée «gamme H» et une valeur quelconque dans cette gamme «niveau H».

1.1.5 Borne d'entrée

Borne par l'intermédiaire de laquelle une variable appliquée à cette entrée peut modifier la configuration de sortie du circuit:

– soit directement;
– soit indirectement, en changeant les conditions pour lesquelles le circuit réagit aux signaux appliqués aux autres entrées.

1.1.6 Sortie «trois états»

Sortie d'un circuit binaire qui est une source à impédance relativement basse ou un élément qui absorbe le courant aux niveaux haut et bas et qui, en outre, dans de conditions appropriées d'entrée, présente un état à haute impédance voisin d'un circuit ouvert.

NOTE – Dans les tables de fonctionnement et dans les matrices (séquentielles) de fonctionnement, on utilise l'abréviation Z pour l'état à haute impédance.

1.2 Termes relatifs à la fonction

1.2.1 Configuration d'entrée (d'un circuit binaire)

Combinaison des niveaux L et H aux différentes entrées du circuit à un instant donné.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS

1 Terminology for combinatorial and sequential integrated circuits

1.1 General terms

NOTE – A signal is a physical representation of information. A digital signal is the time-dependent behaviour or variation of a physical quantity with a finite number of non-overlapping ranges of values. A digital signal can be used for transmission of information or for information processing. Taking into account common practice, simplified definitions have been chosen below. Referring to digital circuits, this will generally produce no ambiguity or misunderstanding.

1.1.1 Digital signal

The variation with time of a physical quantity, having a finite number of non-overlapping ranges of values, that is used for transmission or the processing of information.

NOTE 1 – The physical quantity may include voltage, current, impedance, etc.

NOTE 2 – For convenience, each range of values can be represented by a single value, e.g. the nominal value.

1.1.2 Binary signal

A digital signal with only two possible ranges of values.

1.1.3 Low range (of a binary signal)

The range of least positive (most negative) levels of a binary signal.

NOTE – This range is often denoted by "L-range" and any level in the range by "L-level".

1.1.4 High range (of a binary signal)

The range of most positive (least negative) levels of a binary signal.

NOTE – This range is often denoted by "H-range" and any level in the range by "H-level".

1.1.5 Input terminal

A terminal by means of which an applied signal may modify the output configuration (output pattern) of the circuit:

– either directly;

– or indirectly by modifying the ways in which the circuit reacts to signals at other terminals.

1.1.6 Three-state output

An output of a binary circuit that is a relatively low-impedance source or sink at the high and low levels and, in addition, under appropriate input conditions, provides a high-impedance state approaching an open-circuit.

NOTE – In function tables and function (sequential) matrices, the abbreviation Z should be used for the high-impedance state.

1.2 Terms related to functions

1.2.1 Input configuration (input pattern) (of a binary circuit)

A combination of the L-levels and H-levels at the input terminals at a given instant.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.2.2 Configuration de sortie (d'un circuit binaire)

Combinaison des niveaux L et H aux différentes sorties du circuit à un instant donné.

NOTE – Lorsque aucune ambiguïté ne peut en découler, une configuration de sortie peut être représentée par le niveau (exprimé par L ou H) de la variable à une sortie du circuit déterminée (la sortie de référence).

1.2.3 Table de fonctionnement

Représentation des relations nécessaires ou possibles entre les valeurs des variables numériques aux entrées et aux sorties d'un circuit numérique, ces valeurs des variables numériques étant indiquées soit en utilisant directement les valeurs électriques, soit en indiquant la signification électrique des symboles (par exemple, L et H pour les circuits binaires).

En général:

– chaque colonne indique les valeurs des variables numériques à une entrée ou à une sortie du circuit numérique;
– chaque ligne indique la combinaison des valeurs des variables numériques aux entrées et les valeurs correspondantes des signaux numériques en sortie;
– chaque fois que la valeur d'une variable numérique en sortie est indéterminée, elle doit être indiquée par un point d'interrogation;
– chaque fois que la valeur d'une variable numérique à une entrée n'a pas d'influence, elle doit être indiquée par le symbole L/H ou X.

1.2.4 Table de vérité (pour une relation entre des variables numériques)

Représentation de la relation logique entre une ou plusieurs variables numériques indépendantes et une ou plusieurs variables dépendantes, au moyen d'une table qui, pour chaque combinaison possible des valeurs des variables indépendantes, donne les valeurs appropriées des variables dépendantes.

NOTE – La distinction entre «table de fonctionnement» et «table de vérité» est fondamentalement nécessaire car le même circuit numérique peut réaliser plusieurs opérations logiques différentes, selon le choix arbitraire de la relation entre les valeurs des variables numériques et les valeurs des grandeurs électriques numériques.

1.2.5 Excitation

Configuration, ou changement de configuration, d'entrée qui peut:

– provoquer la modification de configuration de sortie, soit directement, soit eu égard à un état de préparation préalablement existant;
– ou placer le circuit dans un état de préparation;
– ou effacer ou modifier un état de préparation déjà existant.

NOTE 1 – La répétition, ou la réitération, d'une excitation donnée ne produit pas forcément le même effet.

NOTE 2 – Dans certains cas, une excitation peut aussi maintenir une configuration de sortie qu'elle pourrait avoir produite.

1.2.6 Niveau actif (d'une variable numérique d'entrée d'un circuit séquentiel)

Niveau d'une variable numérique d'entrée susceptible de provoquer une excitation.

1.2.7 Transition active (d'une variable numérique d'entrée d'un circuit séquentiel)

Transition d'un niveau d'une variable numérique vers un autre niveau, susceptible de produire une excitation.

NOTE – Une transition active peut être aussi sujette à des limitations provenant de la pente du signal.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.2.2 Output configuration (output pattern) (of a binary circuit)

A combination of the L-levels and H-levels at the output terminals at a given instant.

NOTE – When there is no possibility of ambiguity, the output configuration (output pattern) may be represented by the level (expressed as L-level and H-level) of the signal at a stated terminal of the circuit (the reference output terminal).

1.2.3 Function table

A representation of the necessary or possible relations between the values of the digital signals at the inputs and the outputs of a digital circuit, these values of the digital signals being indicated either by using electrical values directly or by stating the electrical significance of the symbols (e.g. L and H for binary circuits).

Generally:

– every column indicates the values of the digital signals at an input or at an output of the digital circuit;
– every line indicates the combination of values of the digital signals at the input(s) and the resulting values of the digital signals at the output(s);
– whenever the value of the digital signal at an output is not determined, it should be indicated by a question mark;
– whenever the value of a digital signal at an input has no influence, it should be indicated by the symbol L/H or X.

1.2.4 Truth table (for a relation between digital variables)

A representation of the logic relationship between one or more independent digital variables and one or more dependent digital variables, by means of a table which, for each possible combination of the values of the independent variables, gives the appropriate values of the dependent variables:

NOTE – The distinction between "function table" and "truth table" is fundamentally necessary, because the same digital circuit may fulfil several different logic operations, according to the arbitrary choice of the assignment of the values of the digital variables to the values of the digital electrical quantities.

1.2.5 Excitation

An input configuration (input pattern), or change in input configuration (input pattern), that can:

– cause the circuit to change its output configuration (output pattern), either directly, or in conjunction with an already existing state of preparedness;
– or put the circuit in a state of preparedness;
– or either cancel or modify an already existing state of preparedness.

NOTE 1 – The repetition, or reiteration, of a given excitation will not necessarily produce the same effect.

NOTE 2 – In some cases, an excitation can also maintain an output configuration (output pattern) which it could have produced.

1.2.6 Active level (of a digital signal to a sequential circuit)

A level of a digital input signal which can produce excitation.

1.2.7 Active transition (of a digital signal to a sequential circuit)

A transition from one level of a digital input signal to another level, which can produce excitation.

NOTE – An active transition may also be subject to limitations arising from the slope of the signal.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.2.8 Configuration de sortie stable (d'un circuit séquentiel)

Configuration de sortie que conserve un circuit après que l'excitation qui l'a produite, ou toute excitation qui pourrait l'avoir maintenue, a été remplacée par une configuration d'entrée qui ne soit pas une excitation,

ou bien:

configuration de sortie que prend un circuit en l'absence de toute excitation.

NOTE – Toute persistance de courte durée de la configuration de sortie, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

1.2.9 Configuration de sortie pseudo-stable (d'un circuit séquentiel)

Configuration de sortie qui ne persiste pas après que l'excitation qui l'a produite, ou toute autre excitation susceptible de la maintenir, a été remplacée par une configuration d'entrée qui ne soit pas une excitation.

NOTE – Toute configuration de sortie de faible durée, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

1.2.10 Configuration de sortie méta-stable (d'un circuit séquentiel)

Configuration de sortie qui ne persiste que pour un temps limité après qu'une excitation appropriée a été appliquée.

NOTE 1 – La durée de cette configuration de sortie dépend des caractéristiques du circuit; elle peut dépendre de la durée de l'excitation qui l'a produite et peut être affectée par une excitation ultérieure.

NOTE 2 – Toute persistance de courte durée de la configuration de sortie, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

1.2.11 Matrice (séquentielle) de fonctionnement

Table à plusieurs entrées qui donne les configurations possibles de sortie pour chaque configuration d'entrée, et grâce à laquelle on peut connaître, par lecture directe, la ou les configurations de sortie qui résultent de la transition d'une configuration d'entrée déterminée à une autre configuration d'entrée.

NOTE – S'il y a lieu, on pourra compléter une matrice (séquentielle) de fonctionnement par des données ou par des détails supplémentaires relatifs aux conditions de temps (par exemple, temps de transition pour les niveaux d'entrée, temps de délai, durée de la configuration d'entrée avant que l'on puisse obtenir la nouvelle configuration de sortie désirée).

1.2.12 Entrée de préparation

Entrée sur laquelle l'application d'une variable numérique peut modifier la façon dont le circuit réagit aux variables appliquées aux autres entrées, mais sans entraîner directement un changement de la configuration de sortie du circuit.

1.2.13 Entrée d'autorisation

Entrée qui, lorsqu'elle est active, permet à une ou plusieurs opérations spécifiques de débuter.

NOTE 1 – Un signal d'autorisation peut:

a) soit permettre un ou plusieurs fonctionnements tant que le signal est maintenu à un niveau spécifié;

b) soit activer un verrou permettant aux fonctionnements de continuer même après cessation du signal d'autorisation.

NOTE 2 – «Autorisation» est un terme générique. On peut le préciser grâce à des qualificatifs convenables selon les cas.

1.2.14 Entrée d'autorisation boîtier

Entrée d'autorisation qui, lorsqu'elle est inactive, maintient le circuit intégré dans un état de repos à puissance réduite.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.2.8 Stable output configuration (output pattern) (of a sequential circuit)

An output configuration (output pattern), in which the circuit will remain after the excitation that produced it, or any other that could have maintained it, has been replaced by an input configuration (input pattern) which is not an excitation,

or:

an output configuration (output pattern) which the circuit takes up in the absence of excitation.

NOTE – Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

1.2.9 Pseudo-stable output configuration (output pattern) (of a sequential circuit)

An output configuration (output pattern) which does not persist after the excitation that produced it, or other excitations that have maintained it, have been replaced by an input configuration (input pattern) which is not an excitation.

NOTE – Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

1.2.10 Meta-stable output configuration (output pattern) (of a sequential circuit)

An output configuration (output pattern) which persists, for a limited duration only, after the appropriate excitation has been applied.

NOTE 1 – The duration of the meta-stable output configuration (output pattern) will depend on the design of the circuit, may depend on the duration of the excitation that produced it and may be affected by further excitation.

NOTE 2 – Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

1.2.11 Function (sequential) matrix

A table having several inputs which gives the possible output configurations for each input configuration(s) and from which the output configuration(s) resulting from a transition from each individual input configuration to any other input configuration can be read directly.

NOTE – Where appropriate, a function (sequential) matrix may be completed by additional data or details concerning time conditions (e.g. transition times for the input levels, delay time, duration of the input configuration to produce a desired new output configuration).

1.2.12 Preparatory input terminal

An input terminal through which an applied digital signal can modify the manner in which the circuit reacts to signals at other input terminals, without directly causing a change of the output configuration (output pattern) of the circuit.

1.2.13 Enable input

An input that when active permits one or more specific operations to be commenced.

NOTE 1 – An "enable" signal may either:

a) permit one or more operations to be performed while the signal is maintained at a specified level, or

b) operate a latch that will allow an operation to continue even after the "enable" signal has been removed.

NOTE 2 – "Enable" is a generic term. It may be qualified by suitable descriptive adjectives as required.

1.2.14 Chip-enable input

An enable input that when inactive causes the integrated circuit to be in a reduced-power stand-by mode.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.2.15 Entrée de sélection boîtier

Entrée d'autorisation qui, lorsqu'elle est inactive, interdit toute entrée ou sortie d'informations vers ou à partir du circuit intégré.

1.2.16 Entrée d'autorisation pour la sortie

Entrée d'autorisation qui, lorsqu'elle est inactive, interdit la sortie d'informations du circuit intégré.

NOTE – Lorsqu'il n'y a pas d'autorisation, les sorties peuvent être à l'état bas, à l'état haut ou à l'état haute impédance, suivant le type particulier de circuit considéré.

1.2.17 Entrée d'autorisation d'écriture

Entrée qui, lorsqu'elle est active, permet d'introduire des informations pour les stocker dans la mémoire.

1.2.18 Entrée d'inhibition

Entrée qui, lorsqu'elle est active, interdit d'accomplir une ou plusieurs opérations spécifiques.

NOTE 1 – En anglais, il existe deux termes équivalents qui désignent une entrée d'inhibition dont ils soulignent l'aspect complémentaire ou négatif.

NOTE 2 – Lorsqu'elle est inactive, une entrée d'autorisation inhibe ou interdit les opérations qu'elle aurait autorisées si elle était active. A l'inverse, lorsqu'elle est inactive, une entrée d'inhibition permet d'accomplir la ou les opérations qu'elle aurait empêchées si elle était active.

1.2.19 Entrée à fonctionnement en niveau

Entrée qui continue à être active (à causer une excitation) tant qu'elle demeure à un niveau actif.

1.2.20 Entrée à fonctionnement par transition

Entrée qui est active (cause une excitation) dans un seul des sens de transition ou entrée qui cause une excitation seulement si la vitesse de variation d'un niveau à un autre est suffisamment grande.

1.2.21 Positionnement à un état spécifié

1) (ISO) Faire prendre à un compteur l'état correspondant à un nombre spécifié.
2) (ISO) Mettre un dispositif de stockage dans un état spécifié, généralement différent de celui qui correspond à zéro.

NOTE – A distinguer de «restauration».

1.2.22 Restauration à l'état initial

1) (ISO) Faire prendre à un compteur l'état correspondant à un nombre initial spécifié.
2) (ISO) Remettre un dispositif de stockage dans un état initial prescrit, pas nécessairement dans celui qui correspond à zéro.

NOTE – A distinguer de «positionnement».

1.3 Types de circuits

1.3.1 Circuit numérique

Circuit qui est conçu pour fonctionner avec des variables numériques tant en entrée(s) qu'en sortie(s).

NOTE 1– Il est sous-entendu, dans cette définition, que l'alimentation continue n'est ni une entrée, ni une sortie.

NOTE 2 – Dans certains circuits numériques, par exemple les circuits astables, les entrées peuvent ne pas exister.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.2.15 Chip-select input

An enable input that when inactive prevents both input and output of data to and from the integrated circuit.

1.2.16 Output enable input

An enable input that when inactive prevents the output of data from the integrated circuit.

NOTE – When not enabled, the outputs will assume a low level, a high level, or a floating (high-impedance) state, depending on the design of the particular circuit.

1.2.17 Write-enable input

An input that, when active, permits data to be entered into a memory for storage.

1.2.18 Disable input; inhibit input

An input that when active prevents one or more specific operations from being performed.

NOTE 1 – These are alternative names for an enable input emphasizing the complementary or negative aspect.

NOTE 2 – When inactive, an enable input disables or prevents the operations that it would permit if active. Conversely, when inactive, a disable input permits the operation(s) to be performed that it would prevent if active.

1.2.19 Level-operated input

An input that continues to be active (to cause excitation) as long as it remains at an active level.

1.2.20 Transition-operated input

An input that is active (causes excitation) only on one of the two directions of transition or an input that causes excitation only if the rate of change from one level to another is sufficiently large.

1.2.21 Set

1) (ISO) To cause a counter to take the state corresponding to a specified number.
2) (ISO) To place a storage device into a specified state, usually other than that denoting zero.

NOTE – Contrast with "reset".

1.2.22 Resets

1) (ISO) To cause a counter to take the state corresponding to a specified initial number.
2) (ISO) To restore a storage device to a prescribed initial state, not necessarily that denoting zero.

NOTE – Contrast with "set".

1.3 Types of circuits

1.3.1 Digital circuit

A circuit which is designed to operate by means of digital signals at the input(s) and at the output(s).

NOTE 1 – In this definition, it is understood that "inputs" and "outputs" exclude static power supplies.

NOTE 2 – In some digital circuits, e.g. certain types of astable circuits, the input(s) need not exist.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.3.2 Circuit binaire

Circuit numérique conçu pour fonctionner à l'aide de variables binaires.

NOTE – Les paires de gammes de valeurs des variables binaires peuvent être différentes aux différentes bornes du circuit.

1.3.3 Circuit (numérique) combinatoire

Circuit numérique pour lequel il existe une, et une seule, combinaison des états de sortie pour chaque combinaison des états des entrées.

1.3.4 Circuit (numérique) séquentiel

Circuit numérique pour lequel il existe au moins une combinaison des valeurs des variables d'entrée qui conduisent à plus d'une combinaison des valeurs des variables de sortie.

NOTE – Ces combinaisons de sortie sont fonction de l'histoire antérieure du circuit (effet de mémoire interne, retard, etc.).

1.3.5 Circuit combinatoire élémentaire

Circuit (numérique) combinatoire qui n'a qu'une borne de sortie et dans lequel l'état de la variable de sortie est celui qui n'apparaît qu'une fois dans la table de fonctionnement si, et seulement si, les variables d'entrée sont toutes dans l'état H ou toutes dans l'état L.

NOTE 1 – Comme l'état de la variable de sortie (qui n'apparaît qu'une seule fois dans la table de fonctionnement) peut être soit l'état H, soit l'état L, il y a quatre types de circuits combinatoires élémentaires. Suivant la relation entre les états L et H des variables et les valeurs binaires 0 et 1 de l'algèbre de Boole, on peut réaliser les opérations logiques suivantes au moyen de quatre circuits combinatoires élémentaires: ET, OU, NON-ET, NON-OU.

NOTE 2 – On peut réaliser des circuits combinatoires non élémentaires à l'aide de circuits combinatoires élémentaires ou à l'aide de circuits combinatoires élémentaires et d'inverseurs.

1.3.6 Circuit bistable

Circuit séquentiel qui a deux, et seulement deux, configurations de sortie stables.

NOTE 1 – Cette grande classe peut être subdivisée en sous-classes, eu égard au nombre et aux types de configurations de sortie méta-stable ou pseudo-stable du circuit et au nombre d'excitations appropriées nécessaires pour changer de configuration de sortie stable.

NOTE 2 – Une configuration stable de sortie d'un circuit bistable peut être exprimée par le niveau L ou le niveau H à la borne de sortie prise comme référence.

NOTE 3 – Le terme «circuit bistable» est utilisé comme terme générique pour couvrir toute la gamme des circuits séquentiels ayant deux, et seulement deux, configurations de sorties stables. Il peut être utilisé seul pour n'importe quelle classe de circuits bistables, quand il n'en résulte ni ambiguïté ni confusion. En particulier, le terme abrégé «circuit bistable» est souvent utilisé pour les circuits bistables nécessitant une seule excitation.

1.3.6.1 Circuit bistable à déclenchement par transition

Circuit bistable ayant une ou plusieurs entrées à fonctionnement par transition.

1.3.6.2 Circuit bistable à déclenchement par impulsions

Circuit bistable nécessitant la présence d'un signal à une entrée de préparation ayant une première transition d'un signal à une entrée de déclenchement, et son maintien après une deuxième transition se produisant à la même entrée de déclenchement, et qui est susceptible de provoquer le changement d'état des sorties.

NOTE – Cette définition n'exclut pas la possibilité que les temps minimaux d'établissement et/ou de maintien puissent être négatifs.

1.3.6.3 Circuit bistable à verrouillage de sortie

Circuit bistable nécessitant la présence de signaux aux entrées de préparation avant et après la transition du signal à l'entrée de déclenchement, et qui ne provoque pas le changement d'état des sorties.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.3.2 Binary circuit

A digital circuit designed to operate with binary signals.

NOTE – The pairs of ranges of values of the binary signals may be different at different terminals.

1.3.3 Combinational (digital) circuit

A digital circuit in which there exists one, and only one, combination of the digital signals at the outputs for each possible combination of digital signals at the inputs.

1.3.4 Sequential (digital) circuit

A digital circuit in which there exists at least one combination of the digital signals at the inputs for which there is more than one corresponding combination of the digital signals at the outputs.

NOTE – These combinations at the outputs are determined by previous history (as a result of internal memory, delay, etc.)

1.3.5 Elementary combinational circuit

A binary combinational (digital) circuit which has only one output terminal; and in which the output signal accepts the value occurring only once in the function if, and only if, the signals applied to all the input terminals are either all in the H-range or all in the L-range.

NOTE 1 – Because the output signal value (occurring only once in the function table) can lie either in the H-range or in the L-range, there are four types of elementary combinational circuits. According to the assignment of the signal values L and H to the binary values 0 and 1 of Boolean algebra, the following logic operations can be realized by means of the four types of elementary combinational circuits: AND, OR, NAND, NOR.

NOTE 2 – Non-elementary combinational circuits can be formed by combining elementary combinational circuits or by combining elementary combinational circuits with inverters.

1.3.6 Bistable circuit

A sequential circuit which has two, and only two, stable output configurations (output patterns).

NOTE 1 – This broad classification can be divided into sub-classes according to the numbers and kinds of pseudo-stable and meta-stable output configurations (output patterns) available and the number of applications of appropriate excitations required to change from one stable output configuration (output pattern) to the other.

NOTE 2 – A stable output configuration (output pattern) of a bistable circuit can be expressed by the L-level or the H-level of the reference output terminal.

NOTE 3 – The term "bistable circuit" is used as a generic term to cover the whole range of sequential circuits with two, and only two, stable output configurations. It may be used itself for any kind or class of bistable circuits, when such use does not result in ambiguity or misunderstanding. In particular, the abbreviated term "bistable circuit" is often used for the single excitation bistable circuits.

1.3.6.1 Edge-triggered (transition-operated) bistable circuit

A bistable circuit having one or more transition-operated inputs.

1.3.6.2 Pulse-triggered bistable circuit

A bistable circuit requiring that a signal at a preparatory input be set up with respect to a first transition of a signal at a triggering input and be held with respect to a second transition occurring at the same triggering input and possibly causing the outputs to change state.

NOTE – This definition does not preclude the possibilities that minimum set-up and/or hold times may be negative.

1.3.6.3 Data-lock-out bistable circuit

A bistable circuit requiring that the signals at the preparatory inputs be set up and held with respect to that transition of the triggering-input signal that does not cause the outputs to change state.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.3.7 Circuit monostable

Circuit séquentiel qui n'a qu'une configuration de sortie stable.

NOTE 1 – La définition précédente correspond au sens le plus général du terme. Le sens qui est donné généralement au terme «circuit monostable» suppose qu'en plus de la configuration stable, il existe au moins une configuration de sortie méta-stable.

NOTE 2 – En général, de tels circuits peuvent avoir une ou plusieurs configurations de sortie méta-stable ou pseudo-stable.

1.3.8 Circuit expanseur

Circuit auxiliaire que l'on peut utiliser pour augmenter le nombre des entrées jouant le même rôle d'un circuit associé, sans modifier la fonction du circuit associé.

1.3.9 Inverseur binaire

Circuit binaire qui n'a qu'une borne d'entrée et une borne de sortie et pour lequel, à un état L (H) de la variable d'entrée, correspond un état H (L) de la variable de sortie.

1.3.10 Association maître-esclave

Association de deux circuits bistables, de sorte que l'un d'entre eux, appelé «esclave», reproduise la configuration de sortie de l'autre circuit, appelé «maître». Le transfert de l'information du maître à l'esclave s'effectue grâce à un signal approprié.

1.3.11 Registre

Association de circuits bistables grâce à laquelle une information peut être enregistrée, conservée et restituée.

NOTE – Le registre peut faire partie d'une autre mémoire et a une capacité spécifiée.

1.3.12 Registre à décalage

Registre qui, grâce à un signal de commande approprié, peut transférer l'information d'un circuit bistable au suivant, la séquence étant préservée.

1.3.13 Compteur

Circuit séquentiel organisé pour enregistrer des nombres et qui permet de les augmenter ou de les diminuer d'une constante définie, y compris l'unité.

1.3.14 Décodeur numérique (à circuit intégré)

Arrangement d'éléments logiques (ou l'équivalent) qui choisit une ou plusieurs voies de sortie selon la combinaison des signaux présents à l'entrée.

1.3.15 Réseau logique programmable (PLD)

Circuit intégré formé d'éléments fonctionnels logiques préfabriqués et d'éléments d'interconnexion programmables par l'utilisateur.

1.3.16 Matrice logique programmable (PLA)

Circuit intégré de la catégorie des PLDs dont les éléments fonctionnels sont principalement des réseaux ET et OU.

1.3.17 Matrice prédiffusée programmable (PG/A)

Circuit intégré de la catégorie des PLDs dont les éléments fonctionnels comprennent des interrupteurs et des éléments de mémoire qui se comportent comme des groupes de portes.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.3.7 Monostable circuit

A sequential circuit which has only one stable output configuration (output pattern).

NOTE 1 – The definition above is given in its most general form. In present usage, the term "monostable circuit" implies that there is at least one meta-stable output configuration (output pattern) in addition to the stable output configuration (output pattern).

NOTE 2 – In general, such circuits may have one or more meta-stable and/or pseudo-stable output configurations (output patterns).

1.3.8 Expander circuit

An auxiliary circuit which can be used to expand the number of inputs of equal influence of an associated circuit without modifying the function of the associated circuit.

1.3.9 Binary inverter

Binary circuit which has only one input terminal and one output terminal, and in which a signal value L (H) at the input produces a signal value H (L) at the output.

1.3.10 Master-slave arrangement

An arrangement of two bistable circuits such that one of them, called the "slave", reproduces the output configuration of the other circuit, called the "master". The transfer of information from the master to the slave is produced by means of an appropriate signal.

1.3.11 Register

An arrangement of bistable circuits by means of which information may be accepted, stored, and retrieved.

NOTE – The register may form part of another memory and is of a specified capacity.

1.3.12 Shift register

A register that, by means of an appropriate control signal, can transfer information between consecutive bistable circuits with the sequence being preserved.

1.3.13 Counter

A sequential circuit for storing numbers that permits such numbers to be incremented or decremented by a defined constant, including unity.

1.3.14 Digital decoder (integrated circuit)

An arrangement of logic elements (or the equivalent) that selects one or more output channels according to the combination of input signals present.

1.3.15 Programmable logic device (PLD)

An integrated circuit that consists of logic elements with an interconnection pattern parts of which are user programmable.

1.3.16 Programmable logic array (PLA)

A programmable logic device in which the logic elements consist mainly of arrays of AND gates and arrays of OR gates.

1.3.17 Programmable gate array (PG/A)

A programmable logic device in which the logic elements include switches and memory elements that behave as groups of gates.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.4 Termes relatifs aux valeurs limites et aux caractéristiques

1.4.1 Tension de seuil (d'entrée)

Niveau de tension d'entrée qui, lorsqu'il est franchi, permet à une sortie de changer d'état logique.

NOTE – Le terme «hystérésis», utilisé souvent dans les feuilles de caractéristiques, représente la différence entre les tensions de seuil à la transition positive et à la transition négative.

$$V_{hys} = V_{IT+} - V_{IT-}$$

ou: $V_{hys} = V_{ITP} - V_{ITN}$

1.4.1.1 Tension de seuil (d'entrée) à la tension positive V_{IT+}, V_{ITP}

Tension de seuil d'entrée lorsque la tension d'entrée est croissante.

NOTE – Voir la note de 1.4.1.

1.4.1.2 Tension de seuil (d'entrée) à la transition négative V_{IT-}, V_{ITN}

Tension de seuil d'entrée lorsque la tension d'entrée est décroissante.

NOTE – Voir la note de 1.4.1.

1.4.2 Facteur de charge d'entrée (d'un circuit numérique bipolaire)

Facteur qui indique le rapport du courant d'entrée d'une borne d'entrée spécifiée au courant d'entrée d'un circuit particulier qui est choisi comme charge de référence.

NOTE – On choisit de préférence la charge de référence de telle façon que le facteur de charge d'entrée soit un nombre entier.

1.4.3 Capacité de charge de sortie (d'un circuit numérique bipolaire)

Facteur qui indique le rapport du courant maximal de sortie d'une borne de sortie spécifiée d'un circuit numérique au courant d'entrée d'un circuit particulier qui est choisi comme charge de référence.

NOTE – On choisit de préférence la charge de référence de telle façon que la capacité de charge de sortie soit un nombre entier.

1.4.4 Temps de préparation (temps d'établissement)

Intervalle de temps entre l'application d'un signal qui est maintenu à une borne d'entrée spécifiée et une transition active ultérieure spécifiée se produisant à une autre borne d'entrée.

NOTE 1 – On mesure le temps d'établissement entre les instants où les grandeurs des deux signaux atteignent des valeurs spécifiées situées dans la zone de transition entre deux niveaux de signal.

NOTE 2 – Le temps d'établissement est le temps qui s'écoule entre l'application des deux signaux; il peut être insuffisant pour obtenir le résultat escompté. On spécifie une valeur minimale qui est le temps le plus court pour lequel un fonctionnement correct du circuit numérique est garanti.

NOTE 3 – Le temps d'établissement peut avoir une valeur négative; dans ce cas, la limite minimale définit l'intervalle le plus long (entre la transition active et l'application de l'autre signal) pour lequel un fonctionnement correct du circuit numérique est garanti.

1.4.5 Temps de maintien

Intervalle de temps pendant lequel un signal est maintenu à une borne d'entrée spécifiée après qu'une transition active s'est produite à une autre borne d'entrée spécifiée.

NOTE 1 – On mesure le temps de maintien entre les instants où les amplitudes des deux signaux atteignent des valeurs spécifiées situées dans la zone de transition entre deux niveaux de signal.

NOTE 2 – Le temps de maintien est le temps qui s'écoule entre l'application des deux signaux; il peut être insuffisant pour obtenir le résultat escompté. On spécifie une valeur minimale qui est le temps le plus court pour lequel un fonctionnement correct du circuit numérique est garanti.

NOTE 3 – Le temps de maintien peut avoir une valeur négative; dans ce cas, la limite minimale définit l'intervalle le plus long (entre la transition active et l'application de l'autre signal) pour lequel un fonctionnement correct du circuit numérique est garanti.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.4 Terms related to ratings and characteristics

1.4.1 (Input) threshold voltage

The input voltage level that, when crossed, enables an output to change its logic state.

NOTE – The term hysteresis, often used in data sheets, denotes the difference between the positive-going and negative-going threshold voltages.

$$V_{hys} = V_{IT+} - V_{IT-}$$

or: $V_{hys} = V_{ITP} - V_{ITN}$

1.4.1.1 Positive-going (input) threshold voltage V_{IT+}, V_{ITP}

The input threshold voltage when the input voltage is rising.

NOTE – See note to 1.4.1.

1.4.1.2 Negative-going (input) threshold voltage V_{IT-}, V_{ITN}

The input threshold voltage when the input voltage is falling.

NOTE – See note to 1.4.1.

1.4.2 Input loading factor (of a binary digital circuit)

A factor which indicates the ratio of the input current of a specified input terminal of a digital circuit to the input current of a particular circuit which is chosen as a reference load.

NOTE – The reference load should preferably be chosen in such a way that the input loading factor becomes an integer.

1.4.3 Output loading capability (of a binary digital circuit)

A factor which indicates the ratio of the maximum output current of a specified output terminal of a digital circuit to the input current of a particular circuit which is chosen as a reference load.

NOTE – The reference load should preferably be chosen in such a way that the output loading capability becomes an integer.

1.4.4 Set-up time

The time interval between application of a signal that is maintained at a specific input terminal and a specified subsequent active transition at another input terminal.

NOTE 1 – The set-up time is measured between the instants at which the magnitudes of the two signals pass through specified values within the transition of the signal levels.

NOTE 2 – The set-up time is the actual time between two signals and may be insufficient to accomplish the intended result. A minimum value is specified that is the shortest interval for which correct operation of the digital circuit is guaranteed.

NOTE 3 – The set-up time may have a negative value, in which case the minimum limit defines the longest interval (between the active transition and the application of the other signal) for which interval correct operation of the digital circuit is guaranteed.

1.4.5 Hold time

The time interval during which a signal is retained at a specified input terminal after an active transition occurs at another specified input terminal.

NOTE 1 – The hold time is measured between the instants at which the magnitudes of the two signals pass through specified values within the transition of the signal levels.

NOTE 2 – The hold time is the actual time between two signals and may be insufficient to accomplish the intended result. A minimum value is specified that is the shortest interval for which correct operation of the digital circuit is guaranteed.

NOTE 3 – The hold time may have a negative value, in which case the minimum limit defines the longest interval (between the active transition and the application of the other signal) for which interval correct operation of the digital circuit is guaranteed.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.4.6 Temps de résolution

Intervalle de temps entre la fin d'une impulsion d'entrée et le début de l'impulsion d'entrée suivante appliquée à la même borne d'entrée.

NOTE 1 – On mesure le temps de résolution entre les instants où l'amplitude du signal d'entrée atteint des valeurs spécifiées situées dans la zone de transition entre deux niveaux de signal.

NOTE 2 – Le temps de résolution est le temps qui s'écoule entre deux impulsions; il peut être insuffisant pour assurer que les deux impulsions sont distinctes. On définit une valeur minimale qui est le temps le plus court pour lequel un fonctionnement correct du circuit numérique est garanti.

1.4.7 Temps de propagation du niveau haut au niveau bas (du niveau bas au niveau haut)

Intervalle de temps entre des points de référence spécifiés sur les impulsions à l'entrée et à la sortie lorsque la sortie évolue vers le niveau bas (haut) et que le dispositif est commandé et chargé par des dispositifs typiques d'un type déterminé.

NOTE 1 – Dans certains cas, les circuits de commande et de charge peuvent être remplacés, pour les essais, par des réseaux équivalents qui doivent être spécifiés.

NOTE 2 – La valeur moyenne entre la limite supérieure et la gamme des valeurs du niveau bas à l'entrée et à la limite inférieure de la gamme des valeurs du niveau haut à l'entrée est généralement utilisée comme niveau de référence spécifié.

1.4.8 Temps de transition du niveau haut au niveau bas (du niveau bas au niveau haut)

Intervalle de temps entre des points de référence spécifiés sur le flanc de l'impulsion de sortie, lorsque la sortie évolue vers le niveau bas (haut) et qu'un signal d'entrée spécifié est appliqué à travers un réseau spécifié, la sortie étant chargée par un autre réseau spécifié.

1.4.9 Temps d'autorisation

Intervalle de temps entre un point spécifié sur la transition du signal d'autorisation et un point spécifié sur la forme d'onde de sortie qui représente le début du fonctionnement prévu.

1.4.10 Temps d'inhibition

Intervalle de temps entre un point spécifié sur la transition du signal d'inhibition et un point spécifié sur la forme d'onde de sortie qui représente la fin du fonctionnement concerné.

1.4.11 Temps d'autorisation en sortie (pour une sortie «trois états»)

Intervalle de temps entre les points de référence spécifiés sur les formes d'onde des tensions d'entrée et de sortie, lorsque la sortie «trois états» change d'un état à haute impédance à l'un des niveaux actifs (haut ou bas) définis.

1.4.12 Temps d'inhibition en sortie (pour une sortie «trois états»)

Intervalle de temps entre les points de référence spécifiés sur les formes d'onde des tensions d'entrée et de sortie, lorsque la sortie «trois états» change de l'un des niveaux actifs (haut ou bas) définis à l'état à haute impédance.

1.4.13 Durée (largeur) d'une impulsion

Intervalle de temps séparant des points de référence spécifiés sur les flancs de l'impulsion.

1.4.14 Temps de validation

Intervalle de temps pendant lequel un signal de sortie est valide ou durant lequel un signal d'entrée doit être valide.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.4.6 Resolution time

The time interval between the cessation of one input pulse and the commencement of the next input pulse applied to the same input terminal.

NOTE 1 – The resolution time is measured between the instants at which the magnitude of the input signal passes through specified values within the transition of the signal levels.

NOTE 2 – The resolution time is the actual time between two pulses and may be insufficient to ensure that both pulses are recognized. A minimum value is specified that is the shortest interval for which correct operation of the digital circuit is guaranteed.

1.4.7 High-level to low-level (low-level to high-level) propagation time

The time interval between specified reference points on the input and on the output pulses, when the output is going to the low-(high-)level and when the device is driven and loaded by typical devices of stated types.

NOTE 1 – In some circumstances, the driving and the loading circuits may be replaced for test purposes by equivalent networks which must be specified.

NOTE 2 – The mean value between the upper limit of the input low range and the lower limit of the input high range is generally used as the specified reference level.

1.4.8 High-level to low-level (low-level to high-level) transition time

The time interval between specified reference points on the edge of the output pulse when the output is going to the low-(high-)level and when a specified input signal is applied through a specified network and the output is loaded by another specified network.

1.4.9 Enable time

The time interval from a specified point on the transition of the enabling signal to a specified point on an output waveform that represents the commencement of the intended operation.

1.4.10 Disable time

The time interval from a specified point on the transition of the disabling signal to a specified point on an output wafeform that represents the cessation of the affected operation.

1.4.11 Output enable time (of a three-state output)

The time interval between the specified reference points on the input and output voltage waveforms, with the three-state output changing from a high-impedance (off) state to either of the defined active levels (high or low).

1.4.12 Output disable time (of a three-state output)

The time interval between the specified reference points on the input and output voltage waveforms, with the three-state output changing from either of the defined active levels (high or low) to a high-impedance (off) state.

1.4.13 Pulse duration (width)

The time interval between the specified reference points on the two transitions of the pulse waveform.

1.4.14 Valid time

The time interval during which an output signal is valid or during which an input signal must be valid.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.4.15 Temps de validation de l'information en sortie

Intervalle de temps pendant lequel l'information en sortie reste valide, à la suite d'un changement des conditions d'entrée qui pourraient provoquer, à la fin de cet intervalle, un changement de l'information en sortie.

1.4.16 Capacité équivalente d'entrée (ou de sortie) (d'un circuit binaire)

Capacité d'un condensateur discret qui provoque le même effet sur la forme d'onde d'un signal numérique que la composante capacitive de l'impédance d'entrée (ou de sortie) d'un circuit binaire.

1.5 Concept de verrouillage

1.5.1 Etat de verrouillage

Etat caractérisé par un chemin conducteur persistant de faible impédance, et résultant du déclenchement d'une structure bipolaire à quatre couches consécutif au courant résultant d'une surtension à l'entrée, à la sortie ou sur l'alimentation.

NOTE – En état de verrouillage, le dispositif devient inopérant.

1.5.2 Effet de verrouillage

Processus qui conduit à un état de verrouillage.

1.5.3 Tension de verrouillage à l'état passant ($V_{CC(L)}$, $V_{DD(L)}$)

Tension entre les bornes de l'alimentation d'un circuit intégré pour un courant spécifié lorsque ce circuit est en état de verrouillage.

1.5.4 Courant de verrouillage (I_{latch})

Courant le plus faible qui passe par une borne spécifiée d'un circuit intégré au début de l'effet de verrouillage de ce circuit.

2 Exemples

2.1 Circuits combinatoires élémentaires

2.1.1 Types de circuits combinatoires élémentaires et leur table de fonctionnement

a) Circuit ET (état L), OU (état H)

Entrées	Sortie
A B C	Q
L L L . . . L	L
Toutes combinaisons avec H	H

b) Circuit NON-ET (état L), NON-OU (état H)

Entrées	Sortie
A B C	Q
L L L . . . L	H
Toutes combinaisons avec H	L

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.4.15 Output data-valid time

The time interval during which output data continues to be valid following a change of input conditions that could cause the output data to change at the end of the interval.

1.4.16 Equivalent input (output) capacitance (of a binary circuit)

The capacitance of a discrete capacitor that causes the same effect on the waveform of a digital signal as the capacitive component of the input (output) impedance of a binary circuit.

1.5 Latch-up concept

1.5.1 Latch-up state

A state in which a low-impedance path has resulted from and persists following the current resulting from an input, output or supply overvoltage that triggers a parasitic four-layer bipolar structure.

NOTE – In the latch-up state, the device becomes inoperable.

1.5.2 Latch-up effect

A process that results in a latch-up state.

1.5.3 Latch-up on-state voltage ($V_{CC(L)}$, $V_{DD(L)}$)

The voltage between the supply voltage terminals of an integrated circuit at a specified current when the integrated circuit is in the latch-up state.

1.5.4 Latch-up current (I_{latch})

The lowest current that flows into or out of a specified terminal of an integrated circuit at the onset of latch-up.

2 Examples

2.1 Elementary combinatorial circuits

2.1.1 Types of elementary combinatorial circuits and their function tables

a) L-AND, H-OR circuit

Inputs	Output
A B C	Q
L L L . . . L	L
All combinations with H	H

b) L-NAND, H-NOR circuit

Inputs	Output
A B C	Q
L L L . . . L	H
All combinations with H	L

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

c) Circuit ET (état H), OU (état L)

Entrées	Sortie
A B C	Q
H H H . . . H	H
Toutes combinaisons avec L	L

d) Circuit NON-ET (état H), NON-OU (état L)

Entrées	Sortie
A B C	Q
H H H . . . H	L
Toutes combinaisons avec L	H

e) Inverseur binaire

Entrée	Sortie
L	H
H	L

2.1.2 Réalisation d'opérations logiques au moyen de circuits combinatoires élémentaires

(pour deux relations possibles entre les états L et H des variables et les valeurs binaires 0 et 1 de l'algèbre de Boole)

Circuit		Relations	
Type	Nom	L ≅ 1 H ≅ 0	L ≅ 0 H ≅ 1
a	ET (état L), OU (état H)	ET	OU
b	NON-ET (état L), NON-OU (état H)	NON-ET	NON-OU
c	OU (état L), ET (état H)	OU	ET
d	NON-OU (état L), NON-ET (état H)	NON-OU	NON-ET

2.2 Principe de caractérisation des circuits bistables et des circuits séquentiels afférents, montré par des exemples et employant la désignation littérale

Deux modes de représentation des matrices (séquentielles) de fonctionnement sont indiqués.

2.2.1 Préambule

2.2.1.1 Si le signal appliqué à une borne d'entrée est actif:

– lorsqu'il occupe le niveau H,
– ou lors de la transition du niveau L vers le niveau H,

la lettre qui représente cette entrée est écrite sans barre.

Exemple R, S, J ...

Si le signal appliqué à une borne d'entrée est actif:

– lorsqu'il occupe le niveau L (c'est-à-dire LORSQU'IL N'EST PAS AU NIVEAU H),
– ou lors de la transition du niveau H vers le niveau L (c'est-à-dire LORS DE LA TRANSITION QUI N'EST PAS DU NIVEAU L VERS LE NIVEAU H),

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

c) H-AND, L-OR circuit

Inputs	Output
A B C	Q
H H H . . . H	H
All combinations with L	L

d) H-NAND, L-NOR circuit

Inputs	Output
A B C	Q
H H H . . . H	L
All combinations with L	H

e) Binary inverter

Input	Output
L	H
H	L

2.1.2 Realization of logic operations by means of elementary combinatorial circuits

(for two possible assignments of the signal values L and H to the binary values 0 and 1 of Boolean algebra)

Circuit		Assignment	
Type	**Name**	**L ≙ 1** **H ≙ 0**	**L≙ 0** **H ≙ 1**
a	L-AND, H-OR	AND	OR
b	L-NAND, H-NOR	NAND	NOR
c	L-NOR, H-AND	OR	AND
d	L-NOR, H-NAND	NOR	NAND

2.2 Principles of characterizing bistable circuits and related sequential digital circuits, shown by examples using letter designations

Two different ways of presenting the (sequential) function matrices are quoted.

2.2.1 Preamble

2.2.1.1 If the signal applied to the input terminal concerned is:

– active when it is at the H-level,

– or active during the transition from the L-level to the H-level,

then the letter which represents the input is used without a bar.

Examples: R, S, J ...

If the signal applied to the input terminal concerned is:

– active when it is at the L-level (i.e. NOT AT THE H-LEVEL),

– or active during the transition from the H-level to the L-level (i.e. NOT DURING THE TRANSITION FROM THE L-LEVEL TO THE H-LEVEL),

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

la lettre qui représente cette entrée est surmontée d'une barre.

Exemples: $\overline{R}, \overline{S}, \overline{J}$...

Dans le cas de circuits fonctionnant en niveau et par transition et lorsque la règle qui précède conduit à une impossibilité, la priorité est donnée à la transition.

2.2.1.2 Les bornes de sortie d'un circuit bistable sont habituellement notées Q et Q*; Q est la sortie prise comme référence.

2.2.1.3 Normalement, pour les deux configurations de sortie stables d'un circuit bistable, les niveaux aux bornes Q et Q* sont complémentaires.

La configuration de sortie pseudo-stable est indiquée par les lettres H ou L ou leur combinaison, placées entre parenthèses après les lettres RS, quand elle existe.

Si dans la configuration de sortie pseudo-stable, les niveaux de Q et de Q* sont complémentaires, les deux lettres H et L sont utilisées, la première lettre désignant le niveau de Q.

Si dans la configuration de sortie pseudo-stable les niveaux de Q et de Q* sont identiques, une seule lettre est utilisée pour désigner ces niveaux.

Exemples: RS(H), RS(L), RS(HL), RS(LH).

Si ce n'est pas exigé, les parenthèses et les lettres à l'intérieur peuvent être omises.

2.2.1.4 Tous les autres types de bascules RS, R_GS_G, JK, J_TK_T, etc., peuvent être décrits d'une manière analogue aux exemples qui suivent.

2.2.2 Circuits

2.2.2.1 Circuit RS (L)

Circuit dont les deux entrées R et S sont des entrées à fonctionnement en niveau. L'une quelconque des entrées ne peut être active que pour le niveau H seulement.

La configuration d'entrée (R, S) = (L, H) conduit à la configuration de sortie (Q, Q*) = (H, L). Le retour au niveau L de l'entrée S est sans effet.

La configuration d'entrée (R, S) = (H, L) conduit à la configuration de sortie (Q, Q*) = (L, H). Le retour au niveau L de l'entrée R est sans effet.

La configuration d'entrée (R, S) = (H, H) conduit à la configuration de sortie pseudo-stable (Q, Q*) = (L, L). Le retour simultané des deux entrées du niveau H vers le niveau L conduit à une configuration de sortie stable imprévisible.

NOTE – Pour des raisons techniques, dans certains cas, la configuration d'entrée (R, S) = (H, H) peut être interdite.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

then the letter which represents the input is used with a bar.

Examples: $\overline{R}$, $\overline{S}$, $\overline{J}$ ...

In cases of level/transition-operated circuits where the above gives rise to contrary indications, priority is given to the transition.

2.2.1.2 The output terminals of a bistable circuit are denoted by Q and Q*, where Q is the reference-output terminal.

2.2.1.3 Normally, in the two stable output configurations (output patterns) of a bistable circuit, the levels at the terminals Q and Q* are complementary.

The pseudo-stable output configuration (output pattern) is stated by the letters H or L or combinations thereof, to be put in brackets following the letters RS, when it occurs.

If, in the pseudo-stable output configuration (output pattern), the levels at Q and Q* are complementary, both the letters H and L are used, the first letter designating the level at Q.

If, in the pseudo-stable output configuration (output pattern), the levels at Q and Q* are the same, only one letter is used to designate these levels.

Examples: RS(H), RS(L), RS(HL), RS(LH).

If not required, the brackets and letters between them can be omitted.

2.2.1.4 All other types of RS, $R_G S_G$, JK, $J_T K_T$ circuits, etc., can be described in a manner analogue to the examples that follow.

2.2.2 Circuits

2.2.2.1 RS (L) circuit

A circuit having two level-operated input terminals R and S. Either input signal can be active in the H-level only.

The input configuration (input pattern) (R, S) = (L, H) produces the output configuration (output pattern) (Q, Q*) = (H, L). The return of the input signal at the S terminal to the L-level produces no action.

The input configuration (input pattern) (R, S) = (H, L) produces the output configuration (output pattern) (Q, Q*) = (L, H). The return of the input signal at the R terminal to the L-level produces no action.

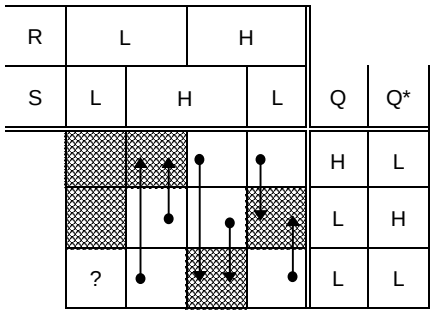
The input configuration (input pattern) (R, S) = (H, H) produces the pseudo-stable output configuration (output pattern) (Q, Q*) = (L, L). The simultaneous return of both input signals from the H-level to the L-level produces a non-foreseeable stable output configuration (output pattern).

NOTE – In some cases, the input configuration (input pattern) (R, S) = (H, H) may not be permitted due to technical reasons.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

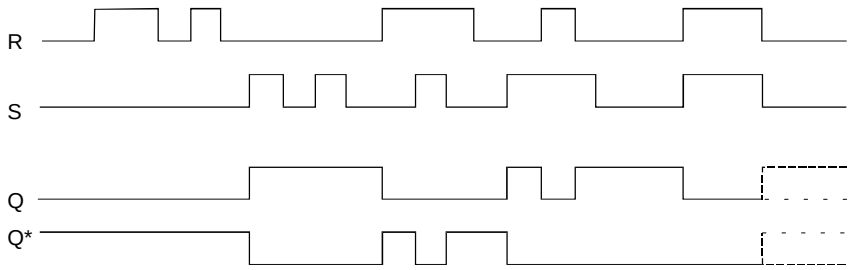
Matrices (séquentielles) de fonctionnement:

R	L		H			
S	L	H		L	Q	Q*
	①	①	3	2	H	L
	②	1	3	②	L	H
	?	1	③	2	L	L



IEC 1659/97

Diagramme des temps:



IEC 1660/97

Figure 1

2.2.2.2 Circuit $\overline{R}\,\overline{S}$ (H)

Circuit dont les deux entrées $\overline{R}, \overline{S}$ sont des entrées à fonctionnement en niveau. L'une quelconque des entrées ne peut être active que pour le niveau L seulement.

La configuration d'entrée $(\overline{R}, \overline{S})$ = (H, L) conduit à la configuration de sortie (Q, Q*) = (H, L). Le retour au niveau H de l'entrée S est sans effet.

La configuration d'entrée $(\overline{R}, \overline{S})$ = (L, H) conduit à la configuration de sortie (Q, Q*) = (L, H). Le retour au niveau H de l'entrée R est sans effet.

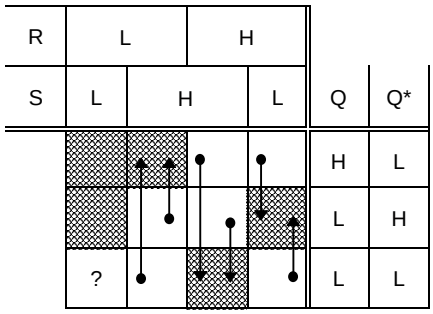
La configuration d'entrée $(\overline{R}, \overline{S})$ = (L, L) conduit à la configuration de sortie pseudo-stable (Q, Q*) = (H, H). Le retour simultané des deux entrées du niveau L vers le niveau H conduit à une configuration de sortie stable imprévisible.

NOTE – Pour des raisons techniques, dans certains cas, la configuration d'entrée $(\overline{R}, \overline{S})$ = (L, L) peut être interdite.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

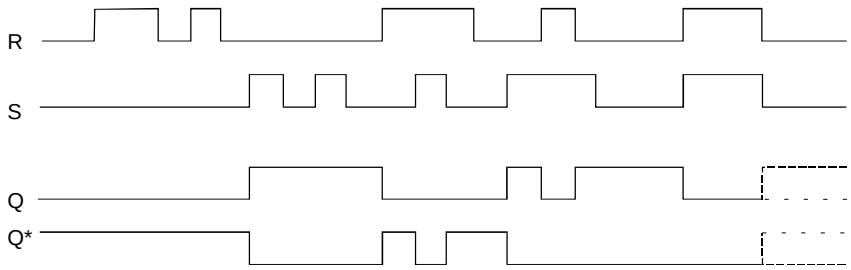
Function (sequential) matrices:

R	L		H			
S	L	H		L	Q	Q*
	①	①	3	2	H	L
	②	1	3	②	L	H
	?	1	③	2	L	L



IEC 1659/97

Timing diagram:



IEC 1660/97

Figure 1

2.2.2.2 $\overline{R}\,\overline{S}$ (H) circuit

A circuit having two level-operated input terminals $\overline{R}$ and $\overline{S}$. Either input signal can be active in the L-level only.

The input configuration (input pattern) ($\overline{R}$, $\overline{S}$) = (H, L) produces the output configuration (output pattern) (Q, Q*) = (H, L). The return of the input signal at the S terminal to the H-level produces no action.

The input configuration (input pattern) ($\overline{R}$, $\overline{S}$) = (L, H) produces the output configuration (output pattern) (Q, Q*) = (L, H). The return of the input signal at the R terminal to the H-level produces no action.

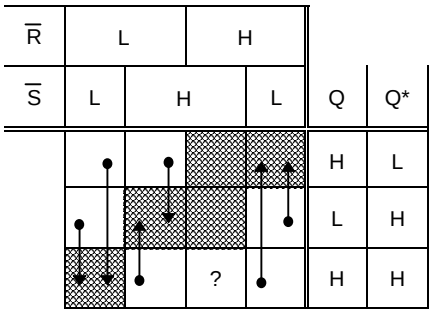
The input configuration (input pattern) ($\overline{R}$, $\overline{S}$) = (L, L) produces the pseudo-stable output configuration (output pattern) (Q, Q*) = (H, H). The simultaneous return of both input signals from the L-level to the H-level produces a non-foreseeable stable output configuration (output pattern).

NOTE – In some cases, the input configuration (input pattern) ($\overline{R}$, $\overline{S}$) = (L, L) may not be permitted due to technical reasons.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

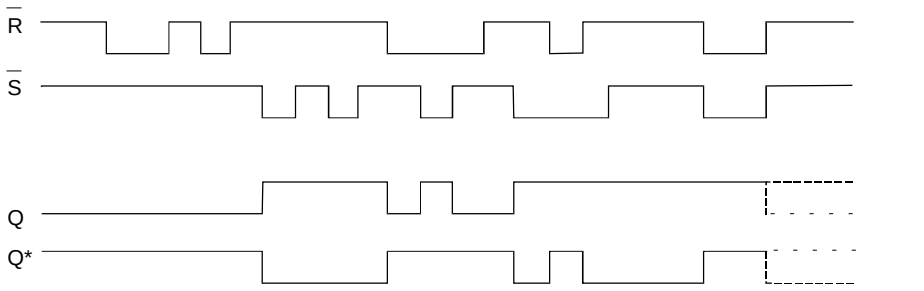
Matrices (séquentielles) de fonctionnement:

$\overline{R}$	L		H			
$\overline{S}$	L	H		L	Q	Q*
	3	2	①	①	H	L
	3	②	②	1	L	H
	③	2	?	1	H	H



IEC 1661/97

Diagramme des temps:



IEC 1662/97

Figure 2

2.2.2.3 Circuit T

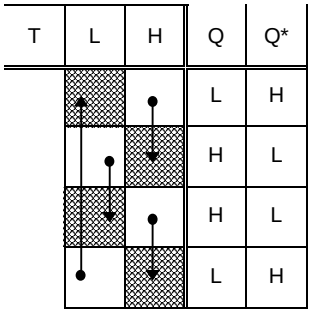
Circuit dont l'entrée T est à fonctionnement par transition.

Le passage du niveau L au niveau H de la variable, appliquée sur cette entrée, provoque le changement de la configuration de sortie.

Le retour de la variable d'entrée du niveau H vers le niveau L est sans effet.

Matrices (séquentielles) de fonctionnement:

T	L	H	Q	Q*
	①	2	L	H
	3	②	H	L
	③	4	H	L
	1	④	L	H

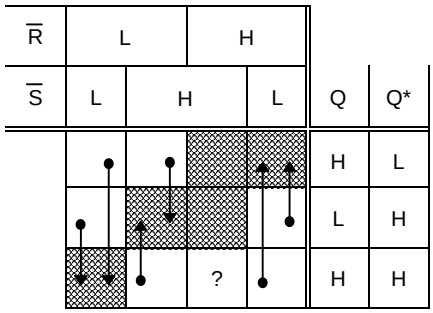


IEC 1663/97

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

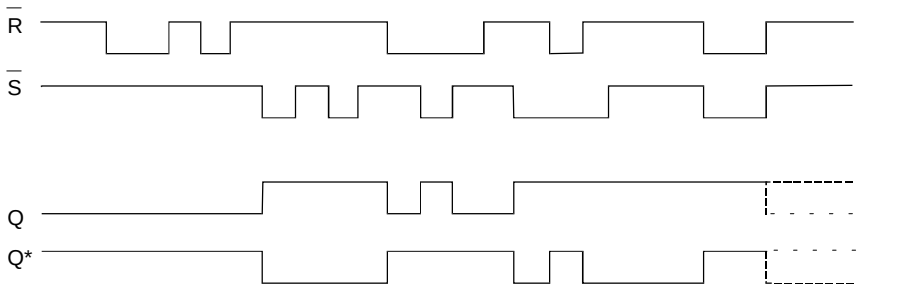
Function (sequential) matrices:

$\overline{R}$	L		H			
$\overline{S}$	L	H		L	Q	Q*
	3	2	①	①	H	L
	3	②	②	1	L	H
	③	2	?	1	H	H



IEC 1661/97

Timing diagram:



IEC 1662/97

Figure 2

2.2.2.3 T circuit

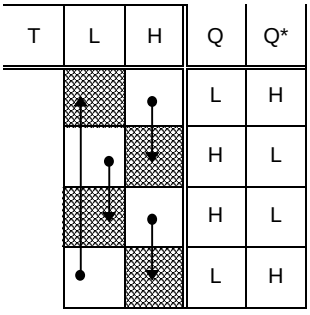
A circuit having one input terminal, T, which is transition-operated.

When the signal applied to the input terminal changes from the L-level to the H-level, it produces change-over of the output configuration (output pattern).

The return of the input signal from the H-level to the L-level produces no action.

Function (sequential) matrices:

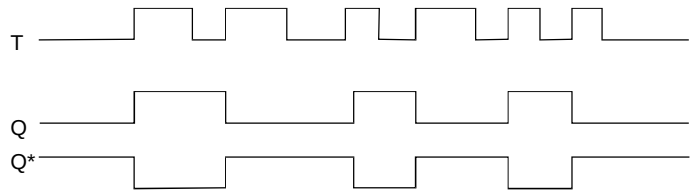
T	L	H	Q	Q*
	①	2	L	H
	3	②	H	L
	③	4	H	L
	1	④	L	H



IEC 1663/97

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Diagramme des temps:



IEC 1664/97

Figure 3

2.2.2.4 Circuit $\overline{T}$

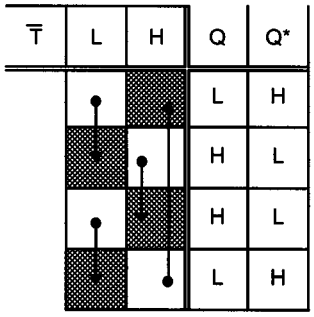
Circuit dont l'entrée $\overline{T}$ est du type à fonctionnement par transition.

Le passage du niveau H au niveau L de la variable, appliquée à cette entrée, provoque le changement de la configuration de sortie.

Le retour de la variable d'entrée du niveau L vers le niveau H est sans effet.

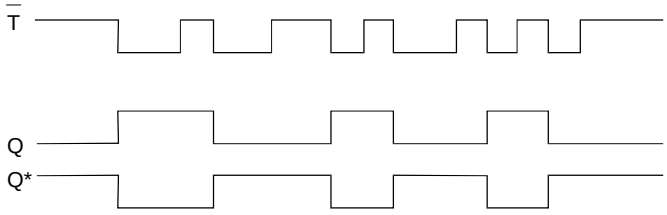
Matrices (séquentielles) de fonctionnement:

$\overline{T}$	L	H	Q	Q*
	2	①	L	H
	②	3	H	L
	4	③	H	L
	④	1	L	H



IEC 1665/97

Diagramme des temps:



IEC 1666/97

Figure 4

2.2.2.5 Circuit T_G (définition générale)

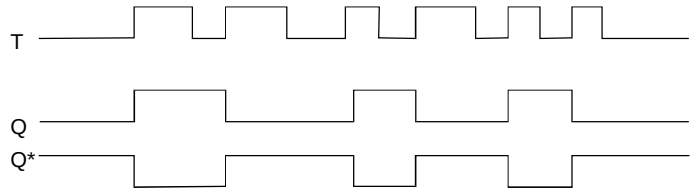
Circuit dont l'entrée T est du type à fonctionnement par transition et l'entrée G du type à fonctionnement en niveau.

Tant que l'entrée G est portée au niveau H, le circuit fonctionne comme un circuit T.

Tant que l'entrée G est portée au niveau L, la variable d'entrée T n'a plus aucune action sur la configuration de sortie.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Timing diagram:



IEC 1664/97

Figure 3

2.2.2.4 $\overline{T}$ circuit

A circuit having one input terminal, $\overline{T}$, which is transition-operated.

When the signal applied to the input terminal $\overline{T}$ changes from the H-level to the L-level, it produces change-over of the output configuration (output pattern).

The return of the input signal from the L-level to the H-level produces no action.

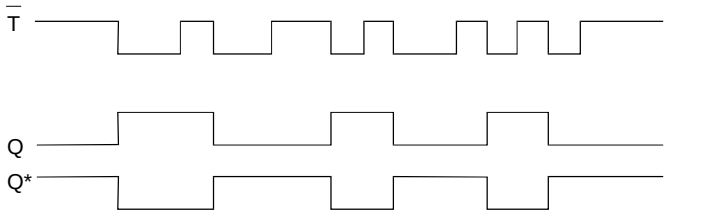
Function (sequential) matrices:

$\overline{T}$	L	H	Q	Q*
	2	①	L	H
	②	3	H	L
	4	③	H	L
	④	1	L	H

$\overline{T}$	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

IEC 1665/97

Timing diagram:



IEC 1666/97

Figure 4

2.2.2.5 General T_G circuit

A circuit having one transition-operated input terminal, T, and one level-operated input terminal, G.

While the G input signal has the H-level, the circuit functions like a T circuit.

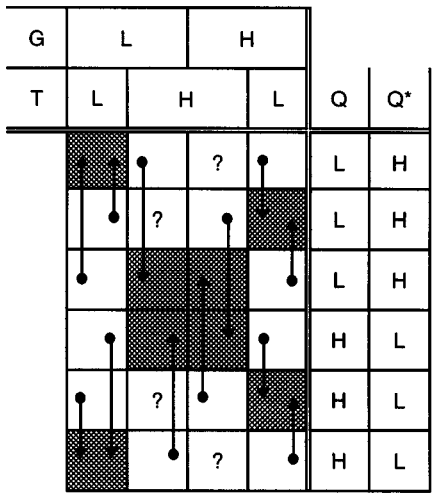
While the G input signal has the L-level, the T input signal has no effect on the output configuration (output pattern).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

La configuration de sortie atteinte après une transition simultanée des variables aux deux entrées est imprévisible lorsque la variable appliquée à l'entrée T passe du niveau L au niveau H, quelle que soit la transition à l'entrée G.

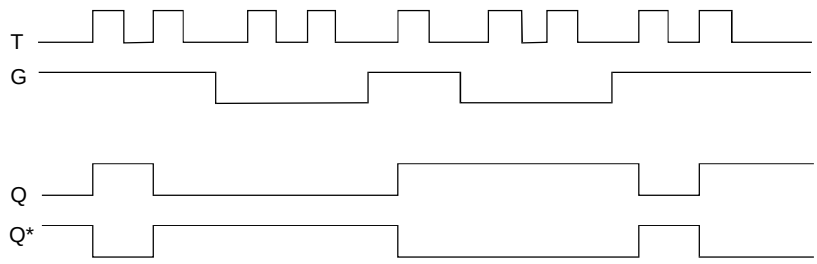
Matrices (séquentielles) de fonctionnement:

G	L		H			
T	L	H		L	Q	Q*
	①	3	?	2	L	H
	1	?	4	②	L	H
	1	③	③	2	L	H
	6	④	④	5	H	L
	6	?	3	⑤	H	L
	⑥	4	?	5	H	L



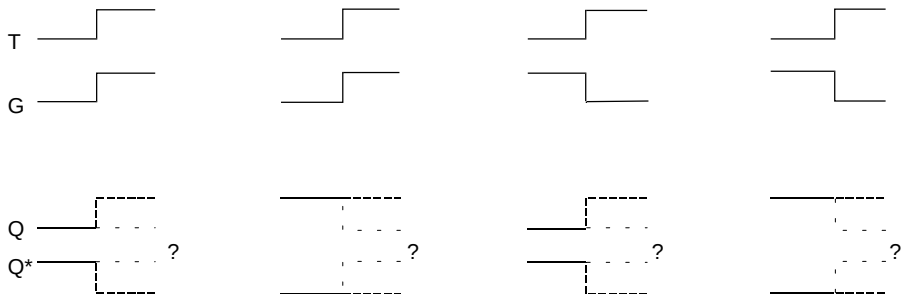
IEC 1667/97

Diagramme des temps:



IEC 1668/97

Diagramme des temps d'un circuit général T_G (*suite*):



IEC 1669/97

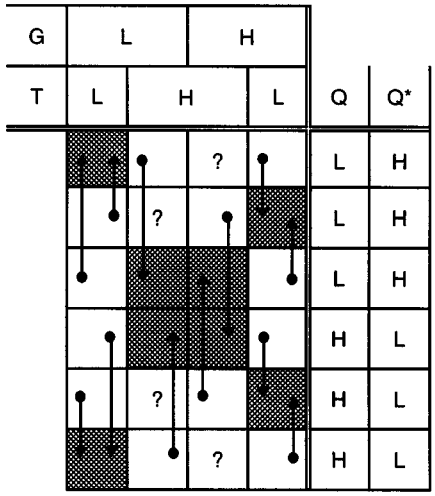
Figure 5

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

The simultaneous change of both input signals produces a non-foreseeable output configuration (output pattern) if the T input signal changes from the L-level to the H-level and the G input signal changes, either from the L-level to the H-level, or from the H-level to the L-level.

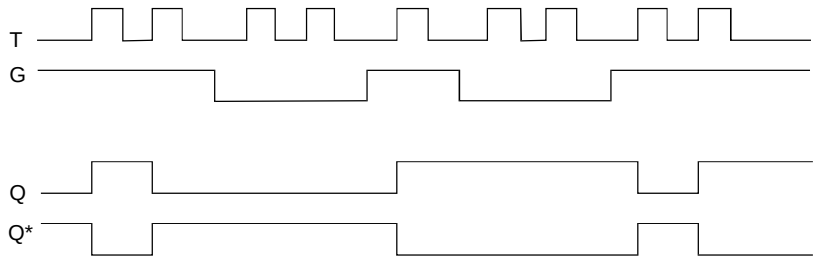
Function (sequential) matrices:

G	L		H			
T	L	H		L	Q	Q*
	①	3	?	2	L	H
	1	?	4	②	L	H
	1	③	③	2	L	H
	6	④	④	5	H	L
	6	?	3	⑤	H	L
	⑥	4	?	5	H	L



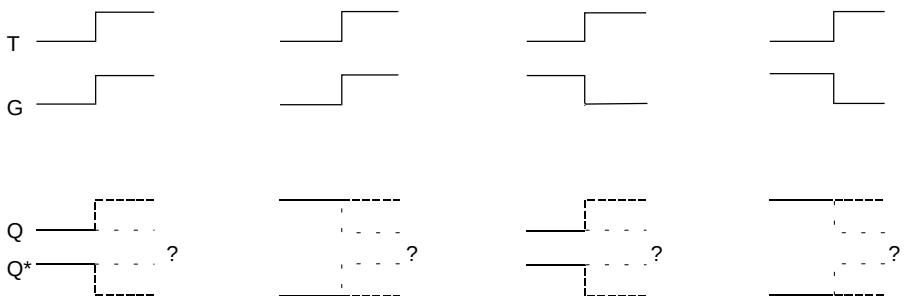
IEC 1667/97

Timing diagram:



IEC 1668/97

Timing diagram of general T_G circuit (continued):



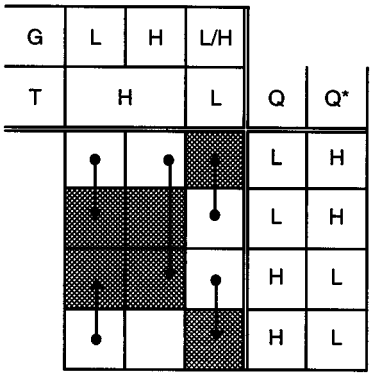
IEC 1669/97

Figure 5

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Matrices séquentielles de fonctionnement du circuit T_G (cas où T est retardé par rapport à G):

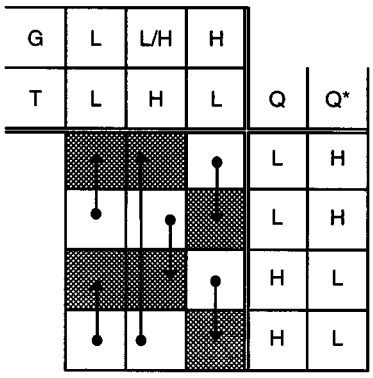
G	L	H	L/H		
T	H		L	Q	Q*
	2	3	①	L	H
	②	②	1	L	H
	③	③	4	H	L
	3	2	④	H	L



IEC 1670/97

Matrices (séquentielles) de fonctionnement du circuit T_G (cas où G est retardé par rapport à T):

G	L	L/H	H		
T	L	H	L	Q	Q*
	①	①	2	L	H
	1	3	②	L	H
	③	③	4	H	L
	3	1	④	H	L



IEC 1671/97

Figure 6

2.2.2.6 Circuit JK (fonctionnement par transition)

Circuit dont les deux entrées J et K sont du type à fonctionnement par transition et dont les transitions actives sont celles du niveau L vers le niveau H.

Lorsque la variable appliquée à la borne d'entrée J passe du niveau L au niveau H, elle conduit à la configuration de sortie (Q, Q*) = (H, L). Le retour de la variable d'entrée sur la borne J vers le niveau L est sans effet.

Lorsque la variable appliquée à la borne d'entrée K passe du niveau L au niveau H, elle conduit à la configuration de sortie (Q, Q*) = (L, H). Le retour de la variable d'entrée sur la borne K vers le niveau L est sans effet.

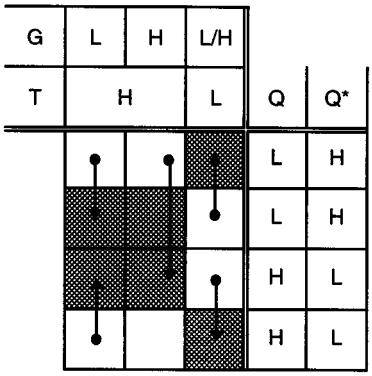
Le passage simultané des variables appliquées sur les deux entrées du niveau L au niveau H provoque le changement de la configuration de sortie.

Le retour de la variable appliquée sur l'une ou l'autre ou sur les deux entrées vers le niveau L est sans effet.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Function (sequential) matrices of the T_G circuit with T delayed with respect to G:

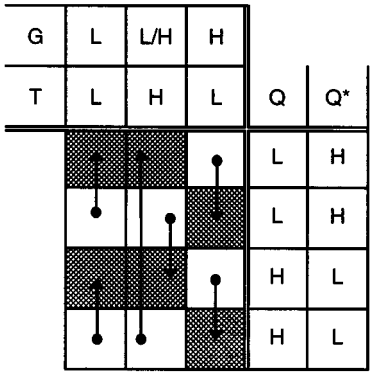
G	L	H	L/H		
T	H		L	Q	Q*
	2	3	①	L	H
	②	②	1	L	H
	③	③	4	H	L
	3	2	④	H	L



IEC 1670/97

Function (sequential) matrices of the T_G circuit with G delayed with respect to T:

G	L	L/H	H		
T	L	H	L	Q	Q*
	①	①	2	L	H
	1	3	②	L	H
	③	③	4	H	L
	3	1	④	H	L



IEC 1671/97

Figure 6

2.2.2.6 (Transition-operated) JK circuit

A circuit having two transition-operated input terminals, J and K, for which the input signals are active during the change from the L-level to the H-level.

When the signal applied to the J input terminal changes from the L-level to the H-level, it produces the output configuration (output pattern) (Q, Q*) = (H, L). The return to the input signal at the J terminal to the L-level produces no action.

When the signal applied to the K input terminal changes from the L-level to the H-level, it produces the output configuration (output pattern) (Q, Q*) = (L, H). The return of the input signal at the K terminal to the L-level produces no action.

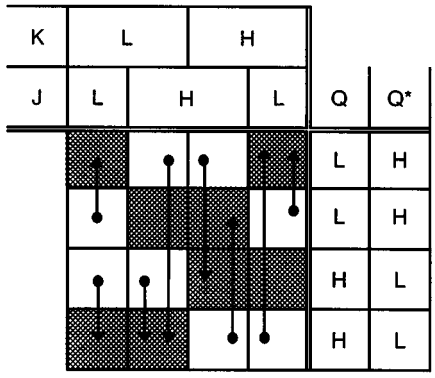
The simultaneous change of both input signals from the L-level to the H-level produces change-over of the output configuration (output pattern).

The return of either, or both, input signals to the L-level produces no action.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

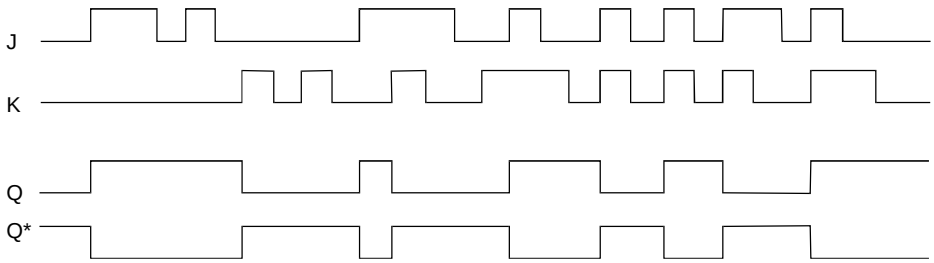
Matrices (séquentielles) de fonctionnement:

K	L	H		
J	L	H	L	Q	Q*
	①	4	3	①	L	H
	1	②	②	1	L	H
	4	4	③	③	H	L
	④	④	2	1	H	L



IEC 1672/97

Diagramme des temps:



IEC 1673/97

Figure 7

2.2.2.7 Circuit $\overline{J}\,\overline{K}$ (fonctionnement par transition)

Description analogue à la précédente (2.2.2.6), mais en considérant les transitions de H vers L comme actives.

2.2.2.8 Circuit D_G

Circuit dont l'entrée D et l'entrée G sont du type à fonctionnement en niveau.

Aussi longtemps que l'entrée G est portée au niveau H, la sortie de référence Q occupe le même niveau que l'entrée D.

Au moment de la transition du niveau H vers le niveau L de l'entrée G, la configuration de sortie est maintenue.

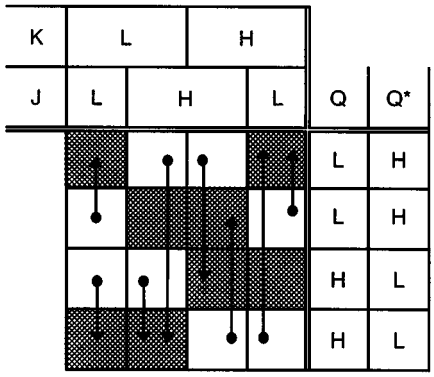
Aussi longtemps que le niveau L est maintenu en G, la variable d'entrée appliquée sur D est sans effet.

La transition simultanée des variables appliquées sur les deux entrées conduit à une configuration de sortie imprévisible, si la variable appliquée sur G passe du niveau H au niveau L et la variable appliquée sur D passe soit du niveau L au niveau H, soit du niveau H au niveau L.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

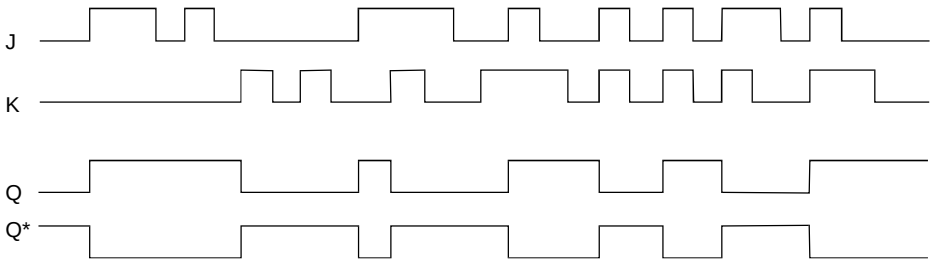
Function (sequential) matrices:

K	L	H			
J	L	H	L	Q	Q*
	①	4	3	①	L	H
	1	②	②	1	L	H
	4	4	③	③	H	L
	④	④	2	1	H	L



IEC 1672/97

Timing diagram:



IEC 1673/97

Figure 7

2.2.2.7 (Transition-operated) $\overline{J}$, $\overline{K}$ circuit

Description analogous to 2.2.2.6, but where the input signals are active during the change from H-level to L-level.

2.2.2.8 D_G circuit

A circuit having two level-operated input terminals D and G.

While the G input signal has the H-level, the level at the reference output terminal Q is the same as the level of the D input signal.

When the G input signal changes from the H-level to the L-level, the output configuration (output pattern) is maintained.

While the G input signal has the L-level, the D input signal has no effect.

The simultaneous change of both input signals produces a non-foreseeable output configuration (output pattern) if the G input signal changes from the H-level to the L-level and the D input signal changes either from the L-level to the H-level, or from the H-level to the L-level.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

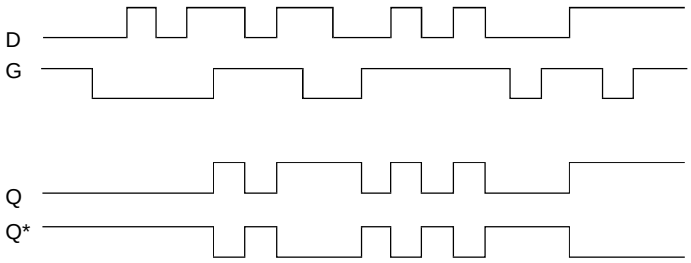
Matrices (séquentielles) de fonctionnement (ces matrices ne s'appliquent que dans le cas où D est retardé par rapport à G):

G	L	H			
D	L/H	H	L	Q	Q*
	①	2	①	L	H
	②	②	1	H	L

G	L	H			
D	L/H	H	L	Q	Q*
				L	H
				H	L

IEC 1674/97

Diagramme des temps:



IEC 1675/97

Figure 8

2.2.2.9 Circuit $D_{\overline{G}}$

Circuit dont les deux entrées D et $\overline{G}$ sont du type à fonctionnement en niveau.

Aussi longtemps que l'entrée $\overline{G}$ est portée au niveau L, la sortie Q occupe le même niveau que l'entrée D.

Au moment de la transition du niveau L vers le niveau H de l'entrée $\overline{G}$, la configuration de sortie est maintenue.

Aussi longtemps que le niveau H est maintenu en $\overline{G}$, la variable d'entrée appliquée sur D est sans effet.

La transition simultanée des variables appliquées sur les deux entrées conduit à une configuration de sortie imprévisible, si la variable appliquée sur $\overline{G}$ passe du niveau L au niveau H et la variable appliquée sur D passe soit du niveau L au niveau H, soit du niveau H au niveau L.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

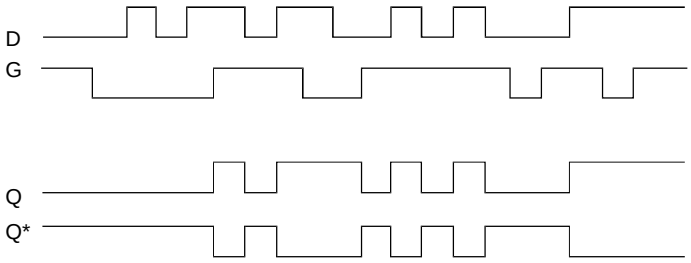
Function (sequential) matrices (these matrices apply only for the case where D is delayed with respect to G):

G	L	H			
D	L/H	H	L	Q	Q*
	①	2	①	L	H
	②	②	1	H	L

G	L	H			
D	L/H	H	L	Q	Q*
				L	H
				H	L

IEC 1674/97

Timing diagram:



IEC 1675/97

Figure 8

2.2.2.9 $D_{\overline{G}}$ circuit

A circuit having two level-operated input terminals, D and $\overline{G}$.

While the $\overline{G}$ input signal has the L-level, the level at the reference output terminal Q is the same as the level of the D input signal.

When the $\overline{G}$ input signal changes from the L-level to the H-level, the output configuration (output pattern) is maintained.

While the $\overline{G}$ input signal has the H-level, the D input signal has no effect.

The simultaneous change of both input signals produces a non-foreseeable output configuration (output pattern) if the $\overline{G}$ input signal changes from the L-level to the H-level and the D input signal changes either from the L-level to the H-level, or from the H-level to the L-level.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

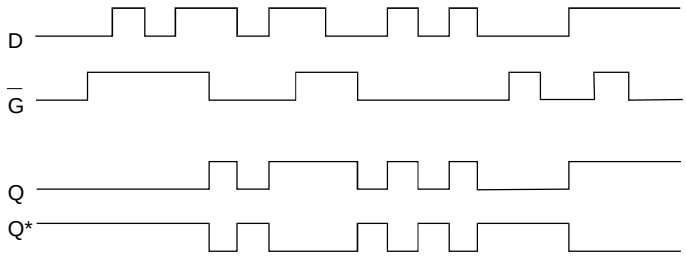
Matrices (séquentielles) de fonctionnement (ces matrices ne s'appliquent que dans le cas où D est retardé par rapport à $\overline{G}$):

$\overline{G}$	L		H		
D	L	H	L/H	Q	Q*
	①	2	①	L	H
	1	②	②	H	L

$\overline{G}$	L		H		
D	L	H	L/H	Q	Q*
				L	H
				H	L

IEC 1676/97

Diagramme des temps:



IEC 1677/97

Figure 9

2.2.2.10 Circuit D_T

Circuit dont l'entrée D est du type à fonctionnement en niveau et l'entrée T du type à fonctionnement par transition.

Une transition, sur l'entrée T, du niveau L vers le niveau H amène la sortie Q de référence à prendre le même niveau que l'entrée D.

Une transition, sur l'entrée T, du niveau H vers le niveau L conduit à maintenir la configuration de sortie.

Aussi longtemps que l'entrée T est maintenue au niveau H ou au niveau L, la variable appliquée sur D est sans effet.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

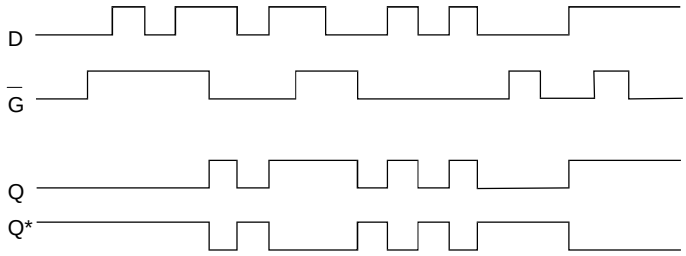
Function (sequential) matrices (these matrices apply only for the case where D is delayed with respect to $\overline{G}$):

$\overline{G}$	L	H		
D	L	H	L/H	Q	Q*
	①	2	①	L	H
	1	②	②	H	L

$\overline{G}$	L	H		
D	L	H	L/H	Q	Q*
				L	H
				H	L

IEC 1676/97

Timing diagram:



IEC 1677/97

Figure 9

2.2.2.10 D_T circuit

A circuit having one level-operated input terminal, D, and one transition-operated input terminal, T.

The change of the T input signal from the L-level to the H-level produces at the reference output terminal Q a level which is the same as the level of the D input signal.

When the T input signal changes from the H-level to the L-level, the output configuration (output pattern) is maintained.

While the T input signal has either the L-level or the H-level, the D input signal has no effect.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

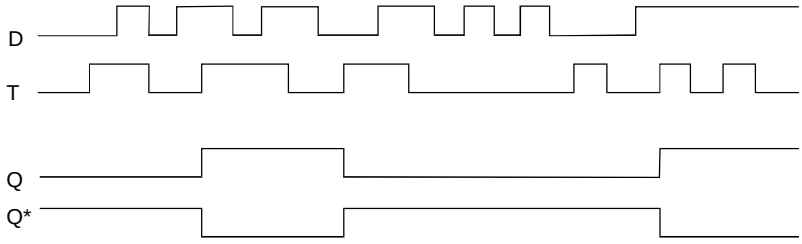
Matrices (séquentielles) de fonctionnement (ces matrices ne s'appliquent que dans le cas où D est retardé par rapport à T):

T	L		H		
D	L	H	L/H	Q	Q*
	①	2	①	L	H
	1	②	3	L	H
	4	③	③	H	L
	④	3	1	H	L

T	L		H		
D	L	H	L/H	Q	Q*
				L	H
				L	H
				H	L
				H	L

IEC 1678/97

Diagramme des temps:



IEC 1679/97

Figure 10

2.2.2.11 Circuit $D_{\overline{T}}$

Circuit dont l'entrée D est du type à fonctionnement en niveau et l'entrée $\overline{T}$ du type à fonctionnement par transition.

Une transition, sur l'entrée $\overline{T}$, du niveau H vers le niveau L amène la sortie de référence Q à prendre le même niveau que l'entrée D.

Une transition, sur l'entrée $\overline{T}$, du niveau L vers le niveau H conduit au maintien de la configuration de sortie.

Aussi longtemps que l'entrée $\overline{T}$ est maintenue au niveau L ou au niveau H, la variable appliquée sur D est sans effet.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

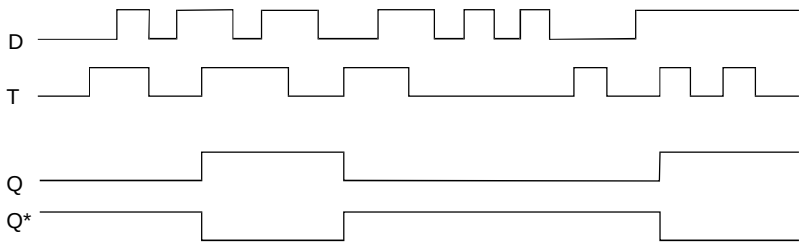
Function (sequential) matrices (these matrices apply only for the case where D is delayed with respect to T):

T	L		H		
D	L	H	L/H	Q	Q*
	①	2	①	L	H
	1	②	3	L	H
	4	③	③	H	L
	④	3	1	H	L

T	L		H		
D	L	H	L/H	Q	Q*
				L	H
				L	H
				H	L
				H	L

IEC 1678/97

Timing diagram:



IEC 1679/97

Figure 10

2.2.2.11 $D_{\overline{T}}$ circuit

A circuit having one level-operated input terminal, D, and one transition-operated input terminal, $\overline{T}$.

The change of the $\overline{T}$ input signal from the H-level to the L-level produces at the reference output terminal Q a level which is the same as the level of the D input signal.

When the $\overline{T}$ input signal changes from the L-level to the H-level, the output configuration (output pattern) is maintained.

While the $\overline{T}$ input signal has either the H-level or the L-level, the D input signal has no effect.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

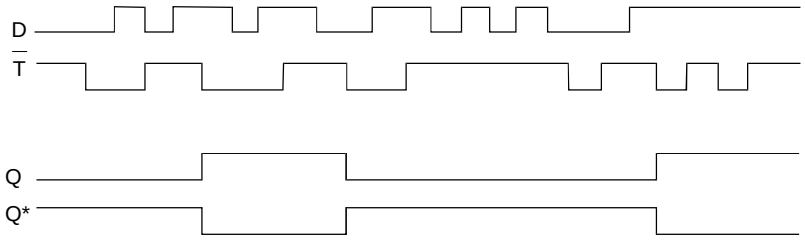
Matrices (séquentielles) de fonctionnement (ces matrices s'appliquent dans le cas où D est retardé par rapport à $\overline{T}$):

$\overline{T}$	L	H			
D	L/H	H	L	Q	Q*
	①	2	①	L	H
	3	②	1	L	H
	③	③	4	H	L
	1	3	④	H	L

$\overline{T}$	L	H			
D	L/H	H	L	Q	Q*
				L	H
				L	H
				H	L
				H	L

IEC 1680/97

Diagramme des temps:



IEC 1681/97

Figure 11

2.2.2.12 Circuit R_GS_G (L)

Circuit dont les trois entrées R, S et G sont du type à fonctionnement en niveau et pour lesquelles le niveau actif est le niveau H.

Aussi longtemps que l'entrée G est maintenue au niveau H, le circuit fonctionne comme un circuit RS (L).

La transition du niveau H vers le niveau L, sur l'entrée G, conduit à maintenir la configuration de sortie pour autant qu'elle ne soit pas pseudo-stable.

Si la configuration de sortie est pseudo-stable, c'est-à-dire si (Q, Q*) = (L, L), le passage de la variable appliquée sur G du niveau H vers le niveau L conduit à une configuration de sortie imprévisible.

Aussi longtemps que le niveau L est maintenu sur l'entrée G, la variable appliquée sur R et S est sans effet.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

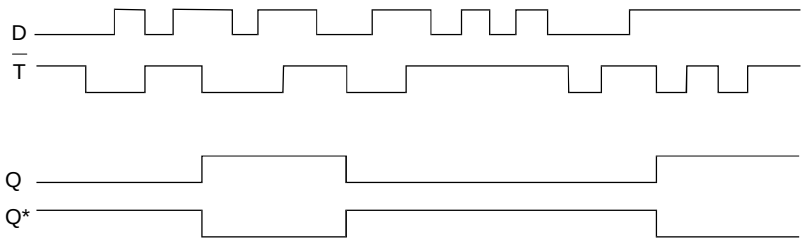
Function (sequential) matrices (these matrices apply only for the case where D is delayed with respect to $\overline{T}$):

$\overline{T}$	L	H			
D	L/H	H	L	Q	Q*
	①	2	①	L	H
	3	②	1	L	H
	③	③	4	H	L
	1	3	④	H	L

$\overline{T}$	L	H			
D	L/H	H	L	Q	Q*
				L	H
				L	H
				H	L
				H	L

IEC 1680/97

Timing diagram:



IEC 1681/97

Figure 11

2.2.2.12 R_GS_G (L) circuit

A circuit having three level-operated input terminals, R, S and G for which H is the active level.

While the G input signal has the H-level, the circuit functions as a RS (L) circuit.

When the G input signal changes from the H-level to the L-level, the output configuration (output pattern) is maintained, provided that it is not pseudo-stable.

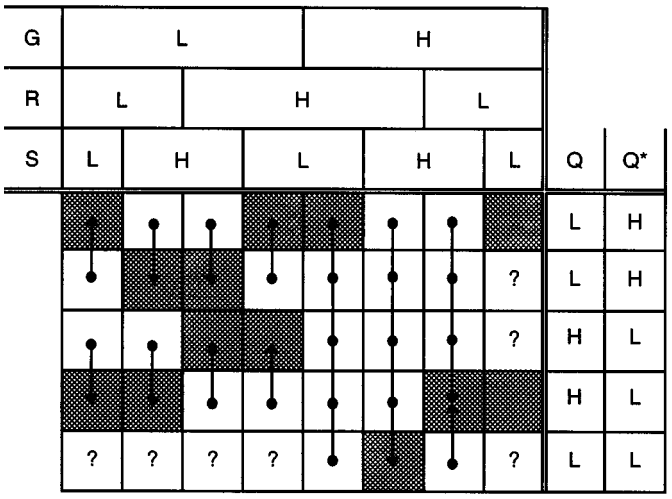
When the output configuration (output pattern) is pseudo-stable, i.e. (Q, Q*) = (L, L), the change of the G input signal from the H-level to the L-level produces a non-foreseeable output configuration (output pattern).

While the G input signal has the L-level, the R and S input signals have no effect.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

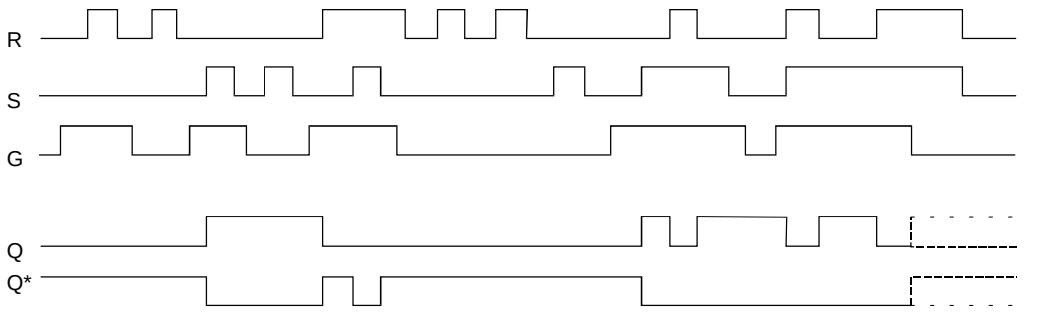
Matrices (séquentielles) de fonctionnement:

G	L				H					
R	L			H				L		
S	L	H		L		H		L	Q	Q*
	①	2	2	①	①	5	4	①	L	H
	1	②	②	1	1	5	4	?	L	H
	4	4	③	③	1	5	4	?	H	L
	④	④	3	3	1	5	④	④	H	L
	?	?	?	?	1	⑤	4	?	L	L



IEC 1682/97

Diagramme des temps:



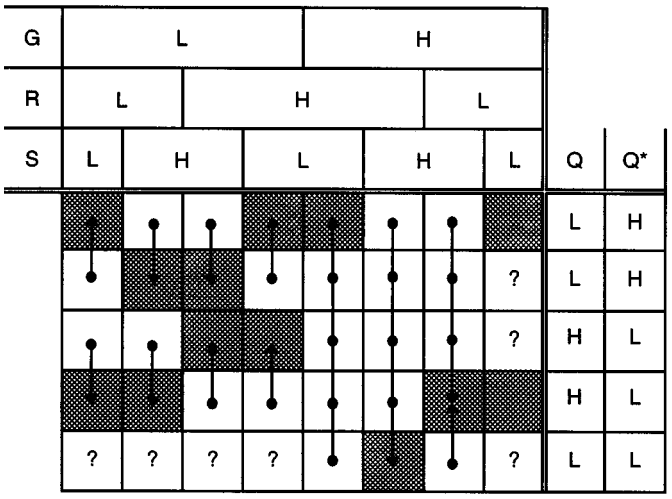
IEC 1683/97

Figure 12

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

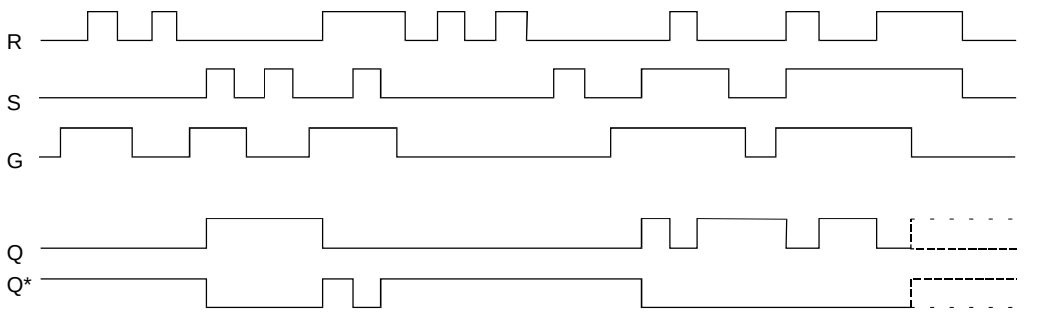
Function (sequential) matrices:

G	L			H						
R	L			H				L		
S	L	H		L		H		L	Q	Q*
	①	2	2	①	①	5	4	①	L	H
	1	②	②	1	1	5	4	?	L	H
	4	4	③	③	1	5	4	?	H	L
	④	④	3	3	1	5	④	④	H	L
	?	?	?	?	1	⑤	4	?	L	L



IEC 1682/97

Timing diagram:



IEC 1683/97

Figure 12

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

2.2.2.13 Circuits $R_{\overline{G}}S_{\overline{G}}$ (L), $\overline{R}_G\overline{S}_G$ (H) et $\overline{R}_{\overline{G}}\overline{S}_{\overline{G}}$ (H)

Descriptions analogues à la précédente 2.2.2.12.

2.2.2.14 Circuit J_TK_T

Circuit dont les entrées J et K sont du type à fonctionnement en niveau et l'entrée T du type à fonctionnement par transition.

Lorsque la variable appliquée sur l'entrée T passe du niveau L vers le niveau H, les niveaux appliqués sur les entrées J et K conduisent aux configurations de sortie suivantes:

Pour la configuration d'entrée (J, K) = (L, H),
la configuration de sortie (Q, Q*) = (L, H).

Pour la configuration d'entrée (J, K) = (H, L),
la configuration de sortie (Q, Q*) = (H, L),

Pour la configuration d'entrée (J, K) = (H, H)
changement de la configuration de sortie.

Pour la configuration d'entrée (J, K) = (L, L),
pas de changement de la configuration de sortie.

Le retour de la variable sur l'entrée T du niveau H vers le niveau L est sans effet. Si la variable appliquée sur l'entrée T est soit du niveau H, soit du niveau L, les variables appliquées sur les entrées J et K sont sans effet.

Matrices (séquentielles) de fonctionnement (ces matrices ne s'appliquent qu'au cas où J et K sont retardés par rapport à T):

T	L			H		
K	L		H	L/H		
J	L	H	L	L/H	Q	Q*
	①	2	2	①	①	L	H
	1	②	②	1	4	L	H
	4	4	③	③	1	H	L
	④	④	3	3	④	H	L

T	L			H		
K	L		H	L/H		
J	L	H	L	L/H	Q	Q*
						L	H
						L	H
						H	L
						H	L

IEC 1684/97

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

2.2.2.13 $R_{\overline{G}}S_{\overline{G}}$ (L), $\overline{R}_G\overline{S}_G$ (H) and $\overline{R}_{\overline{G}}\overline{S}_{\overline{G}}$ (H) circuits

Description analogous to 2.2.2.12.

2.2.2.14 J_TK_T circuit

A circuit having two level-operated input terminals, J and K, and one transition-operated input terminal, T.

When the T input signal changes from the L-level to the H-level, an input configuration (output pattern) corresponding to the levels of the J and K input signals is produced as follows:

For the input configuration (input pattern) (J, K) = (L, H),
the output configuration (output pattern) (Q, Q*) = (L, H).

For the input configuration (input pattern) (J, K) = (H, L),
the output configuration (output pattern) (Q, Q*) = (H, L).

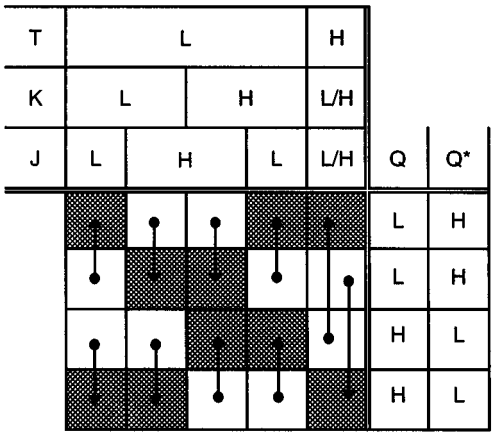
For the input configuration (input pattern) (J, K) = (H, H),
change of the output configuration (output pattern).

For the input configuration (input pattern) (J, K) = (L, L),
the output configuration is maintained.

The return for the T input signal from the H-level to the L-level has no effect. When the T input signal has either the H-level or the L-level, the J and K input signals have no effect.

Function (sequential) matrices (the following matrices apply only for the case where J and K are delayed with respect to T):

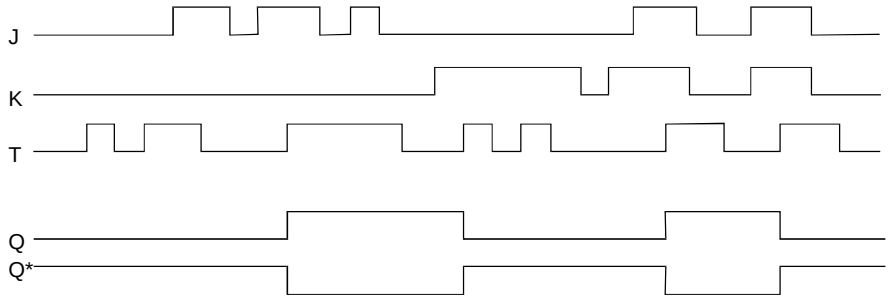
T	L			H		
K	L	H		L/H		
J	L	H	L	L/H	Q	Q*
	①	2	2	①	①	L	H
	1	②	②	1	4	L	H
	4	4	③	③	1	H	L
	④	④	3	3	④	H	L



IEC 1684/97

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Diagramme des temps:



IEC 1685/97

NOTE – Les définitions pour les autres classes de circuits J_TK_T sont encore à l'étude.

Figure 13

2.2.2.15 Circuits $J_{\overline{T}}K_{\overline{T}}$, $\overline{J}_T\overline{K}_T$ et $\overline{J}_{\overline{T}}\overline{K}_{\overline{T}}$

Descriptions analogues à la précédente (2.2.2.14).

2.2.2.16 Circuits $\overline{R}\,\overline{S}$ (H), $\overline{J}_{\overline{T}}\overline{K}_{\overline{T}}$

Matrices (séquentielles) de fonctionnement:

$\overline{R}\overline{S}$			JK				T		
$\overline{S}$	L		H				H		
$\overline{R}$	L	H	L	H			H		
T	X			H			L		
J	X			H		L	X		
K	X			L	H	L	X	Q	Q*
	3	4	①	2	2	①	①	①	L	H
	3	4	1	②	②	1	1	4	L	H
	③	4	1	?	?	?	?	?	H	H
	3	④	1	④	5	5	④	④	H	L
	3	4	1	4	⑤	⑤	4	1	H	L

$\overline{R}\overline{S}$			JK				T		
$\overline{S}$	L		H				H		
$\overline{R}$	L	H	L	H			H		
T	X			H			L		
J	X			H		L	X		
K	X			L	H	L	X	Q	Q*
								L	H
								L	H
								H	H
								H	L
								H	L

IEC 1686/97

3 Terminologie pour les mémoires à circuit intégré

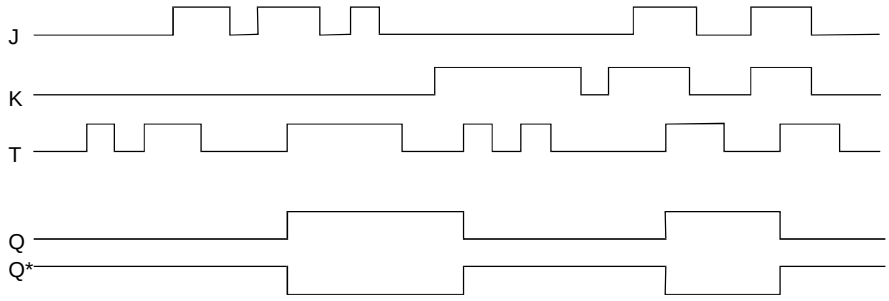
3.1 Termes généraux

3.1.1 Cellule-mémoire

Plus petite subdivision d'une mémoire dans laquelle un élément d'information a été ou peut être introduit, dans laquelle il est ou peut être conservé, et de laquelle il peut être extrait.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Timing diagram:



IEC 1685/97

NOTE – Definitions for the other classes of J_TK_T circuits are still under consideration.

Figure 13

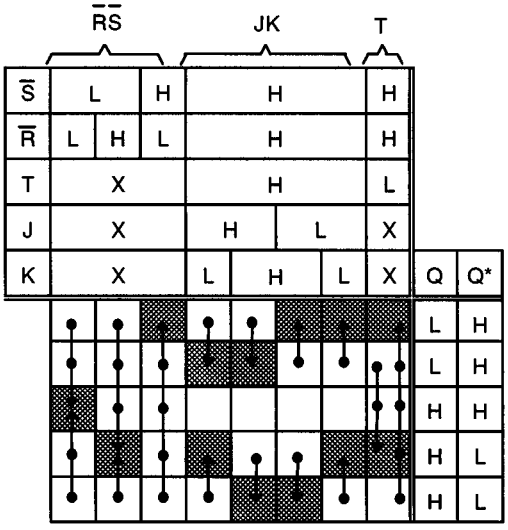
2.2.2.15 $J_{\overline{T}}K_{\overline{T}}$, $\overline{J}_T\overline{K}_T$ and $\overline{J}_{\overline{T}}\overline{K}_{\overline{T}}$ circuits

Descriptions analogous to 2.2.2.14.

2.2.2.16 $\overline{R}\,\overline{S}$ (H), $\overline{J}_{\overline{T}}\overline{K}_{\overline{T}}$ circuit

Function (sequential) matrices:

$\overline{R}\overline{S}$			JK				T		
$\overline{S}$	L	H	H				H		
$\overline{R}$	L	H	L	H			H		
T	X		H				L		
J	X		H		L		X		
K	X		L	H		L	X	Q	Q*
3	4	①	2	2	①	①	①	L	H
3	4	1	②	②	1	1	4	L	H
③	4	1	?	?	?	?	?	H	H
3	④	1	④	5	5	④	④	H	L
3	4	1	4	⑤	⑤	4	1	H	L



IEC 1686/97

3 Terminology for integrated circuit memories

3.1 General terms

3.1.1 Memory cell (or memory element)

The smallest subdivision of a memory into which a unit of data has been or can be entered, in which it is or can be stored, and from which it can be retrieved.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.1.2 Mémoire à circuit intégré

Circuit intégré constitué par un assemblage de cellules-mémoire et comprenant généralement des circuits associés: sélecteur d'adresse, amplificateurs, etc.

3.1.3 Zone de stockage de l'information

Subdivision d'une mémoire comprenant une ou plusieurs cellules-mémoire, qui est la plus petite partie sélectionnable de la mémoire.

NOTE – Le contenu d'une zone de stockage de l'information s'appelle généralement «mot».

3.1.4 Adresse

Groupement de bits qui identifie une zone particulière de stockage de l'information

ou:

signaux électriques appropriés appliqués aux entrées pour avoir accès à cette zone de stockage.

3.1.5 Lecture destructive

Procédé de lecture qui provoque la perte de l'information stockée dans la zone de stockage lue.

3.1.6 Page (bloc)

Ensemble continu d'adresses d'une mémoire.

NOTE – Le nombre des adresses contenues dans cet ensemble est généralement égal à une puissance de 2^n.

3.1.7 Effacement

Suppression des informations contenues dans une mémoire.

3.2 Termes généraux relatifs à la fonction et à l'organisation d'une mémoire

3.2.1 Organisation du stockage de l'information

3.2.1.1 Organisation bit par bit

Disposition dans laquelle les zones de stockage sont constituées chacune par une cellule-mémoire.

3.2.1.2 Organisation mot par mot

Disposition dans laquelle les zones de stockage sont constituées chacune par un nombre défini de cellules-mémoire qui forment un mot.

3.2.1.3 Organisation page par page (bloc par bloc)

Disposition dans laquelle les zones de stockage forment une page (un bloc).

NOTE – Les zones de stockage d'une page (ou d'un bloc) peuvent contenir chacune un nombre différent de cellules-mémoire.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.1.2 Integrated circuit memory

An integrated circuit consisting of memory cells (elements) and usually including associated circuits such as those for address selection, amplifiers, etc.

3.1.3 Storage zone of data

A subdivision of the memory, including one or several memory cells, that is the smallest part of the memory that can be selected.

NOTE – The content of a storage zone of data is usually called a "word".

3.1.4 Address

A group of bits that identifies a particular storage zone of data

or:

the appropriate electrical signals applied to the inputs to access this storage zone.

3.1.5 Destructive readout

A reading process that causes the loss of stored information from the storage zone that has been read.

3.1.6 Block

A continuous range of memory addresses.

NOTE – The number of addresses in the range is frequently equal to 2^n.

3.1.7 Erase

To remove information from a memory.

3.2 General terms relating to memory function and organization

3.2.1 Organization of information storage

3.2.1.1 Bit-oriented organization

An arrangement in which the storage zones each consist of one memory cell.

3.2.1.2 Word-oriented organization

An arrangement in which the storage zones each consist of a defined number of memory cells that form a word.

3.2.1.3 Block-oriented organization

An arrangement in which the storage zones form a block.

NOTE – The storage zones in a block may each contain a different number of memory cells.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.2.2 Présentation de l'information

3.2.2.1 Présentation parallèle de l'information

Transmission simultanée de plusieurs bits de données sur des canaux ou des lignes de bus séparés.

3.2.2.2 Présentation série de l'information

Transmission successive de plusieurs bits de données sur un seul canal ou sur une seule ligne de bus.

3.2.3 Mode d'adressage

3.2.3.1 Adressage parallèle

Sélection d'une zone de stockage par la présentation simultanée de tous les bits de l'adresse.

3.2.3.2 Adressage série

Sélection d'une zone de stockage par la présentation successive de tous les bits de l'adresse.

3.2.3.3 Adressage multiplexé, adressage série-parallèle

Sélection d'une zone de stockage par la présentation de plusieurs groupes de bits qui constituent l'adresse, les bits de chaque groupe étant présentés en parallèle et les groupes étant eux-mêmes présentés en série.

3.3 Types de mémoires

3.3.1 Mémoire à lecture seule

Mémoire dont le contenu est destiné à être lu seulement et non à être modifié en fonctionnement normal.

NOTE – Sauf indication contraire, le terme «mémoire à lecture seule» implique que l'information contenue est déterminée par la structure de la mémoire et est inaltérable.

3.3.1.1 Mémoire à lecture seule à contenu fixé par construction

Mémoire à lecture seule dont le contenu de chaque cellule est déterminé lors de la fabrication et est ensuite inaltérable.

a) Mémoire à lecture seule à contenu programmable par masque

Mémoire à lecture seule dont le contenu de chaque cellule est déterminé lors de la fabrication par l'utilisation d'un masque.

3.3.1.2 Mémoire à lecture seule à contenu programmable par l'utilisateur

Mémoire à lecture seule dont le contenu de chaque cellule peut être modifié après fabrication.

a) Mémoire à lecture seule à contenu programmable

Mémoire à lecture seule dont le contenu de chaque cellule ne peut être modifié qu'une fois.

b) Mémoire à lecture seule à contenu reprogrammable

Mémoire à lecture seule dont le contenu de chaque cellule peut être modifié plus d'une fois.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.2.2 Presentation of information

3.2.2.1 Parallel presentation of information

The simultaneous transmission of several bits of data on separate channels or bus lines.

3.2.2.2 Serial presentation of information

The transmission of several bits of data in succession on a single channel or bus line.

3.2.3 Mode of addressing

3.2.3.1 Parallel addressing

The selection of a storage zone by the simultaneous presentation of each bit of the address.

3.2.3.2 Serial addressing

The selection of a storage zone by the presentation in succession of each bit of the address.

3.2.3.3 Multiplexed addressing, serial-parallel addressing

The selection of a storage zone by the presentation of several groups of bits that together constitute the address, the bits of each group being presented in parallel and the groups themselves being presented in series.

3.3 Types of memories

3.3.1 Read-only memory (ROM)

A memory in which the contents are intended to be read only and not to be altered during normal operation.

NOTE – Unless otherwise qualified, the term "read-only memory" implies that the data content is determined by its structure and is unalterable.

3.3.1.1 Fixed-programmed read-only memory

A read-only memory in which the data content of each cell (element) is determined during manufacture, and is thereafter unalterable.

a) Mask-programmed read-only memory

A fixed-programmed read-only memory in which the data content of each cell (element) is determined during manufacture by the use of a mask.

3.3.1.2 Field-programmable read-only memory

A read-only memory that, after being manufactured, can have the data content of each memory cell (element) altered.

a) Programmable read-only memory (PROM)

A field-programmable read-only memory that can have the data content of each memory cell (element) altered once only.

b) Reprogrammable read-only memory

A field-programmable read-only memory that can have the data content of each memory cell (element) altered more than once.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.3.2 Mémoire à écriture-lecture

Mémoire dont chaque cellule peut être choisie en appliquant des signaux d'entrée électriques appropriés et dans laquelle l'information conservée peut être:

a) soit lue aux bornes de sortie appropriées,

b) soit modifiée en réponse à d'autres signaux électriques d'entrée appropriés.

3.3.3 Mémoire à accès aléatoire

Mémoire qui permet l'accès à n'importe quel emplacement de ses adresses quel que soit l'ordre désiré.

NOTE – Usuellement, ce terme est appliqué à une mémoire à écriture-lecture mais pourrait aussi s'appliquer à une mémoire à lecture seule.

3.3.4 Mémoire à écriture-lecture à fonctionnement statique

Mémoire dans laquelle l'information est conservée en l'absence de signaux de commande.

NOTE 1 – Les mots «à écriture-lecture» peuvent être omis du terme lorsqu'il n'y a pas de risque de confusion.

NOTE 2 – Une mémoire à fonctionnement statique peut utiliser des circuits d'accès ou de lecture dynamiques.

3.3.5 Mémoire à écriture-lecture à fonctionnement dynamique

Mémoire dont les cellules exigent l'application répétitive de signaux de commande, afin de conserver l'information.

NOTE 1 – Les mots «à écriture-lecture» peuvent être omis du terme lorsqu'il n'y a pas de risque de confusion.

NOTE 2 – Une telle application répétitive de signaux de commande est normalement appelée «opération de rafraîchissement».

NOTE 3 – Une mémoire à fonctionnement dynamique peut utiliser des circuits d'accès ou de lecture statiques.

NOTE 4 – Cette définition s'applique, que la génération des signaux de commande s'effectue à l'extérieur ou à l'intérieur du circuit intégré.

3.3.6 Mémoire volatile

Mémoire dont l'information contenue est détruite lorsque les tensions d'alimentations ne lui sont plus appliquées.

3.3.7 Mémoire à accès séquentiel

Mémoire dans laquelle les zones de stockage ne peuvent être atteintes que dans un ordre prédéterminé.

3.3.8 Mémoire redressable par le contenu (mémoire associative)

Mémoire qui délivre l'ensemble de l'information d'une zone de stockage lorsqu'il y a égalité de comparaison entre une partie de l'information et la donnée présentée à l'entrée de la mémoire.

NOTE – Si l'égalité de comparaison apparaît dans plus d'une zone de stockage, l'information lue est habituellement celle qui est contenue dans la zone de stockage d'adresse la plus faible.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.3.2 Read/write memory

A memory in which each cell (element) may be selected by applying appropriate electrical input signals, and in which the stored data may be either:

a) sensed at appropriate output terminals, or

b) changed in response to other appropriate electrical input signals.

3.3.3 Random-access memory (RAM)

A memory that permits access to any of its address locations in any desired sequence.

NOTE – By common usage, this term usually denotes a "read/write" memory; but it could also apply to a "read-only" memory.

3.3.4 Static read/write memory

A memory in which the data content is retained in the absence of control signals.

NOTE 1 – The words "read/write" may be omitted from the term when no misunderstanding may occur.

NOTE 2 – A static memory may use dynamic addressing and/or sensing circuits.

3.3.5 Dynamic read/write memory

A memory in which the cells (elements) require the repetitive application of control signals in order to retain the data stored.

NOTE 1 – The words "read/write" may be omitted from the term when no misunderstanding may occur.

NOTE 2 – Such repetitive application of the control signals is normally called a refresh operation.

NOTE 3 – A dynamic memory may use static addressing and/or sensing circuits.

NOTE 4 – This definition applies whether or not the control signals are generated inside or outside the memory.

3.3.6 Volatile memory

A memory in which the data content is lost when power is no longer supplied to it.

3.3.7 Serial access memory

A memory in which storage zones can only be accessed in a predetermined sequence.

3.3.8 Content addressable memory (CAM) (associative memory)

A memory that responds with all the data in a storage zone if a portion of that data matches the data used for addressing the memory.

NOTE – If a match could occur in more than one storage zone, then usually the data read out will be that contained in the storage zone having the lowest address value.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.4 Termes relatifs aux valeurs limites et aux caractéristiques

3.4.1 Cycle

Succession d'opérations nécessaires pour réaliser une des fonctions de la mémoire.

En général, on peut distinguer quatre cycles possibles, à savoir:

a) Lecture.

b) Ecriture.

c) Lecture-écriture.

d) Ecriture-lecture.

3.4.2 Temps de cycle (voir notes 1, 2 et 3)

Intervalle de temps nécessaire pour réaliser un cycle, c'est-à-dire: intervalle de temps entre le début d'un cycle et la fin de ce cycle.

a) Temps de cycle de lecture

Intervalle de temps entre le début et la fin d'un cycle de lecture.

b) Temps de cycle d'écriture

Intervalle de temps entre le début et la fin d'un cycle d'écriture.

c) Temps de cycle de lecture-écriture

Intervalle de temps entre le début et la fin d'un cycle, pendant lequel s'effectuent la lecture de la mémoire et l'introduction de nouvelles données.

NOTE – Un autre titre quelquefois utilisé est: «temps de cycle de lecture-modification-écriture»; cet usage est déconseillé, car «lecture-modification-écriture» est aussi utilisé dans un autre sens, impliquant que des données sont extraites, traitées et ensuite réintroduites dans la mémoire.

d) Temps de cycle d'écriture-lecture

Intervalle de temps entre le début et la fin d'un cycle, pendant lequel s'effectuent l'introduction de données puis la lecture de la mémoire.

NOTE 1 – Ces temps sont les intervalles de temps entre deux impulsions et peuvent être insuffisants pour l'accomplissement des opérations dans la mémoire. Dans chaque cas, on spécifie une valeur minimale qui est le temps le plus court pendant lequel la mémoire accomplit sa ou ses fonctions correspondantes correctement.

NOTE 2 – La «fin d'un cycle» doit être considérée comme l'instant à partir duquel un autre cycle peut débuter pour un fonctionnement correct de la mémoire.

NOTE 3 – Un cycle est toujours réalisé pour une adresse déterminée.

3.4.3 Temps de recouvrement d'écriture (voir note 1 au 3.4.2)

Intervalle de temps entre la fin d'une impulsion d'écriture et le début d'un nouveau cycle, cet intervalle de temps étant laissé à la mémoire pour qu'elle recouvre après une opération d'écriture et qu'elle fonctionne correctement.

3.4.4 Temps de recouvrement de lecture

Intervalle de temps nécessaire pour commuter la mémoire d'un mode d'écriture à un mode de lecture et obtenir des signaux valides des données à la sortie.

3.4.5 Temps d'accès

Intervalle de temps entre l'application d'une impulsion déterminée à une entrée, les autres entrées étant déjà dans un état requis, et le moment où il est possible d'avoir des signaux de données valides à une sortie.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.4 Terms related to ratings and characteristics

3.4.1 Cycle

A sequence of operations necessary to perform one of the functions of the memory.

In general, four possible cycles can be identified, i.e.:

a) Read.

b) Write.

c) Read-write.

d) Write-read.

3.4.2 Cycle time (see notes 1, 2 and 3)

The time interval necessary to perform one cycle, i.e. the time interval between the start of a cycle and the end of that cycle.

a) Read cycle time

The time interval between the start and the end of a read cycle.

b) Write cycle time

The time interval between the start and the end of a write cycle.

c) Read-write cycle time

The time interval between the start of a cycle in which the memory is read and new data are entered, and the end of that cycle.

NOTE – The term "read-modify-write cycle" is sometimes used as an alternative title for "read-write cycle"; however, this usage is deprecated because "read-modify-write" is also used in another context to indicate that data are extracted, processed, and then re-entered into the memory.

d) Write-read cycle time

The time interval between the start of a cycle in which data are entered and the memory is then read, and the end of that cycle.

NOTE 1 – These times are the actual time intervals between two pulses, and may be insufficient for the completion of operations within the memory. In each case, a minimum value is specified that is the shortest time in which the memory will perform its corresponding function(s) correctly.

NOTE 2 – The "end of a cycle" is to be understood as the earliest instant at which any subsequent cycle can start with correct functioning of the memory.

NOTE 3 – A cycle is always performed for a constant address.

3.4.3 Write recovery time (see note 1 to 3.4.2)

The time interval between the termination of a write pulse and the initiation of a new cycle, this time interval being provided for the memory to recover from a write operation and operate correctly.

3.4.4 Sense recovery time

The time interval needed to switch a memory from a write mode to a read mode, and to obtain valid data signals at the output.

3.4.5 Access time

The time interval between the application of a specific input pulse, other necessary inputs being already present, and the availability of valid data signals at an output.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Le temps d'accès ne peut être défini qu'en se référant au signal de sortie (opération de lecture).

NOTE – Exemples de différents temps d'accès:

Temps d'accès d'adresse: temps entre l'entrée d'une adresse et la sortie des données.

Temps d'accès de validation: temps entre l'entrée de la validation et la sortie des données.

Temps d'accès de lecture: temps entre l'entrée de la lecture et la sortie des données.

En général, il y a deux valeurs pour chaque temps d'accès, suivant que la sortie va vers le niveau haut ou vers le niveau bas.

3.4.6 Intervalle de temps de rafraîchissement

Intervalle de temps entre les débuts de signaux successifs destinés à ramener le niveau d'une cellule-mémoire dynamique à son niveau d'origine.

NOTE – L'intervalle de temps de rafraîchissement est le temps effectif entre deux opérations de rafraîchissement; il peut être insuffisant pour protéger l'information stockée. Une valeur maximale est spécifiée qui correspond à l'intervalle le plus long pour lequel un fonctionnement correct est garanti.

3.4.7 Temps de préconditionnement (d'une mémoire à fonctionnement dynamique)

Intervalle de temps entre des transitions spécifiées à une ou plusieurs entrées, et qui permet aux noeuds internes du circuit de se charger ou de se décharger à des niveaux de tension prédéterminés avant le début d'un nouveau cycle.

NOTE – On définit ainsi l'intervalle de temps de préconditionnement réel, qui est déterminé par le système dans lequel fonctionne le dispositif. Une valeur minimale est spécifiée qui correspond à l'intervalle de temps le plus court pour lequel on garantit un fonctionnement correct du dispositif.

3.5 Formes d'onde typiques pour les mémoires à écriture-lecture à fonctionnement statique

NOTE – On indique quatre diagrammes pour illustrer les définitions de «temps de cycle» (données en 3.4.2) pour les quatre modes de fonctionnement. Ces diagrammes ne sont que des exemples; ils s'appliquent à des mémoires à fonctionnement statique et ne représentent pas forcément un type de mémoire particulier.

Ils ne sont pas destinés à indiquer les points précis sur les formes d'onde entre lesquels les différents temps sont mesurés. Ces points doivent être précisés dans la spécification d'un circuit intégré particulier.

Les diagrammes comprennent également quelques termes supplémentaires afin d'en faciliter la compréhension, bien qu'il n'existe actuellement pas de titres formels ou de définitions pour ces termes supplémentaires.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

The access time can only be defined with reference to an output signal (read operation).

NOTE – Examples of various access times are:

Address access time: time between address input and data output.

Enable access time: time between enable input and data output.

Read access time: time between input and data output.

In general, there are two values for each access time, depending on whether the output goes to the high level or to the low level.

3.4.6 Refresh time interval

The time interval between the beginning of successive signals that are intended to restore the level in a dynamic memory cell to its original level.

NOTE – The refresh time interval is the actual time between two refresh operations and may be insufficient to protect the stored data. A maximum value is specified that is the longest interval for which correct operation is guaranteed.

3.4.7 Precharge time (of a dynamic memory)

The time interval between specified transitions at one or more inputs that allows the internal nodes of the circuit to be charged or discharged to predetermined voltage levels prior to the start of a new cycle.

NOTE – This defines the actual precharge time interval, which is determined by the system in which the device is to operate. A minimum value is specified that is the shortest interval for which correct operation of the device is guaranteed.

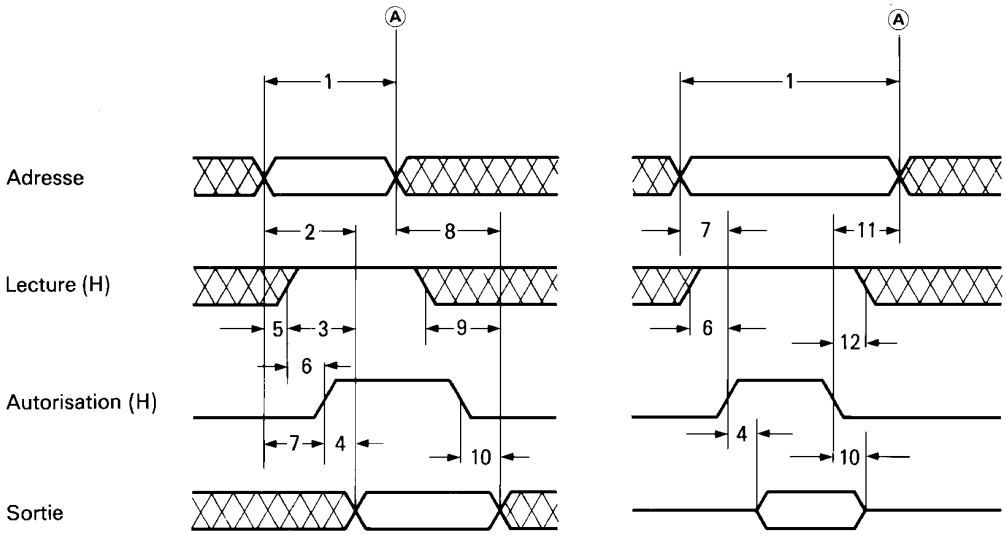
3.5 Typical waveforms for static read/write memories

NOTE – Four waveform diagrams are shown to illustrate the definitions of "cycle times" (given in 3.4.2) for four modes of operation. These diagrams are examples only; they are for static memories, and do not necessarily represent any particular memory device.

They are not intended to indicate the precise points on the waveforms between which the various times are measured. These points shall be part of the specification for a particular integrated circuit.

The diagram also include some additional terms to assist understanding, though no formal titles or definitions exist for those additional terms at present.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



IEC 1687/97

Formes d'onde typiques

1 = temps de cycle de lecture
2 = temps d'accès d'adresse
3 = temps d'accès de lecture
4 = temps d'accès d'autorisation
5 = temps de préparation adresse/lecture
6 = temps de préparation lecture/autorisation
7 = temps de préparation adresse/autorisation
8 = temps de validation en sortie après adresse
9 = temps de validation en sortie après lecture
10 = temps de validation en sortie après autorisation
11 = temps de maintien adresse/autorisation
12 = temps de maintien lecture/autorisation

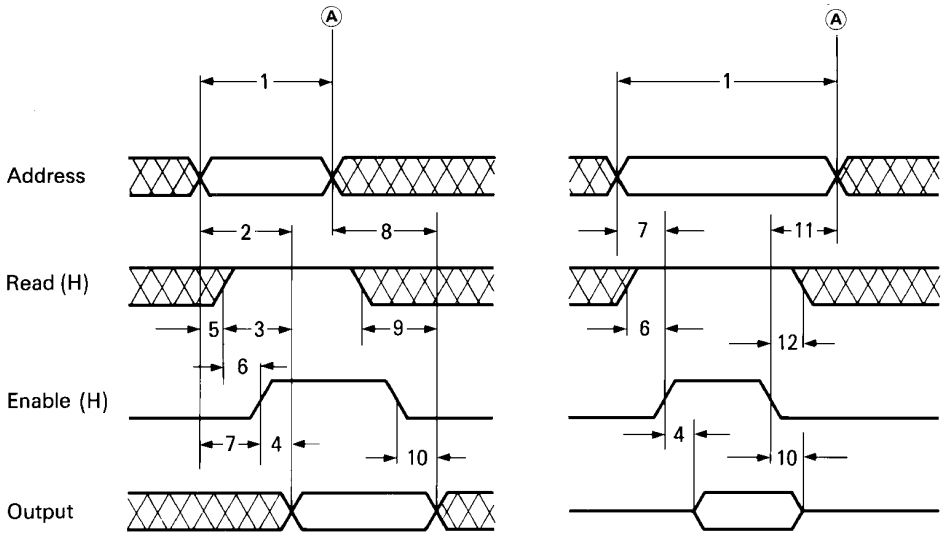
Le point Ⓐ correspond au plus proche instant à partir duquel le cycle suivant peut débuter.

Les niveaux actifs pour les entrées de lecture et d'autorisation sont indiqués par les lettres entre parenthèses (H ou L).

entrée : sans conséquence
sortie : niveau inconnu ou variant d'un état à l'autre

Figure 14 – Cycle de lecture

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



IEC 1687/97

Typical waveforms

1 = read cycle time
2 = address access time
3 = read access time
4 = enable access time
5 = address set-up time before read
6 = read set-up time before enable
7 = address set-up time before enable
8 = output valid time after address
9 = output valid time after read
10 = output valid time after enable
11 = address hold time after enable
12 = read hold time after enable

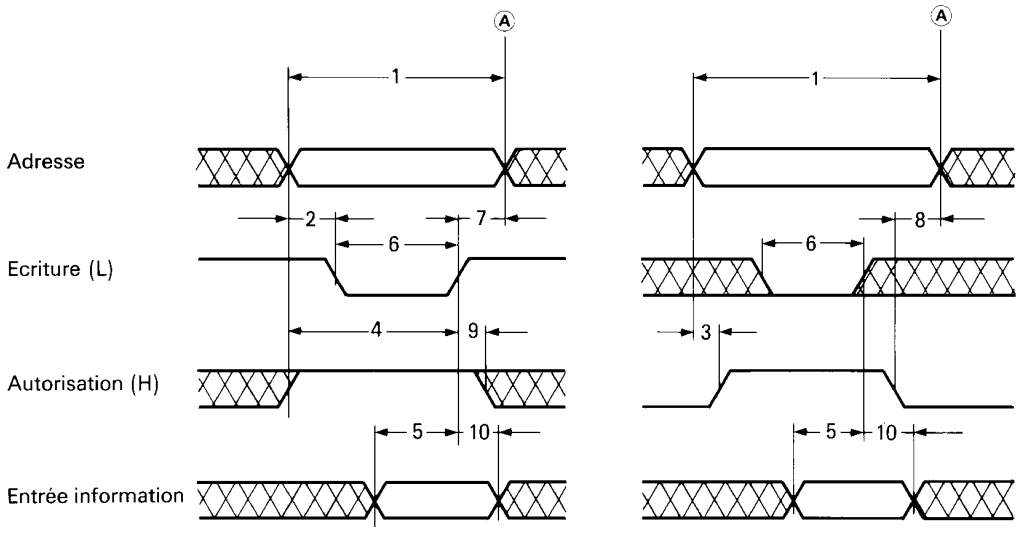
Point Ⓐ is the earliest instant at which a subsequent cycle can start.

The active levels for the read and enable inputs are indicated by the letters in parentheses (H or L).

input : irrelevant
output : unknown or changing

Figure 14 – Read cycle

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



IEC 1688/97

Formes d'onde typiques

1 = temps de cycle d'écriture
2 = temps de préparation adresse/écriture
3 = temps de préparation adresse/autorisation
4 = temps de préparation autorisation/(fin d')écriture
5 = temps de préparation entrée information/(fin d')écriture
6 = durée de l'impulsion d'écriture
7 = temps de maintien adresse/écriture
8 = temps de maintien adresse/autorisation
9 = temps de maintien autorisation/écriture
10 = temps de maintien entrée information/écriture

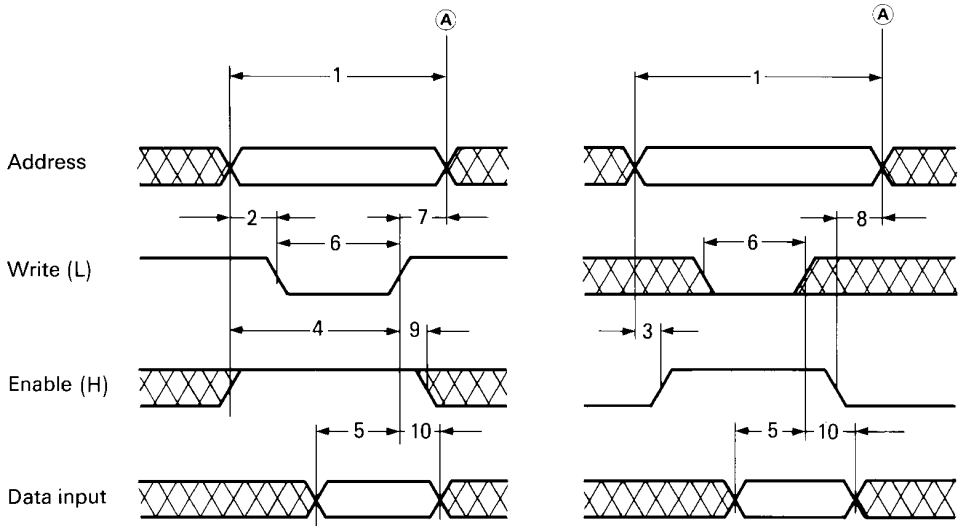
Le point Ⓐ correspond au plus proche instant à partir duquel le cycle suivant peut débuter.

Les niveaux actifs pour les entrées d'écriture et d'autorisation sont indiqués par les lettres entre parenthèses (H ou L).

entrée : sans conséquence
sortie : niveau inconnu ou variant d'un état à l'autre.

Figure 15 – Cycle d'écriture

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



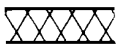
IEC 1688/97

Typical waveforms

1 = write cycle time
2 = address set-up time before write
3 = address set-up time before enable
4 = enable set-up time before (end of) write
5 = data-in set-up time before (end of) write
6 = write pulse duration
7 = address hold time after write
8 = address hold time after enable
9 = enable hold time after write
10 = data-in hold time after write

Point (A) is the earliest instant at which a subsequent cycle can start.

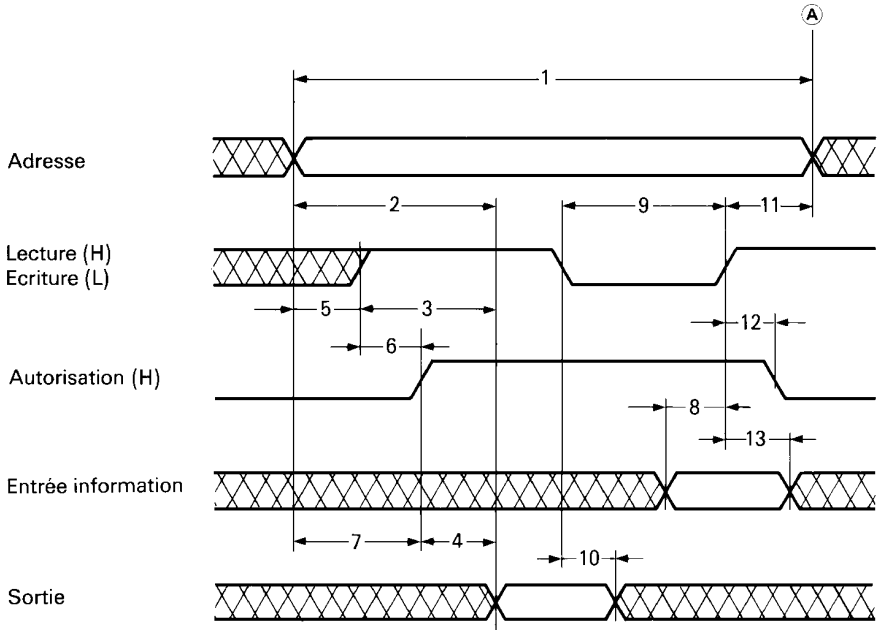
The active levels for the write and enable inputs are indicated by the letters in parentheses (H or L).



input : irrelevant
output : unknown or changing

Figure 15 – Write cycle

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



IEC 1689/97

Formes d'onde typiques

1 = temps de cycle de lecture-écriture
2 = temps d'accès d'adresse
3 = temps d'accès de lecture
4 = temps d'accès d'autorisation
5 = temps de préparation adresse/lecture
6 = temps de préparation lecture/autorisation
7 = temps de préparation adresse/autorisation
8 = temps de préparation entrée information/(fin d')écriture
9 = durée de l'impulsion d'écriture
10 = temps de validation en sortie après lecture
11 = temps de maintien adresse/écriture
12 = temps de maintien autorisation/écriture
13 = temps de maintien entrée d'information/écriture

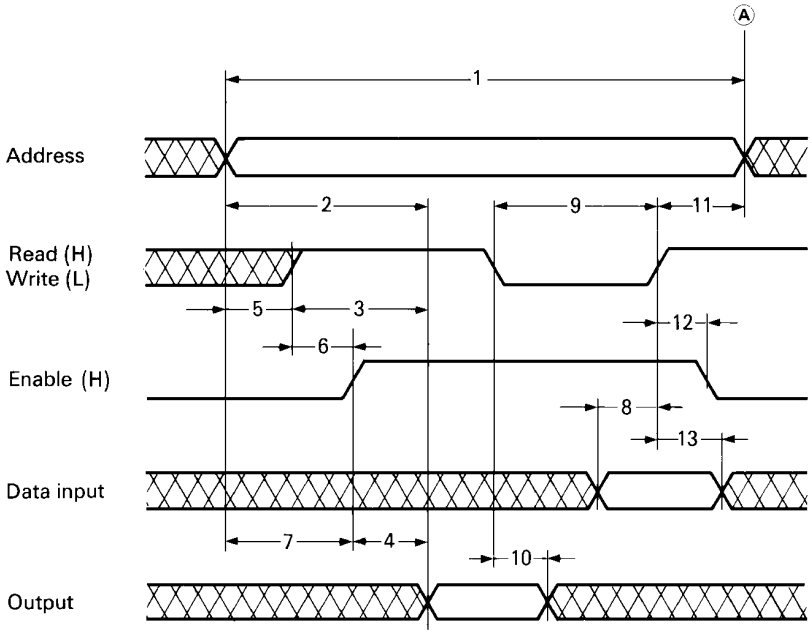
Le point Ⓐ correspond au plus proche instant à partir duquel le cycle suivant peut débuter.

Les niveaux actifs pour les entrées de lecture-écriture et d'autorisation sont indiqués par les lettres entre parenthèses (H ou L).

entrée : sans conséquence
sortie : niveau inconnu ou variant d'un état à l'autre

Figure 16 – Cycle de lecture-écriture

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



IEC 1689/97

Typical waveforms

1 = read-write cycle time
2 = address access time
3 = read access time
4 = enable access time
5 = address set-up time before read
6 = read set-up time before enable
7 = address set-up time before enable
8 = data-in set-up time before (end of) write
9 = write pulse duration
10 = output valid time after read
11 = address hold time after write
12 = enable hold time after write
13 = data-in hold time after write

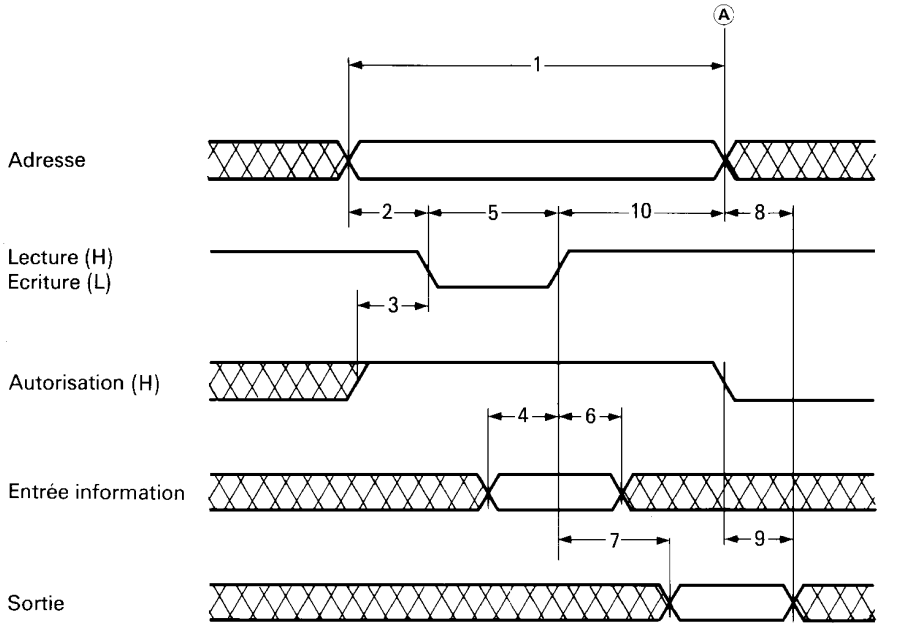
Point Ⓐ is the earliest instant at which a subsequent cycle can start.

The active levels for the read/write and enable inputs are indicated by the letters in parentheses (H or L).

input : irrelevant
output : unknown or changing

Figure 16 – Read-write cycle

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



Formes d'onde typiques

1 = temps de cycle écriture-lecture
2 = temps de préparation adresse/écriture
3 = temps de préparation autorisation/écriture
4 = temps de préparation entrée d'information (fin d')écriture
5 = temps de l'impulsion d'écriture
6 = temps de maintien entrée d'information/écriture
7 = temps de recouvrement de lecture
8 = temps de validation en sortie après adresse
9 = temps de validation en sortie après autorisation
10 = temps de recouvrement d'écriture

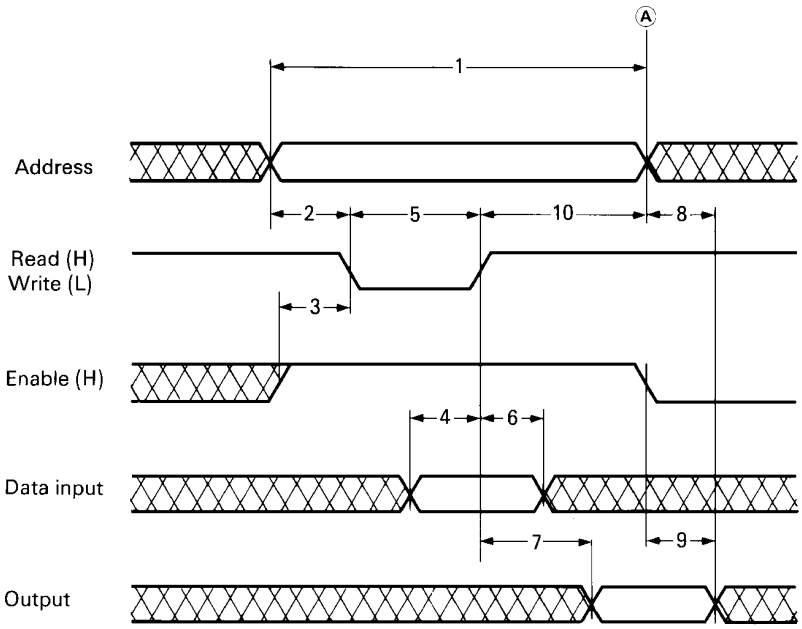
Le point Ⓐ correspond au plus proche instant à partir duquel le cycle suivant peut débuter.

Les niveaux actifs pour les entrées d'écriture-lecture et d'autorisation sont indiqués par les lettres entre parenthèses (H ou L).

entrée : sans conséquence
sortie : niveau inconnu ou variant d'un état à l'autre.

Figure 17 – Cycle d'écriture-lecture

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



IEC 1690/97

Typical waveforms

1 = write-read cycle time
2 = address set-up time before write
3 = enable set-up time before write
4 = data-in set-up time before (end of) write
5 = write pulse duration
6 = data-in hold time after write
7 = sense recovery time
8 = output valid time after address
9 = output valid time after enable
10 = write recovery time

Point Ⓐ is the earliest instant at which a subsequent cycle can start.

The active levels for the write-read and enable inputs are indicated by the letters in parentheses (H or L).

input : irrelevant
output : unknown or changing

Figure 17 – Write-read cycle

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.6 Termes et descriptions pour les configurations de test pour l'essai des mémoires

3.6.1 Introduction

3.6.1.1 Définitions nécessaires pour les principaux termes

3.6.1.1.1 Configuration de données

Arrangement de ZÉROS logiques (0) et de UNS logiques (1) dans une matrice de cellules-mémoires.

NOTE – Une matrice est généralement divisée en lignes et en colonnes.

3.6.1.1.2 Séquence d'adresses

Séquence spécifiée d'adresses.

3.6.1.1.3 Configuration de test

Séquence d'adresses spécifiée, comportant des opérations spécifiées pour chaque adresse, de façon à réaliser une configuration de données spécifiée.

3.6.1.2 Généralités

L'énumération effectuée dans les paragraphes 3.6.2 à 3.6.4.2 n'est pas complète; elle se limite aux seules descriptions.

On n'a pas pris en compte le temps nécessaire pour effectuer les tests ni les relations entre les configurations de test et les mécanismes de défaillance. Toutes les configurations de test décrites dans le paragraphe 3.6.4 sont destinées à ce que les tests soient effectués pour une configuration de données spécifiée. Chaque description se base sur une correspondance présumée entre les adresses de la mémoire et l'implantation topologique des cellules-mémoires. Sur cette base, on détermine la séquence d'adresses.

Dans la pratique, le fabricant peut choisir une correspondance différente. Par exemple, dans une mémoire RAM 4 k, le numéro de la cellule 4095 peut être implanté dans l'angle supérieur gauche de la matrice de cellules-mémoires, adjacent à la cellule numéro 0. La séquence d'adresse correspondant à la configuration de données spécifiée doit être changée en conséquence.

Dans toutes les spécifications, la séquence d'adresses correspondant à une configuration de données spécifiée doit être indiquée par le fabricant. Tous les exemples reposent sur l'hypothèse de matrices carrées ayant un nombre égal de lignes et de colonnes.

Dans la mesure où la plupart des informations données correspondent à des configurations de données à l'intérieur de la mémoire, on a utilisé les symboles logiques 0 et 1 (au lieu de L et H).

NOTE – «N» indique le nombre de cellules-mémoires. Les numéros d'adresses s'étagent de 0 à N–1.

3.6.2 Configurations de données

Dans les figures représentant des configurations de données, le nombre de cellules-mémoires est représenté par la séquence 0 à N–1 où N est le nombre total de cellules. Ici, les cellules sont numérotées ligne par ligne et de gauche à droite.

NOTE – On peut utiliser soit une représentation logique, comme en a) dans les figures, soit une représentation graphique, comme en b).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.6 Terms and descriptions for test patterns for memory testing

3.6.1 Introduction

3.6.1.1 Working definitions for principal terms

3.6.1.1.1 Data pattern

An array of logic ZEROs (0's) and logic ONEs (1's) within a field of memory cells.

NOTE – A field is usually subdivided into "rows" and "columns".

3.6.1.1.2 Address sequence

A specified sequence of addresses.

3.6.1.1.3 Test pattern

A specified address sequence with the operations specified for each address so as to create a specified data pattern.

3.6.1.2 General

The enumeration given in 3.6.2 to 3.6.4.2 is not exhaustive and is limited to descriptions only.

No considerations are made regarding elapsed test times or failure modes and related test patterns. All test patterns described in subclause 3.6.4 are intended to perform tests on a specified data pattern. For each description, an assumption is made on the allocation of the memory addresses to the topological location of the memory cells. On this basis, the address sequence is chosen.

In practice, a different allocation may be chosen by the manufacturer, for example, in a 4 k RAM, cell number 4095 may be located in the upper left corner of the field of memory cells, adjacent to cell number 0. Then the address sequence corresponding to the specified data pattern shall be changed accordingly.

In all specifications, the address sequence corresponding to the specified data pattern shall be stated by the manufacturer. Examples given are based on a square field where the numbers of "rows" and "columns" are equal.

To the extent that much of the information given relates to data patterns within the memory, the logic symbols "0" and "1" have been used (instead of L and H).

NOTE – N means the number of memory cells. The addresses run from 0 to N–1.

3.6.2 Data patterns

In the figures representing data patterns, the number of memory cells is represented by the sequence 0 to N–1, where N is the total number of cells. The numbering used is row-by-row and from left to right.

NOTE – Representations may be in either logical or graphical form as shown in the a) or b) versions of the figures given.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.6.2.1 UN partout (ZÉRO partout)

Configuration de données ne comportant que des 1 (que des 0) (voir figure 18 pour des 1).

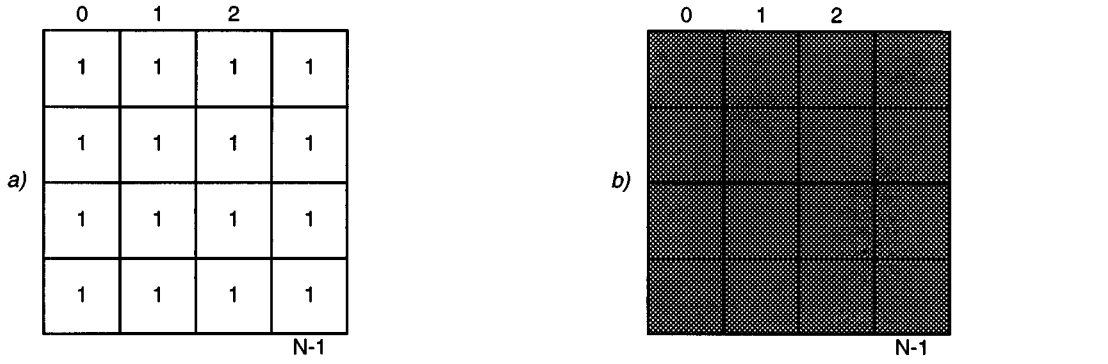


Figure 18

3.6.2.2 UN unique (ZÉRO unique)

Configuration de données comportant un 1 unique (0 unique) sur un fond de 0 (de 1) (voir figure 19 pour un 1 unique).

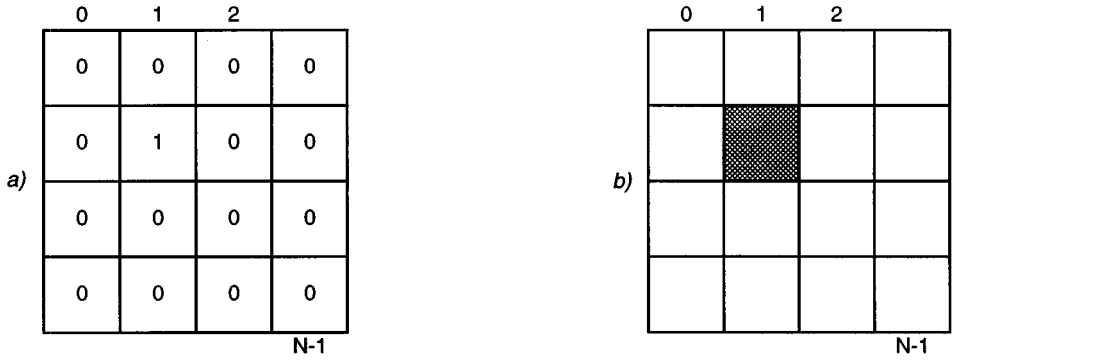


Figure 19

3.6.2.3 Colonnes alternées

Configuration de données consistant en colonnes alternées de 0 et de 1 (voir figure 20).

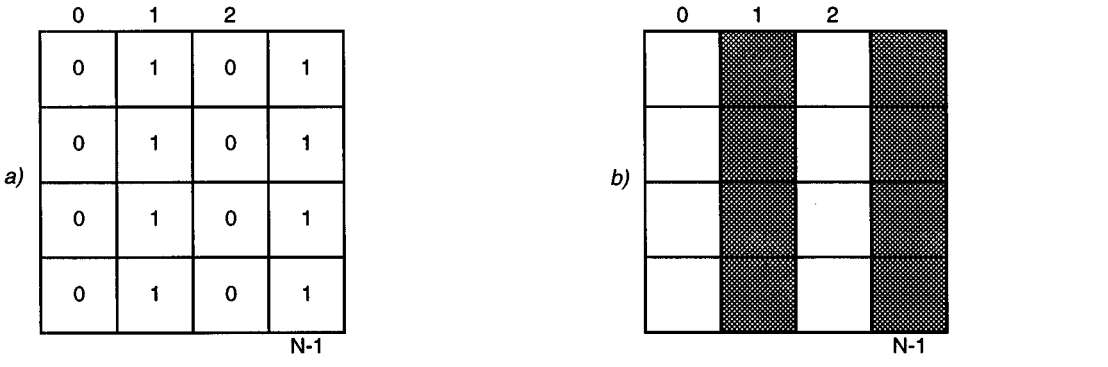


Figure 20

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.6.2.1 All ONE (all ZERO)

A data pattern consisting of all 1s (all 0s) (see figure 18 for all 1s).

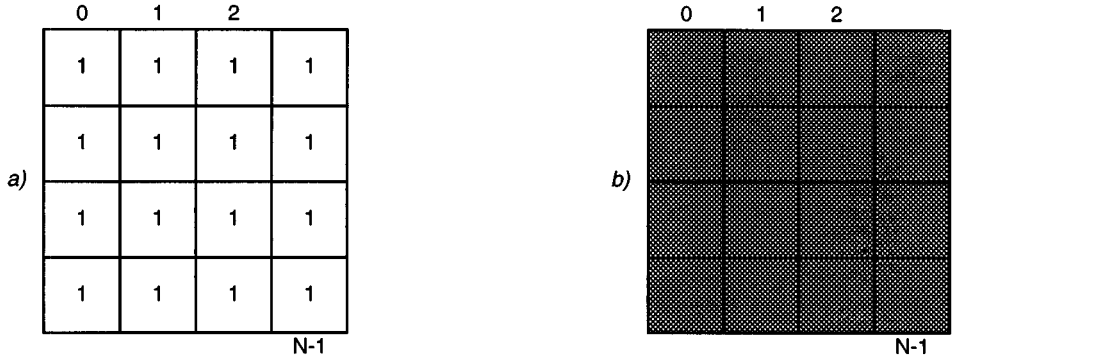


Figure 18

3.6.2.2 Single ONE (single ZERO)

A data pattern consisting of a single 1 (single 0) on a background of all 0s (all 1s) (see figure 19 for a single 1).

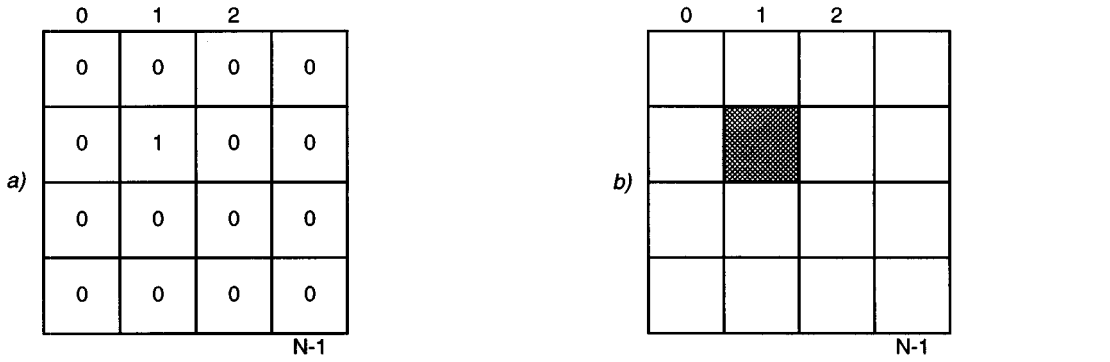


Figure 19

3.6.2.3 Column bars

A data pattern of alternating columns of 0s and 1s (see figure 20).

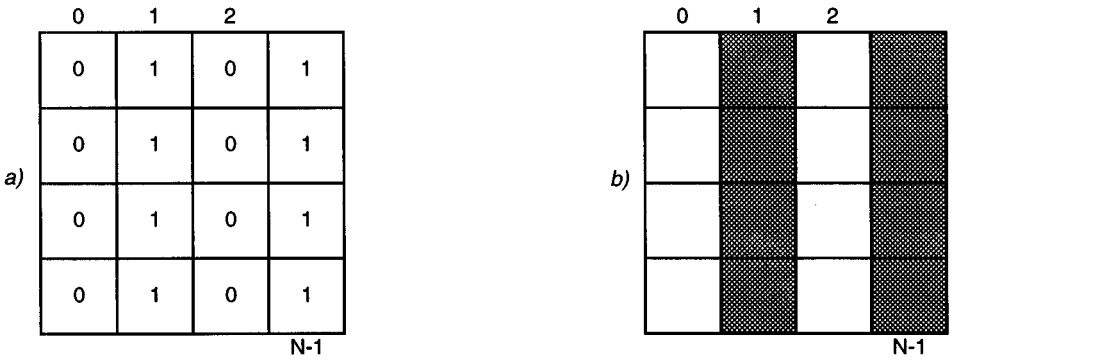


Figure 20

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.6.2.4 Lignes alternées

Configuration de données consistant en lignes alternées de 0 et de 1 (voir figure 21).

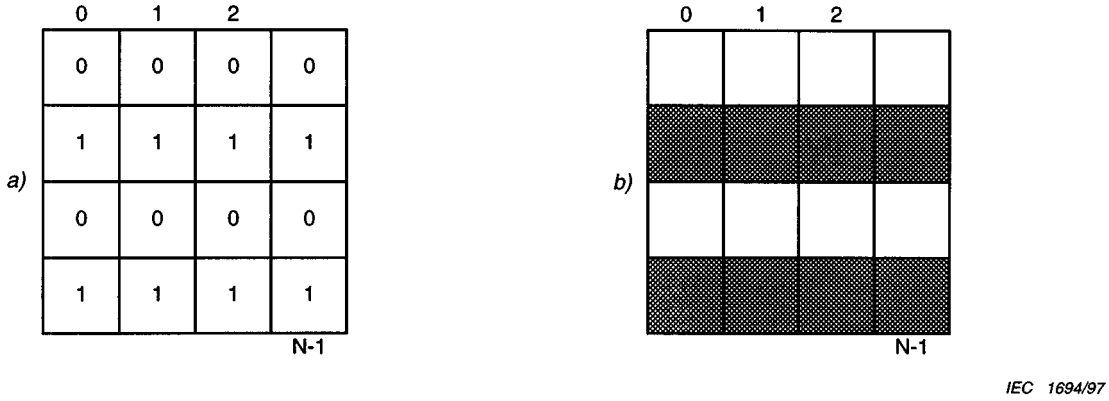


Figure 21

3.6.2.5 Diagonale

Configuration de données de 1 ou de 0 en diagonale sur un fond de données complémentaires.

NOTE – Dans une matrice carrée de cellules-mémoires, le mot «diagonale» s'applique à une configuration dans laquelle les cellules sont situées soit sur la diagonale principale (voir figure 22), soit sur deux parallèles à la diagonale principale, telles qu'il n'y ait qu'une seule cellule-mémoire dans chaque ligne et dans chaque colonne (voir figure 23).

Exemple 1:

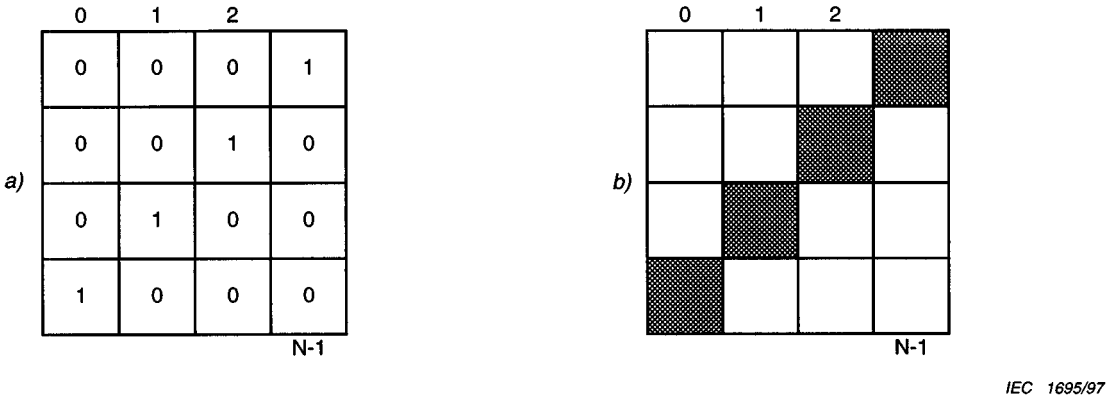


Figure 22

Exemple 2:

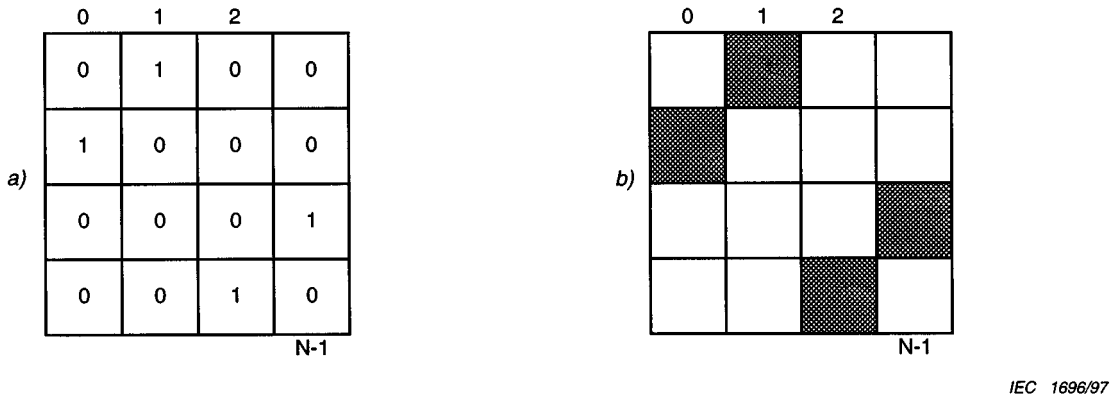


Figure 23

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.6.2.4 Row bars

A data pattern of alternating rows of 0s and 1s (see figure 21).

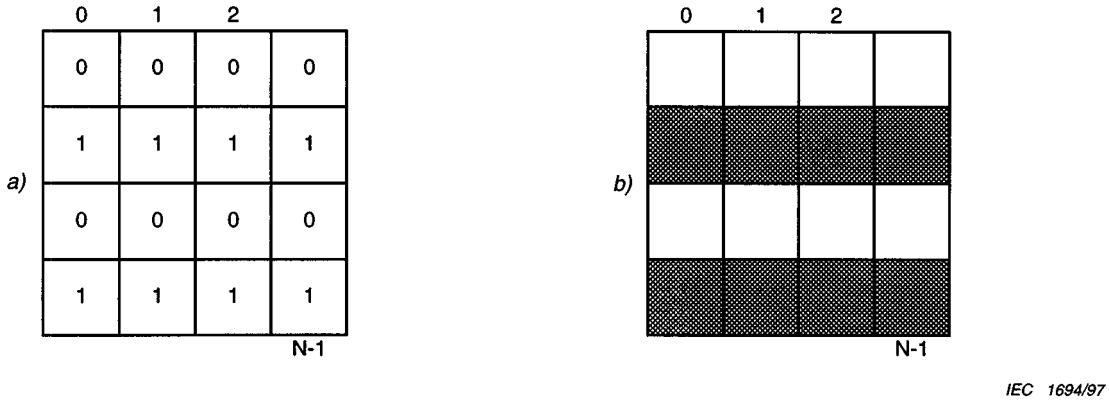


Figure 21

3.6.2.5 Diagonal

A data pattern of diagonal 1s or 0s on the background of complementary data.

NOTE – In a square array of memory cells, "diagonal" denotes a configuration in which all cells are located either on a main diagonal (see figure 22) or on two parallel diagonals such that only one memory cell is located in each row and each column (see figure 23).

Example 1:

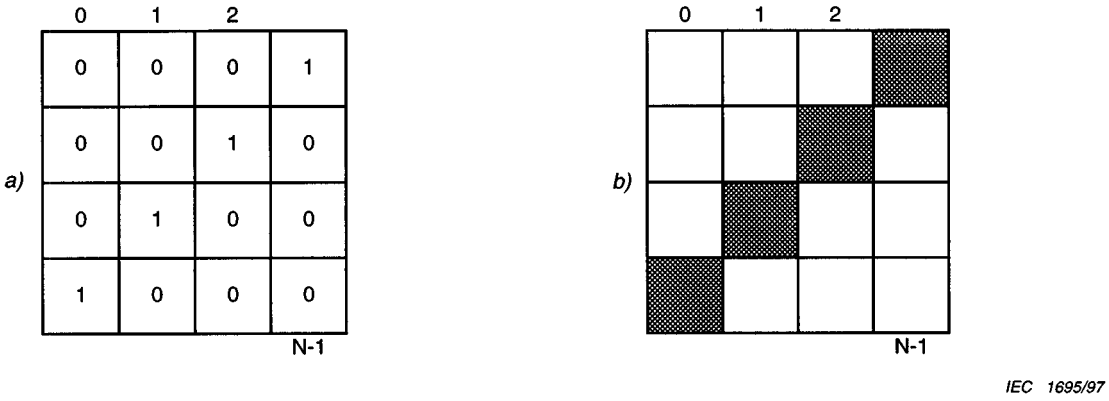


Figure 22

Example 2:

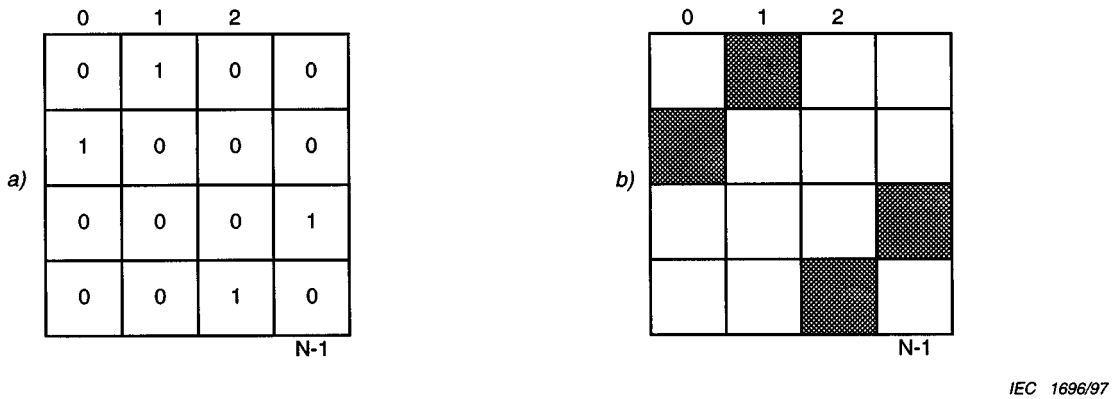


Figure 23

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.6.2.6 Damier

Configuration de données qui fait alterner les 0 et les 1 dans les deux directions (c'est-à-dire dans les colonnes et dans les lignes) (voir figure 24).

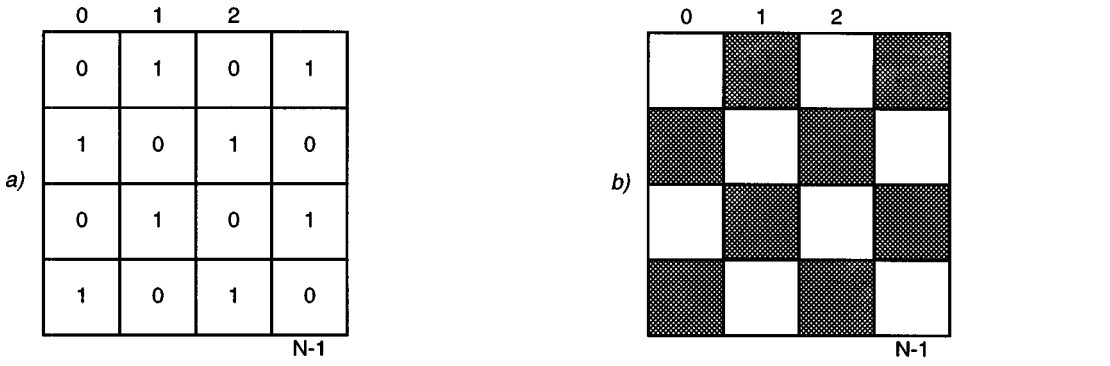


Figure 24

3.6.3 Séquences d'adresses

NOTE – A l'aide des séquences d'adresses appropriées, les configurations de données peuvent être déplacées, complémentées ou étendues dans les matrices de cellules-mémoire.

3.6.3.1 Complémentation progressive des bits (ou «1 (ou 0) progressifs»)

Séquence d'adresse qui permet de lire toutes les cellules séquentielles et de les écrire de façon complémentaire.

NOTE – Les données relatives au fond et à la donnée écrite sont complémentaires les unes des autres (voir figure 25).

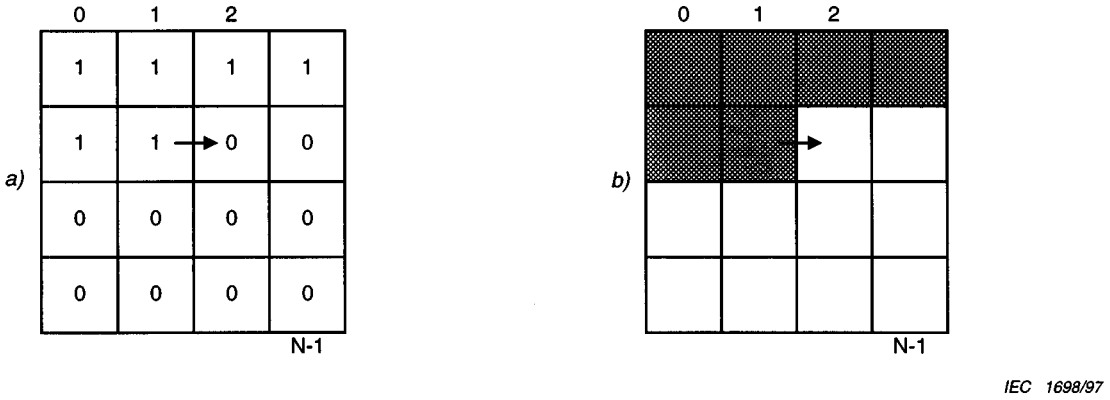


Figure 25

3.6.3.2 Déplacement d'un bit unique (ou «1 (ou 0) baladeur»)

Séquence d'adresses qui permet de déplacer une configuration de données spécifiée à une ou plusieurs cellules consécutives à travers toute la mémoire, toutes les cellules – à l'exception des cellules déplacées – étant lues après chaque déplacement (voir figure 26).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.6.2.6 Checkerboard

A data pattern of alternating 0s and 1s in both directions (that is, columns and rows) (see figure 24).

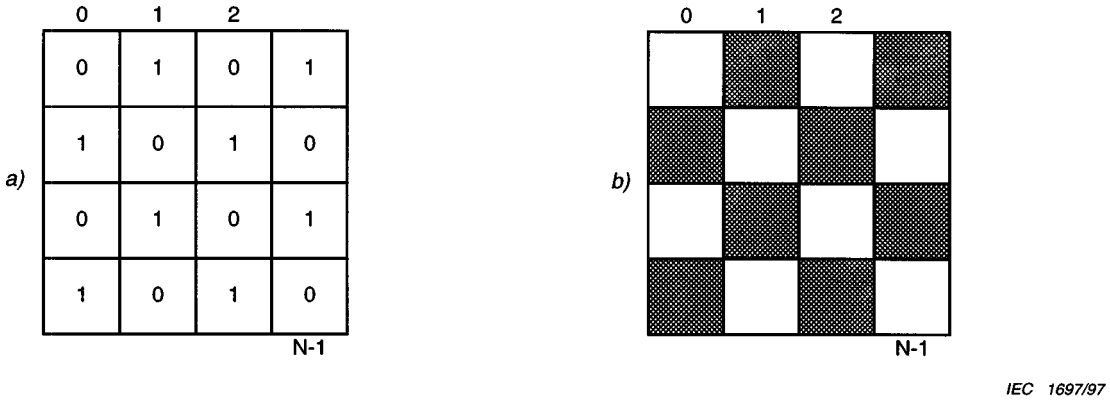


Figure 24

3.6.3 Address sequences

NOTE – By means of suitable address sequences, data patterns can be shifted, complemented or extended within memory fields.

3.6.3.1 Marching

An address sequence by means of which all cells are sequentially read and rewritten with complementary data.

NOTE – Background data and rewritten data are complementary to each other (see figure 25).

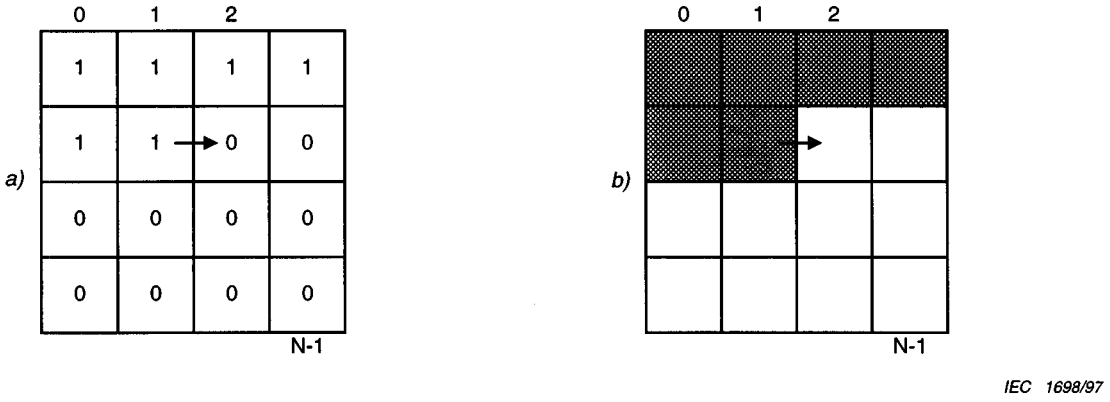


Figure 25

3.6.3.2 Walking

An address sequence by means of which a specified pattern in one or more consecutive cells is shifted through the whole memory, all cells except those written with the shifted pattern being read after each shifting (see figure 26).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

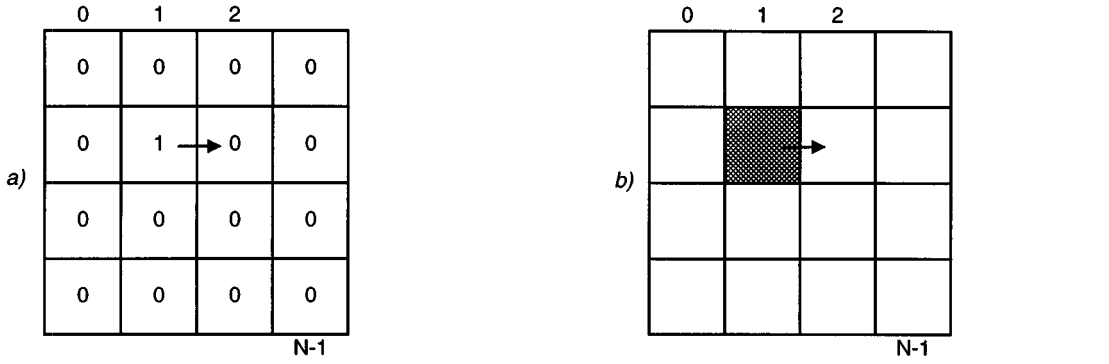


Figure 26

3.6.4 Configurations de test (exemples)

3.6.4.1 Complémentation progressive des 1 (complémentation progressive des 0: voir note 2 ci-après)

Réaliser la configuration de test en générant le schéma suivant:

A. Ecrire un fond de 0 partout dans la mémoire (voir figure 27).

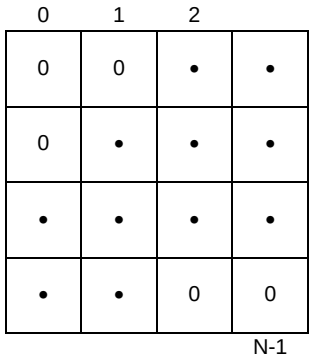


Figure 27

B. Lire, puis complémenter chacune des N cellules-mémoires de façon que la mémoire contienne finalement le complément de la configuration initiale (voir figure 28).

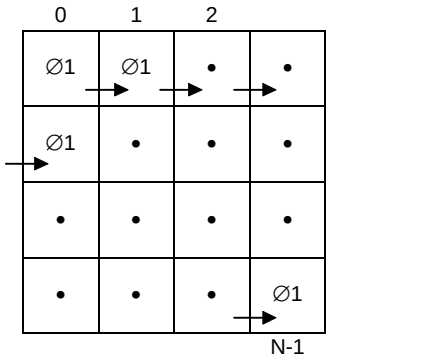
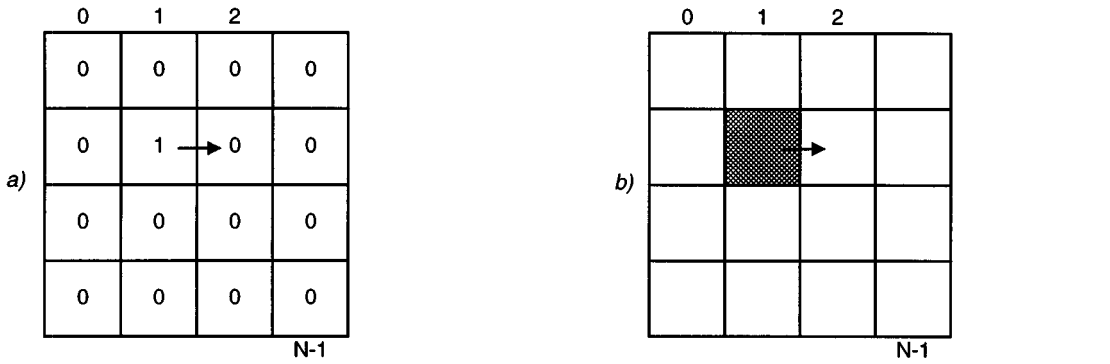


Figure 28

NOTE 1 – « 01» indique le changement de 0 en 1.

NOTE 2 – En partant d'un fond de 1 partout, cette configuration de test est appelée «complémentation progressive des 0 ou 0 progressifs».

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



IEC 1699/97

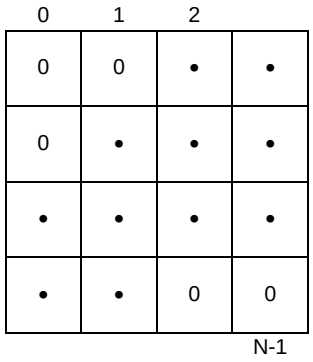
Figure 26

3.6.4 Test patterns (examples)

3.6.4.1 Marching ONE's (marching ZERO's: see note 2 below)

A test pattern with the following generation scheme:

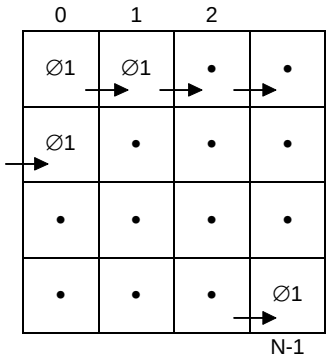
A. A background pattern of all 0s is written to the memory (see figure 27).



IEC 1700/97

Figure 27

B. Each of the N memory cells is first read and then complemented, so that the memory finally contains the complement of the initial background pattern (see figure 28).



IEC 1701/97

Figure 28

NOTE 1 – "∅1" indicates a "0" changed to a "1".

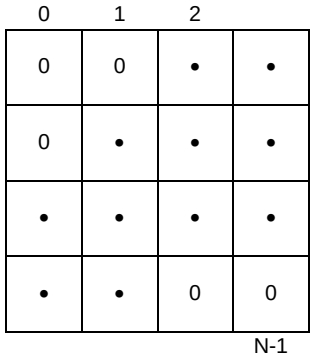
NOTE 2 – Starting from a background pattern of all 1s, this test pattern is called "Marching ZEROs".

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.6.4.2 Déplacement d'un 1 unique (ou «1 baladeur») (0 baladeur: voir note 2 ci-après)

Réaliser la configuration de test en générant le schéma suivant:

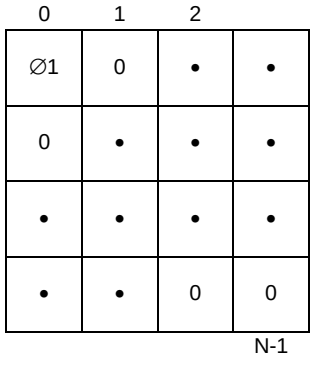
A. Ecrire un fond de 0 partout dans la mémoire (voir figure 29).



IEC 1702/97

Figure 29

B. Complémenter l'une des cellules, dite cellule d'essai, en y écrivant un 1 (voir figure 30).



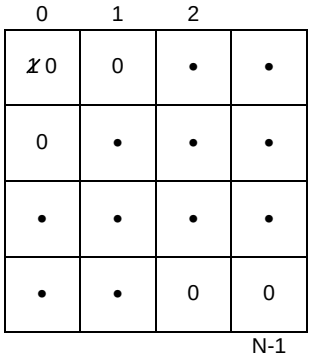
IEC 1703/97

Figure 30

C. Lire le contenu des autres cellules de la mémoire.

D. Lire le contenu de la cellule d'essai.

E. Complémenter à nouveau la cellule d'essai, c'est-à-dire ré-écrire un 0, de sorte que la cellule d'essai ait retrouvé l'état initial (voir figure 31).



IEC 1704/97

Figure 31

F. Répéter successivement la séquence des étapes B à E pour chacune des cellules-mémoires.

NOTE 1 – « 1↙0 » indique le changement de 1 en 0.

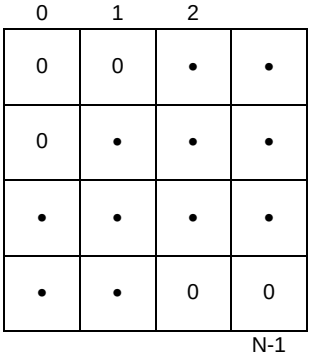
NOTE 2 – En partant d'un fond de 1 partout, cette configuration de test est appelée «déplacement d'un 0 unique ou 0 baladeur».

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.6.4.2 Walking (single) ONEs (Walking single ZERO's: see note 2 below)

A test pattern with the following generation scheme:

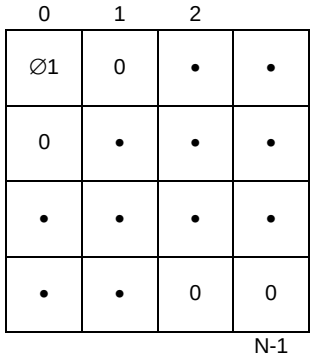
A. A background pattern of all 0s is written to the memory (see figure 29).



IEC 1702/97

Figure 29

B. Into a test cell, the complement is written (see figure 30).



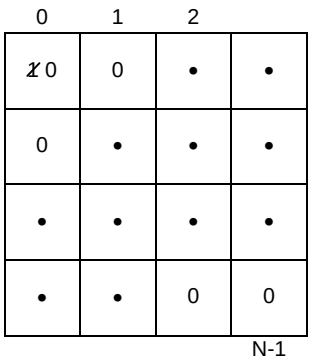
IEC 1703/97

Figure 30

C. The remaining cells of the memory are read.

D. The test cell is read.

E. Its complement is written in, that is, rewrite a 0, so that the test cell is now in its initial background state (see figure 31).



IEC 1704/97

Figure 31

F. The sequence of steps B to E is sequentially repeated for each memory cell.

NOTE 1 – "1̸0" indicates a "1" changed to a "0".

NOTE 2 – Starting from a background pattern of all 1s, this test pattern is called "Walking single ZEROs".

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4 Terminologie pour les microprocesseurs à circuit intégré

4.1 Microprocesseur à circuit intégré

Circuit intégré capable:

– de fonctionner selon des instructions codées, et
– d'effectuer, suivant ces instructions, l'ensemble de:
  a) l'acceptation des informations codées pour traitement et/ou stockage;
  b) des opérations logiques et arithmétiques sur les données d'entrée, en même temps que sur toutes les données correspondantes stockées dans les registres internes du microprocesseur à circuit intégré et/ou dans des mémoires externes;
  c) la sortie d'informations codées, et
– d'accepter et/ou de fournir des signaux commandant et/ou décrivant le fonctionnement ou l'état du microprocesseur à circuit intégré.

NOTE – Les instructions peuvent être introduites, construites ou maintenues dans une mémoire interne.

5 Terminologie pour les dispositifs à transfert de charge

5.1 Désignation des dispositifs

5.1.1 Dispositif à transfert de charge (CTD)

Dispositif dont le fonctionnement dépend du déplacement effectif de paquets de charge discrets à la surface ou dans le volume du semiconducteur, ou entre les interconnexions à la surface du semiconducteur.

NOTE – Ce mouvement effectif peut être réalisé en déplaçant la région où l'on produit le champ électrique de commande.

5.1.2 Dispositif à transfert de charge en chaîne (ou dispositif «Bucket Brigade») (BBD)

Dispositif à transfert de charge qui emmagasine des charges dans des régions discrètes d'un semiconducteur et qui les transfère comme des paquets par l'intermédiaire d'une série de dispositifs de commutation qui interconnectent ces régions.

NOTE 1 – On peut ajouter comme qualificatif à ce terme (ou à son abréviation): transistor à effet de champ à jonction, MOS, SOS, etc., suivant la technologie utilisée pour réaliser les dispositifs de commutation.

NOTE 2 – Ce dispositif fonctionne en recréant le paquet de charge à chaque position formée par une capacité interne.

5.1.3 Dispositif à couplage de charge (CCD)

Dispositif à transfert de charge qui stocke des charges dans des puits de potentiel et transfère la quasi-totalité de ces charges comme des paquets par déplacement de la position des puits de potentiel.

NOTE – Ce dispositif fonctionne en déplaçant la position du même paquet de charge.

5.1.4 Senseur d'image à transfert de charge

Dispositif à transfert de charge dans lequel une image est convertie en paquets de charge qui peuvent être transférés et qui constituent une représentation électrique de l'image.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4 Terminology for integrated circuit microprocessors

4.1 Integrated circuit microprocessor

An integrated circuit capable of:

– operating on coded instructions, and
– carrying out, in accordance with the instructions, all of:
  a) the acceptance of coded data for processing and/or storage;
  b) arithmetic and logical operations on the input data together with any relevant data stored in the internal registers of the microprocessor integrated circuit and/or in external memories;
  c) the delivery of coded data, and
– accepting and/or delivering signals controlling and/or describing the operation or state of the microprocessor integrated circuit.

NOTE – The instructions may be fed in, built in or held in an internal memory.

5 Terminology for charge-transfer devices

5.1 Device names

5.1.1 Charge-transfer device (CTD)

A device in which operation depends on the effective movement of discrete packets of charge along or beneath the semiconductor surface, or through the interconnections on the semiconductor surface.

NOTE – This effective movement may be produced by changing the region in which a controlling electric field is produced.

5.1.2 Bucket-brigade device (BBD)

A charge-transfer device that stores charge in discrete regions in a semiconductor and transfers this charge as a packet through a series of switching devices that interconnect these regions.

NOTE 1 – This term and its abbreviation may be preceded by bipolar, J-FET, MOS, SOS, etc., according to the technology used for the switching devices.

NOTE 2 – This device operates by re-creating the packet of charge at each position formed by an internal capacitance.

5.1.3 Charge-coupled device (CCD)

A charge-transfer device that stores charge in potential wells and transfers this charge almost completely as a packet by translating the position of the potential wells.

NOTE – This device operates by changing the position of the same packet of charge.

5.1.4 Charge-transfer image sensor

A charge-transfer device in which an image is converted into packets of charge that can be transferred as the electrical representation of the image.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.2 Termes généraux

5.2.1a) Charge de polarisation (cas des signaux analogiques)

Charge qui définit le niveau en l'absence de signal, dans le cas d'un fonctionnement analogique, et qui est insérée dans tous les puits de potentiel (voir figures 32a et 32b).

NOTE 1 – On utilise parfois le terme «fond de charge» principalement pour les dispositifs à image.

NOTE 2 – On insère généralement la charge électriquement ou alors par rayonnement.

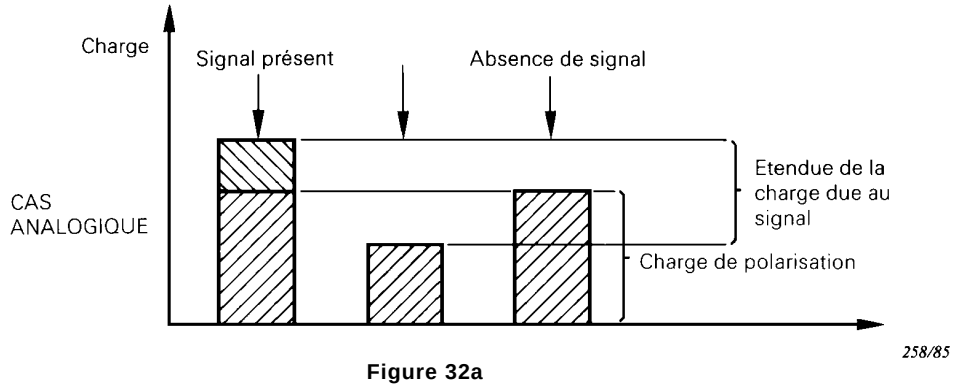


Figure 32a

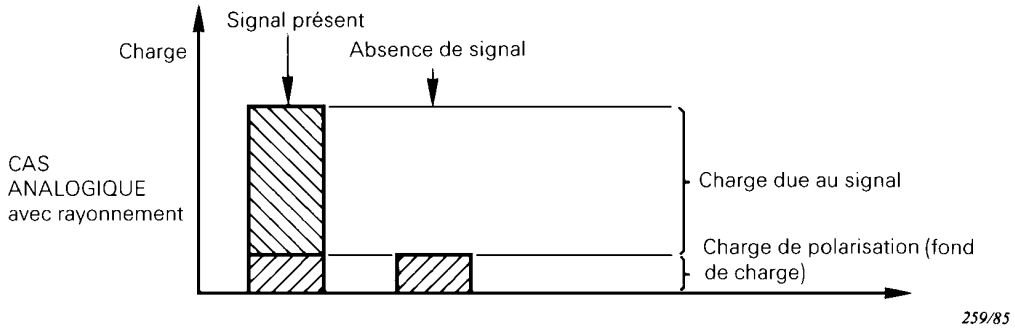


Figure 32b

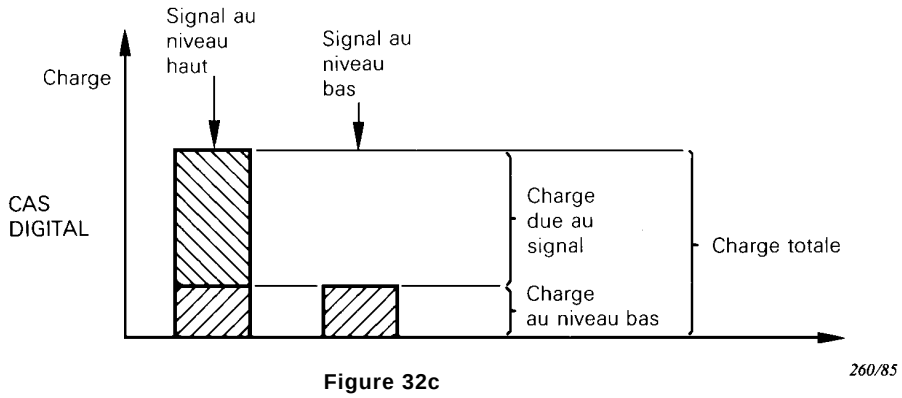


Figure 32c

Figure 32 – Schéma illustrant la présence ou l'absence de charges

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.2 General terms

5.2.1a) Bias charge (for analogue signal applications)

A charge that defines the no-signal level in the analogue case and that is inserted into all potential wells (see figures 32a and 32b).

NOTE 1 – The term "background charge" is sometimes used, mainly in imaging devices.

NOTE 2 – The charge is usually inserted electrically, or by radiation.

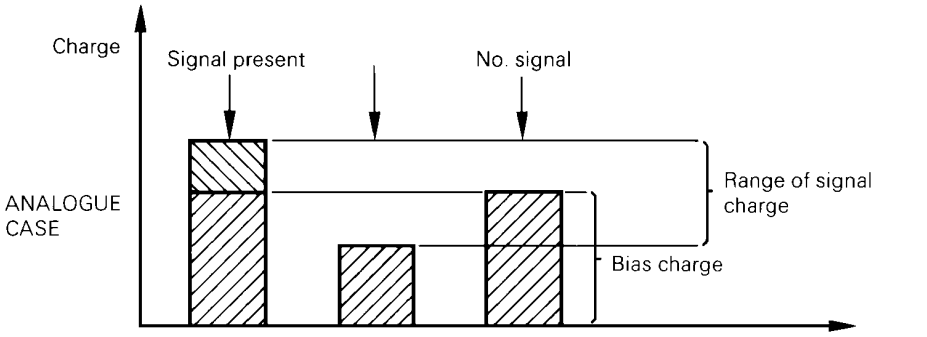


Figure 32a

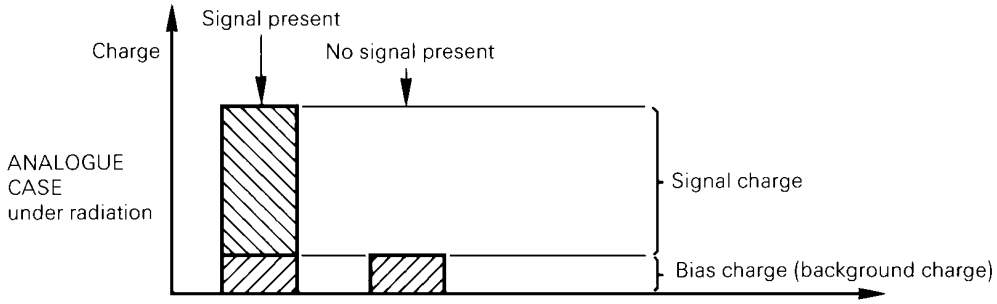


Figure 32b

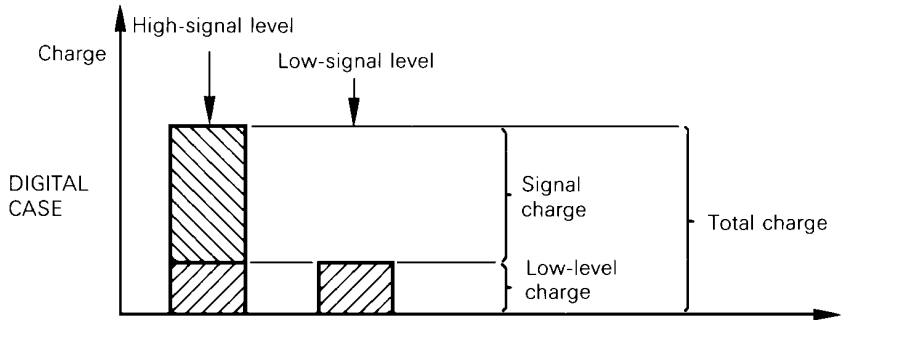


Figure 32c

Figure 32 – Diagram illustrating nomenclature

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.2.1b) Charge au niveau bas (cas des signaux numériques)

Charge qui définit le niveau bas du signal numérique; cette charge est insérée dans tous les puits de potentiel (voir figure 32c).

NOTE 1 – On a souvent utilisé le terme «zéro plein» pour décrire cette charge, mais ce terme est à déconseiller.

NOTE 2 – On insère généralement la charge électriquement ou alors par rayonnement.

5.2.2 Zéro «vide»; zéro «réel»

Condition pour laquelle il n'y pas de charge de polarisation ou pour laquelle la charge est au niveau bas.

5.2.3 Charge due au signal

Quantité de charge électrique représentant le signal (voir figure 32).

5.2.4 Charge totale

Charge électrique totale stockée dans un puits de potentiel (ou dans une région discrète d'un dispositif à transfert de charge en chaîne) (voir figure 32).

5.2.5 Paquet de charge

Partie de la charge totale qui est transférée d'une position à la suivante.

5.2.6 Perte de transfert de charge (δ)

Fraction de la perte de charge du signal qui remplit la charge résiduelle de tous les états d'interface ou les pièges dans le matériau, qui ont été vidés depuis le dernier passage d'une charge dans le dispositif, lorsqu'un paquet de charge est transféré d'une région de stockage à la suivante, après que les charges résiduelles ont décru à zéro.

5.2.7 Grille de transfert

Electrode, isolée du semiconducteur par une surface isolante ou par une jonction, à laquelle on applique une tension afin de transférer une charge.

5.2.8 Grille de stockage

Electrode, isolée du semiconducteur par une surface isolante ou par une jonction, à laquelle on applique une tension afin de stocker une charge.

5.2.9 Grille chevauchant la voisine

Type à grille de transfert dans lequel les électrodes adjacentes se chevauchent tout en étant isolées les une des autres.

5.2.10 Grille flottante

Electrode, isolée du semiconducteur par une surface isolante ou par une jonction, et qui n'a pas de connexion ohmique.

NOTE 1 – Le potentiel de la grille flottante dépend de la quantité de charge électrique stockée dans un puits de potentiel situé au-dessous de la surface.

NOTE 2 – On utilise en particulier les grilles flottantes dans la détection et la régénération des circuits. En principe, une grille flottante peut aussi être une jonction diffusée isolante, une jonction à barrière de Schottky, etc.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.2.1b) Low-level charge (for digital signal applications)

A charge that defines the low level of the digital signal; this charge is inserted into all potential wells (see figure 32c).

NOTE 1 – The term "fat zero" has often been used to describe this charge, but this term is to be deprecated.

NOTE 2 – The charge is usually inserted electrically, or by radiation.

5.2.2 Empty zero; real zero

A condition where there is no charge bias or a low-level charge.

5.2.3 Signal charge

A quantity of electric charge representing the signal (see figure 32).

5.2.4 Total charge

The total electrical charge stored in a potential well (or discrete region of a bucket-brigade device) (see figure 32).

5.2.5 Charge packet

The portion of the total charge that is transferred from one position to the next position.

5.2.6 Charge-transfer loss (δ)

The fractional loss of signal charge that replenishes the residual charge of all interface states or bulk traps that have emptied since the last passage of charge through the device, when a charge packet is transferred from one storage region to the next, after these residual charges have decayed to zero.

5.2.7 Transfer gate

An electrode, to which voltage is applied in order to transfer charge, and that is isolated from the semiconductor by an insulating surface or junction.

5.2.8 Storage gate

An electrode, to which voltage is applied in order to store charge, and that is isolated from the semiconductor by an insulating surface or junction.

5.2.9 Overlapping gate

A type of transfer gate in which adjacent electrodes overlap and are insulated from each other.

5.2.10 Floating gate

An electrode that has no ohmic connection, and that is isolated from the semiconductor by an insulating surface or junction.

NOTE 1 – The potential of the floating gate depends on the quantity of electrical charge stored in a potential well under the surface.

NOTE 2 – Floating gates are typically used in signal detection or regeneration circuits. In principle, a floating gate may also be an isolated diffused junction, Schottky-barrier junction, etc.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.2.11 Région flottante

Région dopée de forte conductivité, sans connexion résistante, dans laquelle des paquets de charge sont insérés et de laquelle ils sont extraits par des grilles de transfert qui se chevauchent ou sont adjacentes.

NOTE – On peut utiliser une diffusion flottante comme zone de lecture pour la charge de signal dans des circuits de détection ou de régénération.

5.2.12 Etage de régénération de charge (d'un circuit numérique)

Région d'un dispositif à transfert de charge utilisée pour rafraîchir l'information numérique stockée.

5.2.13 Puits de potentiel (d'un dispositif à couplage de charge)

Minimum d'énergie potentielle qui se forme dans le semiconducteur d'un dispositif à couplage de charge par application d'une tension à la grille de transfert, et qui rassemble toutes les charges mobiles pouvant être présentes.

5.2.14 Capacité de déplacement d'une charge; capacité totale d'un puits

Quantité maximale de charge qui peut être stockée dans un puits de potentiel et transférée sans déplacement de capacité dans des puits adjacents.

5.2.15 Canal de transfert

Région d'un dispositif à transfert de charge dans laquelle se produit l'écoulement des charges.

5.2.16 Canal en surface

Canal de transfert à l'interface semiconducteur-isolant.

5.2.17 Canal enterré

Canal de transfert situé au-dessous de la surface du semiconducteur.

5.3 Termes relatifs aux paramètres

5.3.1 Rendement d'un transfert de charge (*CTE*) (η)

Pourcentage de la charge du signal qui est transféré d'une région de stockage à la suivante.

5.3.2 Rendement global du transfert de charge (rendement global du transfert de signal)

Pourcentage de la charge due au signal d'entrée qui est transféré comme un paquet à la sortie.

5.3.3 Rendement de transfert de charge moyen

Racine $n^{\text{ième}}$ du rendement de transfert de charge global, où n représente le nombre de transferts.

5.3.4 Signal de saturation (pour les applications de signaux analogiques)

Courant de signal maximal ou puissance d'éclairement maximale pouvant être transféré avec un degré de linéarité spécifié entre les signaux d'entrée et de sortie.

5.3.5a) Signal de saturation d'entrée (pour les applications de signaux numériques)

Signal d'entrée ou puissance d'éclairement nécessaire pour remplir un puits.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.2.11 Floating region

A doped region of high conductivity but without ohmic connection, from which charge packets are transferred by overlapping or adjacent transfer gates.

NOTE – A floating region can be used as the sense node for the charge signal in detection or regeneration circuits.

5.2.12 Charge-regeneration stage (of a digital circuit)

A region of a charge-transfer device that is used to refresh stored digital information.

5.2.13 Potential well (of a charge-coupled device)

A potential-energy minimum that is formed in the semiconductor of a charge-coupled device under control of the voltage applied to a transfer gate and that confines any mobile charges that may be present.

5.2.14 Charge handling capacity; full-well capacity

The maximum amount of charge that can be stored in a potential well and transferred without overflow into adjacent wells.

5.2.15 Transfer channel

The region of a charge-transfer device within which the charge flow is confined.

5.2.16 Surface channel

A transfer channel at the semiconductor-insulator interface.

5.2.17 Buried channel

A transfer channel beneath the surface of the semiconductor.

5.3 Parameter terms

5.3.1 Charge-transfer efficiency (*CTE*) (η)

The fraction of the signal charge that is transferred from one storage region to the next storage region.

5.3.2 Overall charge-transfer efficiency (overall signal-transfer efficiency)

The fraction of the input signal charge that is transferred as a packet to the output.

5.3.3 Average charge-transfer efficiency

The n^{th} root of overall charge-transfer efficiency, where n is the number of transfers.

5.3.4 Saturation signal (for analogue signal applications)

The maximum input signal or illumination power that can be transferred with a specified degree of linearity between the input and output signals.

5.3.5a) Saturation input signal (for digital signal applications)

The input signal or illumination power that is required to fill a well.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.3.5b) Signal de saturation de sortie (pour les applications de signaux numériques)

Signal de sortie produit à partir d'un puits.

5.3.6 Signal de bruit équivalent

Signal efficace d'entrée ou puissance d'éclairement nécessaire pour doubler la puissance de sortie par rapport à celle obtenue sans signal ou éclairement d'entrée.

5.3.7 Gamme dynamique

Gamme de fonctionnement linéaire utilisable, exprimée sous forme de rapport du signal de saturation au signal de bruit équivalent.

5.3.8 Densité moyenne de courant de fuite (J_L)

Courant de fuite moyen engendré par unité de surface dans la surface active du dispositif.

NOTE – Selon le type de dispositif considéré, on peut définir la surface active comme la surface du canal de transfert ou la surface totale comprenant des régions définies du canal. Autres noms utilisés: «densité moyenne de courant d'obscurité» et «densité moyenne de courant d'origine thermique».

5.3.9 Pointe de courant de fuite

Variation du courant de fuite qui dépasse un niveau spécifié au-delà de sa valeur moyenne.

5.3.10 Temps de transfert de charge

Temps nécessaire pour déplacer une fraction spécifiée d'un paquet de charge d'une région de stockage à la voisine.

5.3.11 Gamme de retard du signal (pour les lignes à retard)

S'explique d'elle-même.

6 Symboles littéraux pour circuits combinatoires et séquentiels

a) Voir CEI 60747-1, chapitre V, et CEI 60748-1, chapitre V.

b) Voir aussi l'article 7 du présent chapitre.

7 Symboles littéraux pour les paramètres dynamiques des circuits intégrés séquentiels, y compris des mémoires

7.1 Introduction

Certaines des données caractéristiques générales qui sont souhaitables dans un système de symboles littéraux utilisé pour représenter les paramètres dynamiques des mémoires et des autres circuits séquentiels sont indiqués ci-après en tant qu'introduction au système décrit dans cet article.

a) Le système adopté doit pouvoir représenter les paramètres dynamiques de n'importe quel circuit mémoire, quelle que soit sa complexité, et doit aussi convenir pour tout autre circuit numérique complexe. Il serait regrettable, par exemple, d'avoir un système de symboles littéraux différent pour les mémoires et pour les microprocesseurs.

b) Les exigences indiquées ci-dessus conduisent, en général, pour les paramètres dynamiques, à des symboles assez longs et d'emploi incommode. Il est donc souhaitable que les symboles puissent être simplifiés lorsqu'il n'y a aucun risque de confusion et qu'une telle simplification conduise à un symbole mnémonique aisément compréhensible.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.3.5b) Saturation output signal (for digital signal applications)

The output signal that is required from a well.

5.3.6 Noise equivalent signal

The r.m.s. input signal or illumination power level needed to increase the output power to twice the value obtained with no input signal or illumination.

5.3.7 Dynamic range

The range of useful linear operation expressed as a ratio of the saturation signal to the noise equivalent signal.

5.3.8 Average leakage current density (J_L)

The average leakage current per unit area within the active area of the device.

NOTE – Depending on the type of device, the active area may be defined as either the area of the transfer channel or the overall area including defining regions. Other names used are: "average dark current density" and "average thermal generation current density".

5.3.9 Leakage current spike

A variation of the leakage current that exceeds some specified level above its average value.

5.3.10 Charge-transfer time

The time required to move a specified fraction of a charge packet from one storage region to the next.

5.3.11 Signal-delay range (for delay lines)

Self-explanatory.

6 Letter symbols for combinatorial and sequential circuits

a) See IEC 60747-1, Chapter V, and IEC 60748-1, Chapter V.

b) See also clause 7 of this Chapter.

7 Letter symbols for the dynamic parameters of sequential integrated circuits, including memories

7.1 Introduction

Some of the general features that are desirable in a system of letter symbols to be used to represent the dynamic parameters of memories and other sequential circuits are given below as an introduction to the system described in this clause.

a) The system adopted should be capable of representing the dynamic parameters of any memory circuit, no matter how complex, and should also be suitable for any other complex digital circuit. It would, for example, be undesirable to have a different system of letter symbols for memories and for microprocessors.

b) The requirement above leads, in the general case, to rather long and cumbersome symbols for the dynamic parameters. It is desirable therefore that the symbols should be capable of simplification when no ambiguity is likely to occur and that such simplification should lead to an easily understood mnemonic symbol.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

c) Lors du choix des lettres à utiliser pour les indices et de l'adoption en la circonstance de majuscules ou de minuscules, il a été pratiquement impossible de choisir un ensemble d'indices à la fois cohérent et en accord avec la pratique antérieure de la CEI. On a décidé d'adopter une approche aussi cohérente que possible, car on a pensé que l'obtention de symboles littéraux applicables aux circuits séquentiels présents et futurs est une chose si complexe qu'il était nécessaire d'envisager une nouvelle et logique approche du sujet.

d) L'utilisation des lettres minuscules et des indices contenus dans cet article est recommandée pour les feuilles particulières et les documents imprimés similaires. Cependant, les symboles sont fréquemment reproduits par des équipements qui ne peuvent pas imprimer soit des lettres minuscules, soit des indices. On devra éviter toute ambiguïté si les symboles sont imprimés de cette façon.

7.2 Symboles littéraux

Le système de symboles littéraux décrit dans cet article permet d'obtenir des symboles pour les paramètres dynamiques des circuits séquentiels complexes, y compris les mémoires; il permet aussi d'abréger ces symboles en des symboles mnémoniques simples lorsqu'il n'y a pas de risque de confusion.

7.2.1 Forme générale

Les paramètres dynamiques sont représentés par un symbole général de la forme:

$$t_{A(BC\text{-}DE)F} \qquad (1)$$

L'indice A indique le type de paramètre dynamique que l'on désire représenter, par exemple: temps de cycle, temps de préparation, temps d'autorisation, etc.

L'indice B indique le nom du signal ou de la borne pour lequel un changement d'état ou de niveau (ou l'établissement d'un état ou d'un niveau) constitue un événement qui est supposé se produire en premier, c'est-à-dire au début de l'intervalle de temps. Si cet événement se produit en fait en dernier, c'est-à-dire à la fin de l'intervalle de temps, la valeur de l'intervalle de temps est négative.

L'indice C indique le sens de la transition et/ou l'état ou le niveau final du signal représenté par B. Lorsqu'on utilise deux lettres, l'état initial ou le niveau est également indiqué.

L'indice D indique le nom du signal ou de la borne pour lequel un changement d'état ou de niveau (ou l'établissement d'un état ou d'un niveau) constitue un événement qui est supposé se produire en dernier, c'est-à-dire à la fin de l'intervalle de temps. Si cet événement se produit en fait en premier, c'est-à-dire au début de l'intervalle de temps, la valeur de l'intervalle de temps est négative.

L'indice E indique le sens de la transition et/ou l'état ou le niveau final du signal représenté par D. Lorsqu'on utilise deux lettres, le niveau ou l'état initial est également indiqué.

L'indice F indique une information supplémentaire telle que: mode de fonctionnement, conditions d'essais, etc.

NOTE 1 – Les indices A à F peuvent comporter, chacun, une ou plusieurs lettres.

NOTE 2 – Les indices D et E ne sont pas utilisés pour les temps de transition.

NOTE 3 – Le tiret dans le symbole (1) indique «vers»; ainsi, le symbole représente l'intervalle de temps entre l'arrivée du signal B et celle du signal D; il est important de noter que cette convention est valable pour tous les paramètres dynamiques, y compris les temps de maintien. Lorsqu'il n'y a pas de risque de confusion, on peut omettre le tiret.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

c) In deciding upon the letters to be used as subscripts and whether they should be upper-case or lower-case, it is almost impossible to choose a set of subscripts that is both self-consistent and also in agreement with previous practice in IEC. It was decided to adopt a self-consistent approach, as it was thought that the problem of obtaining satisfactory letter symbols that might be applicable to both present and future sequential circuits was so complex that a new and consistent approach was desirable.

d) The use of lower-case letters and subscripts as given in this clause is preferred for data sheets and similar printed documents. However, parameter symbols are frequently reproduced by equipment that lacks the capability for either lower-case letters or subscription. The symbols should still be unambiguous if printed using this altered form.

7.2 Letter symbols

The system of letter symbols outlined in this clause enables symbols to be generated for the dynamic parameters of complex sequential circuits, including memories, and also allows these symbols to be abbreviated to simple mnemonic symbols when no ambiguity is likely to occur.

7.2.1 General form

The dynamic parameters are represented by a general symbol of the form:

$$t_{A(BC\text{-}DE)F} \qquad (1)$$

Subscript A indicates the type of dynamic parameter being represented, for example, cycle time, set-up time, enable time, etc.

Subscript B indicates the name of the signal or terminal for which a change of state or level (or establishment of a state or level) constitutes a signal event assumed to occur first, that is at the beginning of the time interval. If this event actually occurs last, that is at the end of the time interval, the value of the time interval is negative.

Subscript C indicates the direction of the transition and/or the final state or level of the signal represented by B. When two letters are used, the initial state or level is also indicated.

Subscript D indicates the name of the signal or terminal for which a change of state or level (or establishment of a state or level) constitutes a signal event assumed to occur last, that is at the end of the time interval. If this event actually occurs first, that is at the beginning of the time interval, the value of the time interval is negative.

Subscript E indicates the direction of the transition and/or the final state or level of the signal represented by D. When two letters are used, the initial state or level is also indicated.

Subscript F indicates additional information such as mode of operation, test conditions, etc.

NOTE 1 – Subscripts A to F may each consist of one or more letters.

NOTE 2 – Subscripts D and E are not used for transition times.

NOTE 3 – The "-" in the symbol (1) is used to indicate "to"; hence the symbol represents the time interval from signal event B occurring to signal event D occurring, and it is important to note that this convention is used for all dynamic parameters including hold times. When no misunderstanding is likely to occur, the hyphen may be omitted.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.2.2 Forme abrégée

On peut abréger le symbole général indiqué ci-dessus lorsqu'il n'y a pas risque de confusion, par exemple:

$$t_{A(B\text{-}D)}$$

ou: $t_{A(B)}$

ou: $t_{A(D)}$ – utilisé souvent pour les temps de maintien

ou: t_{AF} – on n'utilise pas de parenthèses dans ce cas

ou: $t_{A(BE)}$ – utilisé souvent pour les durées d'impulsions

ou: t_{A}

ou: $t_{BC\text{-}DE}$ – utilisé souvent pour les intervalles de temps divers.

7.2.3 Formation des indices

Lors de la formation des indices, ceux qui sont les plus couramment utilisés sont constitués, si possible, par une seule lettre et ceux qui le sont le moins par un maximum de trois lettres. Dans la mesure du possible, on cherche à utiliser une représentation mnémonique. On peut utiliser des symboles littéraux plus longs pour des signaux spéciaux ou des bornes spéciales si cela peut aider la compréhension.

7.3 Indice A: type de paramètre dynamique

L'indice A représente le type de paramètre dynamique qui doit être indiqué par le symbole; on peut diviser ces paramètres en deux classes:

a) les paramètres qui sont des conditions de temps pour le dispositif;

b) les paramètres qui sont des caractéristiques du dispositif.

Les symboles littéraux ainsi proposés pour les mémoires sont énumérés dans les paragraphes 7.3.1 et 7.3.2 ci-dessous.

Tous les indices A doivent être minuscules.

7.3.1 Conditions de temps

Les symboles littéraux pour les conditions de temps des mémoires à semiconducteurs figurent ci-dessous:

Terme	*Indice*
Temps de cycle	c
Intervalle de temps entre deux signaux	d
Temps de décroissance	f
Temps de maintien	h
Temps de préconditionnement	pc
Temps de croissance	r
Temps de recouvrement	rec
Intervalle de temps de rafraîchissement	rf
Temps de préparation	su
Temps de transition	t
Durée (largeur) d'impulsion	w

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.2.2 Abbreviated forms

The general symbol given above may be abbreviated when no misunderstanding is likely to occur, for example:

$$t_{A(B\text{-}D)}$$

or: $t_{A(B)}$

or $t_{A(D)}$ – often used for hold times

or: t_{AF} – no parentheses are used in this case

or: $t_{A(BE)}$ – often used for pulse duration

or: t_A

or: $t_{BC\text{-}DE}$ – often used for unclassified time intervals.

7.2.3 Allocation of subscripts

In allocating letter symbols for the subscripts, the most commonly used subscripts are given single letters where practicable and those less commonly used are designated by up to three letters. As far as possible, some form of mnemonic representation is used. Longer letter symbols may be used for specialized signals or terminals if this aids understanding.

7.3 Subscript A: type of dynamic parameter

The subscript A represents the type of dynamic parameter to be designated by the symbol; the parameters may be divided into two classes:

a) those that are timing requirements for the device;

b) those that are characteristics of the device.

The letter symbols so far proposed for memory circuits are listed in 7.3.1 and 7.3.2 below.

All subscripts A should be in lower-case.

7.3.1 Timing requirements

The letter symbols for the timing requirements of semiconductor memories are as follows:

Term	*Subscript*
Cycle time	c
Time interval between two signal event	d
Fall time	f
Hold time	h
Precharge time	pc
Rise time	r
Recovery time	rec
Refresh time interval	rf
Set-up time	su
Transition time	t
Pulse duration (width)	w

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.3.2 Caractéristiques

Les symboles littéraux pour les caractéristiques dynamiques des mémoires à semi-conducteurs figurent ci-dessous:

Caractéristiques	*Indice*
Temps d'accès	a
Temps d'inhibition	dis
Temps d'autorisation	en
Temps de propagation	p
Temps de recouvrement	rec
Temps de transition	t
Temps de validation	v

NOTE – Le temps de recouvrement, en tant que caractéristique, est limité au temps de recouvrement de lecture.

7.4 Indices B et D: nom du signal ou nom de la borne

Les symboles littéraux pour le nom du signal ou le nom de la borne sont indiqués ci-dessous.

Tous les indices B et D doivent être en majuscules.

Signal ou borne	*Indice*
Adresse	A
Horloge	C
Adresse colonnes	CA
Echantillonnage adresse colonnes	CAS
Entrée de l'information	D
Entrée/sortie de l'information	DQ
Autorisation boîtier	E
Effacement	ER
Autorisation sortie	G
Programme	PR
Sortie de l'information	Q
Lecture	R
Adresse lignes	RA
Echantillonnage adresse lignes	RAS
Rafraîchissement	RF
Lecture-écriture	RW
Sélection boîtier	S
Ecriture (autorisation écriture)	W

NOTE 1 – Dans les symboles littéraux relatifs aux intervalles de temps, on ne doit pas utiliser de barres au-dessus des indices, par exemple $\overline{\text{CAS}}$.

NOTE 2 – A noter que, dans le choix d'autres symboles littéraux, l'indice ne doit pas se terminer par H, L, V, X ou Z (voir 7.5).

NOTE 3 – Si l'on peut utiliser la même borne, ou le même signal, pour deux fonctions (par exemple: entrée-sortie de l'information, lecture-écriture), la forme d'onde doit être appelée du nom des deux fonctions, s'il y a lieu, mais les symboles des paramètres dynamiques ne doivent comprendre que la partie de l'indice correspondant au paramètre. (Voir par exemple l'utilisation de DQ et RW en 7.7 ci-après).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.3.2 Characteristics

The letter symbols for the dynamic characteristics of semiconductor memories are as follows:

Characteristic	*Subscript*
Access time	a
Disable time	dis
Enable time	en
Propagation time	p
Recovery time	rec
Transition time	t
Valid time	v

NOTE – Recovery time for use as a characteristic is limited to sense recovery time.

7.4 Subscripts B and D: signal name or terminal name

The letter symbols for the signal name or the name of the terminal are as given below.

All subscripts B and D should be in upper-case.

Signal or terminal	*Subscript*
Address	A
Clock	C
Column address	CA
Column address strobe	CAS
Data input	D
Data input/output	DQ
Chip enable	E
Erasure	ER
Output enable	G
Program	PR
Data output	Q
Read	R
Row address	RA
Row address strobe	RAS
Refresh	RF
Read-Write	RW
Chip select	S
Write (write enable)	W

NOTE 1 – In the letter symbols for time intervals, bars over the subscripts, for example, $\overline{\text{CAS}}$, should not be used.

NOTE 2 – It should be noted, when further letter symbols are chosen, that the subscript should not end with H, L, V, X or Z (see 7.5).

NOTE 3 – If the same terminal, or signal, can be used for two functions (for example Data input-output, Read-Write), the waveform should be labelled with the dual function, if appropriate, but the symbols for the dynamic parameters should include only that part of the subscript relevant to the parameter. (See use of DQ and RW in 7.7 below, for example).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.5 Indices C et E: transition du signal

On utilise les symboles suivants pour représenter le niveau ou l'état d'un signal:

Niveau haut	H
Niveau bas	L
Niveau stable valide (haut ou bas)	V
Inconnu, changeant ou indifférent	X
Etat haute impédance d'une sortie trois états	Z

On exprime la direction de la transition par deux lettres, la direction allant de l'état représenté par la première lettre vers celui représenté par la seconde, en utilisant les lettres indiquées ci-dessus.

Lorsqu'il n'y a pas de risque de confusion, on peut omettre la première lettre et avoir ainsi un symbole abrégé pour les indices C et E, comme il est indiqué ci-dessous.

Tous les indices C et E doivent être majuscules.

	Indice	
Exemples:	*Complet*	*Abrégé*
Transition du niveau haut au niveau bas	HL	L
Transition du niveau bas au niveau haut	LH	H
Transition d'un état inconnu ou changeant à un état valide	XV	V
Transition d'un état valide à un état inconnu ou changeant	VX	X
Transition d'un état valide à un niveau haut	VH	H
Transition d'un état valide à un état à haute impédance	VZ	Z
Transition d'un état à haute impédance à un état valide	ZV	V

NOTE – Comme il est possible d'abréger les indices C et E, et comme les indices B et D peuvent contenir un nombre de lettres indéterminé, il est nécessaire de mettre une restriction sur les indices B et D, à savoir qu'ils ne doivent pas se terminer par H, L, V, X ou Z, afin d'éviter toute confusion possible.

7.6 Indice F

S'il est nécessaire, on utilise l'indice F pour représenter toute information supplémentaire sur le paramètre, telle que: mode de fonctionnement, conditions d'essai, etc. Les symboles littéraux pour l'indice F sont indiqués ci-dessous.

L'indice F doit être majuscule.

Modes de fonctionnement	*Indice*
Coupure du courant	PD
Lecture par page	PGR
Ecriture par page	PGW
Lecture	R
Rafraîchissement	RF
Lecture-modification-écriture	RMW
Lecture-écriture	RW
Ecriture	W

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.5 Subscripts C and E: transition of signal

The following symbols are used to represent the level or state of a signal:

High level	H
Low level	L
Valid steady-state level (either low or high)	V
Unknown, changing, or irrelevant level	X
High-impedance state of three-state output	Z

The direction of transition is expressed by two letters, the direction being from the state represented by the first letter to that represented by the second letter, with the letters being as given above.

When no misunderstanding is likely to occur, the first letter may be omitted to give an abbreviated symbol for subscripts C and E as indicated below.

All subscripts C and E should be in upper-case.

Examples:	*Subscript*	
	Full	*Abbreviated*
Transition from high level to low level	HL	L
Transition from low level to high level	LH	H
Transition from unknown or changing state to valid state	XV	V
Transition from valid state to unknown or changing state	VX	X
Transition from valid state to high level	VH	H
Transition from valid state to high-impedance state	VZ	Z
Transition from high-impedance state to valid state	ZV	V

NOTE – Since subscripts C and E may be abbreviated, and since subscripts B and D may contain an indeterminate number of letters, it is necessary to put the restriction on the subscripts B and D that they should not end with H, L, V, X or Z, so as to avoid possible confusion.

7.6 Subscript F

If necessary, subscript F is used to represent any additional qualification of the parameter such as mode of operation, test conditions, etc. The letter symbols for subscript F are given below.

Subscript F should be in upper-case.

Mode of operation	*Subscript*
Power-down	PD
Page-mode read	PGR
Page-mode write	PGW
Read	R
Refresh	RF
Read-modify-write	RMW
Read-write	RW
Write	W

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.7 Exemples de symboles littéraux

Introduction

Les exemples donnés ci-dessous sont destinés à montrer comment on peut utiliser le système de symboles pour les paramètres dynamiques des circuits séquentiels. Les symboles abrégés ne sont donnés que comme exemples du système et ne doivent pas être interprétés comme une recommandation pour l'utilisation d'un symbole abrégé particulier pour un paramètre dynamique quelconque. De même, les chronogrammes ne doivent pas être considérés comme donnant les niveaux pour la mesure d'un intervalle de temps quelconque.

7.7.1 Exemples d'abréviations de symboles littéraux

Les exemples donnés dans le tableau I montrent comment on peut abréger les symboles littéraux des paramètres dynamiques des circuits séquentiels. Le tableau 1 montre toutes les abréviations successives possibles des symboles. On peut utiliser n'importe quelle forme abrégée, mais il est recommandé d'utiliser les symboles littéraux les plus courts lorsqu'il n'y a pas de risque de confusion. Il est préférable que le degré de simplification du symbole littéral corresponde à celui du terme, mais ce n'est pas obligatoire.

Tableau 1 – Exemples d'abréviations de symboles littéraux

Termes	Symboles littéraux
Temps de préparation adresse lecture-sélection boîtier	$t_{su(AXV\text{-}SLH)R}$ $t_{su(AV\text{-}SH)R}$ $t_{su(A\text{-}S)R}$
Temps de préparation adresse-sélection boîtier	$t_{su(AXV\text{-}SLH)}$ $t_{su(AV\text{-}SH)}$ $t_{su(A\text{-}S)}$
Temps d'accès d'adresse	$t_{su(AXV)}$ $t_{su(AV)}$ $t_{su(A)}$

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.7 Examples of letter symbols

Introduction

The examples given below are intended to show how the system of symbols for the dynamic parameters of sequential circuits may be used. The abbreviated symbols are given only as examples of the system and should not be interpreted as a recommendation for the use of a particular abbreviated symbol for a particular dynamic parameter. Similarly, the diagrams should not be regarded as defining the appropriate endpoints for the measurement of any particular time interval.

7.7.1 Examples of abbreviation of letter symbols

The examples given in table I show how the letter symbols for the dynamic parameters of sequential circuits may be abbreviated. Table 1 shows all possible grades of abbreviated form. Any of the abbreviated forms can be used, but it is recommended that the shorter letter symbols be used when no misunderstanding is likely to occur. It is preferable that the grade of simplification of the letter symbol corresponds to the grade of simplification of the term, but it is not mandatory.

Table 1 – Examples of abbreviations of letter symbols

Terms	Letter symbols
Read (-mode) address set-up time before chip-select	$t_{su(AXV\text{-}SLH)R}$ $t_{su(AV\text{-}SH)R}$ $t_{su(A\text{-}S)R}$
Address set-up time before chip-select	$t_{su(AXV\text{-}SLH)}$ $t_{su(AV\text{-}SH)}$ $t_{su(A\text{-}S)}$
Address set-up time	$t_{su(AXV)}$ $t_{su(AV)}$ $t_{su(A)}$

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.7.2 Exemples de symboles littéraux pour les mémoires à semiconducteurs

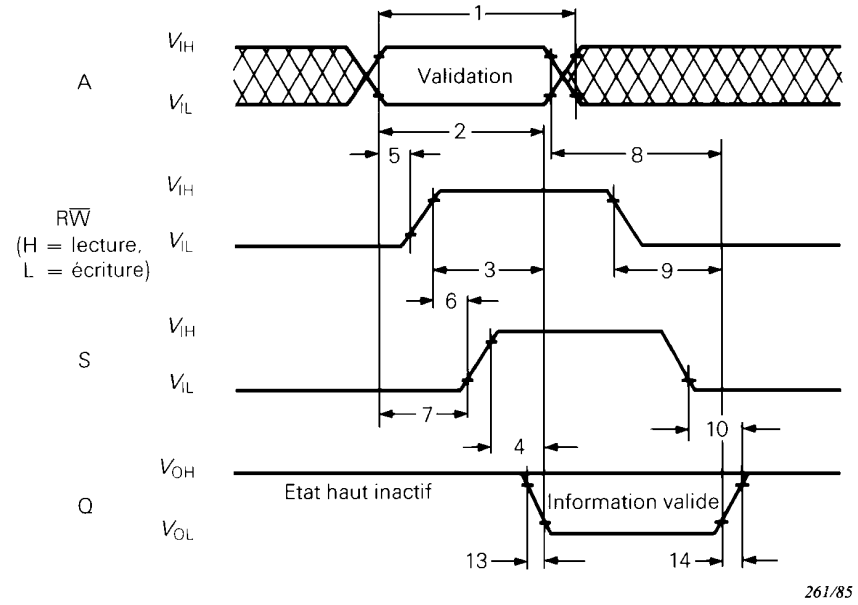


Figure 33a – Mémoire avec sortie à collecteur ouvert

	Symboles complets $t_{A(BC-DE)F}$	Symboles avec indices abrégés en position C et E, indices en position F seulement si essentiel	Formes abrégées typiques
Exigences de temps			
1 Temps de cycle de lecture	$t_{c(AVX-AVX)R}$	$t_{c(AV-AX)R}$	t_{cR}
5 Temps de préparation adresse-lecture	$t_{su(AXV-RLH)R}$	$t_{su(AV-RH)R}$	$t_{su(A-RH)}$; $t_{su(A-R)}$; $t_{su(A)}$
6 Temps de préparation lecture-sélection	$t_{su(RLH-SLH)R}$	$t_{su(RH-SH)R}$	$t_{su(R-S)}$; $t_{su(R)}$
7 Temps de préparation adresse-sélection	$t_{su(AXV-SLH)R}$	$t_{su(AV-SH)R}$	$t_{su(A-S)}$; $t_{su(A)}$
Caractéristiques de commutation			
2 Temps d'accès d'adresse	$t_{a(AXV-QXV)R}$	$t_{a(AV-QV)}$	$t_{a(A)}$
3 Temps d'accès de lecture	$t_{a(RLH-QXV)R}$	$t_{a(RH-QV)}$	$t_{a(R)}$
4 Temps d'accès de sélection boîtier	$t_{a(SLG-QHV)R}$	$t_{a(SH-QV)}$	$t_{a(S)}$
8 Temps de validation en sortie après l'adresse (précédente)	$t_{v(AVX-QVX)R}$	$t_{v(AX-QX)}$	$t_{v(A-Q)}$; $t_{v(A)}$; $t_{v(Q)}$
9 Temps de validation en sortie après (fin de) lecture	$t_{v(RHL-QVX)R}$	$t_{v(RL-QX)}$	$t_{v(R-Q)}$; $t_{v(R)}$; $t_{v(Q)}$
10 Temps d'inhibition en sortie après (fin de) sélection	$t_{dis(SHL-QVH)R}$	$t_{dis(SL-QH)}$	$t_{dis(S-Q)}$; $t_{dis(SL)}$; $t_{dis(S)}$
13 Temps de transition en sortie du niveau haut au niveau bas	$t_{t(QHL)R}$*	$t_{t(QL)}$	$t_{t(L)}$
14 Temps de transition en sortie du niveau bas au niveau haut	$t_{t(QLH)R}$*	$t_{t(QH)}$	$t_{t(H)}$

* Les indices en positions D et E ne sont pas utilisés pour les temps de transition, y compris les temps de croissance et de décroissance.

Figure 33 – Symboles littéraux pour un cycle de lecture typique d'une mémoire

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.7.2 Examples of letter symbols for semiconductor memories

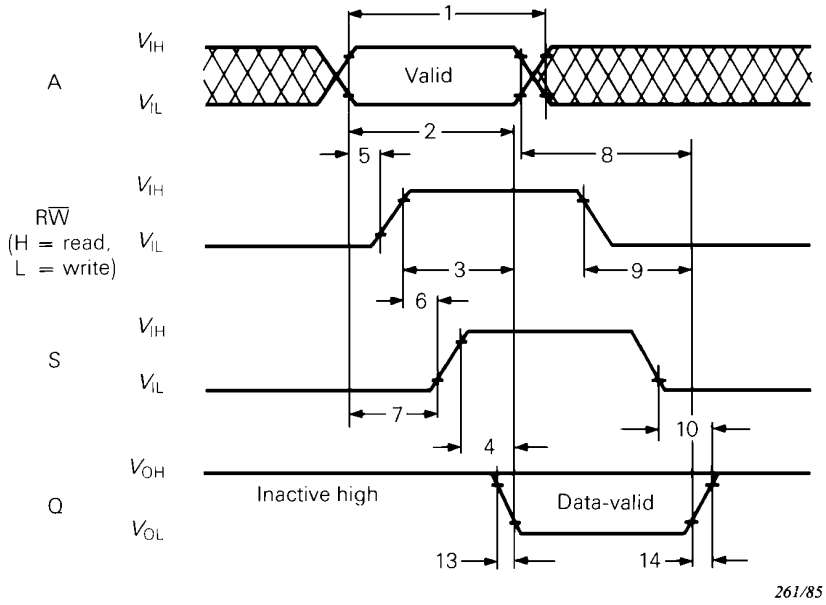


Figure 33a – Memory with open-collector output

	Full symbols $t_{A(BC-DE)F}$	Symbols with abbreviated subscripts in position C and E, subscripts in position F only when essential	Typical abbreviated forms
Timing requirements			
1 Read cycle time	$t_{c(AVX-AVX)R}$	$t_{c(AV-AX)R}$	t_{cR}
5 Address set-up time before read	$t_{su(AXV-RLH)R}$	$t_{su(AV-RH)R}$	$t_{su(A-RH)}$; $t_{su(A-R)}$; $t_{su(A)}$
6 Read set-up time before select	$t_{su(RLH-SLH)R}$	$t_{su(RH-SH)R}$	$t_{su(R-S)}$; $t_{su(R)}$
7 Address set-up time before select	$t_{su(AXV-SLH)R}$	$t_{su(AV-SH)R}$	$t_{su(A-S)}$; $t_{su(A)}$
Switching characteristics			
2 Address access time	$t_{a(AXV-QXV)R}$	$t_{a(AV-QV)}$	$t_{a(A)}$
3 Read access time	$t_{a(RLH-QXV)R}$	$t_{a(RH-QV)}$	$t_{a(R)}$
4 Chip-select time	$t_{a(SLG-QHV)R}$	$t_{a(SH-QV)}$	$t_{a(S)}$
8 Output valid time after (previous) address	$t_{v(AVX-QVX)R}$	$t_{v(AX-QX)}$	$t_{v(A-Q)}$; $t_{v(A)}$; $t_{v(Q)}$
9 Output valid time after (end of) read	$t_{v(RHL-QVX)R}$	$t_{v(RL-QX)}$	$t_{v(R-Q)}$; $t_{v(R)}$; $t_{v(Q)}$
10 Output disable time after (end of) select	$t_{dis(SHL-QVH)R}$	$t_{dis(SL-QH)}$	$t_{dis(S-Q)}$; $t_{dis(SL)}$; $t_{dis(S)}$
13 High-level to low-level output transition time	$t_{t(QHL)R}$*	$t_{t(QL)}$	$t_{t(L)}$
14 Low-level to high-level output transition time	$t_{t(QLH)R}$*	$t_{t(QH)}$	$t_{t(H)}$
* Subscripts in position D and E are not used for transition times, including rise and fall times.			

Figure 33 – Letter symbols for typical memory read cycle

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

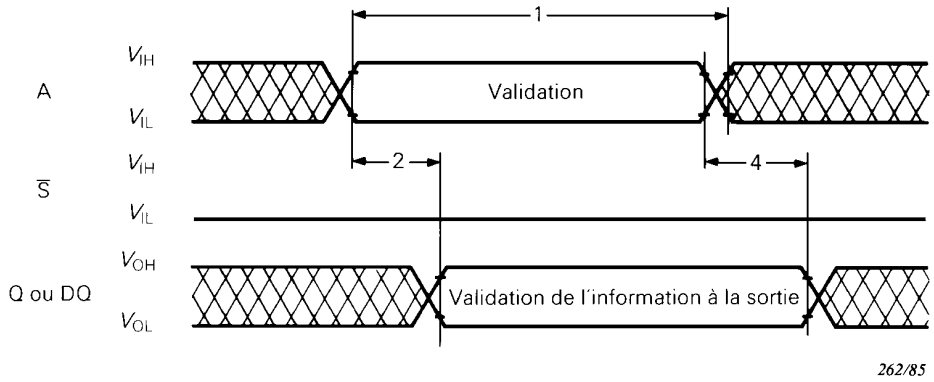


Figure 34a

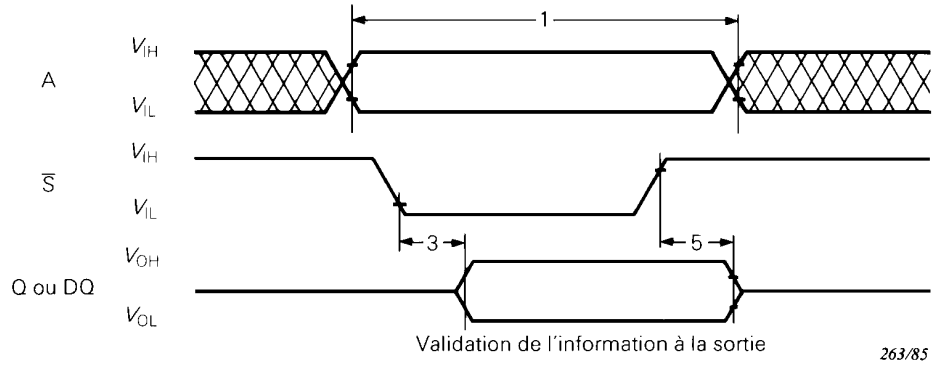


Figure 34b

	Symboles complets $t_{A(BC\text{-}DE)F}$	**Symboles avec indices abrégés en position C et E, indices en position F seulement si essentiel**	**Formes abrégées typiques**
Exigences de temps			
1 Temps de cycle de lecture	$t_{c(AXV\text{-}AVX)R}$	$t_{c(AV\text{-}AX)R}$	t_{cR}
Caractéristiques de commutation			
2 Temps d'accès adresse	$t_{a(AXV\text{-}QXV)R}$	$t_{a(AV\text{-}QV)}$	$t_{a(A)}$
3 Temps d'accès de sélection boîtier	$t_{a(SHL\text{-}QZV)R}$	$t_{a(SL\text{-}QV)}$	$t_{a(S)}$
4 Temps de validation en sortie après adresse	$t_{v(AVX\text{-}QVX)R}$	$t_{v(AX\text{-}QX)}$	$t_{v(A)}$
5 Temps d'inhibition en sortie après sélection	$t_{dis(SLH\text{-}QVZ)R}$	$t_{dis(SH\text{-}QZ)}$	$t_{dis(S)}$

Figure 34 – Mémoire à accès aléatoire à fonctionnement statique – Cycle de lecture typique

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

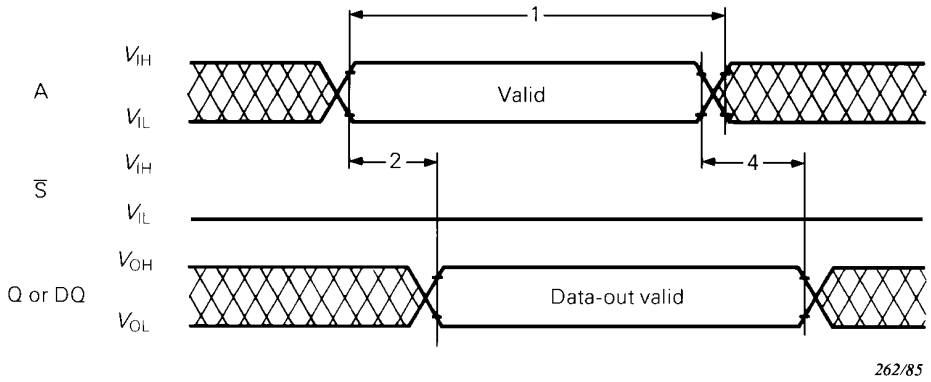


Figure 34a

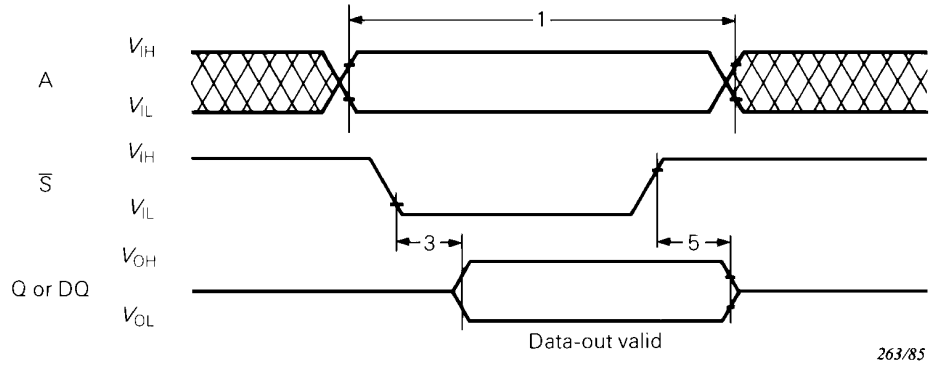


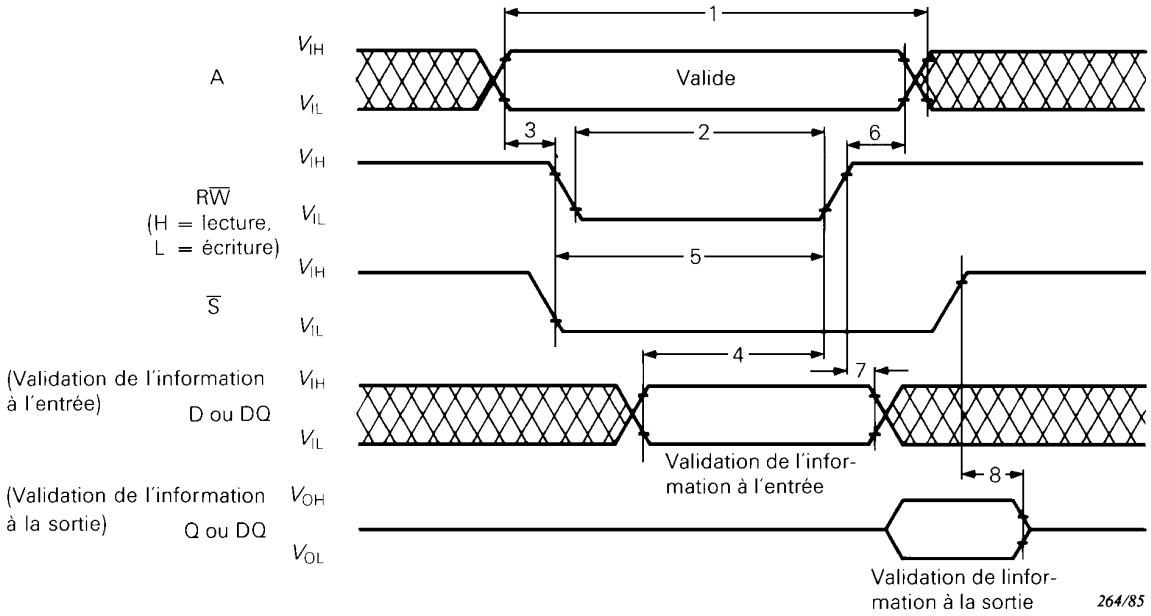
Figure 34b

	Full symbols $t_{A(BC\text{-}DE)F}$	Symbols with abbreviated subscripts in position C and E, subscripts in position F only when essential	Typical abbreviated forms
Time requirements			
1 Read cycle time	$t_{c(AXV\text{-}AVX)R}$	$t_{c(AV\text{-}AX)R}$	t_{cR}
Switching characteristics			$t_{a(A)}$
2 Address access time	$t_{a(AXV\text{-}QXV)R}$	$t_{a(AV\text{-}QV)}$	$t_{a(S)}$
3 Chip-select access time	$t_{a(SHL\text{-}QZV)R}$	$t_{a(SL\text{-}QV)}$	$t_{v(A)}$
4 Output valid time after address	$t_{v(AVX\text{-}QVX)R}$	$t_{v(AX\text{-}QX)}$	$t_{dis(S)}$
5 Output disable time after select	$t_{dis(SLH\text{-}QVZ)R}$	$t_{dis(SH\text{-}QZ)}$	

Figure 34 – Typical static random-access memory – Read cycle

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Cycle d'écriture

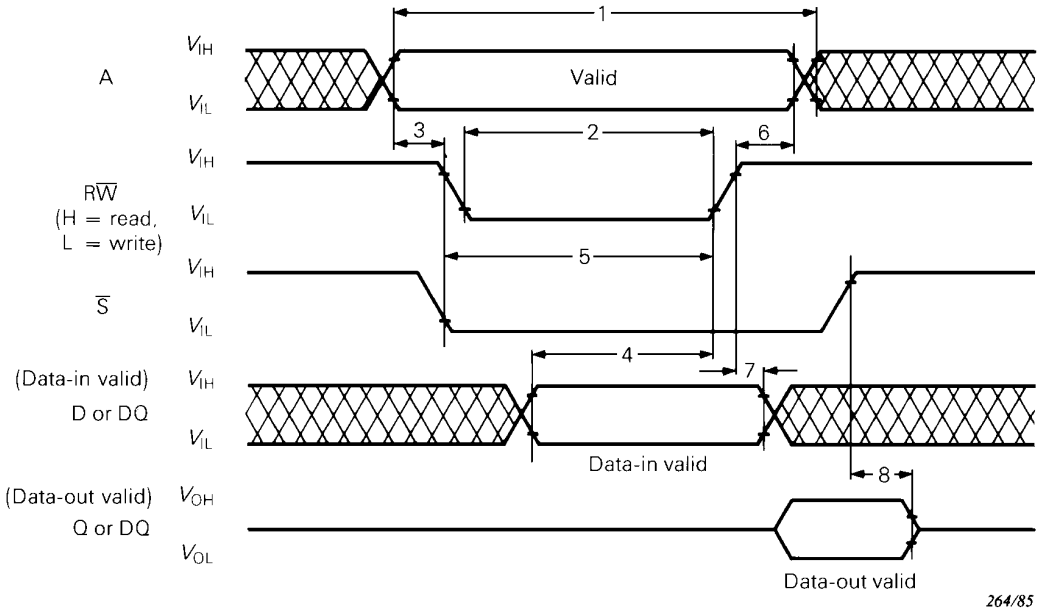


	Symboles complets $t_{A(BC-DE)F}$	Symboles avec indices abrégés en position C et E, indices en position F seulement si essentiel	Formes abrégées typiques
Exigences de temps			
1 Temps de cycle d'écriture	$t_{c(AXV-AVX)W}$	$t_{c(AV-AX)}$	t_{cW}
2 Durée (largeur) de l'impulsion d'écriture	$t_{w(WHL-WLH)W}$	$t_{w(WL-WH)}$	$t_{w(WL)}$; $t_{w(W)}$
3 Temps d'autorisation adresse-écriture	$t_{su(AXV-WHL)W}$	$t_{su(AV-WL)}$	$t_{su(A-W)}$; $t_{su(A)}$
4 Temps d'autorisation information-écriture	$t_{su(DXV-WLH)W}$	$t_{su(DV-WH)}$	$t_{su(D-W)}$; $t_{su(D)}$; $t_{su(D-WH)}$
5 Temps d'autorisation sélection boîtier (fin d')écriture	$t_{su(SHL-WLH)W}$	$t_{su(SL-WH)}$	$t_{su(S-W)}$; $t_{su(S)}$; $t_{su(S-WH)}$
6 Temps de recouvrement d'écriture ou temps de maintien adresse-écriture	$t_{rec(WLH-AVX)W}$ $t_{h(WLH-AVX)W}$	$t_{rec(WH-AX)}$ $t_{h(WH-AX)}$	$t_{rec(W-A)}$; $t_{rec(W)}$ $t_{h(W-A)}$; $t_{h(W)}$
7 Temps de maintien information-écriture	$t_{h(WLH-DVX)W}$	$t_{h(WH-DX)}$	$t_{h(W-D)}$; $t_{h(D)}$
Caractéristiques de commutation			
10 Temps d'inhibition en sortie après sélection	$t_{dis(SLH-QVZ)W}$	$t_{dis(SH-QZ)}$	$t_{dis(S-Q)}$; $t_{dis(S)}$

Figure 35 – Mémoire à accès aléatoire fonctionnement statique – Cycle d'écriture typique

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

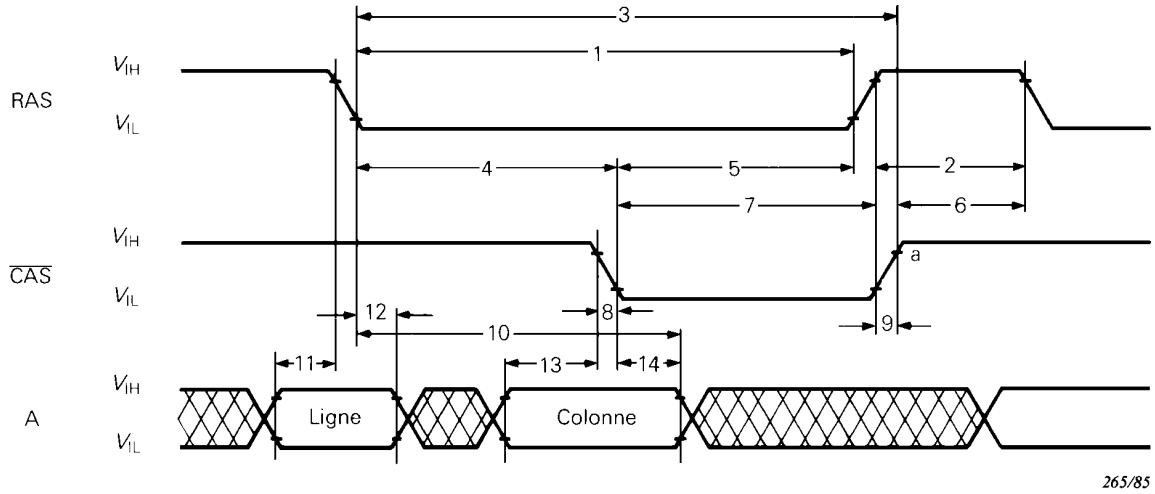
Write cycle



	Full symbols $t_{A(BC\text{-}DE)F}$	Symbols with abbreviated subscripts in position C and E, subscripts in position F only when essential	Typical abbreviated forms
Timing requirements			
1 Write cycle time	$t_{c(AXV\text{-}AVX)W}$	$t_{c(AV\text{-}AX)}$	t_{cW}
2 Write pulse duration (width)	$t_{w(WHL\text{-}WLH)W}$	$t_{w(WL\text{-}WH)}$	$t_{w(WL)}$; $t_{w(W)}$
3 Address set-up time before write	$t_{su(AXV\text{-}WHL)W}$	$t_{su(AV\text{-}WL)}$	$t_{su(A\text{-}W)}$; $t_{su(A)}$
4 Data set-up time before write	$t_{su(DXV\text{-}WLH)W}$	$t_{su(DV\text{-}WH)}$	$t_{su(D\text{-}W)}$; $t_{su(D)}$; $t_{su(D\text{-}WH)}$
5 Chip-select set-up time before (end of) write	$t_{su(SHL\text{-}WLH)W}$	$t_{su(SL\text{-}WH)}$	$t_{su(S\text{-}W)}$; $t_{su(S)}$; $t_{su(S\text{-}WH)}$
6 Write recovery time	$t_{rec(WLH\text{-}AVX)W}$	$t_{rec(WH\text{-}AX)}$	$t_{rec(W\text{-}A)}$; $t_{rec(W)}$
or address hold time after write	$t_{h(WLH\text{-}AVX)W}$	$t_{h(WH\text{-}AX)}$	$t_{h(W\text{-}A)}$; $t_{h(W)}$
7 Data hold time after write	$t_{h(WLH\text{-}DVX)W}$	$t_{h(WH\text{-}DX)}$	$t_{h(W\text{-}D)}$; $t_{h(D)}$
Switching characteristics			
10 Output disable time after select	$t_{dis(SLH\text{-}QVZ)W}$	$t_{dis(SH\text{-}QZ)}$	$t_{dis(S\text{-}Q)}$; $t_{dis(S)}$

Figure 35 – Typical static random-access memory – Write cycle

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

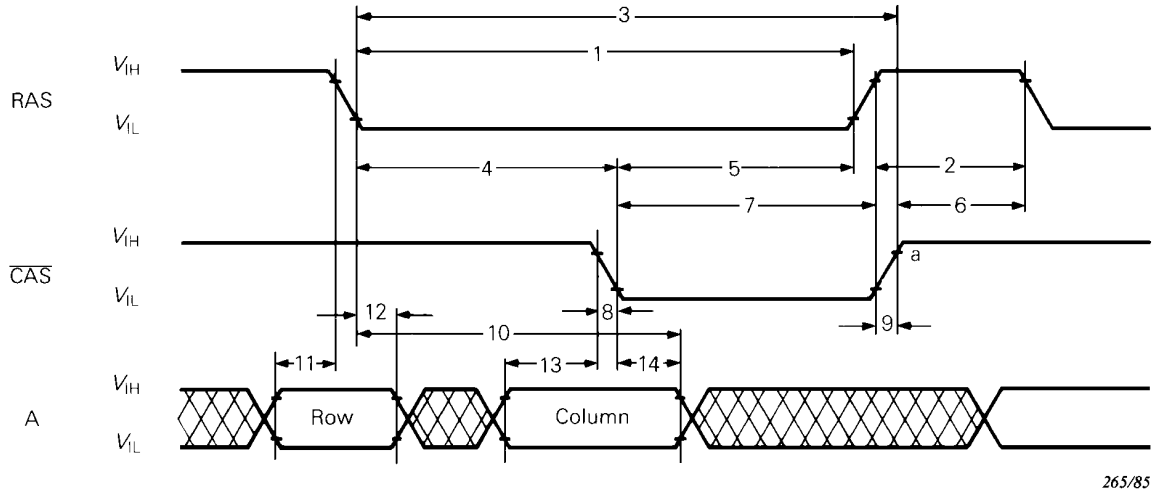


	Symboles complets $t_{A(BC\text{-}DE)F}$	Symboles avec indices abrégés en position C *et* E, indices en position F seulement si essentiel	Formes abrégées typiques
Exigences de temps			
1 Durée (largeur) de l'impulsion $\overline{RAS}$ bas	$t_{w(RASHL\text{-}RASLH)}$	$t_{w(RASL\text{-}RASH)}$	$t_{w(RASL)}$
2 Durée (largeur) de l'impulsion $\overline{RAS}$ haut	$t_{w(RASLH\text{-}RASHL)}$	$t_{w(RASH\text{-}RASL)}$	$t_{w(RASH)}$
3 Intervalle de temps entre $\overline{RAS}$ bas et $\overline{CAS}$ haut	$t_{d(RASHL\text{-}CASLH)}$	$t_{d(RASL\text{-}CASH)}$	$t_{RASL\text{-}CASH}$
4 Intervalle de temps entre $\overline{RAS}$ bas et $\overline{CAS}$ bas	$t_{d(RASHL\text{-}CASHL)}$	$t_{d(RASL\text{-}CASL)}$	$t_{RASL\text{-}CASL}$
5 Intervalle de temps entre $\overline{CAS}$ bas et $\overline{RAS}$ haut	$t_{d(CASHL\text{-}RASLH)}$	$t_{d(CASL\text{-}RASH)}$	$t_{CASL\text{-}RASH}$
6 Intervalle de temps entre $\overline{CAS}$ haut et $\overline{RAS}$ bas	$t_{d(CASLH\text{-}RASHL)}$	$t_{d(CASH\text{-}RASL)}$	$t_{CASH\text{-}RASL}$
7 Durée (largeur) de l'impulsion $\overline{CAS}$ bas	$t_{w(CASHL\text{-}CASLH)}$	$t_{d(CASL\text{-}CASH)}$	$t_{w(CASL)}$
8 Temps de décroissance de $\overline{CAS}$	$t_{f(CASHL)}$*	$t_{f(CASL)}$	$t_{f(CAS)}$
9 Temps de croissance de $\overline{CAS}$	$t_{r(CASLH)}$*	$t_{r(CASH)}$	$t_{r(CAS)}$
10 Temps de maintien CA-$\overline{RAS}$ bas	$t_{h(RASHL\text{-}CAVX)}$	$t_{h(RASL\text{-}CAX)}$	$t_{h(RASL\text{-}CA)}$; $t_{h(RAS\text{-}CA)}$
11 Temps de préparation RA-$\overline{RAS}$ bas	$t_{su(RAXV\text{-}RASHL)}$	$t_{su(RAV\text{-}RASL)}$	$t_{su(RA\text{-}RASL)}$; $t_{su(RA\text{-}RAS)}$
12 Temps de maintien RA-$\overline{RAS}$ bas	$t_{h(RASHL\text{-}RAVX)}$	$t_{h(RASL\text{-}RAX)}$	$t_{h(RASL\text{-}RA)}$; $t_{h(RAS\text{-}RA)}$
13 Temps de préparation CA-$\overline{RAS}$ bas	$t_{su(CAXV\text{-}CASHL)}$	$t_{su(CAV\text{-}CASL)}$	$t_{su(CA\text{-}CASL)}$; $t_{su(CA\text{-}CAS)}$
14 Temps de maintien CA-$\overline{RAS}$ bas	$t_{h(CASHL\text{-}CAVX)}$	$t_{h(CASL\text{-}CAX)}$	$t_{h(CASL\text{-}CA)}$; $t_{h(CAS\text{-}CA)}$

* Les indices D et E ne sont pas utilisés pour les temps de transition, y compris les temps de croissance et de décroissance.

Figure 36 – Mémoire à accès aléatoire à fonctionnement dynamique – Exigences communes au cycle de lecture typique, au cycle d'écriture typique et au cycle de lecture-écriture typique

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

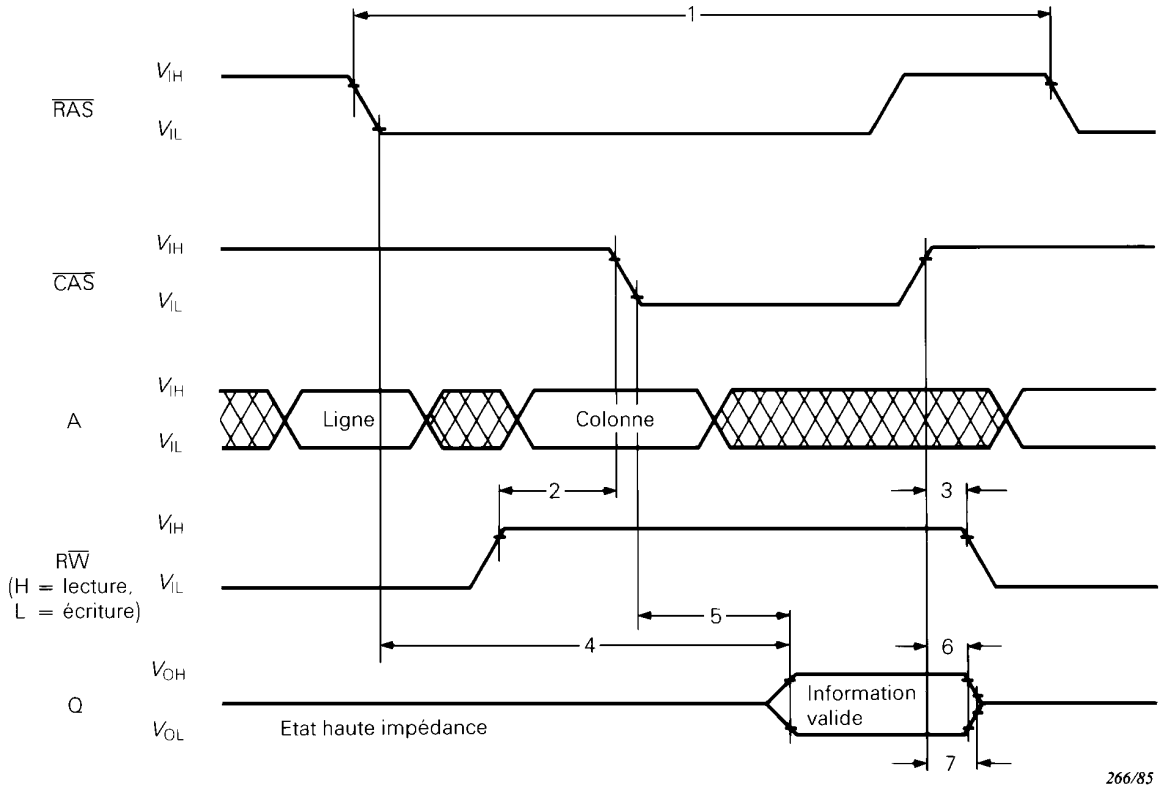


	Full symbols $t_{A(BC\text{-}DE)F}$	Symbols with abbreviated subscripts in position C and E, subscripts in position F only when essential	Typical abbreviated forms
Timing requirements			
1 $\overline{RAS}$ low pulse duration (width)	$t_{w(RASHL\text{-}RASLH)}$	$t_{w(RASL\text{-}RASH)}$	$t_{w(RASL)}$
2 $\overline{RAS}$ high pulse duration (width)	$t_{w(RASLH\text{-}RASHL)}$	$t_{w(RASH\text{-}RASL)}$	$t_{w(RASh)}$
3 Time interval $\overline{RAS}$ low to $\overline{CAS}$ high	$t_{d(RASHL\text{-}CASLH)}$	$t_{d(RASL\text{-}CASH)}$	$t_{RASL\text{-}CASH}$
4 Time interval $\overline{RAS}$ low to $\overline{CAS}$ low	$t_{d(RASHL\text{-}CASHL)}$	$t_{d(RASL\text{-}CASL)}$	$t_{RASL\text{-}CASL}$
5 Time interval $\overline{CAS}$ low to $\overline{RAS}$ high	$t_{d(CASHL\text{-}RASLH)}$	$t_{d(CASL\text{-}RASH)}$	$t_{CASL\text{-}RASH}$
6 Time interval $\overline{CAS}$ high to $\overline{RAS}$ low	$t_{d(CASLH\text{-}RASHL)}$	$t_{d(CASH\text{-}RASL)}$	$t_{CASH\text{-}RASL}$
7 $\overline{CAS}$ low pulse duration (width)	$t_{w(CASHL\text{-}CASLH)}$	$t_{d(CASL\text{-}CASH)}$	$t_{w(CASL)}$
8 $\overline{CAS}$ fall time	$t_{f(CASHL)}$*	$t_{f(CASL)}$	$t_{f(CAS)}$
9 $\overline{CAS}$ rise time	$t_{r(CASLH)}$*	$t_{r(CASH)}$	$t_{r(CAS)}$
10 CA hold time after $\overline{RAS}$ low	$t_{h(RASHL\text{-}CAVX)}$	$t_{h(RASL\text{-}CAX)}$	$t_{h(RASL\text{-}CA)}$; $t_{h(RAS\text{-}CA)}$
11 RA set-up time before $\overline{RAS}$ low	$t_{su(RAXV\text{-}RASHL)}$	$t_{su(RAV\text{-}RASL)}$	$t_{su(RA\text{-}RASL)}$; $t_{su(RA\text{-}RAS)}$
12 RA hold time after $\overline{RAS}$ low	$t_{h(RASHL\text{-}RAVX)}$	$t_{h(RASL\text{-}RAX)}$	$t_{h(RASL\text{-}RA)}$; $t_{h(RAS\text{-}RA)}$
13 CA set-up time before $\overline{CAS}$ low	$t_{su(CAXV\text{-}CASHL)}$	$t_{su(CAV\text{-}CASL)}$	$t_{su(CA\text{-}CASL)}$; $t_{su(CA\text{-}CAS)}$
14 CA hold time after $\overline{CAS}$ low	$t_{h(CASHL\text{-}CAVX)}$	$t_{h(CASL\text{-}CAX)}$	$t_{h(CASL\text{-}CA)}$; $t_{h(CAS\text{-}CA)}$
* Subscripts D and E are not used for transition times, including rise and fall times.			

Figure 36 – Typical dynamic random-access memory – Requirements common to read cycle, write cycle and read-write cycle

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Cycle de lecture

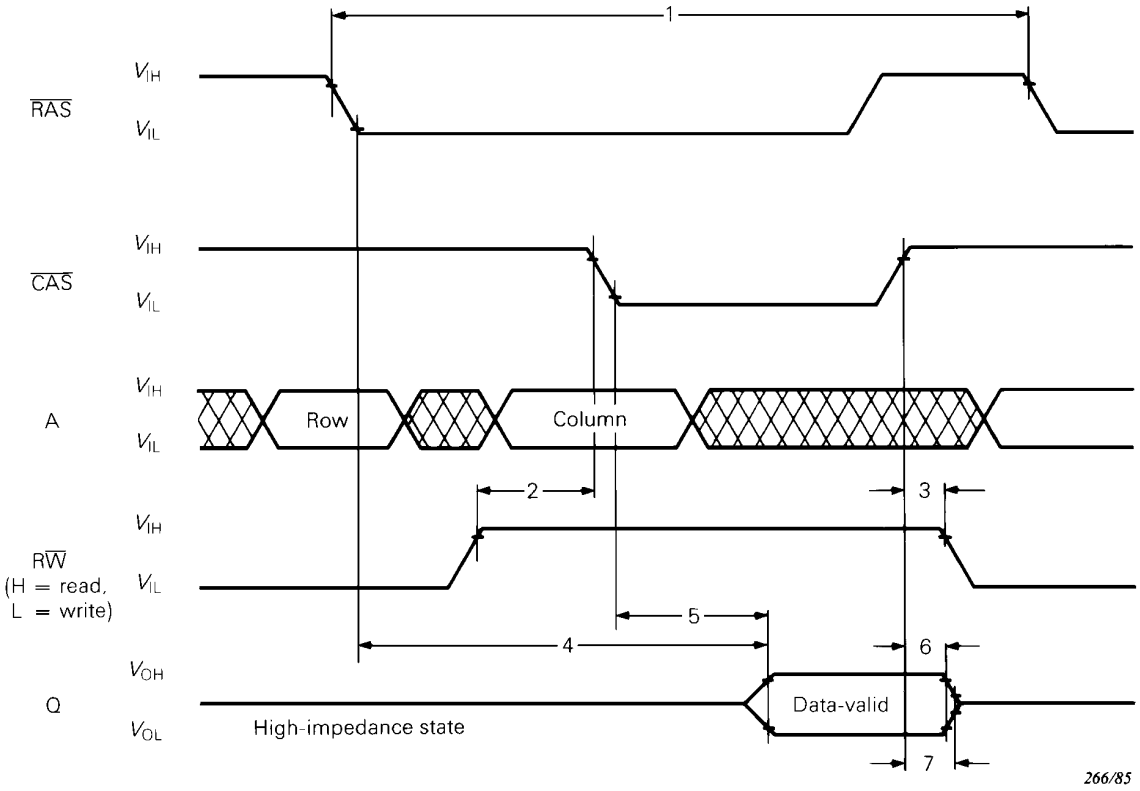


	Symboles complets $t_{A(BC-DE)F}$	Symboles avec indices abrégés en position C et E, indices en position F seulement si essentiel	Formes abrégées typiques
Exigences de temps			
1 Temps de cycle de lecture	$t_{c(RASHL-RASHL)R}$	$t_{c(RASL-RASL)R}$	t_{cR}
2 Temps de préparation lecture-$\overline{CAS}$ bas	$t_{su(RLH-CASHL)R}$	$t_{su(RH-CASL)R}$	$t_{su(R-CASL)}$; $t_{su(R-CAS)}$
3 Temps de maintien lecture-$\overline{CAS}$ haut	$t_{h(CASLH-RHL)R}$	$t_{h(CASH-RL)R}$	$t_{h(CASH-R)}$; $t_{h(CAS-R)}$
Caractéristiques de commutation			
4 Temps d'accès $\overline{RAS}$ bas	$t_{a(RASHL-QZV)R}$	$t_{a(RASL-QV)R}$	$t_{a(RASL)}$; $t_{a(RAS)}$
5 Temps d'accès $\overline{CAS}$ bas	$t_{a(CASHL-QZV)R}$	$t_{a(CASL-QV)R}$	$t_{a(CASL)}$; $t_{a(CAS)}$
6 Temps de validation en sortie après $\overline{CAS}$ haut	$t_{v(CASLH-QVX)R}$	$t_{v(CASH-QX)R}$	$t_{v(CASH-Q)}$; $t_{v(CAS-Q)}$; $t_{v(CAS)}$
7 Temps d'inhibition en sortie après $\overline{CAS}$ haut	$t_{dis(CASLH-QVZ)R}$	$t_{dis(CASH-QZ)R}$	$t_{dis(CASH-Q)}$; $t_{dis(CAS)}$

Figure 37 – Mémoire à accès aléatoire à fonctionnement dynamique – Cycle de lecture typique

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Read cycle

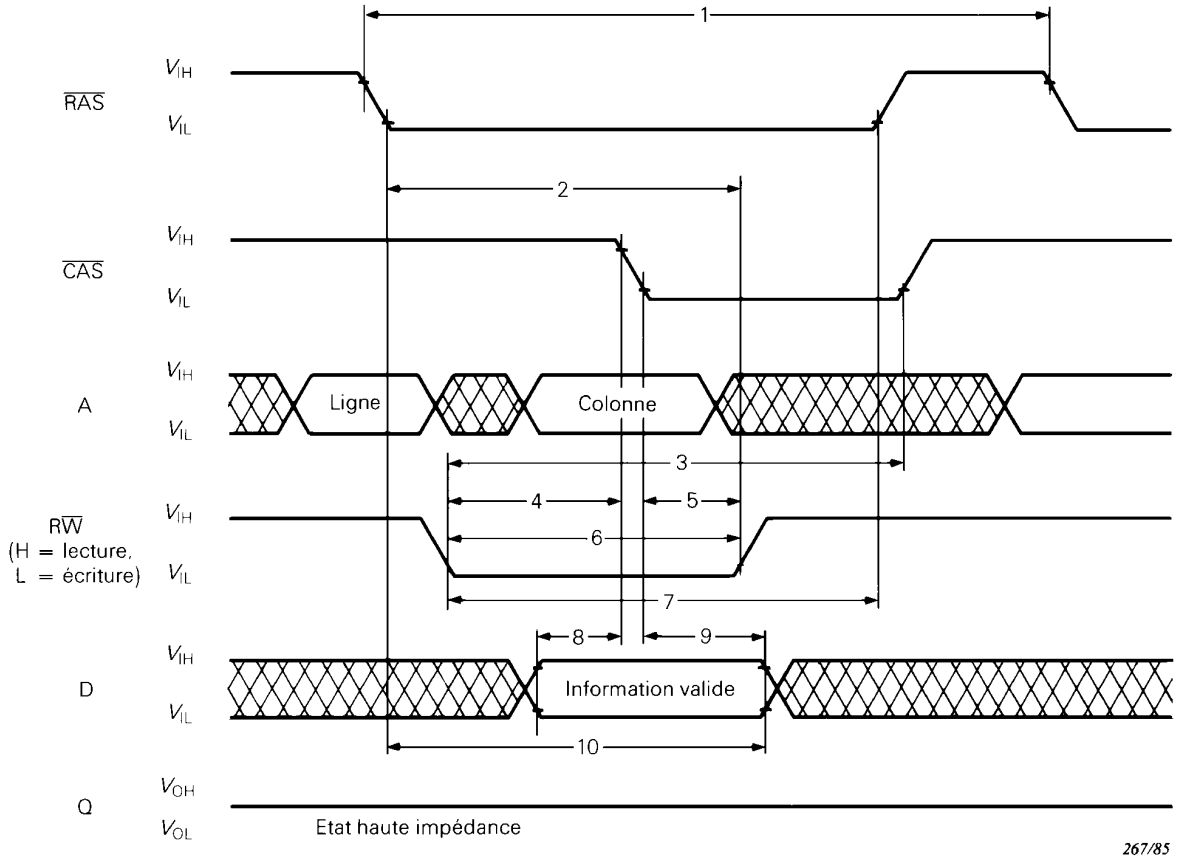


	Full symbols $t_{A(BC\text{-}DE)F}$	Symbols with abbreviated subscripts in position C and E, subscripts in position F only when essential	Typical abbreviated forms
Timing requirements			
1 Read cycle time	$t_{c(RASHL\text{-}RASHL)R}$	$t_{c(RASL\text{-}RASL)R}$	t_{cR}
2 Read set-up time before $\overline{CAS}$ low	$t_{su(RLH\text{-}CASHL)R}$	$t_{su(RH\text{-}CASL)R}$	$t_{su(R\text{-}CASL)}$; $t_{su(R\text{-}CAS)}$
3 Read hold time after $\overline{CAS}$ high	$t_{h(CASLH\text{-}RHL)R}$	$t_{h(CASH\text{-}RL)R}$	$t_{h(CASH\text{-}R)}$; $t_{h(CAS\text{-}R)}$
Switching characteristics			
4 $\overline{RAS}$ low access time	$t_{a(RASHL\text{-}QZV)R}$	$t_{a(RASL\text{-}QV)R}$	$t_{a(RASL)}$; $t_{a(RAS)}$
5 $\overline{CAS}$ low access time	$t_{a(CASHL\text{-}QZV)R}$	$t_{a(CASL\text{-}QV)R}$	$t_{a(CASL)}$; $t_{a(CAS)}$
6 Output valid time after $\overline{CAS}$ high	$t_{v(CASLH\text{-}QVX)R}$	$t_{v(CASH\text{-}QX)R}$	$t_{v(CASH\text{-}Q)}$; $t_{v(CAS\text{-}Q)}$; $t_{v(CAS)}$
7 Output disable time after $\overline{CAS}$ high	$t_{dis(CASLH\text{-}QVZ)R}$	$t_{dis(CASH\text{-}QZ)R}$	$t_{dis(CASH\text{-}Q)}$; $t_{dis(CAS)}$

Figure 37 – Typical dynamic random-access memory – Read cycle

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Cycle d'écriture

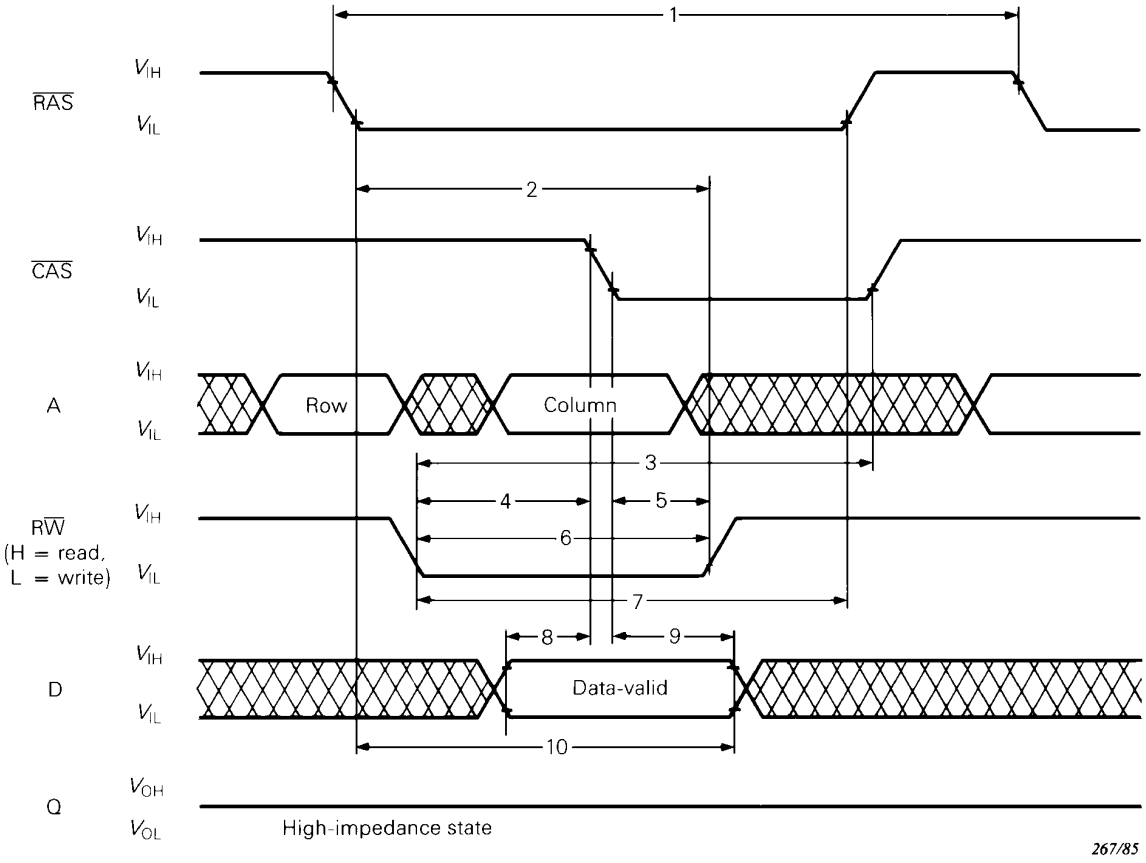


	Symboles complets $t_{A(BC\text{-}DE)F}$	Symboles avec indices abrégés en position C et E, indices en position F seulement si essentiel	Formes abrégées typiques
Exigences de temps			
1 Temps de cycle d'écriture	$t_{c(RASHL\text{-}RASHL)W}$	$t_{c(RASL\text{-}RASL)W}$	t_{cW}
2 Temps de maintien écriture-$\overline{RAS}$ bas	$t_{h(RASHL\text{-}WLH)W}$	$t_{h(RASL\text{-}WH)W}$	$t_{h(RASL\text{-}W)}$; $t_{h(RAS\text{-}W)}$
3 Temps de maintien $\overline{CAS}$ bas-écriture	$t_{h(WHL\text{-}CASLH)W}$	$t_{h(WL\text{-}CASH)W}$	$t_{h(W\text{-}CASH)}$; $t_{h(W\text{-}CAS)}$
4 Temps de préparation écriture-$\overline{CAS}$ bas	$t_{su(WLH\text{-}CASHL)W}$	$t_{su(WH\text{-}CASL)W}$	$t_{su(W\text{-}CASL)}$; $t_{su(W\text{-}CAS)}$
5 Temps de maintien écriture-$\overline{CAS}$ bas	$t_{h(CASHL\text{-}WLH)W}$	$t_{h(CASL\text{-}WH)W}$	$t_{h(CASL\text{-}W)}$; $t_{h(CAS\text{-}W)}$
6 Durée (largeur) de l'impulsion d'écriture	$t_{w(WHL\text{-}WLH)W}$	$t_{w(WL\text{-}WH)W}$	$t_{w(WL)}$; $t_{w(W)}$
7 Temps de maintien $\overline{RAS}$ bas-écriture	$t_{w(WHL\text{-}RASLH)W}$	$t_{h(WL\text{-}RASH)W}$	$t_{h(W\text{-}RAS)}$; $t_{h(W\text{-}RAS)}$
8 Temps de préparation entrée information-$\overline{CAS}$ bas	$t_{su(DXV\text{-}CASHL)W}$	$t_{su(DV\text{-}CASL)W}$	$t_{su(D\text{-}CASL)}$; $t_{su(D\text{-}CAS)}$
9 Temps de maintien entrée information-$\overline{CAS}$ bas	$t_{h(CASHL\text{-}DVX)W}$	$t_{h(CASL\text{-}DX)W}$	$t_{h(CASL\text{-}D)}$; $t_{h(CAS\text{-}D)}$
10 Temps de maintien entrée information-$\overline{RAS}$ bas	$t_{h(RASHL\text{-}DVX)W}$	$t_{h(RASL\text{-}DX)W}$	$t_{h(RASL\text{-}D)}$; $t_{h(RAS\text{-}D)}$

Figure 38 – Mémoire à accès aléatoire à fonctionnement dynamique – Cycle d'écriture typique

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Write cycle

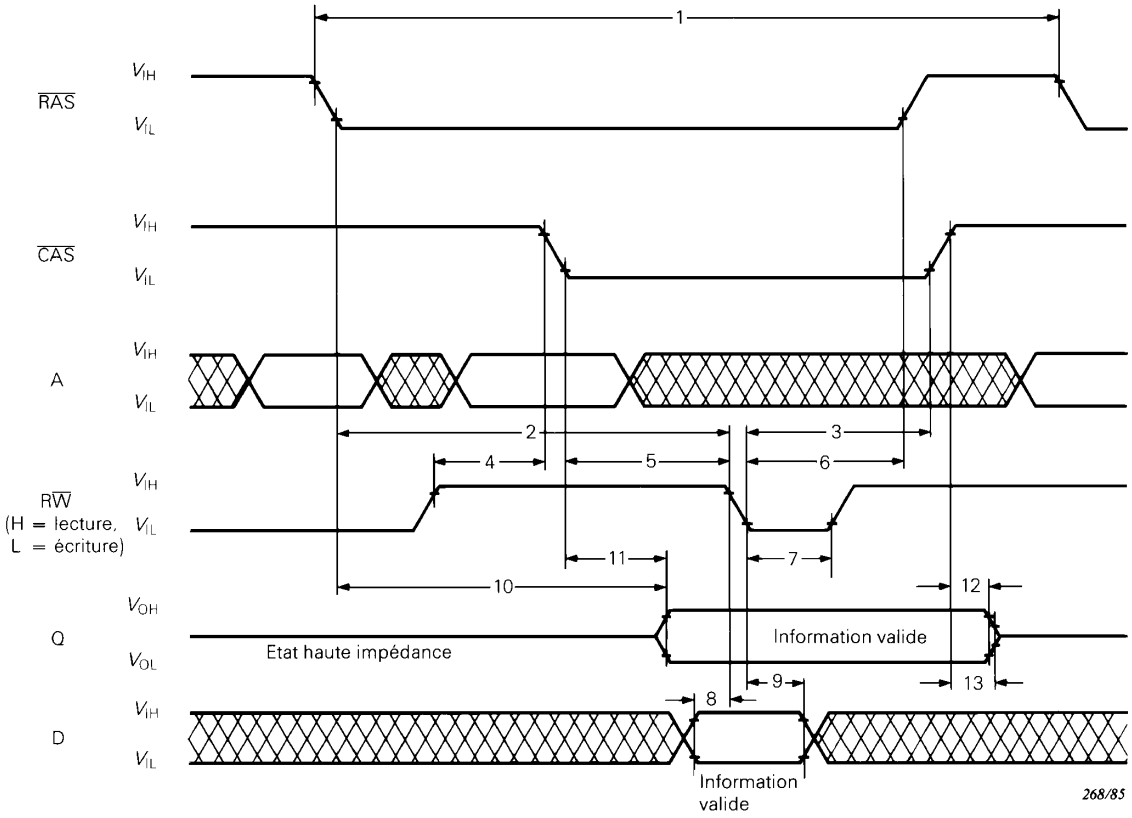


	Full symbols $t_{A(BC\text{-}DE)F}$	Symbols with abbreviated subscripts in position C and E, subscripts in position F only when essential	Typical abbreviated forms
Timing requirements			
1 Write cycle time	$t_{c(RASHL\text{-}RASHL)W}$	$t_{c(RASL\text{-}RASL)W}$	t_{cW}
2 Write hold time after $\overline{RAS}$ low	$t_{h(RASHL\text{-}WLH)W}$	$t_{h(RASL\text{-}WH)W}$	$t_{h(RASL\text{-}W)}$; $t_{h(RAS\text{-}W)}$
3 $\overline{CAS}$ low hold time after write	$t_{h(WHL\text{-}CASLH)W}$	$t_{h(WL\text{-}CASH)W}$	$t_{h(W\text{-}CASH)}$; $t_{h(W\text{-}CAS)}$
4 Write set-up time after $\overline{CAS}$ low	$t_{su(WLH\text{-}CASHL)W}$	$t_{su(WH\text{-}CASL)W}$	$t_{su(W\text{-}CASL)}$; $t_{su(W\text{-}CAS)}$
5 Write hold time after $\overline{CAS}$ low	$t_{h(CASHL\text{-}WLH)W}$	$t_{h(CASL\text{-}WH)W}$	$t_{h(CASL\text{-}W)}$; $t_{h(CAS\text{-}W)}$
6 Write pulse duration (width)	$t_{w(WHL\text{-}WLH)W}$	$t_{w(WL\text{-}WH)W}$	$t_{w(WL)}$; $t_{w(W)}$
7 $\overline{RAS}$ low hold time after write	$t_{w(WHL\text{-}RASLH)W}$	$t_{h(WL\text{-}RASH)W}$	$t_{h(W\text{-}RAS)}$; $t_{h(W\text{-}RAS)}$
8 Data-in set-up time before $\overline{CAS}$ low	$t_{su(DXV\text{-}CASHL)W}$	$t_{su(DV\text{-}CASL)W}$	$t_{su(D\text{-}CASL)}$; $t_{su(D\text{-}CAS)}$
9 Data-in hold time before $\overline{CAS}$ low	$t_{h(CASHL\text{-}DVX)W}$	$t_{h(CASL\text{-}DX)W}$	$t_{h(CASL\text{-}D)}$; $t_{h(CAS\text{-}D)}$
10 Data-in hold time after $\overline{RAS}$ low	$t_{h(RASHL\text{-}DVX)W}$	$t_{h(RASL\text{-}DX)W}$	$t_{h(RASL\text{-}D)}$; $t_{h(RAS\text{-}D)}$

Figure 38 – Typical dynamic random-access memory – Write cycle

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Cycle de lecture-écriture

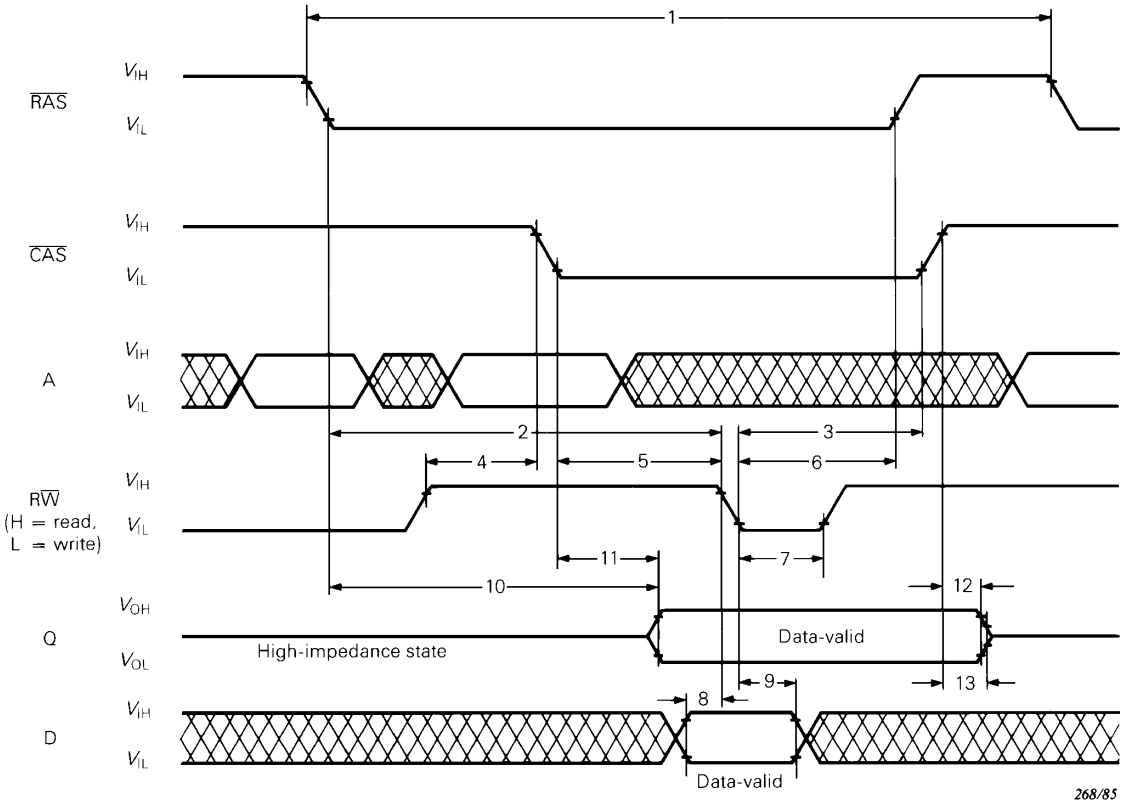


	Symboles complets $t_{A(BC-DE)F}$	Symboles avec indices abrégés en position C et E, indices en position F seulement si essentiel	Formes abrégées typiques
Exigences de temps			
1 Temps de cycle de lecture-écriture	$t_{c(RASHL-RASHL)RW}$	$t_{c(RASL-RASL)RW}$	t_{cRW}
2 Intervalle de temps $\overline{RAS}$ bas-écriture	$t_{d(RASHL-WHL)RW}$	$t_{d(RASL-WL)}$	$t_{d(RAS-W)}$; $t_{RASL-WL}$; t_{RAS-W}
3 Temps de maintien $\overline{CAS}$ bas-écriture	$t_{h(WHL-CASLH)RW}$	$t_{h(WL-CASH)}$	$t_{h(W-CASH)}$; $t_{h(W-CAS)}$
4 Temps de préparation lecture-$\overline{CAS}$ bas	$t_{su(RLH-CASHL)RW}$	$t_{su(RH-CASL)}$	$t_{su(R-CASL)}$; $t_{su(R-CAS)}$
5 Intervalle de temps $\overline{CAS}$ bas-écriture	$t_{d(CASHL-WHL)RW}$	$t_{d(CASL-WL)}$	$t_{d(CAS-W)}$; $t_{CASL-WL}$; t_{CAS-W}
6 Temps de maintien $\overline{RAS}$ bas-écriture	$t_{h(WHL-RASLH)RW}$	$t_{h(WL-RASH)}$	$t_{h(W-RASH)}$; $t_{h(W-RAS)}$
7 Durée (largeur) de l'impulsion d'écriture	$t_{w(WHL-WLH)RW}$	$t_{w(WL-WH)}$	$t_{w(WL)}$; $t_{W(W)}$
8 Temps de préparation entrée information- écriture	$t_{su(DXV-WHL)RW}$	$t_{su(DV-WL)}$	$t_{su(D-W)}$
9 Temps de maintien entrée information-écriture	$t_{h(WHL-DVX)RW}$	$t_{h(WL-DX)}$	$t_{h(W-D)}$
Caractéristiques de commutation			
10 Temps d'accès $\overline{RAS}$ bas	$t_{a(RASHL-QZV)RW}$	$t_{a(RASL-QV)}$	$t_{a(RASL)}$; $t_{a(RAS)}$
11 Temps d'accès $\overline{CAS}$ bas	$t_{a(CASHL-QZV)RW}$	$t_{a(CASL-QV)}$	$t_{a(CASL)}$; $t_{a(CAS)}$
12 Temps de validation en sortie-$\overline{CAS}$ haut	$t_{v(CASLH-QVX)RW}$	$t_{v(CASH-QX)}$	$t_{v(CASH-Q)}$; $t_{v(CAS-Q)}$; $t_{v(CAS)}$
13 Temps d'inhibition en sortie-$\overline{CAS}$ haut	$t_{dis(CASLH-QVZ)RW}$	$t_{dis(CASH-QZ)}$	$t_{dis(CASH-Q)}$; $t_{dis(CAS-Q)}$; $t_{dis(CAS)}$

Figure 39 – Mémoire à accès aléatoire à fonctionnement dynamique – Cycle de lecture-écriture

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Read-write cycle



	Full symbols $t_{A(BC\text{-}DE)F}$	Symbols with abbreviated subscripts in position C and E, subscripts in position F only when essential	Typical abbreviated forms
Timing requirements			
1 Read-write cycle time	$t_{c(RASHL\text{-}RASHL)RW}$	$t_{c(RASL\text{-}RASL)RW}$	t_{cRW}
2 Time interval $\overline{RAS}$ low to write	$t_{d(RASHL\text{-}WHL)RW}$	$t_{d(RASL\text{-}WL)}$	$t_{d(RAS\text{-}W)}$; $t_{RASL\text{-}WL}$; $t_{RAS\text{-}W}$
3 $\overline{CAS}$ low hold time after write	$t_{h(WHL\text{-}CASLH)RW}$	$t_{h(WL\text{-}CASH)}$	$t_{h(W\text{-}CASH)}$; $t_{h(W\text{-}CAS)}$
4 Read set-up time before $\overline{CAS}$ low	$t_{su(RLH\text{-}CASHL)RW}$	$t_{su(RH\text{-}CASL)}$	$t_{su(R\text{-}CASL)}$; $t_{su(R\text{-}CAS)}$
5 Time interval $\overline{CAS}$ low to write	$t_{d(CASHL\text{-}WHL)RW}$	$t_{d(CASL\text{-}WL)}$	$t_{d(CAS\text{-}W)}$; $t_{CASL\text{-}WL}$; $t_{CAS\text{-}W}$
6 $\overline{RAS}$ low hold time after write	$t_{h(WHL\text{-}RASLH)RW}$	$t_{h(WL\text{-}RASH)}$	$t_{h(W\text{-}RASH)}$; $t_{h(W\text{-}RAS)}$
7 Write pulse duration (width)	$t_{w(WHL\text{-}WLH)RW}$	$t_{w(WL\text{-}WH)}$	$t_{w(WL)}$; $t_{W(W)}$
8 Data-in set-up time before write	$t_{su(DXV\text{-}WHL)RW}$	$t_{su(DV\text{-}WL)}$	$t_{su(D\text{-}W)}$
9 Data-in hold time after write	$t_{h(WHL\text{-}DVX)RW}$	$t_{h(WL\text{-}DX)}$	$t_{h(W\text{-}D)}$
Switching characteristics			
10 $\overline{RAS}$ low access time	$t_{a(RASHL\text{-}QZV)RW}$	$t_{a(RASL\text{-}QV)}$	$t_{a(RASL)}$; $t_{a(RAS)}$
11 $\overline{CAS}$ low access time	$t_{a(CASHL\text{-}QZV)RW}$	$t_{a(CASL\text{-}QV)}$	$t_{a(CASL)}$; $t_{a(CAS)}$
12 Output valid time after $\overline{CAS}$ high	$t_{v(CASLH\text{-}QVX)RW}$	$t_{v(CASH\text{-}QX)}$	$t_{v(CASH\text{-}Q)}$; $t_{v(CAS\text{-}Q)}$; $t_{v(CAS)}$
13 Output disable time after $\overline{CAS}$ high	$t_{dis(CASLH\text{-}QVZ)RW}$	$t_{dis(CASH\text{-}QZ)}$	$t_{dis(CASH\text{-}Q)}$; $t_{dis(CAS\text{-}Q)}$; $t_{dis(CAS)}$

Figure 39 – Typical dynamic random-access memory – Read-write cycle

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8 Termes et définitions supplémentaires pour les circuits intégrés numériques

8.1 Réseau logique

Circuit intégré consistant en un réseau d'opérateurs ou de circuits logiques dont les interconnexions sont réalisées soit pendant la fabrication soit par l'utilisateur afin d'obtenir les fonctions logiques définies par celui-ci.

Réseau prédiffusé

Circuit intégré composé d'un réseau de portes logiques élémentaires.

NOTE – Les circuits intégrés de ce type sont aussi appelés «réseaux logiques programmables par masque» («MPLA» ou «ULA» en anglais).

8.2 Réseau logique programmable

Circuit intégré consistant en réseaux d'opérateurs (ou circuits) logiques combinatoires et séquentiels, ayant une configuration fixe d'interconnexions, dans lequel les connexions peuvent être réalisées ou détruites après la fabrication, de façon à obtenir des fonctions logiques spécifiques.

NOTE – Les circuits intégrés de ce type sont également connus sous l'abréviation anglaise «PLA».

9 Classification des réseaux logiques programmables (PLDs)

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8 Additional terms and definitions for digital integrated circuits

8.1 Logic array

An integrated circuit consisting of an array of logic elements or circuits whose interconnections are either determined during manufacture or by the user to perform user-defined logic functions.

Gate array

An integrated circuit consisting of an array of logic gates.

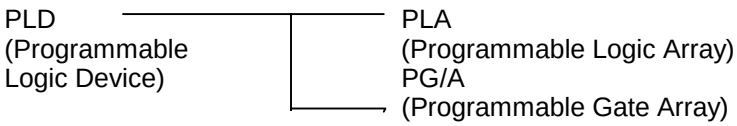
NOTE – Integrated circuits of this type are also known by the names "Mask programmable Logic Array (MPLA)" and "Uncommitted Logic Array (ULA)".

8.2 Programmable logic array

An integrated circuit consisting of arrays of combinatorial and sequential logic elements (circuits) with a fixed interconnection pattern in which connections can be made or broken after manufacture to perform specific logic functions.

NOTE – Integrated circuits of this type are also known by the abbreviation "PLA".

9 Classification of programmable logic devices (PLDs)



LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

CHAPITRE III: VALEURS LIMITES ET CARACTÉRISTIQUES ESSENTIELLES

SECTION UN – GÉNÉRALITÉS SUR LES CIRCUITS INTÉGRÉS NUMÉRIQUES

Les stipulations de cette section couvrent les circuits intégrés numériques combinatoires et séquentiels, à la fois bipolaires et MOS, sauf spécification contraire. Elles ne s'appliquent pas aux assemblages à couplage dynamique des circuits intégrés numériques.

1 Identification et description du circuit

1.1 Désignation et type

1.2 Technologie

On doit indiquer la technologie employée pour la fabrication, par exemple: circuit intégré monolithique à semiconducteurs, circuit intégré à couche mince, circuit intégré hybride, microassemblage. On doit aussi indiquer les détails des technologies du semiconducteur, telles que: NMOS, CMOS, TTL Schottky ou I^2L.

1.3 Identification du boîtier

1.3.1 Numéro CEI et/ou numéro national de référence du dessin d'encombrement, ou dessin du boîtier non normalisé avec la numérotation des bornes.

1.3.2 Matériau principal du boîtier, par exemple: céramique, plastique, verre.

1.3.3 Identification des bornes: numéro des bornes et fonctions associées.

2 Spécifications fonctionnelles

2.1 Schéma synoptique

Un schéma synoptique ou une information équivalente sur le circuit intégré numérique doit être donné.

Exemple:

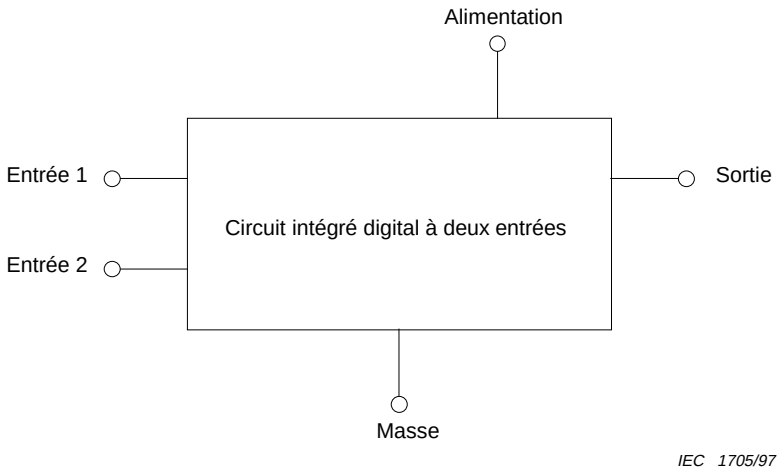


Figure 40

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

CHAPTER III: ESSENTIAL RATINGS AND CHARACTERISTICS

SECTION ONE – DIGITAL INTEGRATED CIRCUITS, GENERAL

The provisions of this section cover combinatorial and sequential digital integrated circuits, both bipolar and MOS circuits, unless otherwise specified. They do not include a.c. coupled digital integrated circuits.

1 Circuit identification and description

1.1 Designation and type

1.2 Technology

The manufacturing technology, for example, semiconductor monolithic integrated circuit, thin film integrated circuit; hybrid integrated circuit, micro-assembly, shall be stated. This statement shall include details of the semiconductor technologies such as NMOS, CMOS, Schottky TTL or I^2L.

1.3 Package identification

1.3.1 IEC and/or national reference number of the outline drawing; or drawing of non-standard package including terminal numbering.

1.3.2 Principal package material, for example, ceramic, plastic, glass.

1.3.3 Terminal identification, terminal numbers and associated functions.

2 Functional specifications

2.1 Block diagram

A block diagram or equivalent circuit information of the digital integrated circuit shall be given.

Example:

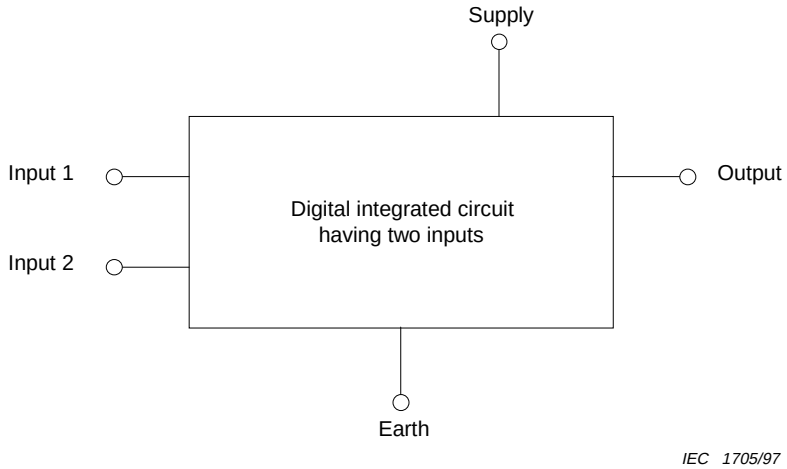


Figure 40

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

On peut distinguer les bornes suivantes:

a) Bornes d'alimentation, c'est-à-dire les bornes prévues pour être connectées aux alimentations.

b) Bornes d'entrée et de sortie, c'est-à-dire les bornes vers lesquelles ou à partir desquelles les signaux circulent. Le terme «signal» comprend à la fois l'impulsion et des formes d'ondes plus complexes.

c) S'il y a lieu, autres bornes pouvant servir à commander ou à modifier les caractéristiques du circuit.

d) Bornes non connectées.

Le schéma synoptique doit permettre d'identifier la fonction de chaque connexion externe et, lorsqu'il n'y a pas de risque d'ambiguïté, indiquer également les numéros des bornes. Si l'encapsulation comporte des parties métalliques, toute connexion des bornes extérieures à ces parties doit être précisée. On doit indiquer les connexions avec tous les éléments électriques externes associés, si c'est nécessaire.

Comme information supplémentaire, on peut reproduire le schéma électrique complet comprenant les éléments parasites importants, mais sans indiquer nécessairement les valeurs des composants du circuit.

2.2 Description fonctionnelle

La fonction réalisée par le circuit doit être spécifiée, par exemple sous forme d'une table de fonctionnement.

Exemple:

Table de fonctionnement pour un circuit intégré numérique à deux entrées réalisant la fonction ET-NON (OU-NON).

Entrée 1	Entrée 2	Sortie
H	H	L
H	L	H
L	H	H
L	L	H

Sauf indication contraire, H et L sont relatifs à une tension.

2.3 Structures complexes

S'il y a lieu, pour des structures complexes dans un même boîtier, les interconnexions extérieures permises entre les bornes, les éléments extérieurs tels que résistances de charge à connecter et la fonction principale qui alors est remplie, doivent être indiqués.

3 Valeurs limites

En satisfaisant aux articles suivants, si des valeurs maximales et/ou minimales sont données, le fabricant doit indiquer s'il se réfère à la valeur absolue ou à la valeur algébrique de la grandeur.

Les valeurs limites doivent couvrir le fonctionnement du circuit intégré dans la gamme des températures de fonctionnement spécifiée. Si ces valeurs limites dépendent de la température, cette dépendance doit être indiquée.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

The following terminals may be distinguished:

a) Supply terminals, that is, terminals intended to be connected to the power supplies.

b) Input and output terminals, that is, terminals into or out of which signals are passed. The term "signal" includes both pulse and more complex waveforms.

c) Where appropriate, other terminals that can be used to control or modify the characteristics of the circuit.

d) Blank terminals.

The block diagram shall identify the function of each external connection and, where no ambiguity can occur; can also show the terminal numbers. If the encapsulation has metallic parts, any connection to them from external terminals shall be indicated. The connections with any associated external electrical elements shall be stated, where necessary.

As additional information, the complete electrical diagram can be reproduced, but not necessarily with indication of the values of the circuit components.

2.2 Functional description

The function performed by the circuit shall be specified, for example, in the form of a function table.

Example:

A function table of a digital integrated circuit having two inputs and performing the NAND (NOR) function.

Input 1	Input 2	Output
H	H	L
H	L	H
L	H	H
L	L	H

Unless otherwise stated, H and L refer to voltage.

2.3 Complex structures

Where appropriate, for complex structures in a single encapsulation, the permissible external interconnections of the terminals, the external elements such as load resistances to be connected and the principal function which may be performed thereby, should be stated.

3 Ratings (limiting values)

In satisfying the following clauses, if maximum and/or minimum values are quoted, the manufacturer must indicate whether he refers to the absolute magnitude or to the algebraic value of the quantity.

The ratings given must cover the operation of the integrated circuit over the specified range of operating temperatures. Where such ratings are temperature-dependent, this dependence shall be indicated.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.1 Tensions et courants continus

3.1.1 Valeur(s) limite(s) de la (ou des) tension(s) aux bornes d'alimentation par rapport à un point de référence électrique spécifié (voir note).

3.1.2 S'il y a lieu, valeur limite de la tension entre des bornes d'alimentation spécifiées (voir note).

3.1.3 Quand plusieurs tensions d'alimentation sont nécessaires, on doit indiquer si l'ordre de mise en service des alimentations est important; dans ce cas, la séquence doit être indiquée.

3.1.4 Si le courant traversant une borne quelconque n'est pas suffisamment limité par la valeur limite de tension, une valeur limite de courant doit être aussi donnée pour cette borne (voir note).

3.1.5 S'il y a lieu, valeurs limites des conditions en continu aux bornes d'entrée et/ou de sortie.

NOTE – Quand on utilise plus d'une alimentation, il peut être nécessaire d'indiquer la combinaison de valeurs limites pour ces tensions et ces courants d'alimentation.

3.2 Tensions et courants non continus

3.2.1 Si les valeurs données en 3.1.1, 3.1.2 et 3.1.4 peuvent être dépassées pour des conditions transitoires, les valeurs des dépassements permis et leur durée doivent être indiquées.

3.2.2 Valeurs limites de la tension et du courant d'entrée et/ou de sortie et, s'il y a lieu, des limitations de temps, dans des conditions spécifiées de pire cas.

3.3 Températures

3.3.1 Températures minimale et maximale du milieu ambiant ou d'un point de référence permises pendant le fonctionnement

3.3.2 Températures minimale et maximale de stockage.

3.4 Aptitude à supporter un court-circuit

S'il y a lieu, durée maximale de court-circuit entre chacune des borne de sortie et une borne d'alimentation (ou la masse), dans des conditions de fonctionnement de pire cas spécifiées.

4 Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée)

4.1 La gamme des valeurs de la ou des tensions d'alimentation. Cette gamme doit être indiquée par une valeur nominale et une tolérance (les écarts en plus et en moins de la tolérance ne sont pas nécessairement les mêmes et doivent être donnés).

Les valeurs nominales et les écarts (tolérances) autorisés doivent être pris parmi les valeurs indiquées dans la CEI 60748-1, chapitre VI, article 6.

4.2 Les conditions de l'impulsion d'entrée, les niveaux de tension et/ou de courant, les formes d'onde et, s'il y a lieu, les diagrammes de temps des signaux d'entrée.

4.3 S'il y a lieu, les conditions de polarisation de tension et/ou de courant recommandées en continu à toutes les bornes d'entrée.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.1 Continuous voltages and currents

3.1.1 Limiting value(s) of the continuous voltage(s) at the supply terminal(s) with respect to a specified electrical reference point (see note).

3.1.2 Where appropriate, limiting voltage between specified supply terminals (see note).

3.1.3 When more than one voltage supply is required, a statement shall be made as to whether the sequence in which these supplies are applied is significant; if so, the sequence shall be stated.

3.1.4 Where the current through any terminal is not limited sufficiently by the voltage rating, a limiting current rating for that terminal shall also be given (see note).

3.1.5 Where appropriate, limiting values of the continuous conditions at the input and/or output terminals.

NOTE – When more than one supply is needed, it may be necessary to state the combinations of ratings for these supply voltages and currents.

3.2 Non-continuous voltages and currents

3.2.1 If the values given in 3.1.1, 3.1.2 and 3.1.4 may be exceeded under transient conditions, then the permissible excess values and their duration shall be stated.

3.2.2 Limiting values of input and/or output voltage and current and, where appropriate, time limitations, under specified worst-case conditions.

3.3 Temperatures

3.3.1 Minimum and maximum ambient or reference-point operating temperatures.

3.3.2 Minimum and maximum storage temperatures.

3.4 Capability of sustaining a short circuit

Where appropriate, the maximum duration of a short circuit between each output terminal and any supply terminal (or earth) should be given, under specified worst-case conditions of operation.

4 Recommended operating conditions (within the specified operating temperature range)

4.1 The range of values of supply voltage(s): in terms of a nominal value, plus and minus given deviations (tolerances) (the plus and minus deviations (tolerances) need not be identical and shall be stated).

The nominal values and the permitted deviations (tolerances) are to be taken from IEC 60748-1, chapter VI, clause 6.

4.2 The input pulse conditions, voltage and/or current levels and waveforms and, where appropriate, the time relations of the input signals.

4.3 Where appropriate, the continuous voltage and/or current bias conditions at all input terminals.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.4 S'il y a lieu, les conditions de polarisation de tension et/ou de courant recommandées en continu à toutes les bornes de sortie.

4.5 S'il y a lieu, les valeurs des impédances externes requises aux bornes d'entrée et de sortie.

4.6 Conditions des impulsions d'horloge(s). S'il y a lieu, de telles conditions doivent comprendre les niveaux de tension, les conditions de forme d'onde des impulsions et les interrelations de temps entre les impulsions.

5 Caractéristiques électriques statiques pour les circuits intégrés bipolaires

Chaque caractéristique électrique de l'article 5 doit être donnée pour des conditions électriques de pire cas spécifiées, compte tenu de la gamme recommandée pour la ou les tensions d'alimentation, comme il est indiqué en 4.1 et:

a) dans la gamme de températures de fonctionnement spécifiée, ou

b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

5.1 Caractéristiques essentielles en tension des signaux numériques

Les caractéristiques de tension s'expriment sous forme de quatre domaines, chacun d'eux étant spécifié par deux limites. En conséquence, huit valeurs de tension sont nécessaires.

Pour chaque état de la variable tension, deux domaines sont définis: le domaine garanti à la sortie et le domaine permis à l'entrée. Toute tension à l'intérieur du domaine permis appliquée aux entrées engendre une tension de sortie à l'intérieur du domaine garanti correspondant à l'état résultant donné par la table de fonctionnement. Les caractéristiques de tension suivantes sont donc exigées:

V_{OHA}: valeur la plus positive (la moins négative) du domaine garanti de la tension de sortie pour l'état haut.

NOTE – Dans de nombreux cas pratiques, on peut par simplification avoir V_{OHA} égale à la valeur la plus positive de la tension d'alimentation la plus positive (ou égale à zéro si l'on n'utilise que des tensions d'alimentation négatives). Une telle condition est implicite si aucune indication n'est donnée pour V_{OHA}.

V_{OHB}: valeur la moins positive (la plus négative) du domaine garanti de la tension de sortie pour l'état haut.

V_{OLA}: valeur la plus positive (la moins négative) du domaine garanti de la tension de sortie pour l'état bas.

V_{OLB}: valeur la moins positive (la plus négative) du domaine garanti de la tension de sortie pour l'état bas.

NOTE – Dans de nombreux cas pratiques, on peut par simplification avoir V_{OLB} égale à la valeur la plus négative de la tension d'alimentation la plus négative (ou égale à zéro si l'on n'utilise que des tensions d'alimentation positives). Une telle condition est implicite si aucune indication n'est donnée pour V_{OLB}.

V_{IHA}: valeur la plus positive (la moins négative) du domaine permis de la tension d'entrée pour l'état haut.

NOTE – Si aucune indication n'est donnée pour la valeur de V_{IHA}, cela suppose que $V_{IHA} = V_{OHA}$.

V_{IHB}: valeur la moins positive (la plus négative) du domaine permis de la tension d'entrée pour l'état haut.

V_{ILA}: valeur la plus positive (la moins négative) du domaine permis de la tension d'entrée pour l'état bas.

V_{ILB}: valeur la moins positive (la plus négative) du domaine permis de la tension d'entrée pour l'état bas.

NOTE – Si aucune indication n'est donnée pour la valeur de V_{ILB}, cela suppose que $V_{ILB} = V_{OLB}$.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.4 Where appropriate, the continuous voltage and/or current bias conditions at all output terminals.

4.5 Where appropriate, the values of external impedances required at the input and output terminals.

4.6 Pulse conditions of the clock(s). Where appropriate, such conditions should include voltage levels, pulse waveform conditions and time interrelations of the pulses.

5 Static electrical characteristics for bipolar integrated circuits

Each electrical characteristic of clause 5 shall be stated under specified electrical worst-case conditions, with respect to the recommended range of supply voltage(s), as stated in 4.1, and:

a) over the specified range of operating temperatures, or

b) at a temperature of 25 °C, and at maximum and minimum operating temperatures.

5.1 Essential characteristics of the digital voltage signals

The voltage characteristics are expressed in terms of four ranges, each of which is specified by two limits. Thus, eight values of voltage are needed.

For each state of the voltage variable, two ranges are defined: the guaranteed range at the output and the permitted range at the input. Any voltage within the permitted range applied to the inputs causes the output voltage to remain within the guaranteed range corresponding to the resulting state shown by the function table. The following voltage characteristics are therefore required:

V_{OHA}: the most positive (least negative) value of the guaranteed high state voltage range at the output.

NOTE – In many practical cases, a simplification can be made by setting V_{OHA} equal to the most positive value of the most positive power supply voltage (or to zero when there are only negative supply voltages). This condition is implied when no indication is given on V_{OHA}.

V_{OHB} : the least positive (most negative) value of the guaranteed high state voltage range at the output.

V_{OLA}: the most positive (least negative) value of the guaranteed low state voltage range at the output.

V_{OLB}: the least positive (most negative) value of the guaranteed low state voltage range at the output.

NOTE – In many practical cases, a simplification can be made by setting V_{OLB} equal to the most negative value of the most negative power supply voltage (or to zero when there are only positive supply voltages). This condition is implied when no indication is given on V_{OLB}.

V_{IHA}: the most positive (least negative) value of the permitted high state voltage range at the input.

NOTE – When no indication is given on V_{IHA}, it is supposed that $V_{IHA} = V_{OHA}$.

V_{IHB}: the least positive (most negative) value of the permitted high state voltage range at the input.

V_{ILA}: the most positive (least negative) value of the permitted low state voltage range at the input.

V_{ILB}: the least positive (most negative) value of the permitted low state voltage range at the input.

NOTE – When no indication is given on V_{ILB}, it is supposed that $V_{ILB} = V_{OLB}$.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.1.1 Caractéristiques essentielles des circuits dont les entrées présentent de l'hystérésis (par exemple, trigger de Schmitt)

V_{IT+}, V_{ITP}: tension de seuil (d'entrée) à la transition positive

V_{IT+A}, V_{ITPA}: valeur la plus positive (la moins négative) du domaine garanti des tensions de seuil (d'entrée) à la transition positive.

V_{IT+B}, V_{ITPB}: valeur la moins positive (la plus négative) du domaine garanti des tensions de seuil (d'entrée) à la transition positive.

V_{IT-}, V_{ITN}: tension de seuil (d'entrée) à la transition négative

V_{IT-A}, V_{ITNA}: valeur la plus positive (la moins négative) du domaine garanti des tensions de seuil (d'entrée) à la transition négative.

V_{IIT-B}, V_{ITNB}: valeur la moins positive (la plus négative) du domaine garanti des tensions de seuil (d'entrée) à la transition négative.

NOTE – Le terme «hystérésis», utilisé souvent dans les feuilles de caractéristiques, représente la différence entre les tensions de seuil (d'entrée) à la transition positive et à la transition négative.

$$V_{hys} = V_{IT+} - V_{IT-}$$

ou: $$V_{hys} = V_{ITP} - V_{ITN}$$

5.2 Tension d'écrêtage d'entrée (s'il y a lieu)

Valeur maximale de la tension d'écrêtage d'entrée pour une valeur spécifiée du courant d'entrée.

NOTE – Il convient de spécifier cette caractéristique pour des circuits ayant des diodes d'écrêtage à une ou plusieurs entrées, par exemple les TTL à écrêtage d'entrée.

5.3 Caractéristiques essentielles des courants d'entrée et de sortie

5.3.1 Caractéristiques essentielles pour tous les circuits intégrés numériques

A chacune des quatre tensions de sortie, on peut associer une possibilité de fournir ou d'absorber du courant déterminée par la conception du circuit.

Il est alors nécessaire de spécifier les valeurs minimales et/ou maximales des courants associés aux quatre tensions de sortie. Avec la convention que le courant entrant par une borne est positif et que le courant sortant d'une borne est négatif, les courants exigés sont les suivants:

I_{OHB} à V_{OHA}: valeur la moins positive (la plus négative) du courant de sortie lorsque V_{OHA} est présente à la sortie considérée et que sont appliquées, aux entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB} qui définissent des états d'entrée tels que la sortie soit dans l'état haut, comme il est indiqué dans la table de fonctionnement.

NOTE – Cette valeur n'est pas nécessaire si V_{OHA} est égale à la valeur la plus positive de la tension d'alimentation la plus positive.

I_{OHA} à V_{OHB}: valeur la plus positive (la moins négative) du courant de sortie lorsque V_{OHB} est présente à la sortie considérée et que sont appliquées, aux entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB} qui définissent des états d'entrée tels que la sortie soit dans l'état haut, comme il est indiqué dans la table de fonctionnement.

I_{OLB} à V_{OLA}: valeur la moins positive (la plus négative) du courant de sortie lorsque V_{OLA} est présente à la sortie considérée et que sont appliquées, aux entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB} qui définissent des états d'entrée tels que la sortie soit dans l'état bas, comme il est indiqué dans la table de fonctionnement.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.1.1 Essential characteristics of circuits with inputs having hysteresis (for example, Schmitt-trigger circuit)

V_{IT+}, V_{ITP}: positive-going (input) threshold voltage

V_{IT+A}, V_{ITPA}: the most positive (least negative) value of the guaranteed positive-going (input) threshold voltage range.

V_{IT+B}, V_{ITPB}: the least positive (most negative) value of the guaranteed positive-going (input) threshold voltage range.

V_{IT-}, V_{ITN}: negative-going (input) threshold voltage

V_{IT-A}, V_{ITNA}: the most positive (least negative) value of the guaranteed negative-going (input) threshold voltage range.

V_{IT-B}, V_{ITNB}: the least positive (most negative) value of the guaranteed negative-going (input) threshold voltage range.

NOTE – The term "hysteresis", often used in data sheets, denotes the difference between the positive-going and the negative-going (input) threshold voltages.

$$V_{hys} = V_{IT+} - V_{IT-}$$

or: $$V_{hys} = V_{ITP} - V_{ITN}$$

5.2 Input clamping voltage (where appropriate)

Maximum value of input clamping voltage at a specified value of input current.

NOTE – This characteristic should be specified for circuits having clamping diodes attached to one or more inputs, for example, input-clamped TTL.

5.3 Essential characteristics for input and output currents

5.3.1 Essential characteristics for all digital integrated circuits

Associated with each of the four output voltages is a current driving or sinking capability determined by the design of the circuit.

It is necessary therefore to specify limit values of current associated with the four output voltages. Taking as a convention that current flowing into a terminal is positive, and that out of a terminal is negative, the required currents are as follows:

I_{OHB} at V_{OHA}: least positive (most negative) value of the output current when V_{OHA} is present at the output considered and when the voltages applied to the inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB} corresponding to the input states necessary for the output to be in the high state as shown by the function table.

NOTE – This value is not necessary, if V_{OHA} is equal to the most positive value of the most positive power supply voltage.

I_{OHA} at V_{OHB}: most positive (least negative) value of the output current when V_{OHB} is present at the output considered and when the voltages applied to the inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB} corresponding to the input states necessary for the output to be in the high state as shown by the function table.

I_{OLB} at V_{OLA}: least positive (most negative) value of the output current when V_{OLA} is present at the output considered and when the voltages applied to the inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB} corresponding to the input states necessary for the output to be in the low state as shown by the function table.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

I_{OLA} à V_{OLB}: valeur la plus positive (la moins négative) du courant de sortie lorsque V_{OLB} est présente à la sortie considérée et que sont appliquées, aux entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB} qui définissent des états d'entrée tels que la sortie soit dans l'état bas, comme il est indiqué dans la table de fonctionnement.

NOTE – Cette valeur n'est pas nécessaire si V_{OLB} est égale à la valeur la plus négative de la tension d'alimentation la plus négative.

D'une manière similaire, les entrées du circuit absorbent ou fournissent un certain courant lorsque l'une quelconque des quatre tensions d'entrée leur est appliquée. Aux entrées, les valeurs aux limites des courants sont les suivantes:

I_{IHB} à V_{OHA}: valeur la moins positive (la plus négative) du courant d'entrée lorsqu'on applique V_{OHA} à l'entrée considérée et que sont appliquées, aux autres entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB}.

NOTE – Cette caractéristique n'est pas obligatoire dans tous les cas, par exemple si V_{OHA} est égale à la valeur la plus positive de la tension d'alimentation la plus positive, ou pour les circuits ECL.

I_{IHA} à V_{OHB}: valeur la plus positive (la moins négative) du courant d'entrée lorsqu'on applique une tension spécifiée correspondant au pire cas dans le domaine V_{OHB} à V_{IHA} à l'entrée considérée et que sont appliquées, aux autres entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB}.

NOTE – La tension correspondant au pire cas est celle dans le domaine permis qui augmente le courant d'entrée au maximum.

I_{ILB} à V_{OLA}: valeur la moins positive (la plus négative) du courant d'entrée lorsqu'on applique une tension spécifiée correspondant au pire cas dans le domaine V_{ILB} à V_{OLA} à l'entrée considérée et que sont appliquées, aux autres entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB}.

NOTE – La tension correspondant au pire cas est celle dans le domaine permis qui augmente le courant d'entrée au maximum.

I_{ILA} à V_{OLB}: valeur la plus positive (la moins négative) du courant d'entrée lorsqu'on applique V_{OLB} à l'entrée considérée et que sont appliquées, aux autres entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB}.

NOTE – Cette caractéristique n'est pas obligatoire dans tous les cas, par exemple si V_{OLB} est égale à la valeur la plus négative de la tension d'alimentation la plus négative, ou pour les circuits ECL.

En général, pour les sorties comme pour les entrées, on doit spécifier quatre points dans le plan courant-tension (voir figures 41 et 42). Ils peuvent être spécifiés suivant l'une des trois méthodes suivantes:

a) en appliquant un courant de référence spécifié et en mesurant la tension qui en résulte;

b) en appliquant une tension de référence spécifiée et en mesurant le courant qui en résulte.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

I_{OLA} at V_{OLB}: most positive (least negative) value of the output current when V_{OLB} is present at the output considered and when the voltages applied to the inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB} corresponding to the input states necessary for the output to be in the low state as shown by the function table.

NOTE – This value is not necessary if V_{OLB} is equal to the most negative value of the most negative power supply voltage.

In a similar way, the inputs of the circuit will sink or drive a certain current when they have any of the four input voltages applied to them. At the inputs, the values of current limits are as follows:

I_{IHB} at V_{OHA}: least positive (most negative) value of the input current when V_{OHA} is applied to the input considered and when the voltages applied to the other inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB}.

NOTE – This characteristic is not mandatory in every case, for example, when V_{OHA} is equal to the most positive value of the most positive power supply voltage, or for ECL circuits.

I_{IHA} at V_{OHB}: most positive (least negative) value of the input current when a specified worst-case voltage in the range V_{OHB} to V_{IHA} is applied to the input considered and when the voltages applied to the other inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB}.

NOTE – The worst-case voltage is that voltage within the permitted range that increases the input current to a maximum.

I_{ILB} at V_{OLA}: least positive (most negative) value of the input current when a specified worst-case voltage in the range V_{ILB} to V_{OLA} is applied to the input considered and when the voltages applied to the other inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB}.

NOTE – The worst-case voltage is that voltage within the permitted range that increases the input current to a maximum.

I_{ILA} at V_{OLB}: most positive (least negative) value of the input current when V_{OLB} is applied to the input considered and when the voltages applied to the other inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB}.

NOTE – This characteristic is not mandatory in every case, for example, when V_{OLB} is equal to the most negative value of the most negative power supply voltage, or for ECL circuits.

In general, for both output and input terminals, four points in the voltage-current plane must be specified (for example, see figures 41 and 42). The specification may be written using one of the following three methods:

a) by applying a specified reference current and measuring the resulting voltage;

b) by applying a specified reference voltage and measuring the resulting current;

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

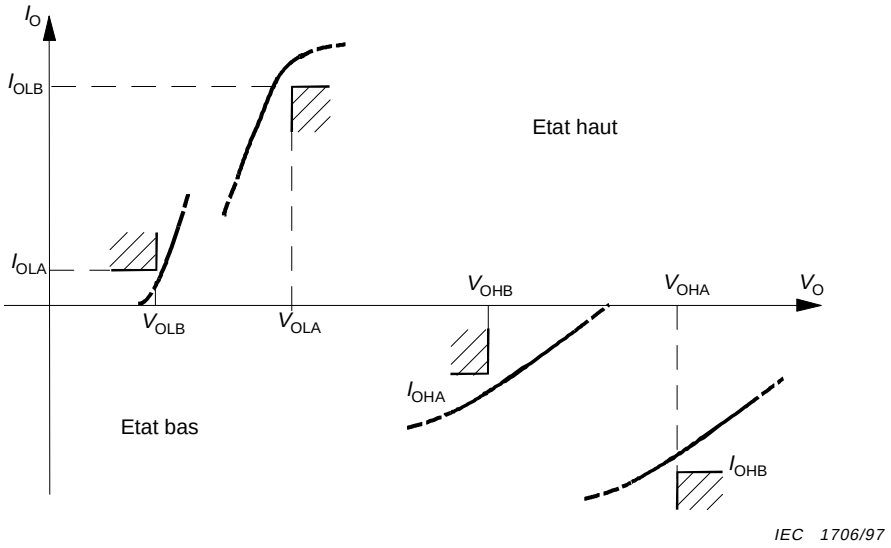


Figure 41 – Courants de sortie associés aux tensions de sortie

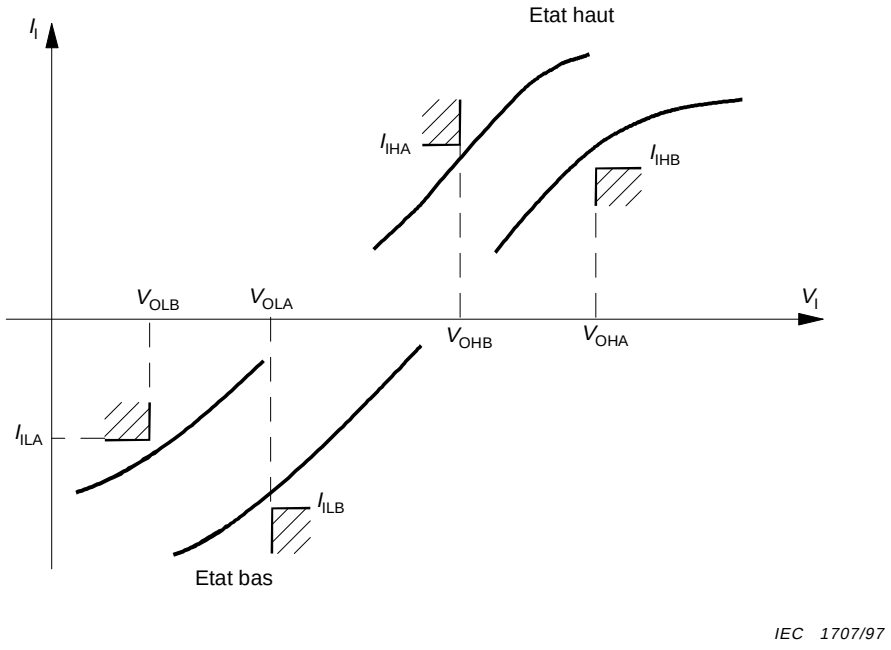


Figure 42 – Courants d'entrée associés aux tensions d'entrée

NOTE – Dans les figures 41 et 42, le axes ne représentent pas nécessairement le zéro pour la tension ou pour le courant.

c) en appliquant une tension de référence spécifiée à travers une résistance de charge spécifiée et en mesurant soit la tension, soit le courant à la borne de sortie.

NOTE – La méthode c) ne peut être adoptée que si le circuit est spécifié pour attaquer une charge définie.

5.3.2 Caractéristiques supplémentaires pour les circuits intégrés numériques ayant des sorties «trois états»

5.3.2.1 Courant de sortie à l'état bloqué I_{OZ}

Courant de sortie dans les conditions spécifiées à l'entrée qui établissent la sortie à l'état haute impédance.

NOTE – Les valeurs spécifiées du courant de sortie à l'état bloqué se réfèrent généralement à sa valeur absolue $|I_{OZ}|$.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

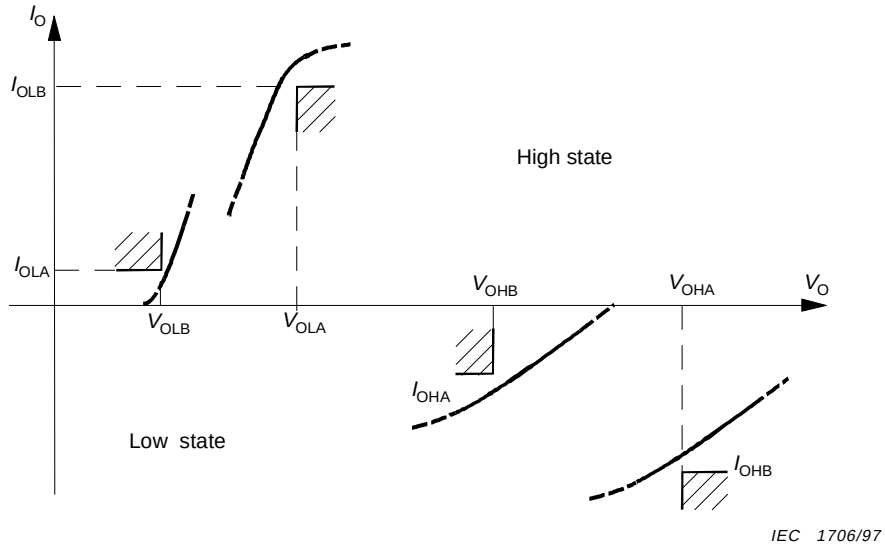


Figure 41 – Output currents associated with output voltages

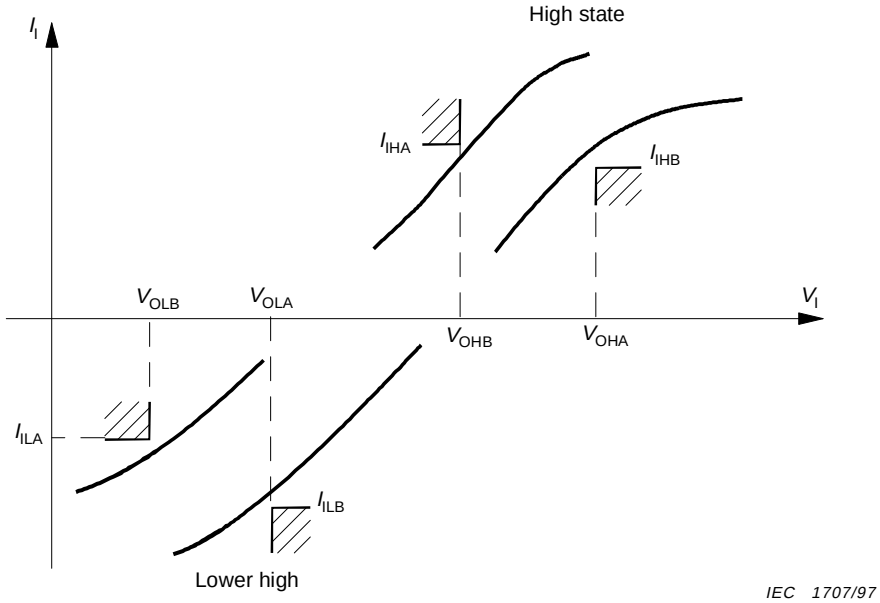


Figure 42 – Input currents associated with input voltages

NOTE – In figures 41 and 42, the axes do not necessarily represent zero voltage or current.

c) by applying a specified reference voltage through a specified load resistor and measuring either voltage or current at the output terminal.

NOTE – Method c) should be adopted only when the circuit is specified for driving a defined load.

5.3.2 Additional characteristics for digital integrated circuits having three-state outputs

5.3.2.1 Output off-state current I_{OZ}

The output current under specified conditions at the input that set the output to the high-impedance state.

NOTE – Specified values of the output off-state current refer usually to its absolute value $|I_{OZ}|$

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.4 Conditions appliquées pour le pire cas

Les conditions limites pour les caractéristiques d'entrée et de sortie doivent être garanties dans les conditions électriques de pire cas:

a) dans la gamme des températures de fonctionnement spécifiée, ou

b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

Cela est réalisé en fixant les valeurs des points précédents spécifiés dans les conditions de pire cas. Les conditions de pire cas sont en général différentes pour chacun des points.

Ces conditions, qui ont la possibilité de varier indépendamment, chacune dans une gamme spécifiée, et qui sont déterminées dans le pire cas électrique sont:

a) les tensions d'alimentation à l'intérieur de la gamme spécifiée recommandée;

b) les conditions appliquées à une borne d'entrée autre que celles concernées directement par la mesure, à savoir une tension choisie dans la gamme appropriée V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB}.

5.5 Caractéristiques du phénomène de verrouillage

5.5.1 Courant de verrouillage

Valeur maximale, dans des conditions spécifiées de température ambiante ou du boîtier, de tension d'alimentation et d'application de la fonction de déclenchement.

5.5.2 Tension de verrouillage

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, de tension d'alimentation et d'application de la fonction de déclenchement.

5.5.3 Tension d'alimentation de verrouillage

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

5.5.4 Courant d'alimentation de verrouillage

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

5.5.5 Tension (d'alimentation) à l'état de verrouillage

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, de tension d'alimentation et de courant d'alimentation.

5.5.6 Courant (d'alimentation) à l'état de verrouillage

Valeur maximale dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

5.5.7 Courant de maintien à l'état de verrouillage

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.4 Applied conditions for worst case

The boundaries of the input and output characteristics curves must be guaranteed in the electrical worst case:

a) over the specified range of operating temperatures, or

b) at a temperature of 25 °C, and at maximum and minimum operating temperatures.

This is done by stating the values of the foregoing specified points under the worst-case conditions. The worst-case conditions in general are different for each point.

These conditions, which are allowed to vary independently, each within a stated range, and which determine the electrical worst case are:

a) supply voltages within the specified recommended range;

b) conditions to be applied to an input terminal other than those directly concerned by the measurement, that is, a voltage chosen from the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB}.

5.5 Latch-up characteristics

5.5.1 Latch-up current

Maximum value, under specified conditions of ambient or case temperature, supply voltage and application of triggering function.

5.5.2 Latch-up voltage

Minimum value, under specified conditions of ambient or case temperature, supply voltage and application of triggering function.

5.5.3 Latch-up supply voltage

Minimum value, under specified conditions of ambient or case temperature and supply voltage.

5.5.4 Latch-up supply current

Minimum value, under specified conditions of ambient or case temperature and supply voltage.

5.5.5 Latch-up state (supply) voltage

Minimum value, under specified conditions of ambient or case temperature, supply voltage and supply current.

5.5.6 Latch-up state (supply) current

Maximum value, under specified conditions of ambient or case temperature and supply voltage.

5.5.7 Latch-up state holding current

Minimum value, under specified conditions of ambient or case temperature and supply voltage.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

6 Caractéristiques électriques statiques et quasi statiques pour les circuits intégrés MOS

Chaque caractéristique électrique de l'article 6 doit être donnée dans des conditions électriques de pire cas spécifiées, compte tenu de la gamme recommandée pour la ou les tensions d'alimentation, comme il est indiqué en 4.1 et:

a) dans la gamme des températures de fonctionnement spécifiée, ou

b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

6.1 Caractéristiques essentielles en tension des signaux numériques

Les caractéristiques de tension s'expriment sous forme de quatre domaines, chacun d'eux étant spécifié par deux limites. En conséquence, huit valeurs de tension sont nécessaires.

Pour chaque état de la variable de tension, deux domaines sont définis: le domaine garanti à la sortie et le domaine permis à l'entrée. Toute tension à l'intérieur du domaine permis appliquée aux entrées engendre une tension de sortie à l'intérieur du domaine garanti correspondant à l'état résultant donné par la table de fonctionnement. Les caractéristiques de tension suivantes sont donc exigées:

V_{OHA} : valeur la plus positive (la moins négative) du domaine garanti de la tension de sortie pour l'état haut.

NOTE – Dans de nombreux cas pratiques, on peut par simplification avoir V_{OHA} égale à la valeur la plus positive de la tension d'alimentation la plus positive (ou égale à zéro si l'on n'utilise que des tensions d'alimentation négatives). Une telle condition est implicite si aucune indication n'est donnée pour la valeur de V_{OHA}.

V_{OHB}: valeur la moins positive (la plus négative) du domaine garanti de la tension de sortie pour l'état haut.

V_{OLA}: valeur la plus positive (la moins négative) du domaine garanti de la tension de sortie pour l'état bas.

V_{OLB}: valeur la moins positive (la plus négative) du domaine garanti de la tension de sortie pour l'état bas.

NOTE – Dans de nombreux cas pratiques, on peut par simplification avoir V_{OLB} égale à la valeur la plus négative de la tension d'alimentation la plus négative (ou égale à zéro si l'on n'utilise que des tensions d'alimentation positives). Une telle condition est implicite si aucune indication n'est donnée pour la valeur de V_{OLB}.

V_{IHA}: valeur la plus positive (la moins négative) du domaine permis de la tension d'entrée pour l'état haut.

NOTE – Si aucune indication n'est donnée pour V_{IHA}, cela suppose que $V_{IHA} = V_{OHA}$.

V_{IHB}: valeur la moins positive (la plus négative) du domaine permis de la tension d'entrée pour l'état haut.

V_{ILA}: valeur la plus positive (la moins négative) du domaine permis de la tension d'entrée pour l'état bas.

V_{ILB}: valeur la moins positive (la plus négative) du domaine permis de la tension d'entrée pour l'état bas.

NOTE – Si aucune indication n'est donnée pour V_{ILB}, cela suppose que $V_{ILB} = V_{OLB}$.

6.2 Caractéristiques essentielles des courants

6.2.1 Courant d'entrée statique

Valeur maximale, dans des conditions statiques spécifiées.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

6 Static and quasi-static electrical characteristics for MOS integrated circuits

Each electrical characteristic of clause 6 shall be stated under specified electrical worst-case conditions, with respect to the recommended range of supply voltage(s), as stated in 4.1 and:

a) over the specified range of operating temperatures, or

b) at a temperature of 25 °C, and at maximum and minimum operating temperatures.

6.1 Essential characteristics of the digital voltage signals

The voltage characteristics are expressed in terms of four ranges, each of which is specified by two limits. Thus, eight values of voltage are needed.

For each state of the voltage variable, two ranges are defined: the guaranteed range at the output and the permitted range at the input. Any voltage within the permitted range applied to the inputs causes the output voltage to remain within the guaranteed range corresponding to the resulting state shown by the function table. The following voltage characteristics are therefore required:

V_{OHA}: the most positive (least negative) value of the guaranteed high state voltage range at the output.

NOTE – In many practical cases, a simplification can be made by setting V_{OHA} equal to the most positive value of the most positive power supply voltage (or to zero when there are only negative supply voltages). This condition is implied when no indication is given on V_{OHA}.

V_{OHB}: the least positive (most negative) value of the guaranteed high state voltage range at the output.

V_{OLA}: the most positive (least negative) value of the guaranteed low state voltage range at the output.

V_{OLB}: the least positive (most negative) value of the guaranteed low state voltage range at the output.

NOTE – In many practical cases, a simplification can be made by setting V_{OLB} equal to the most negative value of the most negative power supply voltage (or to zero when there are only positive supply voltages). This condition is implied when no indication is given on V_{OLB}.

V_{IHA}: the most positive (least negative) value of the permitted high state voltage range at the input.

NOTE – When no indication is given on V_{IHA}, it is supposed that $V_{IHA} = V_{OHA}$.

V_{IHB}: the least positive (most negative) value of the permitted high state voltage range at the input.

V_{ILA}: the most positive (least negative) value of the permitted low state voltage range at the input.

V_{ILB}: the least positive (most negative) value of the permitted low state voltage range at the input.

NOTE – When no indication is given on V_{ILB}, it is supposed that $V_{ILB} = V_{OLB}$.

6.2 Essential characteristics for currents

6.2.1 Static input current

Maximum value, under specified static conditions.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

6.2.2 Courants de sortie

Les courants de sortie qui doivent être indiqués correspondent à ceux obtenus en appliquant une des tensions V_{OHA}, V_{OHB}, V_{OLA}, V_{OLB} sur la borne où le courant est mesuré.

Les courants suivants doivent être indiqués: I_{OHB} à V_{OHA}, I_{OHA} à V_{OHB}, I_{OLB} à V_{OLA}, I_{OLA} à V_{OLB}.

6.2.3 Courant de fuite de sortie (s'il y a lieu)

Valeur maximale, dans des conditions spécifiées.

6.3 Caractéristiques du phénomène de verrouillage

6.3.1 Courant de verrouillage

Valeur maximale, dans des conditions spécifiées de température ambiante ou du boîtier, de tension d'alimentation et d'application de la fonction de déclenchement.

6.3.2 Tension de verrouillage

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, de tension d'alimentation et d'application de la fonction de déclenchement.

6.3.3 Tension d'alimentation de verrouillage

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

6.3.4 Courant d'alimentation de verrouillage

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

6.3.5 Tension (d'alimentation) à l'état de verrouillage

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, de tension d'alimentation et de courant d'alimentation.

6.3.6 Courant (d'alimentation) à l'état de verrouillage

Valeur maximale dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

6.3.7 Courant de maintien à l'état de verrouillage

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

7 Caractéristiques électriques dynamiques

Chaque caractéristique électrique de 7.2 doit être indiquée dans des conditions électriques spécifiées de pire cas, dans la gamme recommandée des tensions d'alimentation indiquées en 4.1.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

6.2.2 Output currents

The output currents that should be stated correspond to those obtained in applying one of the voltages V_{OHA},V_{OHB}, V_{OLA}, V_{OLB} to the terminal at which the current is measured.

The following currents should therefore be stated: I_{OHB} at V_{OHA}, I_{OHA} at V_{OHB}, I_{OLB} at V_{OLA}, I_{OLA} at V_{OLB}.

6.2.3 Output leakage current (where appropriate)

Maximum value, under specified conditions.

6.3 Latch-up characteristics

6.3.1 Latch-up current

Maximum value, under specified conditions of ambient or case temperature, supply voltage and application of triggering function.

6.3.2 Latch-up voltage

Minimum value, under specified conditions of ambient or case temperature, supply voltage and application of triggering function.

6.3.3 Latch-up supply voltage

Minimum value, under specified conditions of ambient or case temperature and supply voltage.

6.3.4 Latch-up supply current

Minimum value, under specified conditions of ambient or case temperature and supply voltage.

6.3.5 Latch-up state (supply) voltage

Minimum value, under specified conditions of ambient or case temperature, supply voltage and supply current.

6.3.6 Latch-up state (supply) current

Maximum value, under specified conditions of ambient or case temperature and supply voltage.

6.3.7 Latch-up state holding current

Minimum value, under specified conditions of ambient or case temperature and supply voltage.

7 Dynamic electrical characteristics

Each electrical characteristic of 7.2 shall be stated under specified electrical worst-case conditions with respect to the recommended range of supply voltages as stated in 4.1.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Les valeurs minimales et/ou maximales ou, si celles-ci ne peuvent faire l'objet d'un accord entre le fabricant et l'utilisateur, des valeurs typiques doivent être données:

a) dans la gamme de températures de fonctionnement spécifiée (par exemple sous forme de courbe) ou,

b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

La condition b) ne doit être utilisée que si la valeur de la caractéristique pour le pire cas dans toute la gamme de températures peut se déduire des valeurs données aux températures spécifiées.

Dans tous les cas, on doit indiquer les valeurs minimales et/ou maximales applicables à 25 °C.

7.1 Introduction

Les temps de commutation des circuits intégrés numériques sont caractérisés par les temps de propagation et les temps de transition. Les temps de propagation sont toujours exigés, mais la nécessité de spécifier les temps de transition dépend de:

a) la valeur du temps de transition par rapport à celle du temps de propagation, et

b) la valeur du temps de transition par rapport à une valeur arbitraire faible, par exemple 10 ns (voir 7.2.2).

Ces temps de commutation sont prévus pour fournir des informations sur la performance du circuit intégré dans des applications typiques dans un système. Cependant, afin d'avoir des mesures exactes et des spécifications normalisées, des méthodes de mesure, utilisant des caractéristiques définies de l'impulsion de commande et des circuits de charge comprenant des éléments de circuits passifs, doivent être utilisées.

Les caractéristiques de commutation données en 7.2 et les exigences sur le diagramme des temps données en 7.3 le sont en termes généraux mais, pour les circuits séquentiels, il peut être nécessaire de spécifier plus d'une valeur pour certains des temps énumérés (par exemple, pour différents chemins de propagation). De plus, pour un circuit particulier, il peut être nécessaire de spécifier plus d'une valeur d'un même temps en référence à divers niveaux de tension spécifiés.

Les niveaux de tensions à utiliser pour définir les temps de commutation sont donnés en 5.1 et 6.1.

7.2 Temps caractérisant la réponse d'un circuit

7.2.1 Temps de propagation

Les temps de propagation suivants doivent être indiqués dans des conditions spécifiées (voir note 1 de 7.2.2):

a) t_{PHL}: temps de propagation, la sortie allant vers le niveau bas;
valeurs maximale et minimale;

b) t_{PLH}: temps de propagation, la sortie allant vers le niveau haut;
valeurs maximale et minimale.

S'il existe plusieurs chemins différents d'information logique, on doit spécifier séparément les temps pour chaque chemin.

On doit donner les informations suivantes en valeurs typiques:

– variation des temps de propagation avec le courant de charge ou, s'il y a lieu, avec la résistance de charge;

– variation des temps de propagation pour un courant de charge ou, s'il y a lieu, pour une résistance de charge spécifiés, en fonction de la capacité de charge.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Limit values, or if these are not mutually acceptable to manufacturer and user, typical values shall be stated either:

a) over the specified range of operating temperatures (for example, as a curve), or

b) at a temperature of 25 °C, and at the maximum and the minimum operating temperatures.

Alternative b) shall be used only if the worst-case value of the characteristic over the whole temperature range can be deduced from the values given at the specified temperatures.

In all cases, limit values applicable at 25 °C shall be stated.

7.1 Introduction

Switching times of digital integrated circuits are characterized by propagation times and transition times. Propagation times are always required, but the necessity of specifying transition times depends on:

a) the value of the transition time relative to the propagation time, and

b) the value of the transition time relative to an arbitrary low value, for example, 10 ns (see 7.2.2).

These switching times are intended to provide information on the performance of the integrated circuit in typical system applications. However, in the interests of exact measurements and standard specifications, methods of measurement using defined driving pulse characteristics and loads comprising passive circuit elements shall be used.

The switching characteristics of 7.2 and the timing requirements of 7.3 are given in general terms but, for sequential circuits, it may be necessary to specify more than one value for some of the times listed (for example, for different propagation paths). In addition, for a particular circuit, it may be necessary to specify more than one value of the same time with reference to different specified voltage levels.

The voltage levels to be used to define the switching times are given in 5.1 and 6.1.

7.2 Times characterizing the response of the circuit

7.2.1 Propagation times

The following propagation times shall be stated under specified conditions (see note 1 of 7.2.2):

a) t_{PHL}: propagation time with output going to low level;

maximum and minimum values;

b) t_{PLH}: propagation time with output going to high level;

maximum and minimum values.

If there are several different logic information paths, separate times shall be specified for each path.

The following information shall be given as typical data:

– variation of propagation times with load current or; where appropriate, load resistance;

– variation of propagation times with load current or; where appropriate, load resistance as a function of load capacitance.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.2.2 Temps de transition

Les temps de transition doivent être indiqués dans des conditions spécifiées (voir note 1) comme suit:

a) si la valeur typique du temps de transition est comparable (voir note 2) ou supérieure à la valeur typique du temps de propagation, une valeur maximale du temps de transition doit alors être indiquée;

b) si la valeur typique du temps de transition est inférieure à 10 ns, une valeur minimale doit être indiquée (voir note 3).

Si les deux conditions a) et b) sont remplies, les valeurs maximale et minimale doivent être indiquées. Si aucune des conditions a) et b) n'est remplie, aucune valeur du temps de transition n'a alors besoin d'être indiquée.

Les temps de transition, s'ils sont exigés, doivent être indiqués pour les deux directions de la transition (c'est-à-dire que t_{THL} et t_{TLH} doivent être indiqués).

NOTE 1 – Il convient que les conditions de mesure spécifiées comprennent les caractéristiques du générateur d'impulsions et de l'oscilloscope (ou de tout autre instrument de mesure approprié), ainsi que la configuration et la valeur des composants du réseau de charge de sortie.

NOTE 2 – Le temps de transition est considéré comme comparable au temps de propagation si sa valeur dépasse de 50 % la valeur du temps de propagation.

NOTE 3 – Lorsque les temps de transition sont très courts, il peut se produire des suroscillations ou y avoir des problèmes de couplage en pratique.

On doit donner l'information suivante en valeur typique:

– temps de transition en fonction de la capacité de charge.

7.3 Exigences sur les entrées pour assurer un fonctionnement séquentiel correct

Un fonctionnement séquentiel correct peut consister en:

– un changement d'état d'une ou de plusieurs sorties, ou

– un maintien de toutes les sorties dans leur état précédent, et/ou

– un changement dans l'état de préparation du circuit.

7.3.1 Temps caractérisant la forme d'onde limite du signal appliqué à une borne d'entrée (les autres entrées étant à des niveaux constants)

a) Durée pour le niveau haut (t_1) (voir figure 45)

Valeur minimale pour un signal ayant des niveaux spécifiés à l'état haut et à l'état bas appliqué à la borne d'entrée spécifiée.

La durée du niveau bas doit être suffisamment longue pour que le fait de diminuer sa valeur n'affecte pas le résultat obtenu.

b) Durée pour le niveau bas (t_2) (voir figure 45)

Valeur minimale pour un signal ayant des niveaux spécifiés à l'état haut et à l'état bas appliqué à la borne d'entrée spécifiée.

La durée du niveau haut doit être suffisamment longue pour que le fait de diminuer sa valeur n'affecte pas le résultat obtenu.

c) Durée pour le niveau haut (t_1) (voir figure 45)

Valeur maximale pour un signal ayant des niveaux spécifiés à l'état haut et à l'état bas appliqué à la borne d'entrée spécifiée.

La durée du niveau bas doit être suffisamment longue pour que le fait de diminuer sa valeur n'affecte pas le résultat obtenu.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.2.2 Transition times

Transition times shall be stated under specified conditions (see note 1), as follows:

a) if the typical value of transition time is comparable to (see note 2), or greater than, the typical value of propagation time, then a maximum value of transition time shall be stated;

b) if the typical value of transition time is less than 10 ns, a minimum value shall be stated (see note 3).

If both conditions a) and b) are fulfilled, then both minimum and maximum values shall be stated. If neither condition a) nor b) is fulfilled, then no value of transition time is required.

Transition times; when required, shall be stated for both directions of transition (that is, t_{THL} and t_{TLH} shall be stated).

NOTE 1 – The specified conditions of measurement should include the characteristics of the pulse generator and oscilloscope (or other appropriate measuring system); and the configuration and component values of the output loading network.

NOTE 2 – The transition time is considered comparable to propagation time if its value exceeds 50 % of the value or propagation time.

NOTE 3 – When every short transition times occur, these may give rise to overshoot and coupling problems in practice.

The following information shall be given as typical data:

– transition time as a function of load capacitance.

7.3 Requirements at the inputs to ensure correct sequential operation

Correct sequential operation may consist of:

– a change of state of one or more outputs, or

– holding all outputs in their previous state, and/or

– a change in the state of preparedness of the circuit.

7.3.1 Times characterizing the limiting waveform of the applied signal to an input terminal (with other inputs at specified constant levels)

a) Duration for the high level (t_1) (see figure 45)

Minimum value for a signal having specified high state and low state levels applied to the specified input terminal.

The duration of the low level shall be sufficiently long that decreasing its value does not affect the result obtained.

b) Duration for the low level (t_2) (see figure 45)

Minimum value for a signal having specified high state and low state levels applied to the specified input terminal.

The duration of the high level shall be sufficiently long that decreasing its value does not affect the result obtained.

c) Duration for the high level (t_1) (see figure 45)

Maximum value for a signal having specified high state and low state levels applied to the specified input terminal.

The duration of the low level shall be sufficiently long that decreasing its value does not affect the result obtained.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

d) Durée pour le niveau bas (t_2) (voir figure 45)

Valeur maximale pour un signal ayant des niveaux spécifiés à l'état haut et à l'état bas appliqué à la borne d'entrée spécifiée.

La durée du niveau haut doit être suffisamment longue pour que le fait de diminuer sa valeur n'affecte pas le résultat obtenu.

e) Taux de variation, ou temps de montée/ou de descente, du signal d'entrée

Valeurs minimale et maximale pour un signal ayant des niveaux spécifiés à l'état haut et à l'état bas appliqué à la borne d'entrée spécifiée.

7.3.2 Relations de temps nécessaires entre deux signaux d'entrée

Quand l'effet d'un changement d'état pour un signal d'entrée E_1 est déterminé par l'état des autres signaux E_j (où j = 2 à n, n étant le nombre d'entrées), les temps suivants nécessaires pour assurer un fonctionnement séquentiel correct doivent être indiqués pour chaque entrée E_j.

NOTE 1 – Le signal E_1 est relatif à un signal appliqué à n'importe quelle borne d'entrée choisie ici arbitrairement comme ayant le numéro 1.

NOTE 2 – Dans le cas général, plusieurs intervalles de temps entre différents niveaux spécifiés du signal E_1 et un signal E_j peuvent devoir être indiqués.

a) Temps de préparation (temps d'établissement) (t_{su})

Valeur minimale et, s'il y a lieu, valeur maximale.

NOTE 1 – Le temps de préparation est l'intervalle de temps mesuré en référence à un niveau spécifié du signal E_j, pour lequel le signal E_j est présent *avant* que le signal E_1 soit appliqué. Il est mesuré entre des niveaux spécifiés sur les signaux E_1 et E_j, comme il est indiqué sur la figure 43.

NOTE 2 – Le temps de préparation peut avoir une valeur négative.

b) Temps de maintien (t_h)

Valeur minimale et, s'il y a lieu, valeur maximale.

NOTE 1 – Le temps de maintien est l'intervalle de temps mesuré en référence à un niveau spécifié du signal E_1, pour lequel le signal E_j est présent *après* que le signal E_1 a été supprimé. Il est mesuré entre des niveaux spécifiés sur les signaux E_1 et E_j, comme il est indiqué sur la figure 44.

NOTE 2 – Le temps de maintien peut avoir une valeur négative.

7.3.3 Relations de temps nécessaires entre deux signaux successifs sur une même entrée

a) Temps de résolution (t_{res})

Valeur minimale.

NOTE – Le temps de résolution est l'intervalle de temps entre la cessation d'une impulsion d'entrée et le commencement de l'impulsion d'entrée suivante appliquée à la même borne d'entrée, chacune ayant une durée définie en 7.3 (voir figure 45).

b) Fréquence de fonctionnement

Valeurs minimale et maximale.

NOTE – La fréquence d'un signal est celle du signal qui peut être appliqué à une borne d'entrée pour un facteur d'utilisation spécifié et pour des conditions (éventuellement séquentielles) spécifiées appliquées aux autres bornes d'entrée.

7.4 Impédances d'entrée et de sortie

7.4.1 Capacité d'entrée pour un fonctionnement en grands signaux

Valeur(s) maximale et/ou typique, lorsque la tension (ou le courant) du signal d'entrée change d'un état haut à un état bas, ou inversement, dans les conditions spécifiées suivantes:

– conditions de charge de sortie et conditions de charge pour les autres bornes d'entrée;
– conditions de l'impulsion d'entrée (amplitude, fréquence, temps de croissance et de décroissance, etc.);
– tension(s) d'alimentation.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

d) Duration for the low level (t_2) (see figure 45)

Maximum value for a signal having specified high state and low state levels applied to the specified input terminal.

The duration of the high level shall be sufficiently long that decreasing its value does not affect the result obtained.

e) Rate of change, or rise and/or fall times, of the input signal

Minimum and maximum values for a signal having specified high state and low state levels applied to the specified input terminal.

7.3.2 Necessary time relations between two input signals

When the effect of a change of state of an input signal E_1 is determined by the state of other input signal E_j (where j = 2 to n, n being the number of inputs); the following times necessary to ensure correct sequential operation shall be stated for each input E_j.

NOTE 1 – Signal E_1 refers to a signal applied to any input terminal arbitrarily designated as 1.

NOTE 2 – In the general case, several time intervals between different specified levels of the signal E_1 and the signal E_j may have to be stated.

a) Set-up time (t_{su})

Minimum value and, where appropriate, maximum value.

NOTE 1 – The set-up time is the time interval, measured with reference to some specified level of the signal E_j, for which the signal E_j is present *before* the signal E_1 is applied. It is measured between specified levels on the signals E_1 and E_j, as indicated in figure 43.

NOTE 2 – The set-up time may have a negative value.

b) Hold time (t_h)

Minimum value and, where appropriate, maximum value.

NOTE 1 – The hold time is the time interval, measured with reference to some specified level of the signal E_1, for which the signal E_j is present *after* the signal E_1 has been removed. It is measured between specified levels on the signals E_1 and E_j, as indicated in figure 44.

NOTE 2 – The hold time may have a negative value.

7.3.3 Necessary time relations between two successive signals applied to the same input

a) Resolution time (t_{res})

Minimum value.

NOTE – The resolution time is the time interval between the cessation of one input pulse and the commencement of the next input pulse applied to the same input terminal, each having a duration as defined in 7.3 (see figure 45).

b) Operating frequency

Minimum and maximum values.

NOTE – The frequency of a signal is that of the signal which may be applied to an input terminal for a specified duty cycle and for specified (possibly sequential) conditions applied to the other input terminals.

7.4 Input and output impedances

7.4.1 Input capacitance for large-signal operation

Maximum and/or typical value(s) with the input signal voltage (or current) changing from a high state to a low state or the reverse, under the following specified conditions:

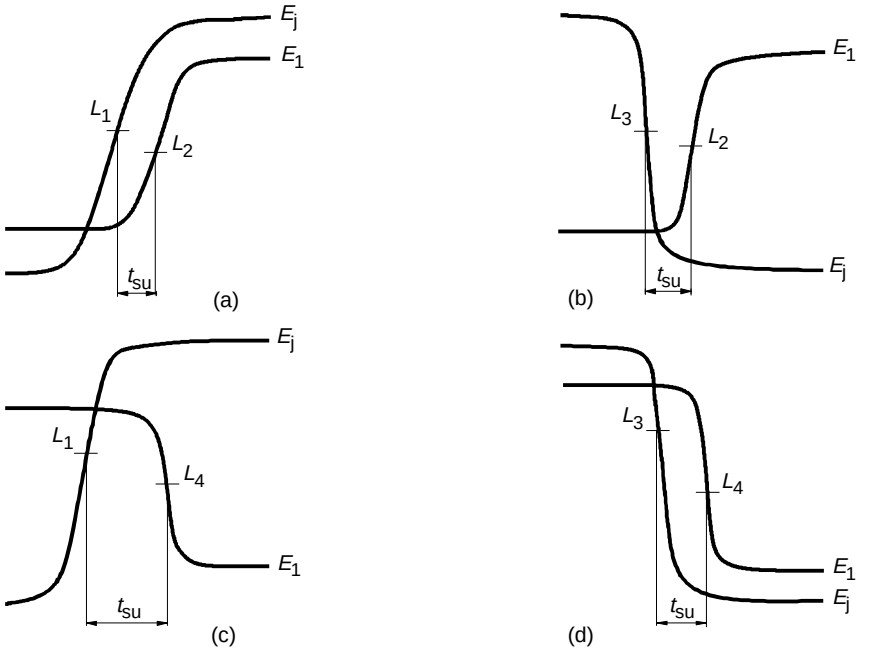
– output loading conditions and loading conditions on other input terminals;
– input pulse conditions (amplitude, frequency, rise and fall times, etc.);
– supply voltage(s).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.4.2 Capacité de sortie pour un fonctionnement en grands signaux (limitée aux applications avec impédance de sortie élevée, telle que la configuration OU-câblé)

Valeurs(s) maximale et/ou typique, lorsque la tension (ou le courant) de sortie change d'un état haut à un état bas, ou inversement, dans les conditions spécifiées suivantes:

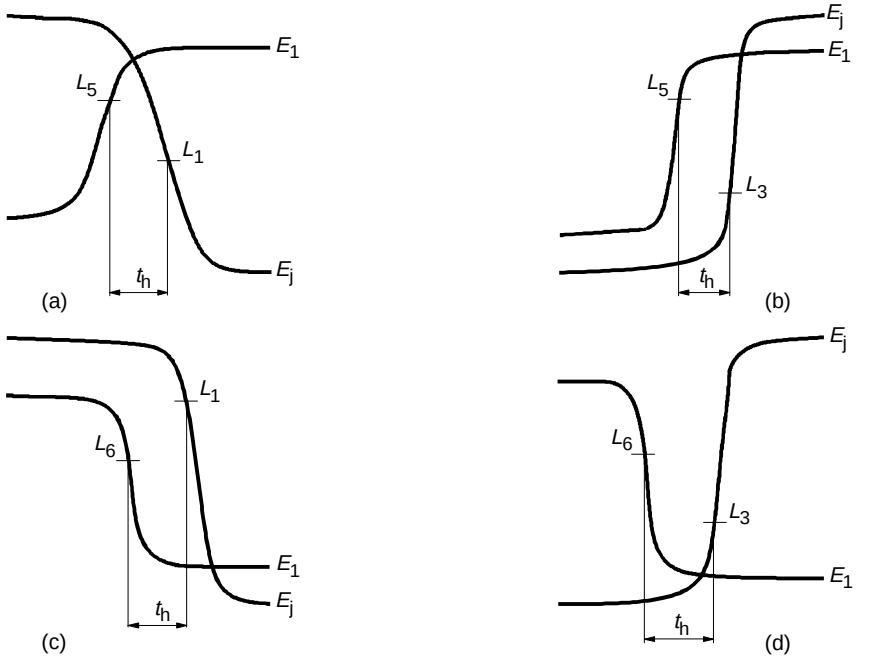
– conditions de charge d'entrée et conditions de charge pour les autres bornes de sortie;
– conditions de l'impulsion d'entrée (amplitude, fréquence, temps de croissance et de décroissance, etc.);
– tension(s) d'alimentation.



IEC 1709/97

NOTE – Les symboles neutres L_1 à L_4 ont été utilisés pour indiquer les niveaux.

Figure 43 – Temps de préparation t_{su}



IEC 1710/97

NOTE – Les symboles neutres L_1 à L_6 ont été utilisés pour indiquer les niveaux.

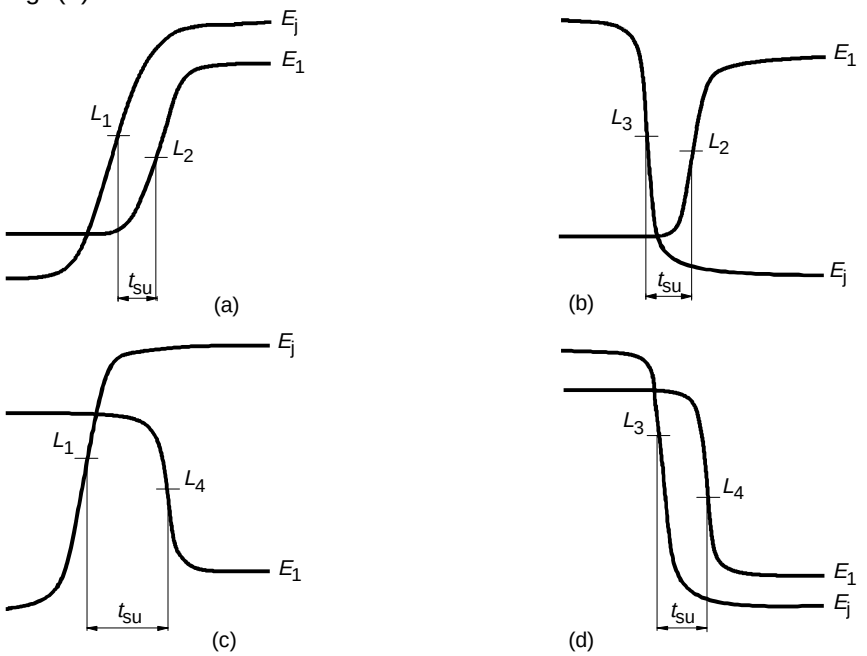
Figure 44 – Temps de maintien t_h

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.4.2 Output capacitance for large-signal operation (limited to high output impedance applications, such as wired-OR configuration)

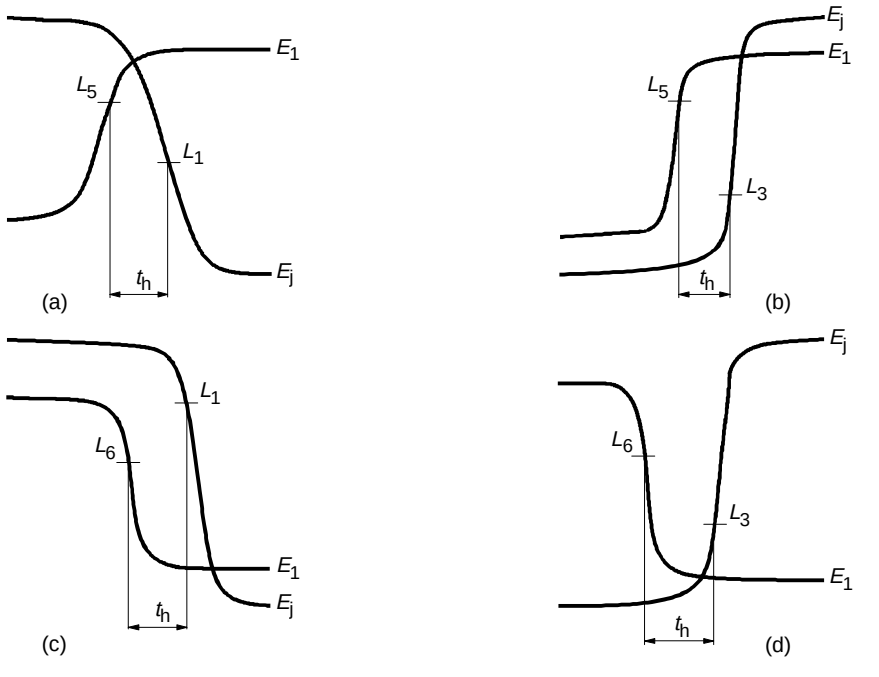
Maximum and/or typical value(s) with the voltage (or current) at the output terminal changing from a high state to a low state or the reverse, under the following specified conditions:

– input loading conditions and loading conditions on other output terminals;
– input pulse conditions (amplitude, frequency, rise and fall times, etc.);
– supply voltage(s).



NOTE – Neutral symbols L_1 to L_4 have been used to indicate levels.

Figure 43 – Set-up time t_{su}



NOTE – Neutral symbols L_1 to L_6 have been used to indicate levels.

Figure 44 – Hold time t_h

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

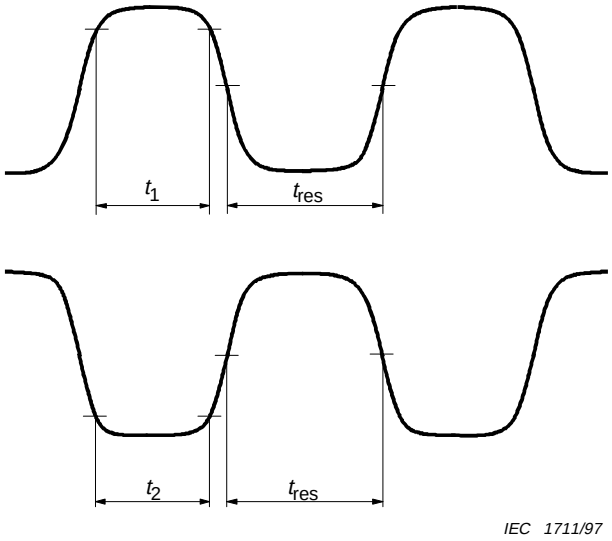


Figure 45 – Temps de résolution t_{res}

7.4.3 Résistance d'entrée pour un fonctionnement en grands signaux (pour des circuits non saturés et limitée à des applications à vitesse élevée)

Valeur(s) minimale et/ou typique, lorsque la tension (ou le courant) du signal d'entrée change d'un état haut à un état bas, ou inversement, dans les conditions spécifiées suivantes:

– conditions de charge de sortie et conditions de charge pour les autres bornes d'entrée;

– conditions de l'impulsion d'entrée (amplitude, fréquence, temps de croissance et de décroissance, etc.);

– tension(s) d'alimentation.

7.4.4 Résistance de sortie pour un fonctionnement en grands signaux (pour des circuits non saturés et limitée à des applications à vitesse élevée)

Valeur(s) minimale et/ou typique, lorsque la tension (ou le courant) de sortie change d'un état haut à un état bas, ou inversement, dans les conditions spécifiées suivantes:

– conditions de charge d'entrée et conditions de charge pour les autres bornes de sortie;

– conditions de l'impulsion d'entrée (amplitude, fréquence, temps de croissance et de décroissance, etc.);

– tension(s) d'alimentation.

8 Puissance totale ou courants fournis par les alimentations

Valeurs typique et maximale dans des conditions de fonctionnement spécifiées.

9 Courant total extrait des alimentations (fonctionnement dynamique)

Courbe(s) donnant les valeurs typiques du courant exigé de l'alimentation (des alimentations) en fonction de la fréquence de répétition des impulsions pour un facteur d'utilisation de 50 %, ou valeurs typiques à deux fréquences de répétition d'impulsions spécifiées. Ceci doit être indiqué pour des conditions spécifiées de fonctionnement recommandé.

S'il y a lieu, les informations ci-dessus doivent aussi être données pour les entrées d'horloge lorsqu'elles jouent le rôle d'alimentations pulsées.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

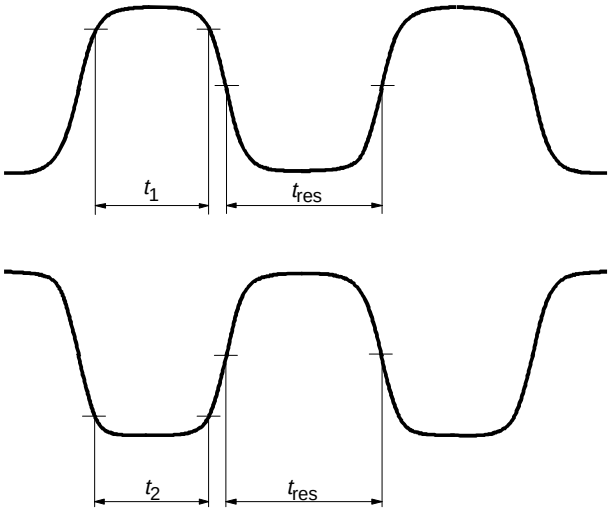


Figure 45 – Resolution time t_{res}

7.4.3 Input resistance for large-signal operation (for non-saturated circuits and limited to high-speed applications)

Minimum and/or typical value(s) with the voltage (or current) at the input terminal changing from a high state to a low state or the reverse, under the following specified conditions:

– output loading conditions and loading conditions on other input terminals;
– input pulse conditions (amplitude, frequency, rise and fall times, etc.);
– supply voltage(s).

7.4.4 Output resistance for large-signal operation (for non-saturated circuits and limited to high-speed applications)

Minimum and/or typical value(s) with the voltage (or current) at the output terminal changing from a high state to a low state or the reverse, under the following specified conditions:

– input loading conditions and loading conditions on other output terminals;
– input pulse conditions (amplitude, frequency, rise and fall times, etc.);
– supply voltage(s).

8 Total power or currents provided from the supplies

Typical and maximum values under specified operating conditions.

9 Total current drawn from the power supplies (dynamic operation)

Curve(s) showing the typical values of current required from the power supply(ies) versus the pulse repetition frequency at 50 % duty cycle, or typical values at two specified pulse repetition frequencies. This (these) shall be given under specified recommended operating conditions.

Where appropriate, the above information shall also be given for clock inputs acting as pulsed power supplies.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

10 Informations sur les impulsions de commande* (s'il y a lieu)

(* Terme à l'étude.)

11 Résistance d'isolement

S'il y a lieu, valeur minimale pour une tension spécifiée. La méthode de mesure doit être spécifiée.

12 Valeurs limites, caractéristiques mécaniques et autres données

Voir l'article 7, chapitre VI, de la CEI 60747-1.

13 Informations supplémentaires

13.1 Facteur de charge de sortie

Nombre maximal de charges spécifiées qui peuvent être connectées à chaque sortie. Cette information peut être donnée pour plusieurs types de charges.

13.2 Marges de protection contre les perturbations

Dans un système composé uniquement d'ensembles semblables à celui à étudier, les différentes marges de protection contre les perturbations résultent directement des huit valeurs de tensions précédemment spécifiées. Il y a quatre sortes de marges de protection contre les perturbations, définies ainsi:

$$M_1 = V_{IHA} - V_{OHA} \qquad M_3 = V_{ILA} - V_{OLA}$$

$$M_2 = V_{OHB} - V_{IHB} \qquad M_4 = V_{OLB} - V_{ILB}$$

Dans de nombreux cas pratiques, les marges de protection correspondant aux tensions extrêmes M_1 et M_4 ont peu d'intérêt. Ainsi, quand on indique une marge de protection sans autre précision, elle doit correspondre à la plus petite des deux valeurs M_2 et M_3.

13.3 Interconnexions de circuits intégrés numériques

Des exemples de fonctionnements numériques obtenus en interconnectant des éléments semblables doivent être indiqués.

14 Précautions de manipulation

Des précautions appropriées doivent être prises pour protéger le dispositif contre les tensions électrostatiques élevées ou les champs électromagnétiques élevés (voir la CEI 60747-1, chapitre IX).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

10 Command* pulse information (where appropriate)

(* Term under consideration.)

11 Insulation resistance

Where appropriate, minimum value at a specified voltage. The measuring method shall be specified.

12 Mechanical ratings, characteristics and other data

See clause 7, chapter VI, of IEC 60747-1.

13 Supplementary information

13.1 Output loading capability

The maximum number of specified loads that can be driven from each output. This information may be given for more than one type of load.

13.2 Noise margins

In a system composed solely of units similar to the one under consideration, the noise margins result directly from the eight values of voltages previously specified. There are four noise margins defined as:

$$M_1 = V_{IHA} - V_{OHA} \qquad M_3 = V_{ILA} - V_{OLA}$$

$$M_2 = V_{OHB} - V_{IHB} \qquad M_4 = V_{OLB} - V_{ILB}$$

In many practical systems, the "outer" noise margins M_1 and M_4 are of little concern. Therefore, when a noise margin is indicated without further qualification, it shall correspond to the smaller of values of M_2 and M_3.

13.3 Interconnections of digital integrated circuits

Examples of logic operations which may be performed by interconnecting similar units shall be stated.

14 Handling precautions

Appropriate precautions should be taken to protect the device against high electrostatic voltages or large electromagnetic fields (see IEC 60747-1, chapter IX).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

ANNEXE À LA SECTION UN

Spécification des caractéristiques

Un exemple de spécification d'un circuit en général, en accord avec ce qui précède, est donné ci-après.

Les caractéristiques électriques suivantes doivent être données pour des conditions électriques de pire cas spécifiées compte tenu de la gamme recommandée des tensions d'alimentation, comme il est indiqué en 4.1 de la section un, et

a) dans la gamme de températures de fonctionnement spécifiée, ou

b) à une température de 25 °C, et aux températures de fonctionnement maximale et minimale.

Sortie	*Valeur de référence du courant*	*Valeur (mesurée) de la tension*
Etat haut	I_{OHB}	V_{OHA} (note 1 ci-après)
	I_{OHA}	V_{OHB}
Etat bas	I_{OLB}	V_{OLA}
	I_{OLA}	V_{OLB} (note 2 ci-après)

Entrée	*Valeur de référence de la tension*	*Valeur (mesurée) du courant*
Etat haut	V_{OHA}	I_{IHB} (note 1 ci-après)
	V_{OHB}	I_{IHA}
Etat bas	V_{OLA}	I_{ILB}
	V_{OLB}	I_{ILA} (note 2 ci-après)

NOTE 1 – Ces deux valeurs ne sont pas nécessaires si V_{OHA} est égale à la valeur la plus positive de la tension d'alimentation la plus positive.

NOTE 2 – Ces deux valeurs ne sont pas nécessaires si V_{OLB} est égale à la valeur la plus négative de la tension d'alimentation la plus négative.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

APPENDIX TO SECTION ONE

Specification of characteristics

An example of the specification of a general circuit in accordance with the preceding is as follows.

The following electrical characteristics shall be stated under specified electrical worst-case conditions with respect to the recommended range of supply voltages as given in 4.1 of section one, and

a) over the specified range of operating temperatures, or

b) at a temperature of 25 °C, and at a maximum and minimum operating temperatures.

Output	*Reference value of current*	*Limit (measured) value of voltage*
High state	I_{OHB}	V_{OHA} (note 1 below)
	I_{OHA}	V_{OHB}
Low state	I_{OLB}	V_{OLA}
	I_{OLA}	V_{OLB} (note 2 below)

Input	*Reference value of voltage*	*Limit (measured) value of current*
High state	V_{OHA}	I_{IHB} (note 1 below)
	V_{OHB}	I_{IHA}
Low state	V_{OLA}	I_{ILB}
	V_{OLB}	I_{ILA} (note 2 below)

NOTE 1 – This pair of values is not necessary if V_{OHA} is equal to the most positive value of the most positive power supply voltage.

NOTE 2 – This pair of values is not necessary if V_{OLB} is equal to the most negative value of the most negative power supply voltage.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SECTION DEUX – MÉMOIRES À CIRCUIT INTÉGRÉ

A. Mémoires à lecture-écriture à fonctionnement statique et à fonctionnement dynamique et mémoires à lecture seule

1 Identification et description du circuit

Les stipulations de l'article 1 de la section un s'appliquent.

2 Spécifications fonctionnelles

2.1 Schéma synoptique

Les stipulations de 2.1 de la section un s'appliquent, ainsi que ce qui suit:

Le schéma synoptique doit être suffisamment détaillé pour permettre l'identification des différentes unités fonctionnelles à l'intérieur de la mémoire (par exemple: décodage d'adresse, autorisation boîtier, circuits «buffers» de sortie, etc.) ainsi que celle de leurs connexions externes.

2.2 Description fonctionnelle

Les fonctions réalisées par le circuit doivent être spécifiées et les informations suivantes doivent être données:

a) nombre total de bits d'information pouvant être stockés dans le circuit-mémoire;

b) nombre de bits par mot d'information pouvant être stockés dans le circuit-mémoire;

c) mode d'adressage;

d) fonction(s) engendrée(s) à chaque borne, indication de chaque signal de commande et séquences d'instructions nécessaires (voir aussi 7.2.1 de cette section);

e) pour les mémoires à fonctionnement dynamique, mode de rafraîchissement.

3 Valeurs limites

L'article 3 de la section un s'applique, ainsi que ce qui suit:

a) en 3.2.1: ... les valeurs des dépassements permis, leur durée et le *facteur d'utilisation* doivent être indiqués;

b) ajouter deux nouveaux paragraphes, 3.5 et 3.6, comme suit:

3.5 Dissipation de puissance (s'il y a lieu)

Valeur maximale de la dissipation de puissance en continu.

3.6 Temps de transition à l'entrée (s'il y a lieu), pour les mémoires à fonctionnement dynamique

Valeurs minimales.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SECTION TWO – INTEGRATED CIRCUIT MEMORIES

A. *Static and dynamic read/write memories and read-only memories*

1 Circuit identification and description

The provisions of clause 1 of section one apply.

2 Functional specifications

2.1 Block diagram

The provisions of 2.1 of section one apply, together with the following:

The block diagram shall be sufficiently detailed to enable the individual functional units within the memory (for example, address decode, chip enable, "buffer" output circuits, etc.) to be identified, together with their external connections.

2.2 Functional description

The functions performed by the circuit shall be specified and the following information shall be stated:

a) the total number of bits of information capable of being stored in the memory circuit;

b) the number of bits per word capable of being stored in the memory circuit;

c) the method of addressing;

d) the function(s) performed by each terminal, together with a statement of each control signal required, and the necessary sequence of instructions (see also 7.2.1 of this section);

e) for dynamic memories, the method of refreshing.

3 Ratings (limiting values)

Clause 3 of section one applies, together with the following:

a) in 3.2.1: .. then the permissible excess values, their duration and the *duty cycle* shall be stated;

b) two new subclauses, 3.5 and 3.6, shall be added, as given below:

3.5 Power dissipation (where appropriate)

Maximum value of continuous power dissipation.

3.6 Input transition times (where appropriate), for dynamic memories

Minimum values.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4 Conditions de fonctionnement recommandées (dans la gamme de températures de fonctionnement spécifiée)

L'article 4 de la section un s'applique, ainsi que ce qui suit:

Si le dispositif exige un préconditionnement quelconque, tel qu'une séquence de tensions, des cycles fictifs ou une séquence de signaux avant que le fonctionnement soit valide, ce préconditionnement doit être défini.

5 Caractéristiques électriques statiques pour les mémoires bipolaires

L'article 5 de la section un s'applique.

6 Caractéristiques électriques statiques pour les mémoires MOS

L'article 6 de la section un s'applique.

7 Caractéristiques électriques dynamiques

Chaque caractéristique électrique de 7.1 doit être indiquée dans des conditions électriques spécifiées de pire cas, dans la gamme recommandée de tensions d'alimentation, indiquée en 4.1 de la section un.

Les valeurs minimales et/ou maximales, comme exigé par 7.1, ou, si celles-ci ne peuvent faire l'objet d'un accord entre le fabricant et l'utilisateur, des valeurs typiques doivent être données:

a) dans la gamme des températures de fonctionnement spécifiée (par exemple sous forme de courbe), ou

b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

La condition b) ne doit être utilisée que si la valeur de la caractéristique pour le pire cas dans toute la gamme de températures peut se déduire des valeurs données aux températures spécifiées.

Dans tous les cas, on doit indiquer les valeurs minimales et/ou maximales applicables à 25 °C.

7.1 Temps caractérisant la réponse du circuit

Les temps suivants doivent être indiqués dans des conditions spécifiées:

7.1.1 Temps d'accès (voir notes 1 et 2)

a) Temps d'accès de lecture.

b) Temps d'accès de chaque signal d'autorisation et de sélection spécifié pour la mémoire (voir note 3).

c) Temps d'accès d'adresse (non applicable tant que l'information d'adresse n'est pas prise en compte, c'est-à-dire qu'elle est enregistrée dans la mémoire).

On doit indiquer des valeurs maximales pour chacun de ces temps d'accès.

NOTE 1 – On doit indiquer des conditions de mesure spécifiées de façon à s'assurer que tous les signaux de commande sont appliqués suffisamment tôt pour que les temps d'accès spécifiés n'en soient pas affectés.

NOTE 2 – Les conditions de référence pour les mesures de temps d'accès doivent comprendre les valeurs maximales autorisées de temps de préparation.

NOTE 3 – Lorsqu'on spécifie une séquence fixe de signaux d'autorisation et/ou de sélection (voir 7.2.1) et que le dernier de ces signaux détermine toujours le temps d'accès réel, il n'y a alors besoin que d'indiquer les temps d'accès pour le premier et le dernier signal de cette séquence.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4 Recommended operating conditions (within the specified operating temperature range)

Clause 4 of section one applies, together with:

If the device requires any pre-conditioning such as voltage sequencing, dummy cycles or signal sequencing before a valid operation, this pre-conditioning shall be defined.

5 Static electrical characteristics for bipolar memories

Clause 5 of section one applies.

6 Static electrical characteristics for MOS memories

Clause 6 of section one applies.

7 Dynamic electrical characteristics

Each electrical characteristic of 7.1 shall be stated under specified electrical worst-case conditions with respect to the recommended range of supply voltage(s) as stated in 4.1 of section one.

Limit values as required by 7.1 or, if these are not mutually acceptable to manufacturer and user, typical values shall be stated either:

a) over the specified range of operating temperatures (for example, as a curve), or

b) at a temperature of 25 °C, and at the maximum and the minimum operating temperatures.

Alternative b) shall be used only if the worst-case value of the characteristic over the whole temperature range can be deduced from the values given at the specified temperatures.

In all cases, limit values applicable at 25 °C shall be stated.

7.1 Times characterizing the response of the circuit

The following times shall be stated under specified conditions:

7.1.1 Access time (see notes 1 and 2)

a) Read access time.

b) Access time from each enable and select signal specified for the memory (see note 3).

c) Address access time (not applicable where the address information is not accepted until it is clocked into the memory).

Maximum values shall be stated for each of these access times.

NOTE 1 – Specified measurement conditions should be given in order to ensure that all control signals are applied early enough so that they do not affect the specified access times.

NOTE 2 – The reference conditions for the measurement of access times must include the maximum permissible values of set-up times.

NOTE 3 – Where a fixed sequence of enable and/or select signals is specified (see 7.2.1), and the last of these signals always determines the actual access time, then only the access times for the first and last of the signals in this sequence need be stated.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.1.2 Temps de recouvrement de lecture (pour les mémoires à lecture-écriture seulement)

Valeur maximale.

NOTE – Si les fonctions de lecture et d'écriture sont effectuées à partir d'une borne unique, le temps d'accès de lecture et le temps de recouvrement de lecture sont identiques; il n'y a alors besoin de spécifier que l'un de ces temps.

7.1.3 Temps d'inhibition en sortie

Temps d'inhibition en sortie pris à partir de la fin des signaux d'autorisation et de sélection.

Valeurs maximales.

NOTE – Le temps d'inhibition en sortie est l'intervalle de temps qui sépare la fin d'un signal spécifié d'autorisation ou de sélection, de l'instant où l'information cesse d'être disponible en sortie.

7.1.4 Temps de transition (voir note 4)

On doit indiquer les temps de transition dans des conditions spécifiées (voir note 5), de la façon suivante:

a) si la valeur typique du temps de transition est comparable (voir note 6) ou supérieure à la valeur typique du temps de propagation, on doit indiquer une valeur maximale du temps de transition;

b) si la valeur typique du temps de transition est inférieure à 10 ns, on doit indiquer une valeur minimale (voir note 7);

c) si les conditions a) et b) sont remplies simultanément, on doit alors indiquer des valeurs minimale et maximale.

Les temps de transition, lorsqu'on les exige, doivent être indiqués pour les deux sens de la transition (c'est-à-dire qu'on indiquera t_{THL} et t_{TLH}).

NOTE 4 – En général, il convient de donner les valeurs de ces temps qui s'appliquent pour chacune ou pour les deux directions de transition du signal de sortie. Dans certains cas (par exemple pour les mémoires MOS), dans la mesure où il est reconnu que seule une direction de transition est significative (par exemple tension de sortie changeant vers la tension d'alimentation), cette valeur seule peut être indiquée.

NOTE 5 – Il convient que les conditions de mesure spécifiées comprennent les caractéristiques de l'impulsion d'entrée et de l'oscilloscope (ou de tout autre instrument de mesure approprié), la configuration et la valeur des composants du réseau de charge de sortie.

NOTE 6 – Le temps de transition peut être considéré comme comparable au temps de propagation si sa valeur dépasse 50 % de celle du temps de propagation.

NOTE 7 – On veut indiquer que, pour des temps de transition très courts, il peut y avoir des phénomènes de rebondissement et des problèmes de couplage avec les charges couramment utilisées.

7.2 Exigences sur les entrées pour assurer un fonctionnement séquentiel correct

7.2.1 Mémoires à fonctionnement statique

Les exigences de temps suivantes s'appliquent aux mémoires à écriture-lecture à fonctionnement statique et sont en accord avec les principes généraux énoncés en 7.3 de la section un.

On doit indiquer un chronogramme comprenant l'ensemble des signaux nécessaires pour réaliser chaque opération fonctionnelle de la mémoire et mesurer les temps correspondants.

Cet ensemble de signaux doit représenter les signaux de commande indiqués au point d) de 2.2 de cette section.

La séquence de temps à utiliser doit être indiquée et tous les intervalles de temps nécessaires à l'utilisateur pour avoir un fonctionnement correct de la mémoire doivent être indiqués.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.1.2 Sense recovery time (for read/write memories only)

Maximum value.

NOTE – If both "read" and "write" functions are controlled by a single terminal, then "read access time" and "sense recovery time" will be the same, and only one of these times is required.

7.1.3 Output disable times

Output disable times from the end of each relevant enable and select signal.

Maximum values.

NOTE – The output disable time is the time interval between the cessation of a specified enable/select signal, and the instant at which the output data are no longer valid.

7.1.4 Transition times (see note 4)

Transition times shall be stated under specified conditions (see note 5), depending on the following conditions:

a) if the typical value of transition time is comparable to (see note 6), or greater than, the typical value of propagation time, then a maximum value of transition time shall be stated;

b) if the typical value of transition time is less than 10 ns, a minimum value shall be stated (see note 7);

c) if both conditions a) and b) are fulfilled, then both minimum and maximum values shall be stated.

Transition times, when required, shall be stated for both directions of transition (that is, t_{THL} and t_{TLH} should be stated).

NOTE 4 – In general, values of these times that apply for each or both directions of transition of the output signal should be given. In some cases (for example, MOS memories), provided it is known that only one direction of transition is significant (for example, output voltage changing towards the supply voltage), only this value need be stated.

NOTE 5 – The specified conditions of measurement should include the characteristics of the input pulse and oscilloscope (or other appropriate measuring system) and the configuration and component values of the output loading network.

NOTE 6 – The transition time is considered comparable to propagation time if its value exceeds 50 % of the value of propagation time.

NOTE 7 – The object here is to state when very short transition times may be obtained, which may give rise to overshoot and coupling problems using practical loads.

7.2 Requirements at the inputs to ensure correct sequential operation

7.2.1 Static memories

The following timing requirements are applicable to static read/write memories and are in accordance with the general principles given in 7.3 of section one.

A timing diagram shall be given, comprising a complete set of signals that would be required to enable each functional operation of the memory to be set up and measured.

This set of signals shall be in accordance with the control signals included in item d) of 2.2 of this section.

The timing sequence to be used shall be stated and all time intervals that need to be known by the user for correct operation of the memory should be stated.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

En général, les temps suivants doivent être indiqués:

7.2.1.1 Temps de cycle

Temps de cycle de lecture, temps de cycle d'écriture et, s'il y a lieu, temps de cycle de lecture-écriture et/ou temps de cycle d'écriture-lecture.

Valeurs minimales.

NOTE – Dans les paragraphes 7.2.1.2 à 7.2.1.5 inclus, on n'utilise que le terme «autorisation» dans le texte français (alors qu'on utilise «enable/select» dans le texte anglais). Il faut noter que les temps de préparation et de maintien cités en 7.2.1.2 et 7.2.1.3 supposent que la mémoire n'a pas de possibilité de verrouillage par l'entrée «autorisation». Si elle en a, les temps de préparation et de maintien, pris en référence par rapport à la fin d'écriture et à la fin d'autorisation, doivent être alors simplement pris en référence par rapport à «lecture» et à «autorisation».

7.2.1.2 Temps de préparation

Valeurs minimales pour les temps suivants:

a) temps de préparation adresse/écriture ou adresse/autorisation (voir note 8);

b) temps de préparation autorisation/fin d'écriture;

c) temps de préparation entrée d'information/fin d'écriture, pour une valeur minimale donnée de la largeur (durée) de l'impulsion d'écriture (voir note 8), ou

d) temps de préparation entrée d'information/fin d'autorisation, pour une valeur minimale donnée de la durée (largeur) d'impulsion d'autorisation (voir note 8);

e) pour les mémoires complexes fonctionnant avec plus d'un signal de commande d'autorisation, il est nécessaire d'indiquer en outre au moins un temps de préparation supplémentaire correspondant à chaque signal d'autorisation supplémentaire.

NOTE 8 – Le choix de l'impulsion d'écriture ou d'autorisation comme impulsion de référence dépend de celle qui devient inactive la première, et il convient que cela soit en accord avec la séquence de temps indiquée en 7.2.1. Si la séquence entre les impulsions d'écriture et d'autorisation n'a pas d'importance, il convient de l'indiquer, et de donner les temps c) et d).

Pour une mémoire n'ayant pas de possibilité d'autorisation, on ne donnera que les temps a) et c) (c'est-à-dire *deux* valeurs).

7.2.1.3 Temps de maintien

Par analogie avec les temps de préparation, valeurs minimales pour les temps suivants:

a) temps de maintien adresse/fin d'écriture ou adresse/fin d'autorisation (voir note 9);

b) temps de maintien autorisation/fin d'écriture ou écriture/fin d'autorisation (voir note 9);

c) temps de maintien entrée d'information/fin d'écriture ou entrée d'information/fin d'autorisation (voir note 9);

d) pour les mémoires complexes fonctionnant avec plus d'un signal de commande d'autorisation, il est nécessaire d'indiquer en outre au moins un temps de maintien supplémentaire correspondant à chaque signal d'autorisation supplémentaire.

NOTE 9 – Le choix de l'impulsion d'écriture ou d'autorisation comme impulsion de référence dépend de celle qui devient inactive la première, et il convient que cela soit en accord avec la séquence de temps indiquée en 7.2.1. Si la séquence entre les impulsions d'écriture et d'autorisation n'a pas d'importance, il convient de l'indiquer et de donner les temps a) et c).

Pour une mémoire n'ayant pas de possibilité d'autorisation, on ne donnera que les temps a) et c) (c'est-à-dire *deux* valeurs).

7.2.1.4 Temps de recouvrement d'écriture

Valeur minimale.

NOTE – Dans certaines mémoires, le temps de recouvrement d'écriture et le temps de maintien adresse/fin d'écriture sont les mêmes; il n'y a besoin d'indiquer qu'une seule de ces grandeurs dans ces cas.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

In general, the following times shall be stated:

7.2.1.1 Cycle times

Read cycle time, write cycle time and, where appropriate, read-write cycle time and/or write-read cycle time.

Minimum values.

NOTE – In 7.2.1.2 to 7.2.1.5 inclusive, the terms "enable" and "select" are being used synonymously, since no formal definitions have yet been agreed. Wherever the term "enable/select" occurs, the term to be used is that which is appropriate to the memory being specified. It should be noted that the set-up and hold times given in 7.2.1.2 and 7.2.1.3 assume that the memory does not have a latch facility operated by the enable/select input. If it does, then set-up and hold times referenced to end-of-write and end-of-enable/select should be referenced to simply "write or enable/select".

7.2.1.2 Set-up times

Minimum values for the following:

a) address set-up time before write, or address set-up time before enable/select (see note 8);

b) enable/select set-up time before end-of-write;

c) data-in set-up time before end-of-write, for a stated minimum value of enable/select pulse duration (width) (see note 8), or

d) data-in set-up time before end-of-enable/select, for a stated minimum value of enable/select pulse duration (width) (see note 8);

e) for complex memories having more than one enable or select control signal, at least one additional set-up time for each additional enable or select signal is required.

NOTE 8 – The choice of write or enable/select as the reference pulse depends on which one becomes inactive first, and this should be in accordance with the timing sequence given in 7.2.1. If the relative sequence in which write and enable/select become inactive is irrelevant, this should be stated and values for both c) and d) should be given.

For a memory having no enable/select facility, values of a) and c) only are required (that is, *two* times are required).

7.2.1.3 Hold times

By analogy with set-up times, minimum values for the following:

a) address after end-of-write hold time or address hold time after end-of-enable/select (see note 9);

b) enable/select hold time after end-of-write or write hold time after end-of-enable/select (see note 9);

c) data-in hold time after end-of-write or data-in hold time after end-of-enable/select (see note 9);

d) for complex memories having more than one enable or select control signal, at least one additional hold time for each additional enable or select signal is required.

NOTE 9 – The choice of write or enable/select as the reference pulse depends on which one becomes inactive first, and this should be in accordance with the timing sequence given in 7.2.1. If the relative sequence in which write and enable/select become inactive is irrelevant, this should be stated, and values for both options in a) and c) should be given.

For a memory having no enable/select facility, values for a) and c) only are required (that is, *two* times are required).

7.2.1.4 Write recovery time

Minimum value.

NOTE – In some memories, write recovery time and address after end-of-write hold time are the same and only one of the quantities need be stated in such cases.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.2.1.5 Durées (largeurs) des impulsions

Valeurs minimales pour les durées suivantes:

– durée (largeur) de l'impulsion d'écriture;

– s'il y a lieu, durée (largeur) de l'impulsion d'autorisation (voir le point d) de 7.2.1.2).

7.2.2 Mémoires à fonctionnement dynamique

Les exigences suivantes de séquencement s'appliquent aux mémoires à écriture-lecture à fonctionnement dynamique et sont en accord avec les principes généraux énoncés en 7.2 de la section un de ce chapitre.

On doit indiquer un chronogramme comprenant un ensemble complet de signaux nécessaires pour réaliser chaque opération fonctionnelle de la mémoire et en effectuer la mesure. Cet ensemble de signaux doit être en accord avec les signaux de commande indiqués au point d) de 2.2 de cette section.

Le séquencement à utiliser doit être indiqué, ainsi que tous les intervalles de temps nécessaires à l'utilisateur pour un fonctionnement correct de la mémoire. En général, on doit indiquer les temps suivants:

7.2.2.1 Mémoires à entrée de validation à l'exclusion des mémoires à entrées d'adresse multiplexées

a) Temps de préparation

- Temps de préparation adresse/autorisation.
- Temps de préparation lecture/autorisation.
- Temps de préparation sélection boîtier/autorisation, s'il y a lieu.
- Temps de préparation écriture/autorisation.
- Temps de préparation entrée information/écriture.
- Temps de préparation entrée information/autorisation.

Valeurs minimales.

b) Temps de maintien

- Temps de maintien adresse/autorisation.
- Temps de maintien lecture/autorisation.
- Temps de maintien sélection boîtier/autorisation, s'il y a lieu.
- Temps de maintien écriture/autorisation, s'il y a lieu.
- Temps de maintien entrée information/autorisation.
- Temps de maintien entrée information/écriture.

Valeurs minimales.

c) Temps de cycle

- Temps de cycle de lecture.
- Temps de cycle d'écriture.
- Temps de cycle de lecture-modification-écriture, s'il y a lieu.
- Temps de cycle de lecture-écriture, s'il y a lieu.

Valeurs minimales.

d) Durées (largeurs) des impulsions

- Durée (largeur) d'impulsion de lecture.
- Durée (largeur) d'impulsion d'écriture.
- Durée (largeur) d'impulsion d'autorisation.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.2.1.5 Pulse durations (widths)

Minimum values for the following:

– write pulse duration (width);
– where appropriate, enable/select pulse duration (width) (see item d) of 7.2.1.2).

7.2.2 Dynamic memories

The following timing requirements are applicable to dynamic read/write memories, and are in accordance with the general principles given in 7.2 of section one of this chapter.

A timing diagram shall be given, comprising a complete set of signals that would be required to enable each functional operation of the memory to be set up and measured. This set of signals shall be in accordance with the control signals included in 2.2 d) of this section.

The timing sequence to be used and all time intervals that need to be known by the user for correct operation of the memory shall be stated. In general, the following times shall be stated.

7.2.2.1 Memories with enable input, excluding memories with multiplexed address inputs

a) Set-up times
   – Address set-up time before enable.
   – Read set-up time before enable.
   – Chip-select set-up time before enable, where appropriate.
   – Write set-up time before enable.
   – Data-in set-up time before write.
   – Data-in set-up time before enable.

Minimum values.

b) Hold times
   – Address hold time after enable.
   – Read hold time after enable.
   – Chip-select hold time after enable, where appropriate.
   – Write hold time after enable, where appropriate.
   – Data-in hold time after enable.
   – Data-in hold time after write.

Minimum values.

c) Cycle times
   – Read cycle time.
   – Write cycle time.
   – Read-modify-write cycle time, where appropriate.
   – Read-write cycle time, where appropriate.

   Minimum values.

d) Pulse durations (widths)
   – Read pulse duration (width).
   – Write pulse duration (width).
   – Enable pulse duration (width).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Valeurs minimales et, s'il y a lieu, maximales.

e) Temps de préconditionnement

Valeur minimale.

f) Intervalle de temps de rafraîchissement

Valeur maximale.

g) Temps de transition

- Temps de montée de l'autorisation.
- Temps de descente de l'autorisation.
- Temps de transition en mode de sélection lecture-écriture, selon le cas.

Valeurs minimales et maximales.

7.2.2.2 Mémoires à entrées d'adresse multiplexées

a) Temps de préparation

- Temps de préparation adresse lignes/sélection d'adresse lignes.
- Temps de préparation adresse colonnes/sélection d'adresse colonnes.
- Temps de préparation lecture/sélection d'adresse colonnes.
- Temps de préparation entrée information/sélection d'adresse colonnes, s'il y a lieu.
- Temps de préparation entrée information/écriture.
- Temps de préparation écriture/sélection d'adresse colonnes.
- Temps de préparation écriture/sélection d'adresse lignes.
- Temps de préparation sélection boîtier/sélection d'adresse colonnes, s'il y a lieu.

Valeurs minimales.

b) Temps de maintien

- Temps de maintien adresse colonnes/sélection d'adresse lignes.
- Temps de maintien lecture/sélection d'adresse colonnes.
- Temps de maintien écriture/sélection d'adresse colonnes.
- Temps de maintien écriture/sélection d'adresse lignes.
- Temps de maintien entrée information/sélection d'adresse colonnes.
- Temps de maintien entrée information/sélection d'adresse lignes.
- Temps de maintien entrée information/écriture.
- Temps de maintien sélection boîtier/sélection adresse lignes, s'il y a lieu.

Valeurs minimales.

c) Temps de délai entre signaux d'entrée

- Temps de délai entre signal de sélection d'adresse colonnes devenant inactif et signal de sélection d'adresse lignes devenant actif.
- Temps de délai entre signal de sélection d'adresse colonnes devenant actif et signal de sélection d'adresse lignes devenant inactif.

Valeurs minimales.

d) Temps de cycle

- Temps de cycle de lecture.
- Temps de cycle d'écriture.
- Temps de cycle de lecture-écriture, s'il y a lieu.
- Temps de cycle de lecture-modification-écriture, s'il y a lieu.
- Temps de cycle par page, s'il y a lieu.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Minimum and, where appropriate, maximum values.

e) Precharge time

Minimum value.

f) Refresh time interval

Maximum value.

g) Transition times

- Enable rise time.
- Enable fall time.
- Read-write mode select transition times, as appropriate.

Minimum and maximum values.

7.2.2.2 Memories with multiplexed address inputs

a) Set-up times

- Row-address set-up time before row-address-select.
- Column-address set-up time before column-address-select.
- Read set-up time before column-address-select.
- Data-in set-up time before column-address-select, where appropriate.
- Data-in set-up time before write.
- Write set-up time before column-address-select.
- Write set-up time before row-address-select.
- Chip-select set-up time before column-address-select, where appropriate.

Minimum values.

b) Hold times

- Column-address hold time after row-address-select.
- Read hold time after column-address-select.
- Write hold time after column-address-select.
- Write hold time after row-address-select.
- Data-in hold time after column-address-select.
- Data-in hold time after row-address-select.
- Data-in hold time after write.
- Chip-select hold time after row-address-select, where appropriate.

Minimum values.

c) Delay time between input signals

- Delay time between column-address-select signal becoming inactive and row-address-select signal becoming active.
- Delay time between column-address-select signal becoming active and row-address-select signal becoming inactive.

Minimum values.

d) Cycle times

- Read cycle time.
- Write cycle time.
- Read-write cycle time, where appropriate.
- Read-modify-write cycle time, where appropriate.
- Page cycle time, where appropriate.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Valeurs minimales.

e) Durées (largeurs) d'impulsions
   - Durée (largeur d'impulsion de sélection d'adresse lignes.
   - Durée (largeur) d'impulsion de sélection d'adresse colonnes.
   - Durée (largeur) d'impulsion d'écriture.

S'il y a lieu, valeurs minimales et/ou maximales.

f) Temps de préconditionnement
   - Temps de préconditionnement de sélection d'adresse lignes.
   - Temps de préconditionnement de sélection d'adresse colonnes à sélection d'adresse lignes.
   - Temps de préconditionnement de sélection d'adresse colonnes.

Valeurs minimales et, s'il y a lieu, maximales.

g) Intervalles de temps de rafraîchissement

Valeur maximale.

h) Temps de transition
   - Temps de transition de sélection d'adresse lignes.
   - Temps de transition lecture-écriture, s'il y a lieu.
   - Temps de transition d'autorisation (sélection boîtier).

Valeurs minimales et maximales.

7.2.3 Mémoires vives pseudo-statiques

7.2.3.1 Section deux A, 7.2.1.1 à 7.2.1.5 sont applicables.

7.2.3.2 Intervalle de temps de régénération

Valeur maximale.

7.2.4 Mémoires vives statiques non volatiles

7.2.4.1 Section deux A, 7.2.1.1 à 7.2.1.5 sont applicables.

7.2.4.2 Cycle de mise en mémoire. (Par exemple, temps requis pour l'opération de mise en mémoire au cours duquel le contenu total de la zone de mémoire vive est stocké dans la partie non volatile de la mémoire).

Valeur maximale.

7.2.4.3 Cycle de rappel en mémoire vive. (Par exemple, temps requis pour l'opération de rappel de la mémoire au cours duquel le contenu total de l'EEPROM est écrit dans la zone de mémoire vive).

Valeur maximale.

7.2.4.4 Section deux B, les articles 4, 5, 7, 9 et 10 sont applicables.

7.3 Capacités d'entrée et de sortie

Valeurs typique et maximale des capacités d'entrée et de sortie dans des conditions spécifiées.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Minimum values.

e) Pulse durations (widths)

- Row-address-select pulse duration (width).
- Column-address-select pulse duration (width).
- Write pulse duration (width).

Where appropriate, minimum and/or maximum values.

f) Precharge times

- Row-address-select precharge time.
- Column-address-select to row-address-select precharge time.
- Column-address-select precharge time.

Minimum and, where appropriate, maximum values.

g) Refresh time interval

Maximum value.

h) Transition times

- Row-address-select transition times.
- Read/write transition times, as appropriate.
- Enable (chip select) transition times.

Minimum and maximum values.

7.2.3 Pseudo-static read/write memories

7.2.3.1 Section two A, 7.2.1.1 to 7.2.1.5 apply.

7.2.3.2 Refresh time interval

Maximum value.

7.2.4 Non-volatile static read/write memories

7.2.4.1 Section two A, 7.2.1.1 to 7.2.1.5 apply.

7.2.4.2 Store cycle. (The time required for the store operation which causes the entire contents of the RAM array to be stored in the non-volatile part of the memory to be used as examples.)

Maximum value.

7.2.4.3 Array recall cycle. (The time required for the array recall operation which causes the entire contents of the EEPROM to be written in the RAM array to be used as examples.)

Maximum value.

7.2.4.4 Section two B, clauses 4, 5, 7, 9 and 10 apply.

7.3 Input and output capacitances

Typical and maximum values of input and output capacitances under specified conditions.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8 Puissance ou courant fourni par chaque alimentation (cas du fonctionnement statique)

Valeurs maximales du courant dans chaque borne d'alimentation dans les conditions de pire cas, pour le mode actif et pour la position attente si elles sont nettement différentes. Donner également les valeurs typiques dans les conditions nominales de fonctionnement.

9 Puissance ou courant fourni par chaque alimentation (cas du fonctionnement dynamique)

Courbe(s) donnant les valeurs typiques du courant fourni par l'alimentation (des alimentations) en fonction de la fréquence de répétition des impulsions, ou valeurs typiques à deux fréquences de répétition d'impulsions spécifiées. Cela doit être indiqué pour des conditions spécifiées de fonctionnement recommandé.

S'il y a lieu, les informations ci-dessus doivent aussi être données pour les entrées d'horloge lorsqu'elles jouent le rôle d'alimentations pulsées.

S'il y a lieu, cette information doit être aussi donnée pour le fonctionnement en position attente.

10 Valeurs limites, caractéristiques mécaniques et autres données

On doit donner toute valeur limite spécifique, mécanique ou d'environnement, applicable aux mémoires à circuit intégré (voir aussi l'article 7, chapitre VI, de la CEI 60747-1).

11 Informations supplémentaires

11.1 Facteur de charge de sortie

Nombre maximal de charges spécifiées qui peuvent être connectées à chaque sortie. Cette information peut être donnée pour plusieurs types de charges.

11.2 Marges de protection contre les perturbations

Des informations permettant de calculer les marges de protection contre les perturbations concernant les mémoires sont données dans les articles 5 et 6 (voir aussi 13.2 de la section un).

11.3 Interconnexions de circuits similaires

Des exemples de fonctionnements logiques (par exemple: OU-câblé) qui peuvent être effectués en interconnectant des mémoires semblables doivent être donnés.

11.4 Type de circuit de sortie

Les informations doivent être données sur le type de circuit de sortie, par exemple: trois états, collecteur ouvert, drain ouvert, «push-pull».

11.5 Interconnexions avec d'autres types de circuits

S'il y a lieu, des détails sur les interconnexions avec d'autres circuits, par exemple: amplificateurs de lecture, «buffers», doivent être donnés.

12 Précautions de manipulation

Voir la CEI 60747-1, chapitre IX.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8 Power or current drawn from each supply (static operation)

Maximum values of current into each supply terminal under worst-case conditions and for both active and standby modes if these are significantly different from each other. The typical values under nominal operating conditions should also be given.

9 Power or current drawn from each supply (dynamic operation)

Curve(s) showing the typical values of current required from the power supply(ies) versus the pulse repetition frequency, or typical values at two specified pulse repetition frequencies. This (these) shall be given under specified recommended operating conditions.

Where appropriate, the above information shall be given for clock inputs acting as pulsed power supplies.

Where appropriate, this information shall also be given for standby operation.

10 Mechanical ratings, characteristics and other data

Any specific mechanical or environmental ratings applicable to the integrated circuit memory shall be stated. (See also clause 7, chapter VI, of IEC 60747-1.)

11 Supplementary information

11.1 Output loading capability

The maximum number of specified loads that can be driven from each output. This information may be given for more than one type of load.

11.2 Noise margins

Information about the memory that enables noise margins to be calculated is given in clauses 5 and 6 (see also 13.2 of section one).

11.3 Interconnections of similar units

Examples of logic operations (for example, wired-OR) that may be performed by interconnecting similar memory units shall be stated.

11.4 Type of output circuit

Information shall be given regarding the type of output circuit, for example, three-state, open-collector, open-drain, push-pull.

11.5 Interconnections to other types of circuits

Where appropriate, details of the interconnections to other circuits, for example, sense amplifiers, buffers, shall be given.

12 Handling precautions

See IEC 60747-1, chapter IX.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

B. Mémoires à lecture seule à contenu programmable par l'utilisateur

Le contenu de cette sous-section est destiné à caractériser les mémoires à lecture seule à contenu programmable et reprogrammable, ces dernières étant:

– soit effaçables par ultraviolet et programmables électriquement;
– soit effaçables électriquement et programmables électriquement.

1 Identification et description du circuit

Les stipulations de l'article 1 de la section un du chapitre III s'appliquent, avec l'addition suivante en 1.2 (Technologie):

«On doit indiquer également des détails sur le type de cellule de stockage: matrice de diodes, liaison par fusion, type d'injection par avalanche dans la grille flottante, etc.»

2 Spécifications fonctionnelles

2.1 Schéma synoptique

Un schéma synoptique ou une information équivalente sur le circuit intégré numérique doit être donné.

Le schéma synoptique doit permettre d'identifier la fonction de chaque connexion externe et, lorsqu'il n'y a pas de risque d'ambiguïté, indiquer également les numéros des bornes. Si l'encapsulation comporte des parties métalliques, toute connexion des bornes extérieures à ces parties doit être précisée. On doit indiquer les connexions avec tous les éléments électriques externes associés, si c'est nécessaire.

Comme information supplémentaire, on peut reproduire le schéma électrique complet comprenant les éléments parasites importants, mais sans indiquer nécessairement les valeurs des composants du circuit.

Le schéma synoptique doit être suffisamment détaillé pour permettre l'identification des différentes unités fonctionnelles à l'intérieur de la mémoire (par exemple: décodage d'adresse, autorisation d'adressage, circuits «buffers» de sortie, circuits de programmation et d'effacement, etc.) ainsi que celle de leurs connexions externes.

2.2 Identification des bornes

Les bornes suivantes doivent être identifiées sur le schéma synoptique:

a) bornes d'alimentation, c'est-à-dire les bornes prévues pour être connectées aux alimentations;
b) bornes d'entrée ou de sortie, c'est-à-dire les bornes vers lesquelles ou à partir desquelles les signaux circulent. Le terme «signal» comprend à la fois l'impulsion et des formes d'onde plus complexes;
c) bornes d'entrée/sortie, c'est-à-dire les bornes qui peuvent, à différents instants, faire office de bornes d'entrée ou de sortie;
d) bornes de sortie en troisième état, c'est-à-dire les bornes de sortie qui peuvent être commandées de façon à présenter un état à haute impédance;
e) bornes à fonctions multiples, c'est-à-dire les bornes utilisables à différents instants pour différentes fonctions, par exemple programmation et effacement.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

B. Field-programmable read-only memories

The material in this sub-section is intended to cover programmable and reprogrammable read-only memories, the latter being:

– either ultraviolet erasable and electrically programmable;

– or electrically erasable and electrically programmable.

1 Circuit identification and description

The provisions of clause 1 of section one of chapter III apply, together with the following addition to 1.2 (Technology):

"This statement shall also include details of the type of storage cell: diode matrix, fusible link, floating-gate avalanche-injection type, etc."

2 Functional specifications

2.1 Block diagram

A block diagram or equivalent circuit information of the digital integrated circuit shall be given.

The block diagram shall identify the function of each external connection and, where no ambiguity may occur, can also show the terminal numbers. If the encapsulation has metallic parts, any connection to them from external terminals should be indicated. The connections with any associated external elements shall be stated, where necessary.

As additional information, the complete electrical diagram can be reproduced, but not necessarily with indications of the values of the circuit components.

The block diagram shall be sufficiently detailed to enable the individual functional units within the memory (for example, address decode, chip enable, "buffer" output circuits, programming/erasing control circuits, etc.) to be identified, together with their external connections.

2.2 Identification of terminals

The following terminals shall be identified on the block diagram:

a) supply terminals, that is, terminals intended to be connected to the power supplies;

b) input or output terminals; that is, terminals into which or out of which signals are passed; The term "signal" includes both pulse and more complex waveforms;

c) input/output terminals, that is, terminals that may function at different times as input or output terminals;

d) three-state output terminals, that is, output terminals that may be controlled to give a high-impedance condition;

e) multi-functional terminals, that is, terminals that may be used at different times for different functions, for example, programming and erasing.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

2.3 Description fonctionnelle

Les fonctions réalisées par le circuit doivent être spécifiées et les informations suivantes doivent être données:

a) nombre total de bits d'information pouvant être stockés dans le circuit-mémoire;
b) nombre de bits par mot d'information pouvant être stockés dans le circuit-mémoire;
c) méthode d'adressage en mode de lecture;
d) fonction(s) attribuée(s) à chaque borne, indication de chaque signal de commande et séquences d'opérations ou d'instructions nécessaires;
e) méthodes de programmation;
f) méthode d'effacement du contenu de toute la mémoire ou d'une partie de celle-ci;
g) niveau de sortie à l'état non programmé.

3 Valeurs limites

Les stipulations de l'article 3 de la section un du chapitre III s'appliquent; il faut leur ajouter ce qui suit:

a) en 3.2.1: «... Les valeurs des dépassements permis, leur durée et le *facteur d'utilisation* doivent être indiqués.»;
b) nouveau paragraphe 3.5: «Nombre maximal de cycles de programmation – effacement autorisé (s'il y a lieu).»

4 Mode de lecture

4.1 Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée)

Voir l'article 4 de la section un du chapitre III.

4.2 Caractéristiques électriques statiques

On doit indiquer les caractéristiques électriques suivantes:

a) Courants d'entrée et de sortie
   – Pour les circuits intégrés bipolaires, les exigences de l'article 5 et de 5.3 de la section un du chapitre III s'appliquent.
   – Pour les circuits intégrés MOS, les exigences de l'article 6 et de 6.2.1 et 6.2.2 de la section un du chapitre III s'appliquent.
b) Tensions d'entrée et de sortie
   – Pour les circuits intégrés bipolaires, les exigences de l'article 5 et de 5.1 de la section un du chapitre III s'appliquent.
   – Pour les circuits intégrés MOS, les exigences de l'article 6 et de 6.1 de la section un du chapitre III s'appliquent.
c) Tension(s) d'écrêtage à l'entrée

Les exigences de 5.2 de la section un du chapitre III s'appliquent.

d) Courant(s) de court-circuit en sortie

Valeurs maximale et/ou minimale.

e) Courants de fuite d'entrée et de sortie (s'il y a lieu)

Valeurs maximales.

f) Capacités d'entrée et de sortie

Valeurs typiques et maximales dans des conditions spécifiées.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

2.3 Functional description

The functions performed by the circuit shall be specified and the following information shall be stated:

a) the total number of bits of information capable of being stored in the memory circuit;

b) the number of bits per word capable of being stored in the memory circuit;

c) the method of addressing for read mode;

d) the function(s) performed by each terminal, together with a statement of each control signal required, and the necessary sequence of operations or instructions;

e) the method of programming;

f) the method of erasing the contents of the whole memory or a selected part of it;

g) output level in the unprogrammed state.

3 Ratings (limiting values)

The provisions of clause 3 of section one, chapter III, apply, and the following shall be added:

a) in subclause 3.2.1: "..., then the permissible excess values, their duration and *the duty cycle* shall be stated";

b) new sub-clause 3.5: "Maximum number of programming-erasing cycles permitted (where appropriate)".

4 Read mode

4.1 Recommended operating conditions (within the specified operating temperature range)

See clause 4 of section one, chapter III.

4.2 Static electrical characteristics

The following electrical characteristics shall be stated:

a) Input and output currents

- For bipolar integrated circuits, the requirements of clause 5 and subclause 5.3 of chapter III, section one, apply.
- For MOS integrated circuits, the requirements of clause 6 and subclause 6.2.1 and 6.2.2 of chapter III, section one, apply.

b) Input and output voltages

- For bipolar integrated circuits; the requirements of clause 5 and subclause 5.1 of chapter III, section one, apply.
- For MOS integrated circuits, the requirements of clause 6 and subclause 6.1 of chapter III, section one, apply.

c) Input clamping voltage(s)

The requirements of subclause 5.2 of chapter III, section one, apply.

d) Output short-circuit current(s)

Maximum and/or minimum values.

e) Input and output leakage currents (where appropriate)

Maximum values.

f) Input and output capacitances

Typical and maximum values under specified conditions.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.3 Caractéristiques électriques dynamiques

4.3.1 Généralités

Les exigences de l'article 7 de la section deux (sous-section A) du chapitre III, concernant les valeurs de tensions d'alimentation et de températures de fonctionnement pour la mesure des caractéristiques électriques dynamiques, s'appliquent.

4.3.2 Temps caractérisant la réponse du circuit

On doit indiquer les caractéristiques suivantes. Elles sont destinées à s'appliquer au circuit mémoire après qu'il a été programmé.

a) Temps d'accès

Les exigences de 7.1.1 de la section deux du chapitre III s'appliquent.

b) Temps d'inhibition en sortie

Les exigences de 7.1.3 de la section deux du chapitre III s'appliquent.

c) Temps de maintien de la validation de l'information en sortie

Valeur(s) minimale(s) après la fin de chaque signal d'autorisation.

d) Temps de transition

Les exigences de 7.1.4 de la section deux du chapitre III s'appliquent.

4.4 Exigences de temps

S'il y a lieu, on doit indiquer l'un – ou tous – des temps suivants:

a) Temps de préparation

Valeur(s) minimale(s).

(Par exemple: temps de préparation adresse/autorisation.)

b) Temps de maintien

Valeur(s) minimale(s).

(Par exemple: temps de maintien adresse/autorisation.)

c) Temps de cycle de lecture

Valeurs minimale et/ou maximale.

5 Mode de programmation

5.1 Procédure de programmation

On doit indiquer la procédure de programmation recommandée. S'il y a lieu, on doit indiquer la méthode et les conditions de vérification pendant la programmation (par exemple: tension de lecture, caractéristiques statiques et dynamiques des impulsions de programmation, nombre des impulsions de programmation, etc.).

S'il est nécessaire de procéder à un effacement avant la programmation, cela doit être spécifié.

5.2 Conditions de programmation recommandées

On doit indiquer les conditions spécifiées pour la programmation en accord avec l'article 4 de la section un du chapitre III.

Si la gamme de températures à utiliser pour la programmation diffère de celle pour le fonctionnement, elle doit être spécifiée.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.3 Dynamic electrical characteristics

4.3.1 General

The requirements of clause 7 of chapter III, section two (subsection A), concerning the conditions of supply voltages and operating temperatures applicable to dynamic electrical characteristics, apply.

4.3.2 Times characterizing the response of the circuit

The following electrical characteristics shall be stated. They are intended to apply to the memory circuit after it has been programmed.

a) Access times

The requirements of subclause 7.1.1 of chapter III, section two, apply.

b) Output disable time(s)

The requirements of subclause 7.1.3, chapter III, section two, apply.

c) Output data-valid time(s)

Minimum value(s) from the end of each relevant enable and/or select signal.

d) Transition times

The requirements of subclause 7.1.4 of chapter III, section two, apply.

4.4 Timing requirements

Where appropriate, any or all of the following timing requirements shall be stated:

a) Set-up times

Minimum value(s).

(For example, "Address" before "Enable" set-up time.)

b) Hold times

Minimum value(s).

(For example: "Address" after "Enable" hold time.)

c) Read cycle time

Minimum and/or maximum values.

5 Programming mode

5.1 Programming procedure

The recommended programming procedure shall be stated. Where appropriate, the verification method and conditions (for example, sense voltage, static and dynamic characteristics of the programme pulses, number of programme pulses) during programming shall be stated.

If an erasing procedure is necessary before programming, it shall be specified.

5.2 Recommended programming conditions

The specified conditions for programming shall be stated in accordance with clause 4 of section one of chapter III.

When the temperature range to be used for the programming procedure is different from the operating temperature range, this shall be specified.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

On doit indiquer les valeurs maximales et/ou minimales pour les conditions et/ou les caractéristiques électriques suivantes:

a) courant(s) et/ou tension(s) d'alimentation lorsqu'on applique l'impulsion de programmation;
b) courant(s) et/ou tension(s) de programmation à des bornes spécifiées auxquelles on applique l'impulsion de programmation;
c) courant(s) et/ou tension(s) d'entrée à toutes les bornes lors de la commande de programmation.

5.3 Exigences de temps

5.3.1 Dispositifs avec bornes de programmation séparées

On doit donner un chronogramme et les exigences de temps suivantes:

i) Durée (largeur) de l'impulsion de programmation — Valeurs minimale et maximale
ii) Temps de croissance de l'impulsion de programmation — Valeurs minimale et/ou maximale
iii) Temps de décroissance de l'impulsion de programmation — Valeurs minimale et/ou maximale
iv) Facteur d'utilisation des impulsions (s'il y a lieu) — Valeur maximale
v) Temps de préparation:

On doit donner les valeurs minimales des temps de préparation suivants:

a) adresse/début d'impulsion ou d'autorisation de programmation (voir note);
b) entrée d'information/début d'impulsion ou d'autorisation de programmation (voir note);
c) autorisation de programmation/impulsion de programmation (s'il y a lieu).

vi) Temps de maintien:

Valeurs minimales des temps de maintien suivants:

a) adresse/fin d'impulsion ou d'autorisation de programmation (voir note);
b) entrée d'information/fin d'impulsion ou d'autorisation de programmation (voir note);
c) adresse/fin d'entrée d'information;
d) autorisation de programmation/fin d'impulsion de programmation (s'il y a lieu).

NOTE – Le choix entre «impulsion de programmation» et «autorisation de programmation» comme impulsion de référence dépend de celle qui devient inactive la première, et il convient que cela soit en accord avec le chronogramme indiqué.

5.3.2 Dispositifs sans bornes de programmation séparées

Exigences à l'étude.

6 Mode d'effacement (si applicable)

La procédure d'effacement et la gamme des températures pour laquelle cette opération a lieu doivent être indiquées.

6.1 Mémoires effaçables électriquement

6.1.1 Conditions d'effacement recommandées

On doit indiquer les conditions électriques suivantes pendant l'effacement, avec des valeurs maximales et/ou minimales:

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

The following electrical conditions and/or characteristics shall be stated with maximum and/or minimum values:

a) power supply current(s) and/or voltage(s) when the programme pulse is applied;

b) programming current(s) and/or voltage(s) at specified terminals to which the programme pulse is applied;

c) input current(s) and/or voltage(s) at any terminal for programming control.

5.3 Timing requirements

5.3.1 Devices having separate programme terminal(s)

A timing diagram shall be given, and the following timing requirements stated:

i) Programme pulse duration (width)	Minimum and maximum values
ii) Programme pulse rise time	Minimum and/or maximum values
iii) Programme pulse fall time	Minimum and/or maximum values
iv) Programme duty cycle (where appropriate)	Maximum value

v) Set-up time:

Minimum values shall be stated for the following set-up times:

a) address before programme pulse or programme enable (see note);

b) data-in before programme pulse or programme enable (see note);

c) programme enable before programme pulse (where appropriate).

vi) Hold times:

Minimum values should be stated for the following hold times:

a) address after end of programme pulse or programme enable (see note);

b) data-in after end of programme pulse or programme enable (see note);

c) address after end of data-in;

d) programme enable after end of programme pulse (where appropriate).

NOTE – The choice of "programme pulse" or "programme enable" as the reference pulse depends on which one becomes inactive first, and this should be in accordance with the given timing diagram.

5.3.2 Devices without separate programme terminals

Requirements are under consideration.

6 Erasing mode (if applicable)

The erasing procedure and the range of operating temperatures at which this operation may be carried out shall be stated.

6.1 Electrically erasable memories

6.1.1 Recommended erasing conditions

The following electrical conditions during erasing shall be stated, with maximum and/or minimum values:

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

a) courant(s) et/ou tension(s) d'alimentation, lors de l'application de l'impulsion d'effacement;

b) courant(s) et/ou tension(s) d'effacement aux bornes spécifiées auxquelles l'impulsion d'effacement est appliquée;

c) courant(s) et/ou tension(s) d'entrée aux autres bornes utilisées pour l'effacement.

NOTE – Lorsque la gamme de températures utilisée pour la procédure d'effacement est différente de la gamme de températures de fonctionnement, cela doit être spécifié.

6.1.2 Exigences de temps (pour l'effacement)

6.1.2.1 Dispositifs avec bornes d'effacement séparées

On doit donner les exigences de temps suivantes:

i) Durée (largeur) de l'impulsion d'effacement	Valeurs minimale et maximale
ii) Temps de croissance de l'impulsion d'effacement	Valeurs minimale et/ou maximale
iii) Temps de décroissance de l'impulsion d'effacement	Valeurs minimale et/ou maximale
iv) Facteur d'utilisation d'effacement (s'il y a lieu)	Valeur maximale
v) Temps de préparation:	
– adresse/début de l'impulsion d'effacement	Valeur minimale
– autorisation/début de l'impulsion d'effacement (s'il y a lieu)	Valeur minimale
vi) Temps de maintien:	
– adresse/fin de l'impulsion d'effacement	Valeur minimale
– autorisation/fin de l'impulsion d'effacement (s'il y a lieu)	Valeur minimale

6.1.2.2 Dispositifs sans bornes d'effacement séparées

Exigences à l'étude.

6.2 Mémoires effaçables par ultraviolet

6.2.1 Conditions d'effacement recommandées

On doit indiquer les grandeurs suivantes, avec leurs tolérances:

a) longueur d'onde de la lumière ultraviolette;

b) intensité de la lumière ultraviolette sur la fenêtre transparente du boîtier;

c) temps d'exposition.

7 Nombre de cycles de programmation-effacement

On doit indiquer le nombre minimal de cycles de programmation-effacement pouvant être effectués dans des conditions de fonctionnement spécifiées.

NOTE – Ce nombre dépend des conditions d'impulsion de programmation et/ou d'effacement, du temps et de la température de fonctionnement.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

a) power supply current(s) and/or voltage(s), when the erase pulse is applied;

b) erasing current(s) and/or voltage(s) at specified terminals to which the erase pulse is applied;

c) input current(s) and/or voltage(s) at any terminal used for an erasing operation.

NOTE – When the temperature range to be used for the erasing procedure is different from the operating temperature range, this should be specified.

6.1.2 Timing requirements (erasure)

6.1.2.1 Devices having separate erase terminals

The following timing requirements shall be stated:

i) Erase pulse duration (width)	Minimum and maximum values
ii) Erase pulse rise time	Minimum and/or maximum values
iii) Erase pulse fall time	Minimum and/or maximum values
iv) Erase duty cycle (where appropriate)	Maximum value
v) Set-up times:	
– address before start of erase pulse	Minimum value
– enable before start of erase pulse (where appropriate)	Minimum value
vi) Hold times:	
– address after end of erase pulse	Minimum value
– enable after end of erase pulse (where appropriate)	Minimum value

6.1.2.2 Devices without separate erase terminals

Requirements are under consideration.

6.2 Ultraviolet erasable memories

6.2.1 Recommended erasing conditions

The following quantities, with their tolerances, shall be stated:

a) ultraviolet light wavelength;

b) ultraviolet light intensity on the transparent window of the case;

c) exposure time.

7 Number of programming-erasing cycles

The minimum number of programming-erasing cycles that can be achieved for specified operating conditions shall be stated.

NOTE – This number is likely to be a function of the programme and/or erase pulse conditions, the operating time and temperature.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8 Informations concernant la rétention des données

S'il y a lieu, par exemple pour les mémoires à lecture seule à contenu programmable électriquement et effaçables électriquement, on doit donner les informations suivantes concernant la rétention des données:

a) nombre maximal des opérations de lecture possibles;

b) temps minimal de rétention des données.

9 Puissance ou courant fourni par chaque alimentation (cas du fonctionnement statique)

Valeurs maximales du courant dans chaque borne d'alimentation dans les conditions de pire cas, pour le mode actif et pour la position attente si elles sont nettement différentes. Donner également les valeurs typiques dans les conditions normales de fonctionnement.

10 Puissance ou courant fourni par chaque alimentation (cas du fonctionnement dynamique)

Courbe(s) donnant les valeurs typiques du courant exigé de la ou des alimentations en fonction des fréquences de répétition des impulsions, ou valeurs typiques à deux fréquences de répétition d'impulsions spécifiées. Celles-ci doivent être indiquées, pour information, dans des conditions spécifiées de fonctionnement recommandé.

S'il y a lieu, les informations ci-dessus doivent aussi être données pour les horloges lorsqu'elles jouent le rôle d'alimentations pulsées.

S'il y a lieu, cette information doit être aussi donnée pour le fonctionnement en position d'attente.

11 Valeurs limites et caractéristiques mécaniques et autres données

On doit donner toute valeur limite spécifique, mécanique ou d'environnement, applicable aux mémoires à lecture seule à contenu programmable (voir aussi la CEI 60747-1, chapitre VI, article 7).

12 Informations supplémentaires

12.1 Facteur de charge de sortie

Nombre maximal de charges spécifiées qui peuvent être connectées à chaque sortie. Cette information peut être donnée pour plusieurs types de charges.

12.2 Marges de protection contre les perturbations électriques

Des informations permettant de calculer les marges de protection contre les perturbations concernant les mémoires à lecture seule à contenu programmable sont données en 13.2 de la section un du chapitre III.

12.3 Interconnexions de circuits similaires

On doit donner des exemples de fonctionnement logiques (par exemple OU-câblé) qui peuvent être effectués en interconnectant des mémoires semblables.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8 Data retention information

Where appropriate, for example for electrically erasable and electrically programmable read-only memories, the following data retention information shall be stated:

a) maximum number of read operations;

b) minimum data retention time.

9 Power or current drawn from each supply (static operation)

Maximum values of current into each supply terminal at worst-case conditions and for both active and standby mode if these are significantly different from each other. Typical values at normal operating conditions shall also be given.

10 Power or current drawn from each supply (dynamic operation)

Curve(s) showing typical values of current required from the power supply(ies) versus the pulse repetition frequencies or typical values at two specified pulse repetition frequencies. These shall be given for specified recommended operating conditions for information purposes.

Where appropriate, the above information shall be given for clocks acting as pulsed power supplies.

Where appropriate, this information shall also be given for standby operation.

11 Mechanical ratings, characteristics and other data

Any specific mechanical or environmental ratings applicable to the programmable read-only memory shall be stated (see also chapter VI, clause 7, of IEC 60747-1).

12 Supplementary information

12.1 Output loading capability

The maximum number of specified loads that can be driven from each output. This information may be given for more than one type of load.

12.2 Electrical noise margins

Information about the programmable read-only memory that enables noise margins to be calculated is given in 13.2 of section one of chapter III.

12.3 Interconnections of similar units

Examples of logic operations (for example wired-OR) that may be performed by interconnecting similar memory units shall be stated.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

12.4 Type de circuit de sortie

Des informations doivent être données sur le type de circuit de sortie, par exemple: trois états, collecteur ouvert, drain ouvert, «push-pull» (totem-pole).

12.5 Interconnexions à d'autres types de circuits

Des détails sur les interconnexions aux autres circuits, par exemple: amplificateurs de lecture, «buffers», doivent être donnés.

13 Précautions de manipulation

S'il y a lieu, on doit donner les informations suivantes:

a) les précautions de manipulation, indiquées dans la CEI 60747-1, chapitre IX, pour les mémoires à lecture seule à contenu programmable sensibles aux charges électrostatiques;

b) les précautions nécessaires pour éviter des tensions anormalement élevées pendant la programmation;

c) les conditions spéciales après programmation, par exemple recouvrir la fenêtre transparente pour éviter l'exposition à une lumière accidentelle dans le cas de mémoires à lecture seule effaçables par ultraviolet;

d) les précautions à prendre contre les rayonnements électromagnétiques et nucléaires.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

12.4 Type of output circuit

Information shall be given regarding the type of output circuit, for example, three-state, open-collector, open-drain, push-pull (totem-pole).

12.5 Interconnections to other types of circuits

Where appropriate, details of the interconnections to other circuits, for example, sense amplifiers, buffers, shall be given.

13 Handling precautions

Where appropriate, the following information shall be stated:

a) handling precautions, as in IEC 60747-1, chapter IX, for electrostatic sensitive programmable read-only memories;

b) precautions necessary to avoid excessively high voltages during programming;

c) special conditions after programming, for example, covering the transparent window to prevent the exposure to detrimental light in the case of ultraviolet erasable read-only memories;

d) precautions to be observed against electromagnetic and nuclear radiation.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

C. Mémoires à contenu adressable (CAM)

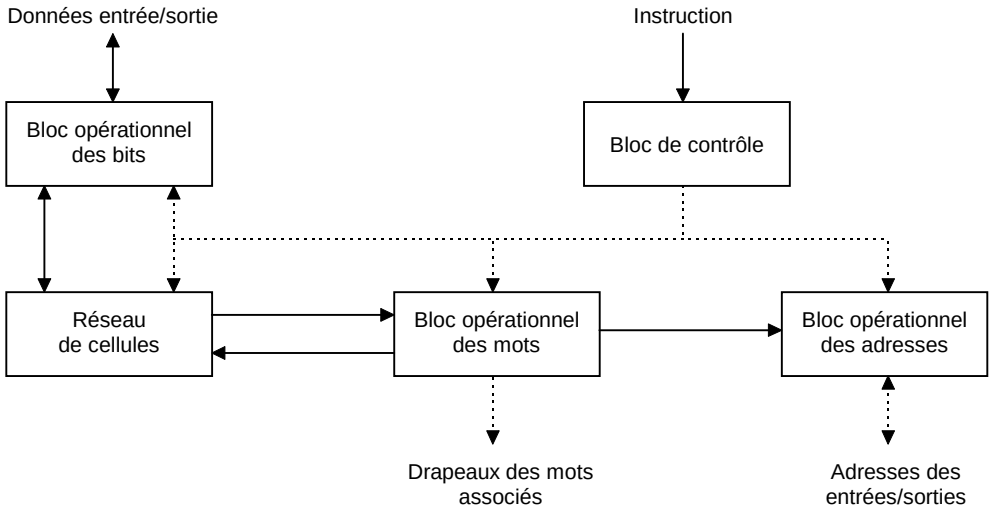
1 Identification et description du circuit

Les stipulations de l'article 1 de la section deux A s'appliquent.

2 Spécifications fonctionnelles

2.1 Schéma fonctionnel

Les stipulations du 2.1 de la section deux A s'appliquent.



IEC 1712/97

Figure 46 – Exemple d'un schéma fonctionnel d'une mémoire à contenu adressable (CAM)

2.2 Description fonctionnelle

Les stipulations du 2.2 de la section deux A s'appliquent, avec en plus:

f) le nombre de bits masquables par mot qui peuvent être recherchés dans le circuit de mémoire;
g) le nombre de bits de données interrogatives;
h) le nombre de bits de sorties de l'adresse correspondant au mot associé;
i) le nombre de bits d'instruction;
j) le nombre de bits de drapeau de mots associés qui indique l'existence de mots associables.

2.3 Jeu d'instructions

Une liste complète des instructions qui peuvent être effectuées par la mémoire doit être donnée.

Le jeu d'instructions suivant doit être donné:

a) le code d'instruction;
b) l'instruction mnémotechnique;
c) la ou les opérations qui résultent de l'exécution des instructions;
d) le nombre de coups d'horloge pour chaque instruction.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

C. Content addressable memories (CAM)

1 Circuit identification and description

The provisions of clause 1 of section two A apply.

2 Functional specifications

2.1 Block diagram

The provisions of 2.1 of section two A apply.

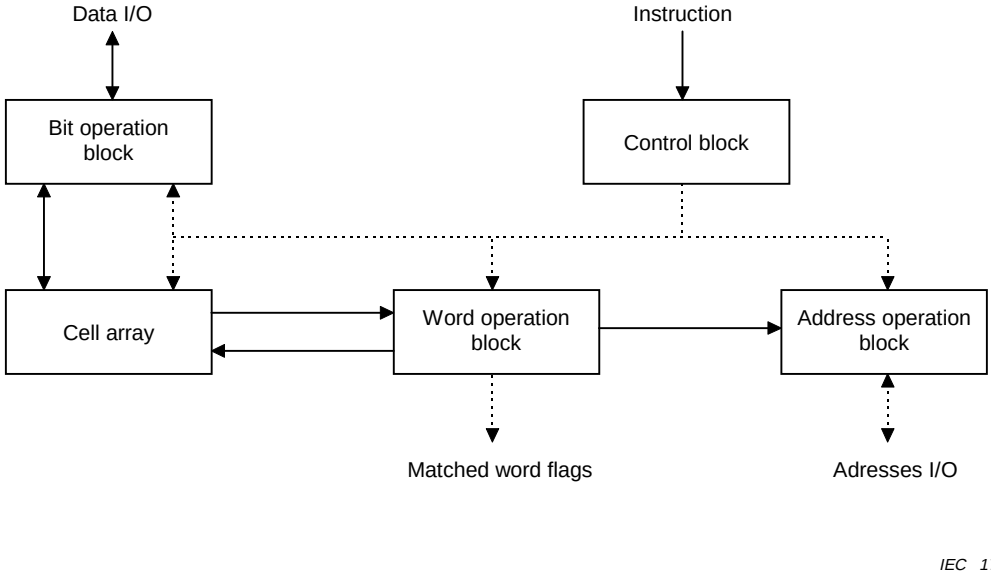


Figure 46 – Example of a block diagram of content addressable memory (CAM)

2.2 Functional description

The provisions of 2.2 of section two A apply, together with the following:

f) the number of maskable bits per word capable of being searched for in the memory circuit;
g) the number of bits of interrogative data;
h) the number of output bits of address corresponding to a matched word;
i) the number of instruction bits;
j) the number of matched word flag bits which indicate the existence of matched words.

2.3 Instruction set

A comprehensive list shall be given of the instructions that may be performed by the content addressable memory.

The following instruction set shall be given:

a) the instruction code;
b) the instruction mnemonic;
c) the operation(s) that result from the execution of the instructions;
d) the number of clock cycles for each instruction.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

2.4 Mode d'opération

2.4.1 Mode recherche

Le mode recherche qui peut être effectué doit être indiqué, par exemple:

a) recherche égale;
b) recherche masquable ou inmasquable;
c) recherche relationnelle par opération itérative bit séries.

2.4.2 Mode lecture

Le mode lecture suivant doit être indiqué:

a) donnée de sortie utilisant une adresse;
b) donnée de sortie correspondant à un mot associé;
c) adresse de sortie correspondant à un mot associé.

2.4.3 Mode écriture

Le mode écriture suivant doit être indiqué:

a) donnée d'écriture utilisant une adresse;
b) donnée d'interrogation pour l'écriture;
c) écriture de donnée de masquage;
d) donnée d'écriture pour un mot simple associé;
e) donnée d'écriture parallèle simultanée de mots multiples associés ou seuls.

2.4.4 Récupération des informations périmées

L'opération de récupération des informations périmées suivante doit être indiquée pour:

a) tous les mots;
b) tous les mots incomplets correspondant à des mots seuls ou associés.

3 Les stipulations des articles 3 à 6 de la section deux A s'appliquent

4 Les stipulations de l'article 7 et du 7.1 de la section deux A s'appliquent à l'exception du 7.1.1 qui est remplacé par ce qui suit:

7.1.1 Temps d'accès

a) temps d'accès de lecture des données;
b) temps d'accès des adresses de lecture;
c) temps d'accès du drapeau des mots associables.

Les valeurs maximales de chacun de ces temps d'accès doivent être indiquées.

5 Les stipulations des 7.2 et 7.3 de la section deux A s'appliquent.

6 Les stipulations des articles 8 à 12 de la section deux A s'appliquent.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

2.4 Operation mode

2.4.1 Search operation

The search operations that can be performed shall be stated, for example:

a) equal search;
b) maskable and/or unmaskable search;
c) relational search by iterative bit-serial operation.

2.4.2 Read operation

The following read operation shall be given:

a) data output using address;
b) data output corresponding to a matched word;
c) address output corresponding to a matched word.

2.4.3 Write operation

The following write operation shall be given:

a) data writing using address;
b) interrogative data writing;
c) mask data writing;
d) data writing to a single matched word;
e) simultaneous parallel data writing to multiple matched or unmatched words.

2.4.4 Garbage collection

The following garbage collection operation shall be given:

a) all words;
b) partial word(s) corresponding to matched or unmatched word(s).

3 The provisions of clauses 3 to 6 of Section Two A apply.

4 The provisions of clause 7 and 7.1 of Section Two A apply with the exception of 7.1.1 which is replaced by the following:

7.1.1 Access time

a) data read access time;
b) address read access time;
c) matched word flag access time.

Maximum values shall be stated for each of these access times.

5 The provisions of 7.2 and 7.3 of Section Two A apply.

6 The provisions of clauses 8 to 12 of Section Two A apply.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SECTION TROIS – MICROPROCESSEURS À CIRCUIT INTÉGRÉ

Cette section s'applique aux microprocesseurs comportant un seul circuit intégré. Elle peut également s'appliquer à un ensemble de circuits intégrés constituant une fonction microprocesseur, mais ne s'applique pas nécessairement aux circuits intégrés considérés individuellement dans un tel ensemble.

1 Identification et description du circuit

Les stipulations de l'article 1 de la section un du chapitre III s'appliquent, ainsi que ce qui suit:

1.4 Compatibilité électrique

On doit indiquer si le circuit intégré est compatible électriquement avec d'autres circuits intégrés particuliers ou familles de circuits intégrés, ou si des circuits d'interface spéciaux sont nécessaires. On doit donner des détails sur le type de circuit de sortie, par exemple: trois états, collecteur ouvert, etc.

2 Spécifications fonctionnelles

2.1 Schéma synoptique

Les stipulations de 2.1 de la section un du chapitre III s'appliquent, ainsi que ce qui suit:

Le schéma synoptique doit être suffisamment détaillé pour permettre l'identification des différentes unités fonctionnelles du microprocesseur affectées par l'exécution des instructions, y compris les blocs fonctionnels qui sont programmables par l'utilisateur (par exemple: réseaux logiques programmables, mémoire à lecture seule, etc.). On doit également indiquer les principales liaisons entre les unités fonctionnelles ainsi que l'identification de leurs connexions externes.

2.1.1 Identification des bornes

On doit identifier les bornes suivantes sur le schéma synoptique:

– bornes d'alimentation, c'est-à-dire les bornes devant être connectées aux alimentations;
– bornes d'entrée ou de sortie, c'est-à-dire bornes vers lesquelles ou à partir desquelles les signaux se propagent. Le terme «signal» signifie aussi bien impulsion que forme d'onde plus complexe;
– bornes d'entrée/sortie, c'est-à-dire bornes qui peuvent être à des instants différents entrées ou sorties;
– bornes de sortie «trois états», c'est-à-dire bornes de sortie qui peuvent être commandées pour présenter un état à haute impédance.

2.2 Description fonctionnelle

On doit donner les informations suivantes:

a) longueur du mot traité (dimensions en nombre de bits);
b) longueur d'adressage pour chaque type de mémoires pour lesquelles un procédé séparé de traitement est utilisé, par exemple: mémoire externe ou interne, mémoire à lecture-écriture, mémoire à lecture seule;

   longueur en bits du mot adressé dans chaque type de mémoires, s'il est différent de celui indiqué au point a).
c) taille en bits de l'adresse;

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SECTION THREE – INTEGRATED CIRCUIT MICROPROCESSORS

This section applies to microprocessors consisting of a single integrated circuit. It can also apply to an assembly of integrated circuits designed to function as a microprocessor; but it does not necessarily apply to the individual integrated circuits in such an assembly.

1 Circuit identification and description

The provisions of clause 1 of section one, chapter III, apply, together with:

1.4 Electrical compatibility

It shall be stated whether the integrated circuit is electrically compatible with other particular integrated circuits or families of integrated circuits or whether special interfaces are required. Details shall be given of the type of output circuit, for example, three-state, open-collector, etc.

2 Functional specifications

2.1 Block diagram

The provisions of 2.1 of section one, chapter III, apply, together with the following:

The block diagram shall be sufficiently detailed to enable the individual functional units within the microprocessor that are affected by the execution of the instructions to be identified, including the functional blocks that are user-programmable (for example, programmable logic arrays, read-only memory, etc.). The main data paths between the functional units and the identification of their external connections shall also be shown.

2.1.1 Identification of terminals

The following terminals shall be identified on the block diagram:

– supply terminals, that is, terminals intended to be connected to the power supplies;

– input or output terminals, that is, terminals into which or out of which signals pass. The term "signal" includes pulse and more complex waveforms;

– input/output terminals, that is, terminals that may function at different times as input or output terminals;

– three-state output terminals, that is, output terminals that may be controlled to give a high-impedance condition.

2.2 Functional description

The following information shall be given:

a) size, in bits, of word that is processed:

b) memory addressing range for each type of memory for which a separate addressing procedure is used, for example, external or internal memory, read/write or read-only memory;

   size, in bits, of word addressed in each type of memory, where this is different from that in item a);

c) size, in bits, of the address;

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

d) nombre, types et dimensions en bits et mots des registres internes aussi bien adressables par programme qu'autrement, par exemple: registre(s) de travail, accumulateur(s), registre(s) d'index, compteur ordinal, pointeur de pile, registres d'état interne, unité logique et arithmétique, registre de condition;

NOTE – Le registre de condition donne des informations sur le résultat des opérations arithmétiques ou logiques, tel que: résultat nul, parité, signe, report, dépassement de capacité, etc.

e) mode d'adressage des mémoires, par exemple: immédiat, direct, relatif, indexé, indirect;

f) type de possibilités d'interruptions, par exemple: validation ou invalidation du programme, nombre de niveaux d'interruption;

g) méthodes de transfert des données d'entrée et de sortie et des sorties des adresses, par exemple des adresses série, parallèle, ou combinaison des deux;

h) indiquer si le microprocesseur est microprogrammable ou non;

j) mode de génération des signaux d'horloge;

k) mode de fonctionnement, statique ou dynamique.

2.3 Jeux d'instructions

On doit donner une liste complète des instructions qui peuvent être traitées par le microprocesseur. Elle doit comprendre le code d'instruction, les instructions mnémoniques, les opérations qui résultent de l'exécution de l'instruction incluant tout code de condition ou le contenu des registres affectés, le nombre de cycles d'horloge et également, de préférence, le nombre de cycles machine nécessaires et, s'il y a lieu, le nombre de mots programme utilisés pour former l'instruction, ainsi que les modes d'adressage possibles pour chaque instruction.

L'information peut être donnée pour chaque instruction ou chaque groupe d'instructions semblables. On doit indiquer les différences quand celles-ci sont provoquées par des variantes d'adressage.

2.4 Configuration de l'instruction

Les formats de l'instruction utilisés doivent être distingués, s'il y a lieu, pour indiquer l'organisation en bits des mots d'instruction. Ceci doit être donné sous forme de diagramme:

– code opération;
– mode d'adressage;
– définition de registre;
– opérande.

2.5 Signaux d'entrée et de sortie

La fonction de chaque signal d'entrée et de sortie doit être précisée.

En général, on peut diviser les signaux en:

– signaux de données;
– signaux d'adresse;
– signaux de contrôle et de commande.

Par ailleurs, il existe des signaux de contrôle qui définissent à quel moment le transfert de données va être effectué ainsi que le sens du transfert (c'est-à-dire vers ou en provenance du microprocesseur); il doit exister un signal d'entrée de réinitialisation pour obliger le microprocesseur à être dans un état défini.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

d) number, types and size in bits and words of internal registers, both programme addressable and otherwise, for example, general purpose, accumulator, index, programme counter, stack pointer, stack register, control register, arithmetic/logic unit, condition code register;

NOTE – The condition codes give information about the result of arithmetic or logic operations such as zero result, parity, sign, carry, overflow, etc.

e) modes of memory addressing provided, for example, immediate, direct, relative, indexed, indirect;

f) types of interrupt capability provided, for example, programme enabled/disabled, vectored and otherwise;

g) methods of transferring input and output data and output of addresses, for example, whether serial, parallel or a combination of both;

h) whether the microprocessor is microprogrammable or not;

j) method of generating clock signals;

k) operation mode, static or dynamic.

2.3 Instruction set

A comprehensive list shall be given of the instructions that may be performed by the microprocessor. This shall give the instruction code, instruction mnemonic, the operation(s) that result from the execution of the instructions including any condition codes or register contents that are affected, the number of clock cycles and preferably also the number of machine cycles required and, where appropriate, the number of programme words used to form the instruction and addressing mode capabilities for each instruction.

This information may be given for each instruction or for each group of similar instructions. Differences shall be indicated when these occur due to alternative modes of addressing.

2.4 Configuration of instructions

Where appropriate, the format of the instructions used shall be distinguished as follows to indicate the bit organization of the instruction words. This shall be given in the form of a diagram:

– operation code field;

– address mode field;

– register definition field;

– operand field.

2.5 Input and output signals

The function of each input and output signal shall be stated.

In general, the signals may be divided into:

– data signals;

– address signals;

– control signals.

As a minimum, control signals exist that define when the data transfer is to be performed, the direction of transfer (that is, into or out of the microprocessor), and shall include a reset input signal that forces the microprocessor into a defined state.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Exemples de signaux de contrôle supplémentaires pouvant être utilisés:

a) Signaux transitant par le bus de contrôle:
   – pour spécifier quand les bits d'adresse sont stables et donnent une information valide;
   – pour spécifier si l'adresse est relative à la mémoire ou à un dispositif périphérique;
   – pour contrôler la fonction du bus lorsqu'il y a multiplexage des signaux;
   – signal pour indiquer que la mémoire adressée est prête à fonctionner.
b) Signaux de contrôle d'exécution:
   – demande d'arrêt;
   – prise en compte de l'arrêt;
   – signal prioritaire.
c) Autres signaux de contrôle:
   – interruption (masquable);
   – interruption (non masquable);
   – prise en compte de l'interruption;
   – sortie signalant l'état d'attente du microprocesseur;
   – non-disponibilité de la sortie;
   – synchronisation;
   – etc.

3 Valeurs limites

Les valeurs limites doivent couvrir le fonctionnement du microprocesseur dans la gamme spécifiée des températures de fonctionnement. Si ces valeurs limites dépendent de la température, cette dépendance doit être indiquée.

3.1 Valeurs limites électriques

3.1.1 Tension(s) d'alimentation

a) Valeur(s) maximale(s) et polarité(s).
b) Valeur maximale de la tension entre une borne commune d'alimentation et le boîtier ou une borne de référence, s'il y a lieu.
c) Séquence d'application ou de suppression des tensions d'alimentation, s'il y a lieu. Toute limitation dans la durée de cette séquence doit être indiquée.

3.1.2 Tensions d'entrée

Valeurs maximales par rapport à une borne commune de référence (et polarités s'il y a lieu).

3.1.3 Courants d'entrée (s'il y a lieu)

Valeurs maximales.

3.1.4 Tensions de sortie

Valeurs maximales par rapport à une borne commune de référence (et polarités s'il y a lieu).

3.1.5 Courants de sortie

Valeurs maximales.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Examples of additional control signals that may be provided are:

a) Bus control signals:
   – to specify when the address bits are stable and present valid information;
   – to specify whether the address is to memory or a peripheral device;
   – to control the function of the bus when there is time multiplexing of signals;
   – a ready signal controlled by the addressed memory.
b) Executive control signals:
   – hold request;
   – hold acknowledge;
   – priority handling.
c) Other control signals:
   – interrupt in (maskable);
   – interrupt in (not maskable);
   – interrupt acknowledge;
   – wait state output;
   – output disable;
   – synchronization;
   – etc.

3 Ratings (limiting values)

The ratings given must cover the operation of the microprocessor over the specified range of operating temperatures. Where such ratings are temperature-dependent, this dependence shall be indicated.

3.1 Electrical limiting values

3.1.1 Power supply voltage(s)

a) Maximum value(s) and polarity(ies).
b) Maximum value of the voltage between a common supply terminal and case or reference terminal, where appropriate.
c) Sequence of application and/or removal of supply voltages, where appropriate. Any restrictions on the duration of the sequence should be stated.

3.1.2 Input voltages

Maximum values, with respect to a common reference terminal (and polarities, where appropriate).

3.1.3 Input currents (where appropriate)

Maximum values.

3.1.4 Output voltages

Maximum values, with respect to a common reference terminal (and polarities, where appropriate).

3.1.5 Output currents

Maximum values.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.2 Températures

a) Températures minimale et maximale du milieu ambiant ou d'un point de référence permises pendant le fonctionnement.

b) Températures minimale et maximale de stockage.

c) Valeur maximale de la température et durée d'application maximale sur une connexion.

3.3 Dissipation de puissance

Valeur maximale.

4 Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée)

4.1 Tension(s) d'alimentation

Polarité, valeur nominale et tolérance(s) pour chaque tension d'alimentation.

4.2 Entrées d'horloge

a) Valeurs minimale et maximale des tensions au niveau bas et au niveau haut.

b) Valeurs minimale et maximale des temps de croissance et de décroissance.

c) Valeurs minimale et, s'il y a lieu, maximale de la période d'horloge.

d) Valeurs minimale et, s'il y a lieu, maximale de la durée d'impulsion. Pour les entrées d'horloge multiphase, cette information doit être donnée pour chaque entrée.

e) Pour les entrées d'horloge multiphase, valeurs minimale et, s'il y a lieu, maximale des temps séparant les phases successives des impulsions d'horloge.

4.3 Tensions d'entrée (à l'exclusion des entrées d'horloge)

Valeurs minimale et maximale des tensions au niveau bas et au niveau haut.

4.4 Courants de sortie

Valeurs maximale et, s'il y a lieu, minimale, les tensions de sortie étant à l'état bas, puis à l'état haut.

4.5 Eléments extérieurs (s'il y a lieu)

Valeur(s) et tolérance(s) de tous les éléments extérieurs recommandés ou spécifiés destinés à être utilisés avec le microprocesseur.

4.6 Temps de préparation et de maintien

Valeurs minimale et/ou maximale, selon les cas, pour chaque entrée (ou groupe d'entrées) relative à la transition appropriée d'une impulsion d'horloge, pour des valeurs spécifiées:

– des temps de croissance et de décroissance de l'impulsion d'horloge;

– des tensions d'entrée aux autres bornes.

On doit indiquer ces valeurs afin de permettre à l'utilisateur de définir les exigences critiques de temps pour chaque fonction indépendante du microprocesseur.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.2 Temperatures

a) Minimum and maximum ambient or reference-point operating temperatures.

b) Minimum and maximum storage temperatures.

c) Maximum value and duration of lead temperature.

3.3 Power dissipation

Maximum value.

4 Recommended operating conditions (within the specified operating temperature range)

4.1 Power supply voltage(s)

Polarity, nominal value and tolerance(s) for each power supply voltage.

4.2 Clock inputs

a) Minimum and maximum values of low and high level voltages.

b) Minimum and maximum values of rise and fall times.

c) Minimum, and, where appropriate, maximum values of clock period.

d) Minimum and, where appropriate, maximum values of pulse duration. For multi-phase clock inputs, this information shall be given for each input.

e) For multi-phase clock inputs, minimum and, where appropriate, maximum values of delays between successive phases of clock pulses.

4.3 Input voltages (excluding clock inputs)

Minimum and maximum values of low and high level voltages.

4.4 Output currents

Maximum and, where appropriate, minimum values for both low and high level output voltage conditions.

4.5 External elements (where appropriate)

Value(s) and tolerance(s) of any external elements recommended or specified for use with the microprocessor.

4.6 Set-up and hold times

Minimum and/or maximum values, as appropriate, for each input (or group of inputs) relative to the appropriate transition of a clock pulse, for specified values of:

– clock pulse rise and fall times;

– input voltages at other terminals.

Values shall be stated to enable the critical timing requirements for each independent function of the microprocessor to be established by the user.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.7 Diagrammes des temps (chronogrammes) pour les séquences de commande

Durées minimales des signaux d'entrée et de l'intervalle qui les sépare, par rapport aux signaux d'horloge, pour les séquences d'entrée nécessaires afin d'amener le microprocesseur à un état prédéterminé, par exemple: redémarrage (ou retour à l'état initial), interruption, arrêt, etc. Celles-ci doivent être reliées aux séquences pour l'exécution des instructions d'un programme.

Ces séquences doivent s'exprimer en cycles d'horloge et aussi, de préférence, en cycles machine.

5 Caractéristiques électriques

5.1 Caractéristiques statiques

On doit indiquer les caractéristiques électriques, énumérées en 5.1.1, 5.1.2, 5.1.3 et 5.1.4 ci-dessous, dans les conditions électriques spécifiées de pire cas, dans la gamme recommandée pour les tensions d'alimentation indiquée en 4.1 et:

a) dans la gamme des températures de fonctionnement spécifiée, ou

b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

5.1.1 Courant(s) d'alimentation

a) Fonctionnement statique

Valeurs typique et maximale du courant fourni par chaque alimentation pour un fonctionnement normal et, s'il y a lieu, pour un fonctionnement au repos, pour des valeurs spécifiées de:

- tension(s) d'alimentation;
- fréquence d'horloge.

On doit également donner ces informations pour les entrées d'horloge alimentées par impulsions.

b) Fonctionnement dynamique

On doit donner également des valeurs typiques pur les informations ci-dessus, soit pour une fréquence différente d'horloge, soit sous la forme de courbe(s) en fonction de la fréquence d'horloge.

5.1.2 Courants d'entrée (y compris les entrées d'horloge)

Valeur(s) maximale(s), s'il y a lieu, les tensions d'entrée étant au niveau bas, puis au niveau haut, pour des valeurs spécifiées de:

- tension(s) d'alimentation;
- tension d'entrée;
- tensions d'entrée pour les autres bornes.

On doit également donner ces informations pour les entrées pouvant fonctionner comme sorties.

5.1.3 Tensions de sortie

Valeur maximale de la tension de sortie au niveau bas et valeur minimale au niveau haut, pour des valeurs spécifiées de:

- tension(s) d'alimentation;
- courant de charge;
- tensions(s) d'entrée (s'il y a lieu).

On doit également donner ces informations pour les sorties qui peuvent aussi fonctionner comme entrées.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.7 Timing diagrams for control sequences

Minimum durations of input signals, and their timings relative to the clock signal(s) for input sequences necessary to bring the microprocessor into a pre-determined state, for example, restart (or reset), interrupt, hold, etc. These shall be related to the sequences for execution of programme instructions.

These sequences shall be expressed in terms of clock cycles and preferably also in terms of machine cycles.

5 Electrical characteristics

5.1 Static characteristics

Each electrical characteristics of 5.1.1, 5.1.2, 5.1.3 and 5.1.4 below shall be stated under specified electrical worst-case conditions with respect to the recommended range of supply voltage(s), as stated in 4.1 and:

a) over the specified range of operating temperatures, or

b) at a temperature of 25 °C, and at maximum and minimum operating temperatures.

5.1.1 Power supply current(s)

a) Static operation

Typical and maximum values of current drawn from each power supply for normal operation and, where appropriate, standby operation, for specified values of:

- supply voltage(s);
- clock frequency.

This information shall also be given for clock inputs acting as pulsed power supplies.

b) Dynamic operation

Typical values shall also be given for the information above, either at a different clock frequency or as a curve (or curves) versus clock frequency.

5.1.2 Input currents (including clock inputs)

Maximum value(s), where appropriate, under both low and high level input voltage conditions, for specified values of:

- supply voltage(s);
- input voltage;
- input voltages at other terminals.

This information shall also be given for those inputs that may also function as outputs.

5.1.3 Output voltages

Maximum value of low-level and minimum value of high-level output voltage for specified values of:

- supply voltage(s);
- load current;
- input voltage(s) (where appropriate).

This information shall also be given for those outputs that may also function as inputs.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.1.4 Courants dans le cas de sortie inopérante

Pour les sorties trois états qui peuvent être hors service et donc n'être ni à l'état bas ni à l'état haut: valeur maximale, lorsque la sortie est inopérante, pour des valeurs de:

– tension(s) d'alimentation;
– tension continue à la borne correspondante;
– tensions d'entrée pour les autres bornes.

5.1.5 Capacités

Valeur maximale des capacités d'entrée d'horloge, et des bornes d'entrée et de sortie, pour des valeurs spécifiées de:

– tension(s) d'alimentation;
– tension continue appliquée à la borne considérée;
– fréquence;
– tensions d'entrée pour les autres bornes.

5.2 Caractéristiques dynamiques

Chaque caractéristique électrique de 5.2.1 doit être indiquée dans les conditions électriques spécifiées de pire cas, dans la gamme recommandée des tensions d'alimentation, indiquée en 4.1.

Des valeurs minimales et/ou maximales, comme exigé par exemple par 5.2.1 ou, si celles-ci ne peuvent faire l'objet d'un accord entre le fabricant et l'utilisateur, des valeurs typiques doivent être données:

a) dans la gamme des températures de fonctionnement spécifiée, ou

b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

La condition b) ne doit être utilisée que si la valeur de la caractéristique pour le pire cas dans toute la gamme de températures peut se déduire des valeurs données aux températures spécifiées.

Dans tous les cas, on doit indiquer les valeurs minimales et/ou maximales applicables à 25 °C.

5.2.1 Temps caractérisant la réponse du circuit

5.2.1.1 Temps de propagation

Les temps suivants doivent être indiqués dans des conditions spécifiées (voir note 1):

a) t_{PHL}: temps de propagation, la sortie allant vers le niveau bas: valeur maximale;

b) t_{PLH}: temps de propagation, la sortie allant vers le niveau haut: valeur maximale.

S'il existe plusieurs chemins différents d'information logique, on doit spécifier séparément les temps pour chaque chemin.

On doit donner, s'il y a lieu, des valeurs de temps supplémentaires pour les sorties atteignant ou abandonnant l'état à haute impédance.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.1.4 Output off-state currents

For three-state outputs that may be disabled so as to give neither a low-level nor a high-level output condition: maximum value in the off-state condition for specified values of:

– supply voltage(s);
– continuous voltage at the relevant terminal;
– input voltages at other terminals.

5.1.5 Capacitances

Maximum values of capacitances at clock input, input and output terminals, for specified values of:

– supply voltage(s);
– continuous voltage at the relevant terminal;
– frequency;
– input voltages at other terminals.

5.2 Dynamic characteristics

Each electrical characteristic of 5.2.1 shall be stated under specified electrical worst-case conditions with respect to the recommended range of supply voltage(s) as stated in subclause 4.1.

Limit values as required in 5.2.1 or, if these are not mutually acceptable to manufacturer and user, typical values shall be stated either:

a) over the specified range of operating temperatures, or

b) at a temperature of 25 °C, and at maximum and minimum operating temperatures.

Alternative b) shall be used only if the worst-case value of the characteristic over the whole temperature range can be deduced from the values given at the specified temperatures.

In all cases, limit values applicable at 25 °C shall be stated.

5.2.1 Times characterizing the response of the circuit

5.2.1.1 Propagation times

The following times shall be stated under specified conditions (see note 1):

a) t_{PHL}: propagation time with output going to low level: maximum value;

b) t_{PLH}: propagation time with output going to high level: maximum value.

If there are several different logic information paths, separate times shall be specified for each path.

Additional times shall be given, where appropriate, for three-state outputs entering and leaving the high-impedance state.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.2.1.2 Temps de transition

On doit indiquer les temps de transition dans des conditions spécifiées (voir note 1) comme suit:

a) si la valeur typique du temps de transition est supérieure ou égale (voir note 2) à la valeur typique du temps de propagation, on doit indiquer une valeur maximale du temps de transition;

b) si la valeur typique du temps de transition est inférieure à 10 ns, on doit indiquer une valeur minimale (voir note 3);

c) si les conditions a) et b) sont remplies simultanément, on doit alors indiquer des valeurs minimale et maximale.

On doit indiquer, quand cela est demandé, les temps de transition pour les deux sens de transition (c'est-à-dire t_{THL} et t_{TLH}).

NOTE 1 – Il convient que les conditions spécifiées de mesure comprennent les caractéristiques de l'impulsion d'entrée et de l'oscilloscope (ou de tout autre appareil de mesure approprié) ainsi que la configuration et les valeurs des composants du réseau de charge de sortie.

NOTE 2 – Le temps de transition est considéré comme comparable au temps de propagation si sa valeur dépasse 50 % de la valeur du temps de propagation.

NOTE 3 – On veut indiquer que, pour des temps de transition très courts, il peut y avoir des phénomènes de rebondissement et des problèmes de couplage avec les charges couramment utilisées.

6 Valeurs limites, caractéristiques mécaniques et autres données

Toutes les valeurs limites spécifiques pour les essais mécaniques ou d'environnement applicables à un microprocesseur particulier doivent être données.

Voir aussi l'article 7, chapitre VI, de la CEI 60747-1.

7 Informations supplémentaires

7.1 Facteur de charge de sortie

Nombre maximal de charges spécifiées qui peuvent être connectées à chaque sortie. Cette information peut être donnée pour plusieurs types de charges.

7.2 Marges de protection contre les perturbations

Des informations sur le microprocesseur permettant de calculer les marges de protection contre les perturbations sont données en 4.3 et 5.1.3 de cette section (voir aussi 13.2 de la section un).

7.3 Données d'application

Des informations supplémentaires sur les variations des caractéristiques données dans l'article 5 en fonction de la tension d'alimentation, de l'impédance de charge, etc., peuvent être données.

D'autres informations, indiquant en détail l'action de chaque instruction, peuvent être données en plus de celles figurant en 2.3. En particulier, elles doivent donner des détails sur les séquences et les modes de fonctionnement contenus dans les mises en route et interruptions de programme.

D'autres informations indiquant en détail la fonction et les séquences de fonctionnement de chaque entrée ou groupe d'entrées peuvent être données en plus de celles figurant en 2.3 et 4.7. Elles peuvent comprendre des diagrammes d'états et des diagrammes de temps.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.2.1.2 Transition times

Transition times shall be stated under specified conditions (see note 1) as follows:

a) if the typical value of transition time is comparable to (see note 2), or greater than, the typical value of propagation time, a maximum value of transition time should be stated;

b) If the typical value of transition time is less than 10 ns, a minimum value should be stated (see note 3);

c) if both conditions a) and b) are fulfilled, then both minimum and maximum values should be stated.

Transition times, when required, shall be stated for both directions of transition (that is, t_{THL} and t_{TLH}).

NOTE 1 – The specified conditions of measurement should include the characteristics of the input pulse and oscilloscope (or other appropriate measuring system) and the configuration and component values of the output loading network.

NOTE 2 – The transition time is considered comparable to propagation time if its value exceeds 50 % of the value of propagation time.

NOTE 3 – The object here is to state when very short transition times may be obtained, which may give rise to overshoot and coupling problems using practical loads.

6 Mechanical ratings, characteristics and other data

Any specific mechanical or environmental ratings applicable to the particular microprocessor shall be stated.

See also clause 7, chapter VI, of IEC 60747-1.

7 Supplementary information

7.1 Output loading capability

The maximum number of specified loads that can be driven from each output. This information may be given for more than one type of load.

7.2 Noise margins

Information about the microprocessor that enables noise margins to be calculated is given in 4.3 and 5.1.3 of this section (see also 13.2 of section one).

7.3 Application data

Additional information concerning the variations of the characteristics in clause 5 with supply voltage, load impedance, etc., may be given.

Further information, detailing the action of each instruction, may be given to supplement that in 2.3. In particular, this shall give details of the sequences and operations involved in programme branching and interrupts.

Further information detailing the function and sequences of operations of each input or group of inputs may be given to supplement that in 2.3 and 4.7. This may include state diagrams and timing diagrams.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Des informations sur les temps d'exécution des instructions peuvent être données pour des instructions particulières telles que: addition binaire ou transfert d'un registre à un autre. Si un temps moyen est donné, des détails concernant les instructions utilisées et le temps d'accès mémoire doivent être fournis.

7.4 Autres informations

On doit indiquer si le circuit intégré comporte une protection interne contre les tensions électrostatiques ou contre les champs électriques élevés.

8 Précautions de manipulation

Voir la CEI 60747-1, chapitre IX.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Information on instruction execution times may be given for particular instructions such as binary addition or register-to-register transfer. If an average time is given, details of the instruction used and the memory access time shall be included.

7.4 Other information

A statement shall be given whether the integrated circuit contains internal protection against high electroacoustic voltages or electrical fields.

8 Handling precautions

See IEC 60747-1, chapter IX.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SECTION QUATRE – CIRCUITS LOGIQUES PROGRAMMABLES (PLD)

La présente section établit les valeurs limites, les caractéristiques essentielles et spécifications de fonction des Circuits Logiques Programmables (PLD).

1 Identification du circuit et types

1.1 Désignation et types

Si les dispositifs ont une catégorie fonctionnelle ou électrique, cela doit être indiqué.

1.2 Description générale de la fonction

Une description générale de la fonction accomplie par le circuit intégré doit être donnée, comprenant le nombre d'entrées et de sorties, les modes éventuels de fonctionnement et les méthodes de programmation/effacement.

1.3 Technologie de fabrication

La technologie de fabrication, par exemple: circuit intégré à semi-conducteur monolithique, à couche mince, hybride, microassemblage, doit être indiquée. Cette indication doit comprendre des détails sur les technologies de semi-conducteurs telles que N-MOS, C-MOS, TTL Schottky ou IIL.

Cette indication doit aussi comprendre les détails sur la matrice programmable, la structure des cellules telle que liaison fusible, EPROM, EEPROM, RAM etc.

1.4 Identification du boîtier

Le numéro CEI et/ou la référence nationale du dessin d'encombrement et le matériau principal du boîtier, par exemple céramique, plastique, verre doivent être indiqués.

2 Description relative à l'application

Des informations sur l'application du dispositif dans les équipements ou les circuits et ses relations avec les dispositifs associés doivent être données. Leur contenu dépendra de la fonction à décrire.

2.1 Caractéristiques et applications principales

S'il y a lieu, l'application principale du dispositif doit être indiquée, par exemple, les applications à vitesse rapide, basse puissance, etc. Toute restriction aux applications doit être indiquée ici. Par exemple, les impossibilités pour les bornes masse et d'alimentation, le nombre maximum de broches à courant fort pouvant être voisines etc. Toutes les caractéristiques intéressantes doivent être précisées, par exemple les caractéristiques électriques, les caractéristiques d'encapsulation, les caractéristiques des outils CAO associés, etc.

2.2 Schéma fonctionnel global

Un schéma fonctionnel doit être donné montrant la fonction principale du dispositif et expliquant l'ensemble de la fonction.

2.3 Caractéristique principale disponible par programmation

On doit identifier les caractéristiques qui sont disponibles.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SECTION FOUR – PROGRAMMABLE LOGIC DEVICES (PLDs)

This section establishes essential ratings, characteristics and functional specifications for Programmable Logic Devices (PLDs).

1 Circuit identification and types

1.1 Designation and types

If devices have functional or electrical category, it shall be stated.

1.2 General function description

A general description of the function performed by the integrated circuit shall be stated, including number of inputs and outputs, possible operating modes and programming/erasing methods.

1.3 Manufacturing technology

The manufacturing technology, for example, semiconductor monolithic integrated circuit, thin film integrated circuit, hybrid integrated circuit, micro-assembly, shall be stated. This statement shall include details of the semiconductor technologies such as N-MOS, C-MOS, Schottky TTL or IIL.

This statement shall also include details of the programmable matrix/cell structure such as fusible link, EPROM, EEPROM, RAM, etc.

1.4 Package identification

IEC and/or national reference number of the outline drawing, and principal package material, for example, ceramic, plastic glass, shall be stated.

2 Application related description

Information on application in equipments or circuits and its relationship to the associated devices shall be given. The content will depend on the function to be described.

2.1 Main application and features

If necessary, the main application of the devices shall be stated, for example, high speed application, low power application, etc. Any restrictions for applications shall be stated here. For example, VDD/GND pin position restriction, maximum number of neighbouring high current pins, etc. And relevant features that are to be stated, for example, electrical characteristic feature, package feature, CAD tool support feature, etc.

2.2 Overall block diagram

A block diagram shall be given, showing the main function of the device and with an explanation of the whole function.

2.3 Main features available by programming

Features that are available shall be identified.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

2.4 Données de référence

Les propriétés les plus importantes pour permettre la comparaison des types de composants entre eux doivent être indiquées.

2.5 Compatibilité électrique

On doit indiquer si le circuit intégré est compatible électriquement avec d'autres circuits intégrés particuliers ou d'autres familles de circuits intégrés ou si des interfaces spécifiques sont nécessaires. Des détails doivent être donnés sur le type du circuit de sortie, par exemple trois états, collecteur ouvert, etc. Si le dispositif est interchangeable avec d'autres dispositifs, ceci doit être indiqué.

2.6 Dispositifs associés

S'il y a lieu, on doit indiquer:

– les dispositifs nécessaires au fonctionnement correct du dispositif (liste avec numéro de type, désignation et fonction);
– les dispositifs périphériques à interface directe (liste avec numéro de type, désignation et fonction).

3 Spécification de la fonction

3.1 Schéma fonctionnel détaillé – blocs fonctionnels

Un schéma fonctionnel détaillé ou des renseignements équivalents sur le circuit intégré doivent être donnés.

Le schéma fonctionnel doit comporter ce qui suit:

a) blocs fonctionnels;
b) interconnexions mutuelles entre les blocs fonctionnels;
c) unités fonctionnelles individuelles au sein des blocs fonctionnels;
d) interconnexions mutuelles entre les unités fonctionnelles individuelles;
e) fonction de chaque connexion externe;
f) interdépendance entre les blocs fonctionnels séparés.

Le schéma fonctionnel doit identifier la fonction de chaque connexion externe et, s'il n'y a pas de risque d'ambiguïté, il peut également indiquer les symboles et/ou numéros de bornes. Si l'encapsulation a des parties métalliques, toute connexion avec des bornes extérieures doit être indiquée. Les connexions avec tout élément électrique externe associé doivent être indiquées.

Afin d'apporter des informations supplémentaires, le schéma du circuit électrique complet peut être reproduit mais sans indiquer nécessairement les valeurs des composants du circuit. Le symbole graphique de la fonction doit être indiqué. Il peut être obtenu à partir d'un catalogue de normes de symboles graphiques ou conçu conformément aux règles de la CEI 60617-12 ou la CEI 60617-13.

3.2 Identification et fonction des bornes

Toutes les bornes doivent être identifiées sur le schéma fonctionnel (bornes d'alimentation, bornes d'entrée ou de sortie, bornes d'entrée/sortie).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

2.4 Reference data

The most important properties to permit comparison between types shall be given.

2.5 Electrical compatibility

It shall be stated whether the integrated circuit is electrically compatible with other particular circuits or families of integrated circuits or whether special interfaces are required. Detail shall be given on the type of the output circuit, for example, three state, open-collector, etc. Interchangeability with other devices, if any, shall be given.

2.6 Associated devices

If applicable, the following shall be stated:

– devices necessary for correct operation (list with type number, name, and function),

– peripheral devices with direct interfacing (list with type number, name, and function).

3 Specification of the function

3.1 Detailed block diagram – functional blocks

A detailed block diagram or equivalent circuit information of the integrated circuit shall be given.

The block diagram shall be composed of the following:

a) functional blocks;

b) mutual interconnection among the functional blocks;

c) individual functional units within the functional blocks;

d) mutual interconnections among the individual functional units;

e) function of each external connection;

f) inter-dependence between the separate functional blocks.

The block diagram shall identify the function of each external connection and, where no ambiguity may arise, it can also show the terminal symbols and/or numbers. If the encapsulation has metallic parts, any connection to them from external terminals shall be indicated. The connections with any associated external electrical elements shall be stated, where necessary.

As additional information, the complete electrical circuit diagram can be reproduced, but not necessarily with indication of the values of the circuit components. The graphical symbol for the function shall be given. This may be obtained from a catalogue of standards of graphical symbols or designed according to the rules of IEC 60617-12 or 60617-13.

3.2 Identification and function of terminals

All terminal shall be identified on the block diagram (supply terminals, input or output terminals, input/output terminals).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Les fonctions de borne 1) à 4) doivent être indiquées dans un tableau comme suit:

Tableau 2 – Exemple de fonction de bornes

Numéro de la borne	Symbole de la borne	Désignation de la borne[1)]	Fonction[2)]	Fonction de la borne	
				Identification entrée/sortie[3)]	Type de circuit de sortie[4)]

1) Désignation de la borne

La désignation de la borne indiquant la fonction de la borne doit être donnée. Les bornes d'alimentation, de terre, non connectées (abréviation NC), non utilisables (abréviation NU) doivent être distinguées.

2) Fonction

Une indication brève de la fonction de la borne doit être donnée:

– les fonctions au niveau logique actif, au niveau logique non actif et à l'état de haute impédance, s'il y a lieu;

– chaque fonction des bornes à fonctions multiples;

– chaque fonction du circuit intégré choisie par connexions mutuelles de broches, programmation et/ou application de données de sélection de fonction à la broche de sélection de fonction, telle que la broche de sélection de mode;

– format de données d'entrée/sortie ou format de données de transfert, c'est-à-dire en série ou en parallèle.

3) Identification d'entrée/sortie

Les bornes d'entrée, de sortie, d'entrée/sortie et d'entrée/sortie multiplex doivent être distinguées.

4) Type de circuit de sortie

Le type de circuit de sortie, par exemple trois-états, drain ouvert, collecteur ouvert, doit être distingué.

3.3 Description de la fonction

La fonction accomplie par le circuit doit être spécifiée avec indication des renseignements suivants:

1) Blocs fonctionnels

Les fonctions de chaque bloc fonctionnel doivent être indiquées. La description de chaque bloc doit comprendre les renseignements suivants:

– Fonction de base, et relation avec les autres blocs fonctionnels, par exemple:
  - logique interne;
  - dimension de la matrice;
  - nombre de portes utilisables et de bornes;
  - fonction de commande de sortie:
    a) éléments combinatoires;
    b) éléments séquentiels;
    c) rebouclage;
    d) validation sortie;
    e) polarité;
    f) remise aux conditions initiales/remise à zéro des bascules;
  - entrée d'horloge;
  - fonction de sécurité;
  - fonction de signature électronique;
  - fonction de diagnostic;

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

The terminal functions 1) to 4) shall be indicated in a table as follows:

Table 2 – Example of the terminal function

Terminal number	Terminal symbol	Terminal name [1]	Function [2]	Function of terminal	
				Input/output identification [3]	Type of output circuit [4]

[1] Terminal name

Terminal name to indicate the function of the terminal shall be given. Supply terminals, ground terminals, not connected terminals (with abbreviations NC), non-usable terminals (with abbreviations NU) shall be distinguished.

[2] Function

A brief indication of the terminal function shall be given:

– the functions at the active logic level, the non-active logic level and the high-impedance state, where appropriate;

– each function of multi-role terminals, that is terminals that have multiple functions;

– each function of integrated circuit selected by mutual pin connections, programming and/or application of function selection data to the function selection pin, such as mode selection pin;

– input/output data format or transfer data format, that is, serial or parallel.

[3] Input/output identification

Input, output, input/output, and multiplex input/output terminals shall be distinguished.

[4] Type of output circuit

Type of output circuit, such as three-state, open-drain, open-collector shall be distinguished.

3.3 Functional description

The function performed by the circuit shall be specified, including the following information:

1) Functional blocks

Function of each functional block shall be stated. The description of each block shall include the following:

– Basic function and relation to other functional blocks;

for example:

- internal logic;
- matrix size;
- number of usable gate and terminals;
- output control function:
  a) combinational elements;
  b) sequential elements;
  c) feed back;
  d) output enable;
  e) polarity;
  f) direct preset/reset to flip-flop;
- clock input;
- security function;
- electronics signature function;
- diagnostics function;

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

– relation avec les bornes externes;

– relation avec les autres blocs fonctionnels;

– pour les autres fonctions, par exemple la fonction à alimentation réduite, se reporter à la partie correspondante de la CEI 60748 sur les caractéristiques de famille.

S'il y a lieu, un tableau de fonction et/ou de mode peut être donné.

2) Description du fonctionnement

– mode de fonctionnement (par exemple méthode de mise en marche, préférence, état défectueux, etc.).

3.4 Caractéristiques de famille

Dans cette partie, la description fonctionnelle spécifique de toute la famille doit être indiquée (en référence à la CEI 60748-2, la CEI 60748-3 et la CEI 60748-4).

4 Valeurs limites (système des valeurs limites absolues)

Le tableau de ces valeurs doit contenir ce qui suit:

Toute interdépendance des conditions limites doit être spécifiée.

Si des éléments connectés extérieurement et/ou fixés, par exemple des radiateurs, ont une influence sur les valeurs limites, celles-ci doivent être spécifiées pour le circuit intégré avec les éléments connectés et/ou fixés.

Si les valeurs limites sont dépassées pour la surcharge transitoire, les excès tolérés doivent être spécifiés avec leur durée.

Si les valeurs minimales et maximales diffèrent au cours de la programmation du dispositif, ceci doit être indiqué.

Pour toutes les tensions, la référence est une borne de référence spécifiée (V_{SS}, masse, etc.).

Afin de satisfaire aux articles suivants, si des valeurs maximales et/ou minimales sont citées, le fabricant doit indiquer s'il se réfère à la grandeur absolue ou à la valeur algébrique de la quantité.

Les valeurs limites indiquées doivent couvrir le fonctionnement du circuit multifonction dans la gamme spécifiée des températures de fonctionnement.

Lorsque de telles valeurs limites dépendent de la température, cette dépendance doit être indiquée.

4.1 Valeurs limites électriques

a) Tension d'alimentation;

b) Courants d'alimentation (s'il y a lieu);

c) Tension(s) d'entrée;

d) Tension(s) de sortie;

e) Courant(s) d'entrée (s'il y a lieu);

f) Courant(s) de sortie;

g) Autres tensions et/ou courants de bornes;

h) Tension différentielle entre l'entrée et la sortie (s'il y a lieu);

i) Dissipation de puissance;

j) Tension(s) de sortie à l'état haute impédance (s'il y a lieu).

La spécification particulière peut indiquer ces valeurs dans le tableau 3 avec les notes 1 et 2.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

– relation to external terminals;
– relation to other functional blocks;
– for other functions, e.g. power down function, see applicable part of IEC 60748 for family related characteristics.

Where appropriate, function table and/or mode table may be indicated.

2) Operation related description
   – operating mode (e.g. set-up method, preference, default state, etc.)

3.4 Family related characteristics

In this part, all the family specific functional description shall be stated (referred to IEC 60748-2, IEC 60748-3 and IEC 60748-4).

4 Limiting values (absolute maximum rating system)

The table of these value shall contain the following:

Any interdependence of limiting conditions shall be specified.

If externally connected and/or attached elements, for example heat sinks, have an influence on the values of the ratings, the ratings shall be prescribed for the integrated circuit with the elements connected and/or attached.

If limiting values are exceeded for transient overload, the permissible excesses and their durations shall be specified.

Where minimum and maximum values differ during programming of the device, this shall be stated.

All voltages are referenced to a specified reference terminal (V_{SS}, GND, etc.).

In order to satisfy the following clauses, if maximum and/or minimum values are quoted, the manufacturer shall indicate whether he refers to the absolute magnitude or to the algebraic value of the quantity.

The ratings given shall cover the operation of the integrated circuit over the specified range of operating temperatures.

Where such rating are temperature-dependent, this dependence shall be indicated.

4.1 Electrical limiting values

a) Power supply voltages;
b) power supply currents (where appropriate);
c) input voltage(s);
d) output voltage(s);
e) input current(s) (where appropriate);
f) output current(s);
g) other terminal voltage and/or current;
h) voltage difference between input and output (where appropriate);
i) power dissipation;
j) off-state output voltage(s) (where appropriate).

The detail specification may indicate those value within table 3 including notes 1 and 2.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Tableau 3 – Exemple de valeurs limites

Paramètres (notes 1 et 2)	Symboles	Min.	Max.	Unité

NOTE 1 – S'il y a lieu, conformément au type de circuit considéré.

NOTE 2 – Pour la gamme de tensions d'alimentation

- Valeur(s) limite(s) de la ou des tensions continues à la ou aux bornes d'alimentation en fonction d'un point de référence électrique spécifié.
- S'il y a lieu, les valeurs limites de tensions entre les bornes d'alimentation spécifiées.
- Lorsque plusieurs alimentations sont nécessaires, on doit indiquer si la séquence dans laquelle ces alimentations sont appliquées est significative: si tel est le cas, cette séquence doit être indiquée.
- Lorsque plusieurs alimentations sont nécessaires, il peut être indispensable d'indiquer les combinaisons de valeurs limites pour ces tensions et courants d'alimentation.

4.2 Températures

1) Température de fonctionnement
2) Température de stockage
3) Température de conduction (pour la soudure)

La spécification particulière peut indiquer ces valeurs dans le tableau 4 avec la note.

Tableau 4 – Exemple de températures

Paramètres (note)	Symboles	Min.	Max.	Unité

NOTE – S'il y a lieu, conformément au type de circuit considéré.

5 Conditions de fonctionnement recommandées (dans la gamme de température de fonctionnement spécifiée)

Ces conditions ne doivent pas être contrôlées, mais sont applicables à l'assurance de la qualité.

5.1 Alimentation – valeurs positives et/ou négatives

5.2 Séquences d'initialisation

Si des séquences d'initialisation spéciales sont nécessaires, la procédure de séquence d'alimentation et d'initialisation doit être spécifiée.

5.3 Entrée(s) d'horloge (s'il y a lieu)

5.4 Tension(s) d'entrée

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Table 3 – Example of limiting values

Parameters (notes 1 and 2)	Symbols	Min.	Max.	Unit

NOTE 1 – Where appropriate, in accordance with the type of considered circuit.

NOTE 2 – For power supply voltage range

– Limiting value(s) of the continuous voltage(s) at the supply terminal(s) with respect to special electrical reference point.

– Where appropriate, limiting value between specified supply terminals.

– When more than one voltage supply is required, a statement shall be made as to whether the sequence in which these supplies are applied is significant: if so, the sequence shall be stated.

– When more than one supply is needed, it may be necessary to state the combinations of ratings for these supply voltages and currents.

4.2 Temperatures

1) Operating temperature
2) Storage temperature
3) Lead temperature (for soldering)

The detail specification shall indicate those value within table 4 including the note.

Table 4 – Example of temperatures

Parameters (note)	Symbols	Min.	Max.	Unit

NOTE – Where appropriate, in accordance with the type of considered circuit.

5 Recommended operating conditions (within the specified operating temperate range)

They are not to be inspected, but may be used for quality assessment purpose.

5.1 Power supplies – positive and/or negative values

5.2 Initialization sequences

If special initialization sequences are necessary, power supply sequencing and initialization procedure shall be specified.

5.3 Clock input(s) (where appropriate)

5.4 Input voltage(s)

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.5 Courant(s) de sortie

5.6 Tension et/ou courant d'une (d')autre(s) borne(s)

5.7 Eléments externes (s'il y a lieu)

5.8 Gamme des températures de fonctionnement

5.9 Exigences de temps (par exemple temps de montée, temps de descente d'entrée, largeur d'impulsion, temps d'établissement, temps de maintien, etc.)

Les exigences de temps spéciales doivent être spécifiées dans la spécification particulière applicable.

6 Caractéristiques électriques

Les caractéristiques doivent s'appliquer dans toute la gamme des températures de fonctionnement, sauf spécification contraire. Si la performance indiquée du circuit varie dans la gamme des températures de fonctionnement, les valeurs des tensions d'entrée et de sortie et des courants associés doivent être données à 25 °C et aux extrêmes de la gamme des températures de fonctionnement. Les valeurs de courant et de tension doivent être données pour chaque type fonctionnellement différent d'entrée et/ou de sortie.

Les caractéristiques et exigences de temps spéciales doivent êtres spécifiées.

Chaque caractéristique des 6.1 et 6.2 doit être indiquée, soit

a) dans la gamme spécifiée des températures de fonctionnement, soit

b) à une température de 25 °C, et aux températures de fonctionnement maximale et minimale.

6.1 Caractéristiques statiques

La liste et la définition des paramètres doit être indiquée ici. Se reporter à la partie correspondante de la CEI 60748 pour les caractéristiques de famille.

Pour toutes les tensions, la référence est une borne de référence (masse, etc.) désignée.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

5.5 Output current(s)

5.6 Voltage and/or current of other terminal(s)

5.7 External elements (where appropriate)

5.8 Operating temperature range

5.9 Timing requirements (e.g. input rise time, input fall time, pulse width, setup time, hold time, etc.)

Special timing requirement shall be specified within the relevant detail specification.

6 Electrical characteristics

The characteristics shall apply over the full operating temperature range, unless otherwise specified. Where the stated performance of the circuit varies over the operating temperature range, the values of the input and output voltages and their associated currents shall be stated at 25 °C, and at the extremes of the operating temperature range. Values of current and voltage shall be given for each functionally different type of input and/or output.

Special characteristics and timing requirements shall be specified.

Each characteristic of 6.1 and 6.2 shall be stated: either

a) over the specified range of operating temperatures, or

b) at a temperature of 25 °C, and at maximum and minimum operating temperatures.

6.1 Static characteristics

The parameters list and definition shall be stated here. See relevant part of IEC 60748 for family related characteristics.

All voltages are referenced to a reference terminal (GND, etc.), which shall be stated.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Tableau 5 – Exemple de caractéristiques statiques

Caractéristiques	Symboles	Conditions (note 4)	Min.	Typique (note 6)	Max.	Unité
Courant(s) d'alimentation maximal (de fonctionnement)	I_{CC1}	V_{CC}max.			x	mA
Courant(s) d'alimentation maximal (de repos)	I_{CC2}	V_{CC}max.			x	µA
Tension d'entrée au niveau haut	V_{IH}	(note 5)	x		x	V
Tension d'entrée au niveau bas	V_{IL}	(note 5)	x		x	V
Tension de sortie au niveau haut	V_{OH}	V_{CC},I_{OHA}	x			V
Tension de sortie au niveau bas	V_{OL}	V_{CC},I_{OLA}			x	V
Courant d'entrée ou de fuite au niveau haut	I_{IH}	V_{CC} V_{IH}=V_{OHB}	x		x	µA
Courant d'entrée ou de fuite au niveau bas	I_{IL}	V_{CC} V_{IL}=V_{OLA}	x		x	µA
Courant de sortie au niveau haut (note 1)	I_{OH}	V_{CC},V_{OHB}	x		x	µA
Courant de sortie au niveau bas (note 1)	I_{OL}	V_{CC},V_{OLA}	x		x	mA
Courant de sortie (fuite) au niveau haut (note 2)	I_{OHX}	$V_{CC}V_{OHA}$	x		x	µA
Courant de sortie (fuite) au niveau bas (note 2)	I_{OLX}	V_{CC},V_{OLB}	x		x	µA
Courant de sortie à l'état haute impédance au niveau haut (si applicable)	I_{OZH}	V_{CC},V_{OHB}	x		x	µA
Courant de sortie à l'état haute impédance au niveau bas (si applicable)	I_{OZL}	V_{CC},V_{OLA}	x		x	µA
Courant de court-circuit en sortie (note 3)	I_{OS}	V_{CC},V_O=O		x		mA

NOTE 1 – Ces paramètres doivent être vérifiés comme conditions d'essais de V_{OH} et V_{OL}.

NOTE 2 – I_{OHX} et I_{OLX} s'appliquent uniquement aux circuits possédant des sorties à collecteur ouvert (ou source/drain ouvert) et dans ce cas ils remplacent I_{OH} et I_{OL}.

NOTE 3 – Durée à spécifier.

NOTE 4 – Les tensions d'alimentation doivent être spécifiées pour assurer que la mesure de la caractéristique correspondante est effectuée dans les conditions de pire cas.

NOTE 5 – V_{IH} et V_{IL} ne sont pas des valeurs mesurées, mais des conditions d'essai.

NOTE 6 – Optionnel.

Les valeurs suivantes doivent être indiquées s'il y a lieu:

– lorsque certaines bornes peuvent jouer le rôle d'entrées ou de sorties, if faut fournir les informations dans ces deux cas.

6.2 Caractéristiques dynamiques

Chaque caractéristique électrique dynamique ou en courant alternatif doit être indiquée dans des conditions de pire cas électrique spécifié en fonction de la gamme recommandée des tensions d'alimentation indiquée au 5.1.

Les conditions de charge doivent également être indiquées pour l'essai de chaque caractéristique dynamique.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Table 5 – Example of static characteristics

Characteristics	Symbol	Conditions (note 4)	Min.	Typical (note 6)	Max.	Units
Maximum supply current(s) (operating)	I_{CC1}	V_{CC}max.			x	mA
Maximum supply current(s) (standby)	I_{CC2}	V_{CC}max.			x	µA
High-level input voltage	V_{IH}	(note 5)	x		x	V
Low-level input voltage	V_{IL}	(note 5)	x		x	V
High-level output voltage	V_{OH}	V_{CC}, I_{OHA}	x			V
Low-level output voltage	V_{OL}	V_{CC}, I_{OLA}			x	V
High-level input or leakage current	I_{IH}	V_{CC} V_{IH}=V_{OHB}	x		x	µA
Low-level input or leakage current	I_{IL}	V_{CC} V_{IL}=V_{OLA}	x		x	µA
High-level output current (note 1)	I_{OH}	V_{CC}, V_{OHB}	x		x	µA
Low-level output current (note 1)	I_{OL}	V_{CC}, V_{OLA}	x		x	mA
High-level output current (leakage) (note 2)	I_{OHX}	V_{CC}, V_{OHA}	x		x	µA
Low-level output current (leakage) (note 2)	I_{OLX}	V_{CC}, V_{OLB}	x		x	µA
Off-state output current (if applicable)	I_{OZH}	V_{CC}, V_{OHB}	x		x	µA
Off-state output current (if applicable)	I_{OZL}	V_{CC}, V_{OLA}	x		x	µA
Output short-circuit current (note 3)	I_{OS}	V_{CC}, V_O=O		x		mA

NOTE 1 – These parameters shall be inspected as applied conditions for V_{OH} and V_{OL}.

NOTE 2 – I_{OHX} and I_{OLX} apply only to circuits having open collector (or open source/drain) outputs and in this case replace I_{OH} and I_{OL}.

NOTE 3 – Duration to be specified.

NOTE 4 – The supply voltage shall be specified to ensure the worst case for the relevant characteristic measurement.

NOTE 5 – V_{IH} and V_{IL} are not measured values but applied conditions of test.

NOTE 6 – Optional

The following shall also be stated where applicable:

– where certain terminals may function as inputs or as outputs, the information shall be given for both conditions.

6.2 Dynamic characteristics

Each dynamic characteristic shall be stated under specified electrical worst-case conditions with respect to the recommended range of supply voltages as stated in 5.1.

Loading conditions shall also be stated for dynamic characteristic testing.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Par exemple:

– temps de propagation ou temps de transition:
  • entrée vers sortie;
  • horloge vers sortie;
  • horloge vers rebouclage;
  • remise à zéro vers sortie;
  • mise à un directe/remise à zéro vers sortie.
– temps de propagation pour les sorties 3 états;
– temps d'autorisation;
– temps d'inhibition;
– temps d'établissement;
– temps de maintien;
– cycle d'horloge ou fréquence maximale;
– largeur d'impulsion d'horloge;
– largeur d'impulsion de remise à zéro.

La liste et la définition des paramètres doit être indiquée ici. Se reporter à la partie correspondante de la CEI 60748 pour les caractéristiques de famille.

Tableau 6 – Exemple de caractéristiques dynamiques

Caractéristiques	Symboles	Conditions	Min.	Typique*	Max.	Unité
* facultatif						

6.3 Diagramme des temps

Des diagrammes des temps doivent être fournis, comportant un ensemble complet de signaux indiquant le fonctionnement de chaque mode du circuit. On doit indiquer tous les intervalles de temps que l'utilisateur doit connaître pour assurer le fonctionnement correct de la mémoire.

On doit indiquer sur ces diagrammes tous les paramètres spécifiés en 6.2.

6.4 Capacités

Les valeurs maximales des capacités aux bornes d'entrée et de sortie pour les valeurs spécifiées de:

– tension(s) d'alimentation;
– tension continue à la borne correspondante;
– fréquence;
– tensions d'entrée aux autres bornes.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

For example:

– propagation time or transition time;
  • input to output;
  • clock to output;
  • clock to feedback;
  • reset to output;
  • direct set/rest to output;
– propagation time for 3-state outputs;
– enable time;
– disable times;
– setup time;
– hold time;
– clock cycle or maximum frequency;
– lock width;
– reset pulse width.

The parameter list and definition shall be stated here. See relevant part of IEC 60748 for family related characteristics.

Table 6 – Example of dynamic characteristics

Characteristics	Symbols	Conditions	Min.	Typical*	Max.	Units
* optional						

6.3 Timing diagram

Timing diagram shall be given, to comprise a complete set of signals which shows each operation mode of the circuit. Any time intervals which need to be known by the user to ensure the correct operation of the circuit shall be stated.

Any parameter mentioned in 6.2 shall be found in the timing diagram.

6.4 Capacitances

Maximum values of capacitances at input and output terminals, for specified values of:

– supply voltage(s);
– continuous voltage at the relevant terminal;
– frequency;
– input voltage at other terminals.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7 Programmation

7.1 Mode programmation

7.1.1 Procédure de programmation

La procédure de programmation recommandée doit être indiquée. S'il y a lieu, les conditions et les méthodes de vérification (par exemple sens de la tension, les caractéristiques statiques et dynamiques des impulsions de programmation, le nombre d'impulsions de programmation) pendant la programmation doivent être indiquées.

Si une procédure d'effacement est nécessaire avant la programmation, elle doit être spécifiée.

7.1.2 Conditions de programmation recommandées

Les conditions spécifiées de programmation doivent être indiquées conformément à l'article 4, section un, chapitre III. Lorsque la gamme de température dans laquelle s'applique la procédure de programmation est différente de la gamme de température de fonctionnement, elle doit être indiquée.

Les conditions et/ou caractéristiques électriques suivantes doivent être indiquées en valeurs maximales et/ou minimales:

a) courant(s) et/ou tension(s) d'alimentation lorsque l'impulsion de programmation est appliquée;

b) courant(s) et/ou tension(s) de programmation aux bornes spécifiées auxquelles l'impulsion de programmation est appliquée;

c) courant(s) et/ou tension(s) d'entrée aux bornes de commande de programmation.

7.1.3 Conditions d'exigences de temps

7.1.3.1 Dispositifs ayant des broches de programmation séparées

Un diagramme des temps doit être donné et les exigences de temps suivantes indiquées:

i) largeur de l'impulsion de programmation ..... min. et max.

ii) temps de montée de l'impulsion de programmation ..... min. et/ou max.

iii) temps de descente de l'impulsion de programmation ..... min. et/ou max.

iv) rapport cyclique de programmation (s'il y a lieu) ..... max.

v) temps d'établissement:

Des valeurs minimales doivent être indiquées pour les temps d'établissement suivants:

a) adresse avant impulsion de programmation ou autorisation de programmation (voir note);

b) entrée de données avant impulsion de programmation ou autorisation de programmation (voir note);

c) autorisation de programmation avant impulsion de programmation (s'il y a lieu).

NOTE – Le choix entre «impulsion de programmation» ou «autorisation de programmation» comme impulsion de référence dépend de celle qui devient active la dernière et il convient que cela soit conforme au diagramme des temps donné.

vi) temps de maintien:

Des valeurs minimales doivent être indiquées pour les temps de maintien suivants:

a) adresse après la fin de l'impulsion de programmation ou d'autorisation de programmation (voir note);

b) entrée de données après la fin de l'impulsion de programmation ou autorisation de programmation (voir note);

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7 Programming

7.1 Programming mode

7.1.1 Programming procedure

The recommended programming procedure shall be stated. Where appropriate, the verification method and conditions (for example, sense voltage, static and dynamic characteristics of the programme pulses, number of programme pulses) during programming shall be stated.

If an erasing procedure is necessary before programming, it shall be specified.

7.1.2 Recommended programming conditions

The specified conditions for programming shall be stated in accordance with clause 4 of section one, chapter III. When the temperature range to be used for the programming procedure is different from the operating temperature range, this shall be specified.

The following electrical condition and/or characteristics shall be stated with maximum and/or minimum values:

a) power supply current(s) and/or voltage(s) when the programme pulse is applied;

b) programming current(s) and/or voltage(s) at specified terminals to which the programme pulse is applied;

c) input current(s) and/or voltage(s) at any terminal for programming control.

7.1.3 Timing requirements

7.1.3.1 Device having separate programme terminal(s)

A timing diagram shall be given, and the following timing requirements shall be stated:

i) programme pulse duration (width) ..... min. and max. values;

ii) programme pulse rise time ..... min. and/or max. values;

iii) programme pulse fall time ..... min. and/or max. values;

iv) programme duty cycle (where appropriate) ..... max. value.

v) set-up time:

Minimum values shall be stated for the following set-up times:

a) address before programme pulse or programme enable (see note);

b) data-in before programme pulse or programme enable (see note);

c) programme enable before programme pulse (where appropriate).

NOTE – The choice of “programme pulse” or “programme enable” as the reference pulse depends on which one becomes active last, and this should be in accordance with the given timing diagram.

vi) hold times:

Minimum values shall be stated for the following hold times:

a) address after end of programme pulse or programme enable (see note);

b) data-in after end of programme pulse or programme enable (see note);

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

c) adresse après la fin de l'entrée de données;

d) autorisation de programmation après la fin de l'impulsion de programmation (s'il y a lieu).

NOTE – Le choix de «l'impulsion de programmation» ou de «l'autorisation de programmation» comme impulsion de référence dépend de celle qui devient inactive la première et il convient que cela soit conforme au diagramme des temps spécifié.

7.1.3.2 Dispositifs sans bornes de programmation séparées

Exigences à l'étude.

7.2 Mode effacement (s'il y a lieu)

La procédure d'effacement et la gamme de température de fonctionnement à laquelle cette opération peut être effectuée doivent être indiquées.

7.2.1 Dispositifs utilisant la technologie des EEPROM

7.2.1.1 Conditions d'effacement recommandées

Les conditions électriques suivantes pendant l'effacement doivent être indiquées avec les valeurs minimales et/ou maximales:

a) courant(s) et/ou tension(s) d'alimentation lorsque l'impulsion d'effacement est appliquée;

b) courant(s) et/ou tension(s) d'effacement aux bornes spécifiées auxquelles l'impulsion d'effacement est appliquée;

c) courant(s) et/ou tension(s) d'entrée à toute borne utilisée pour une opération d'effacement.

NOTE – Lorsque la gamme de température précisée pour la procédure d'effacement est différente de la gamme de température de fonctionnement, il convient de l'indiquer.

7.2.1.2 Conditions d'exigence de temps (effacement)

a) Dispositifs ayant des broches séparées destinées à l'effacement

Les exigences de temps suivantes doivent être données:

i) largeur d'impulsion d'effacement ..... min. et max.;

ii) temps de montée de l'impulsion d'effacement ..... min. et/ou max.;

iii) temps de descente de l'impulsion d'effacement ..... min. et/ou max.;

iv) rapport cyclique d'effacement (s'il y a lieu)..... max.;

v) temps d'établissement

- adresse avant le début de l'impulsion d'effacement ..... min.;
- autorisation avant le début de l'impulsion d'effacement (s'il y a lieu) min.;

vi) temps de maintien:

- adresse après la fin de l'impulsion d'effacement ..... min.;
- autorisation après la fin de l'impulsion d'effacement (s'il y a lieu).... min.

b) Dispositifs sans broches séparées destinées à l'effacement

Exigences à l'étude.

7.2.2 Dispositifs utilisant la technologie des UV EPROM

7.2.2.1 Conditions d'effacement recommandées

Les quantités suivantes ainsi que leurs tolérances doivent être indiquées:

a) longueur d'onde de la lumière UV;

b) intensité de la lumière UV sur la fenêtre transparente du boîtier;

c) temps d'exposition.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

c) address after end of data-in;

d) programme enable after end of programme pulse (where appropriate).

NOTE – The choice of “programme pulse” or “programme enable” as the reference pulse depends on which one becomes inactive first, and this should be in accordance with the given timing diagram.

7.1.3.2 Devices without separate programme terminals

Requirements are under consideration.

7.2 Erasing mode (if applicable)

The erasing procedure and the range of operating temperatures at which this operation may be carried out shall be stated.

7.2.1 Devices using EEPROM technology

7.2.1.1 Recommended erasing conditions

The following electrical conditions during erasing shall be stated, with maximum and/or minimum values:

a) power supply current(s) and/or voltage(s), when the erase pulse is applied;

b) erasing current(s) and/or voltage(s) at specified terminals to which the erase pulse is applied;

c) input current(s) and/or voltage(s) at any other terminal used for an erasing operation.

NOTE – When the temperature range to be used for the erasing procedure is different from the operating temperature range, this should be specified.

7.2.1.2 Timing requirements (erasure)

a) Devices having separate erase terminals

The following timing requirements shall be stated:

i) erase pulse duration (width) ..... min. and max. values;

ii) erase pulse rise time ..... min. and/or max. values;

iii) erase pulse fall time ..... min. and/or max. values;

iv) erase duty cycle (where appropriate) ..... max. value;

v) set-up times:

– address before start of erase pulse ..... min. value:

– enable before start of erase pulse (where appropriate)... min. value;

vi) hold times:

– address after end of erase pulse..... min. value:

– enable after end of erase pulse (where appropriate) ..... min. value;

b) Devices without separate erase terminals

Requirements are under consideration.

7.2.2 Devices using UV EPROM technology

7.2.2.1 Recommended erasing conditions

The following quantities, with their tolerances, shall be stated:

a) ultraviolet light wavelength;

b) ultraviolet light intensity on the transparent window of the case;

c) exposure time.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.3 Nombre de cycles programmation/effacement (s'il y a lieu)

Le nombre minimum de cycles de programmation/effacement à accomplir pour les conditions de fonctionnement spécifiées, doit être indiqué.

NOTE – Ce nombre est probablement fonction des conditions d'impulsion de programmation et/ou d'effacement, de la température et du temps de fonctionnement.

7.4 Information de rétention

S'il y a lieu, par exemple pour des mémoires à lecture seule programmables électriquement et effaçables électriquement, les informations de rétention suivantes doivent être indiquées:

a) nombre maximum d'opérations lecture/écriture;

b) temps de rétention minimal.

8 Points relatifs à la conception

8.1 Matériel de CAO

Une liste donnant la configuration et la description du matériel de CAO tels que station de travail (EWS), système d'exploitation (OS), taille mémoire requise, doit être donnée.

8.2 Logiciels de CAO

Une liste des logiciels indiquant, pour chacun, le nom, la version, le fabricant, le langage, le format de données, etc., doit être donnée. Ces logiciels doivent comporter tout ou partie des outils suivants, sans en exclure d'autres:

a) entrée des schémas;

b) synthèse;

c) simulation;

d) analyse des temps;

e) vérification des règles de construction.

Le fournisseur doit avoir une procédure de mise à jour et de révision des outils de CAO utilisés. Se reporter à la partie correspondante de la CEI 60748.

9 Valeurs limites, caractéristiques et données mécaniques et climatiques

Toutes les valeurs limites mécaniques et climatiques spécifiques applicables doivent être indiquées (se reporter également à l'article 7 du chapitre VI de la CEI 60747-1).

10 Renseignements supplémentaires

S'il y a lieu, les renseignements suivants doivent être donnés:

10.1 Circuit d'entrée et de sortie équivalent

Des renseignements détaillés doivent être donnés sur le type de circuits de sortie, par exemple trois-états, collecteur ouvert, drain-ouvert, push-pull, pôle totem.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7.3 Number of programming-erasing cycles (where appropriate)

The minimum number of programming-erasing cycles that can be achieved for specified operating conditions shall be stated.

NOTE – This number is likely to be function of the programme and/or erase pulse conditions, the operating time and temperature.

7.4 Data retention information

Where appropriate, for example for electrically erasable and electrically programmable read only memories, the following data retention information shall be stated:

a) maximum number of read/write operations;

b) minimum data retention time.

8 Design aspects

8.1 Computer aided engineering (CAE) design hardware

A list with the configuration and description of the CAE hardware such as engineering work station (EWS), operating system (OS) and memory requirement shall be given.

8.2 CAE design software

A list of software packages, including name, version, manufacturer, description language, data format, etc. shall be given. These software packages shall include some or all of the following tools without being restricted to them.

a) schematic entry;

b) synthesis;

c) simulation;

d) timing analysis;

e) engineering rules check.

The supplier shall have a procedure of updates and revision of dedicated CAE tools. See relevant part of IEC 60748.

9 Mechanical and environment rating, characteristics and data

Any specific mechanical and environmental ratings applicable shall be stated. (See also IEC 60747-1, chapter VI, clause 7).

10 Additional information

Where appropriate, the following information shall be given:

10.1 Equivalent input and output circuit

Detailed information shall be given regarding the type of output circuits for example, three state, open collector, open drain, push-pull, totem-pole.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

10.2 Protection interne

On doit indiquer si le circuit intégré comporte une protection interne contre les tensions statiques ou les champs électrique élevés.

10.3 Résistance thermique

10.4 Marge d'immunité au bruit

Des renseignements sur le circuit intégré qui permettent de calculer les marges d'immunité au bruit sont donnés en 6.1 et 6.2 (se reporter également au 13.2 de la section un du chapitre III).

10.5 Charge de sortie admissible

10.6 Interconnexions des circuits numériques

Des exemples d'opérations logiques (par exemple câblé-OU) qui peuvent être exécutées et interconnectant des unités similaires doivent être donnés.

10.7 Interconnexions avec d'autres types de circuits

S'il y a lieu, des détails sur les interconnexions avec d'autres circuits, par exemple, amplificateurs de sens, tampon, doivent être donnés.

10.8 Effets d'un ou de composants connectés extérieurement

Des courbes ou des données indiquant l'effet d'un ou de composants connectés extérieurement qui influencent les caractéristiques peuvent être fournies.

10.9 Recommandations pour tout dispositif associé

Par exemple, le découplage de l'alimentation en cas d'utilisation de haute fréquence doit être indiqué.

10.10 Précautions de manipulation

S'il y a lieu, des précautions spécifiques au circuit doivent être indiquées (se reporter également à la CEI 60747-1, chapitre IX).

10.11 Données d'application

10.12 Autres renseignements sur l'application

10.13 Date de publication de la feuille de données

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

10.2 Internal protection

A statement shall be given to indicate whether the integrated circuit contains internal protection against high static voltages or electrical fields.

10.3 Thermal resistance

10.4 Noise margin

Information about the integrated circuit that enables noise margins to be calculated is given in 6.1 and 6.2 (see also 13.2 of section one, chapter III).

10.5 Output loading capability

10.6 Interconnections of digital circuits

Examples of logic operations (for example, wired-OR) that may be performed by interconnecting similar units shall be stated.

10.7 Interconnections to other types of circuit

Where appropriate, details of the interconnections to other circuits, for example, sense amplifiers, buffer, shall be given.

10.8 Effects of externally connected component(s)

Curves of data indicating the effect of externally connected component(s) that influence the characteristics shall be given.

10.9 Recommendations for any associated device(s)

For example, decoupling of power supply from high frequency shall be stated.

10.10 Handling precautions

Where appropriate, handling precautions specific to the circuit shall be stated. (See also IEC 60747-1, chapter IX.)

10.11 Application data

10.12 Other application information

10.13 Date of issue of data sheet

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

CHAPITRE IV: MÉTHODES DE MESURE

SECTION UN – GÉNÉRALITÉS

1 Exigences générales

L'article 1 de la CEI 60748-1, chapitre VII, qui renvoie aux articles 1 (Introduction) et 2 (Précautions générales) de la CEI 60747-1, chapitre VII, s'applique, sauf spécification contraire.

2 Exigences spécifiques

2.1 Exigences générales pour les mesures statiques et dynamiques

2.1.1 Pour chaque mesure, les tolérances sur les tensions ou les courants d'alimentation doivent être de ±1 % des valeurs spécifiées, sauf spécification contraire.

2.1.2 La tolérance sur la température ambiante relative au dispositif en mesure doit être de ±2 °C de la valeur indiquée, sauf spécification contraire.

2.1.3 Quand aucune condition électrique n'est spécifiée pour une borne donnée, on laisse cette borne non connectée.

2.1.4 Le ou les points de référence pour les mesures de tensions doivent être indiqués.

NOTE – Le point de référence pour les mesures de tension du signal n'est pas nécessairement le même que celui pour les tensions d'alimentation.

2.1.5 Quand un dispositif possède une mémoire interne ou de l'hystérésis, un cycle de préréglage peut être nécessaire avant chaque mesure.

2.1.6 On doit faire fonctionner le dispositif dans des conditions dont l'ensemble correspond aux «conditions de fonctionnement recommandées», sauf spécification contraire.

2.1.7 Avant d'effectuer les mesures suivantes, on doit d'abord s'assurer que, pour chaque combinaison des entrées, la sortie est conforme aux détails donnés dans la table de fonctionnement correspondante, sauf lorsque cette table de fonctionnement est vérifiée par les mesures elles-mêmes.

2.2 Conditions spécifiées pour les caractéristiques statiques

2.2.1 Mesure de la tension ou du courant de sortie

Les conditions suivantes doivent être indiquées (voir note):

a) la température ambiante ou celle d'un point de référence;

b) les valeurs des tensions ou des courants d'alimentation;

c) les conditions à chaque borne d'entrée;

d) les conditions à la borne de sortie choisie pour la mesure;

e) les conditions à toutes les autres bornes de sortie.

NOTE – Les conditions de mesure pour une sortie «basse» peuvent être différentes des conditions de mesure pour une sortie «haute».

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

CHAPTER IV: MEASURING METHODS

SECTION ONE – GENERAL

1 Basic requirements

Clause 1 of IEC 60748-1, chapter VII, which refers back to clauses 1 (Introduction) and 2 (General precautions) of IEC 60747-1, chapter VII, applies, unless otherwise stated.

2 Specific requirements

2.1 General requirements for static and dynamic measurements

2.1.1 For each measurement, supply voltages or currents shall be within ±1 % of the specified values, unless otherwise stated.

2.1.2 The ambient temperature of the device being measured shall be within ±2 °C of the specified value, unless otherwise stated.

2.1.3 Where no electrical conditions are specified for a given terminal, it shall be left unconnected.

2.1.4 The reference point(s) for voltage measurements shall be stated.

NOTE – The reference point for signal voltage measurements is not necessarily the same as that for supply voltages.

2.1.5 When a device has internal memory or hysteresis, a pre-setting cycle may be required before each measurement.

2.1.6 The device shall be operated at a set of conditions within the range of "recommended operating conditions", unless otherwise stated.

2.1.7 Prior to carrying out the following measurements, it shall first be established that, for each combination of inputs, the output conforms to the details given in the relevant function table, except when this function table is verified by the measurements themselves.

2.2 Specified conditions for static characteristics

2.2.1 Measurement of output voltage or current

The following conditions shall be stated (see note):

a) ambient or reference-point temperature;

b) values of supply voltages or currents;

c) conditions at each input terminal;

d) conditions at the output terminal selected for the measurement;

e) conditions at all other output terminals.

NOTE – The measuring conditions for a "low" output can be different from the measuring conditions for a "high" output.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

2.2.2 Mesure de la tension ou du courant d'entrée

Les conditions suivantes doivent être indiquées (voir note):

a) la température ambiante ou celle d'un point de référence;
b) les valeurs des tensions ou des courants d'alimentation;
c) les conditions à chaque borne de sortie;
d) les conditions à la borne d'entrée choisie pour la mesure;
e) les conditions à toutes les autres bornes d'entrée.

NOTE – Les conditions de mesure pour une entrée «basse» peuvent être différentes des conditions de mesure pour une entrée «haute».

Certains dispositifs ayant une mémoire interne ou de l'hystérésis peuvent avoir une ou plusieurs valeurs d'impédance d'entrée pour un niveau donné, auquel cas plus d'une mesure peut être nécessaire.

2.3 Conditions spécifiées pour les caractéristiques dynamiques

Les conditions sont données avec les méthodes de mesure.

3 Matrice d'application pour les méthodes de mesure

Voir le tableau de la page suivante.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

2.2.2 Measurement of input voltage or current

The following conditions shall be stated (see note):

a) ambient or reference-point temperature;

b) values of supply voltages or currents;

c) conditions at each output terminal;

d) conditions at the input terminal selected for the measurement;

e) conditions at all other input terminals.

NOTE – The measuring conditions for a "low" input can be different from the measuring conditions for a "high" input.

Some devices having internal memory or hysteresis may have more than one input impedance value for a given input level, in which case more than one measurement may be necessary.

2.3 Specified conditions for dynamic characteristics

The conditions are given with the measuring methods.

3 Application matrix for the measuring methods

See table on the following page.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Matrice d'application pour les méthodes de mesure (parues dans la CEI 60748-2)

Méthode n°	Caractéristiques à mesurer	Catégories, sub-catégories													
		Circuits combi-natoires	Circuits séquentiels			Com-pteurs	Registres à décalage		Mémoires			Micropro-cesseurs		Réseaux logique programmables	
			Mono-stables	Bistables	Astables		Statiques	Dyna-miques	ROM	RAM statiques	RAM dynamiques				
37	Tensions de sortie au niveau haut et au niveau bas	x	x	x		x	x	x	x	x	x				
38	Courants d'entrée au niveau haut et au niveau bas	x	x	x		x	x	x	x	x	x				
40	Courant de court-circuit en sortie	x	x	x		x	x	x	x	x	x				
41	Courant d'alimentation en fonctionnement statique	x	x	x		x	x	x	x	x	x				
48	Tensions de seuil (d'entrée) et tension d'hystérésis		x	x											
1	Courant total fourni par les alimentations (fonctionnement dynamique)	x	x	x		x	x	x							
2	Puissance fournie à travers la ligne d'horloge	x		x											
6	Capacités d'entrée et de sortie pour un fonctionnement en grands signaux	x	x	x		x	x	x	x	x	x				
11	Capacités d'entrée et de sortie équivalentes, résistances d'entrée et de sortie équivalentes	x	x	x		x	x	x	x	x	x				
3	Temps de propagation (circuits bipolaires)	x	x	x		x	x	x	x	x	x				
7	Temps de propagation (circuits MOS)	x	x	x		x	x	x	x	x	x				
4	Temps de délai et de transition (circuits bipolaires)	x	x	x		x	x	x	x	x	x				
5	Temps de délai et de transition (circuits MOS)	x	x	x		x	x	x	x	x	x				
8	Temps d'établissement		x	x		x	x	x	x	x	x				
9	Temps de maintien		x	x		x	x	x	x	x	x				
36	Temps de résolution			x		x	x	x	x	x	x				
49	Temps d'autorisation et d'inhibition en sortie (pour les sorties «trois états»)	x	x	x		x	x	x	x	x	x				
50 à 54	Temps spécifiques aux mémoires								x	x	x				
10	Fréquence de commutation			x		x	x	x	x	x	x				
94	Tension d'écrêtage d'entrée														
95	Courant de sortie à l'état bloque														
96	Caractéristiques du phénomène de verouillage														
97	Méthode de vérification de la fonction d'un circuit intégré numérique														

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Application matrix for the measuring methods (given in IEC 60748-2)

Method No	Characteristics to be measured	Categories, subcategories													
		Combi-natorial circuits	Sequential circuits			Coun-ters	Shift registers		Mémoires			Micropro-cessors		Programmable logic devices (PLDs)	
			Mono-stable	Bistable	Astable		Static	Dynamic	ROM	RAM static	RAM dynamic				
37	High-level and low-level output voltages	x	x	x		x	x	x	x	x	x				
38	High-level and low-level input currents	x	x	x		x	x	x	x	x	x				
40	Short-circuit output current	x	x	x		x	x	x	x	x	x				
41	Power-supply current under static conditions	x	x	x		x	x	x	x	x	x				
48	(input) threshold voltages and hysteresis voltage		x	x											
1	Total current drawn from the power supplies under dynamic conditions	x	x	x		x	x	x							
2	Power supplied through the clock line	x		x											
6	Input and output capacitances for large-signal operation	x	x	x		x	x	x	x	x	x				
11	Equivalent input and output capacitances, equivalent input and output resistances	x	x	x		x	x	x	x	x	x				
3	Propagation times (bipolar circuits)	x	x	x		x	x	x	x	x	x				
7	Propagation times (MOS circuits)	x	x	x		x	x	x	x	x	x				
4	Delay and transition times (bipolar circuits)	x	x	x		x	x	x	x	x	x				
5	Delay and transition times (MOS circuits)	x	x	x		x	x	x	x	x	x				
8	Set-up time		x	x		x	x	x	x	x	x				
9	Hold time		x	x		x	x	x	x	x	x				
36	Resolution time			x		x	x	x	x	x	x				
49	Output enable and disable ties (for three-state outputs)	x	x	x		x	x	x	x	x	x				
50 to 54	Specific times for memories								x	x	x				
10	Switching frequency			x		x	x	x	x	x	x				
94	Input clamping voltage														
95	Off-state output current														
96	Latch-up characteristics														
97	Method of verification of the function of a digital integrated circut														

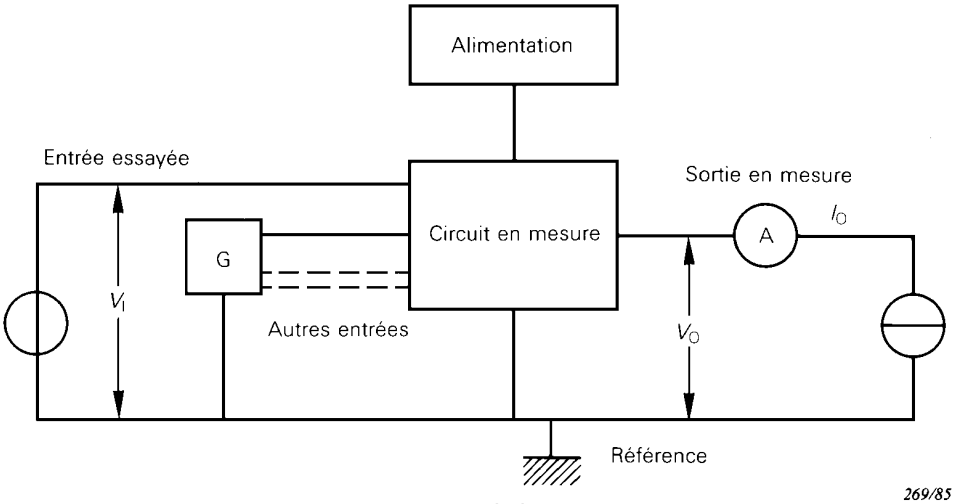
SECTION DEUX – MÉTHODES DE MESURE POUR LES CARACTÉRISTIQUES STATIQUES

1 Tensions de sortie au niveau haut et au niveau bas (V_{OH} et V_{OL}) 37

a) But

Mesurer les tensions de sortie au niveau haut et au niveau bas dans des conditions spécifiées.

b) Schéma



G = source de tension et générateur d'impulsions

Figure 47

c) Description et exigences du circuit

Le matériel utilisé doit permettre de réaliser, si c'est exigé, les conditions de sortie spécifiées.

S'il y a lieu, le générateur d'impulsions doit fournir un nombre suffisant de séquences d'impulsions indépendantes pour permettre à la sortie du circuit en mesure de vérifier la table de fonctionnement.

Le générateur de courant doit être capable de délivrer ou d'absorber le courant.

d) Exécution

Connecter le circuit intégré, comme il est spécifié, au circuit de mesure de la figure 47; régler les tensions d'alimentation et les tensions d'entrée aux valeurs spécifiées; appliquer les conditions exigées aux bornes de sortie.

Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure.

Appliquer les conditions d'entrée et, s'il y a lieu, les séquences d'impulsions d'entrée nécessaires pour obtenir le niveau de sortie statique spécifié. Mesurer la tension de sortie V_O.

NOTE – Pourvu qu'on utilise les conditions de pire cas pour les tensions d'entrée, cette mesure peut vérifier en même temps que le circuit en essai satisfait à la fois les extrêmes pour les tensions d'entrée spécifiées et pour les tensions de sortie associées.

Exemple:

Fonction	Conditions appliquées		Valeur extrême de mesure
	Entrée essayée	Autres(s) entrées	Sortie en mesure
ET-NON	V_{ILA}	V_{IHA}	V_{OHB}
	V_{IHB}	V_{IHB}	V_{OLA}
ET	V_{IHB}	V_{IHB}	V_{OHB}
	V_{ILA}	V_{IHA}	V_{OLA}

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

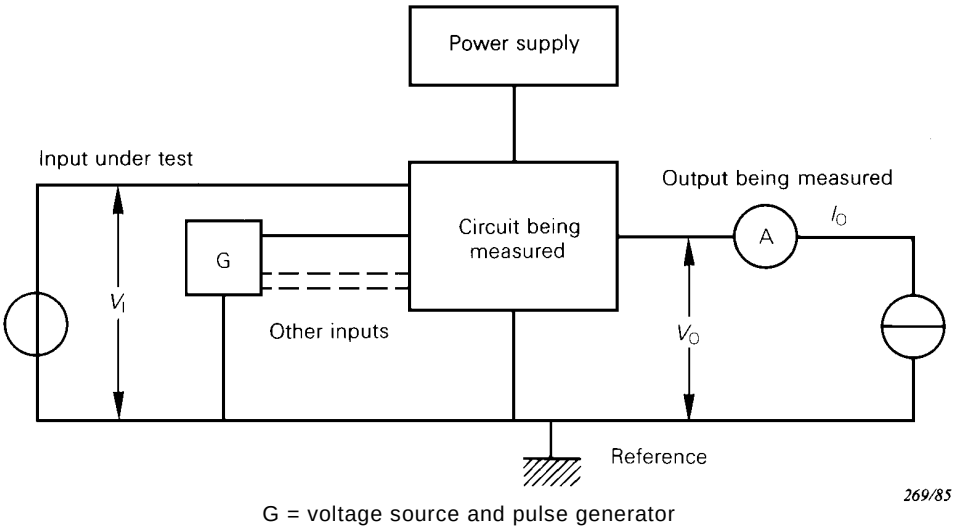
SECTION TWO – MEASURING METHODS OF STATIC CHARACTERISTICS

1 High-level and low-level output voltages (V_{OH} and V_{OL}) 37

a) Purpose

To measure the high-level and low-level output voltages under specified conditions.

b) Circuit diagram



G = voltage source and pulse generator

Figure 47

c) Circuit description and requirements

The measurement equipment shall provide, where required, the specified output conditions.

Where appropriate, the pulse generator shall provide a sufficient number of independent pulse sequences to enable the output condition of the circuit being measured to be set up according to the function table.

The current generator shall be capable of acting as either a source or sink of current.

d) Measurement procedure

The integrated circuit is connected as specified to the measurement circuit of figure 47; the supply and input voltages are set to their specified values and the appropriate conditions are applied to the output terminals.

The temperature is set to the specified value and checked immediately before and after the measurement.

The input conditions and, where appropriate, the input pulse sequences necessary to set up the specific static output level are applied. The output voltage V_O is measured.

NOTE – Provided that the worse-case combinations of input voltages are used, this measurement can simultaneously verify that the circuit under test meets both the specified input and the associated output voltage limits.

Example:

Function	Applied conditions		Measurement limit
	Input under test	Other input(s)	Output being measured
NAND	V_{ILA} V_{IHB}	V_{IHA} V_{IHB}	V_{OHB} V_{OLA}
AND	V_{IHB} V_{ILA}	V_{IHB} V_{IHA}	V_{OHB} V_{OLA}

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Conditions spécifiées
- Température ambiante ou température d'un point de référence.
- Procédure d'établissement (s'il y a lieu) et séquence de mesures.
- Valeurs(s) de la ou des tensions d'alimentation.
- Tension(s) d'entrée.
- Courant(s) de sortie.
- Sens des courants.

2 Courants d'entrée au niveau haut et au niveau bas (I_{IH} et I_{IL}) 38

a) But

Mesurer les courants d'entrée au niveau haut et au niveau bas dans des conditions spécifiées.

b) Schéma

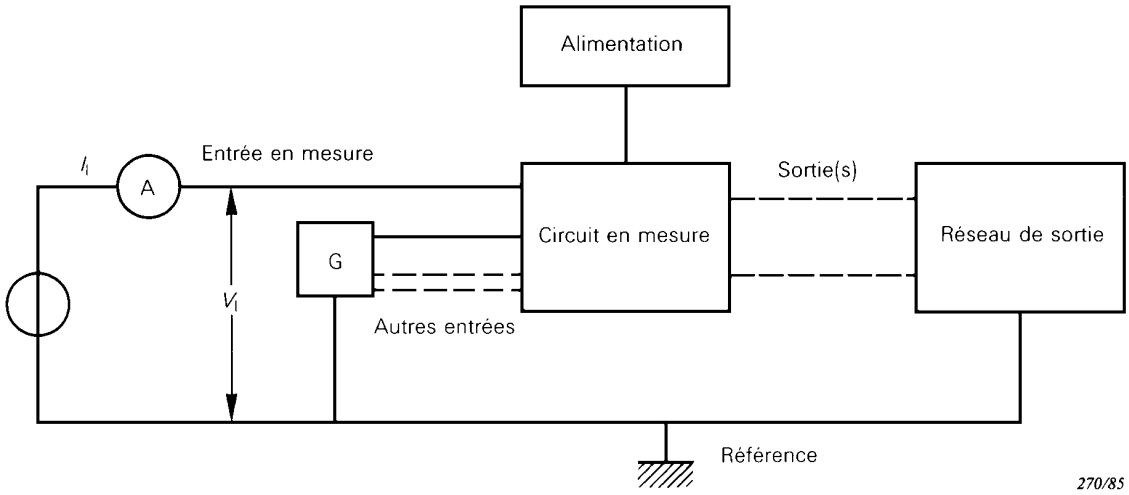


Figure 48

c) Description et exigences du circuit

S'il y a lieu, le générateur d'impulsions doit fournir un nombre suffisant de séquences d'impulsions indépendantes pour permettre d'établir l'état logique interne spécifié.

Le matériel utilisé doit permettre de réaliser, si c'est exigé, les conditions de sortie spécifiées.

d) Exécution

Connecter le circuit intégré, comme il est spécifié, au circuit de mesure de la figure 48; régler les tensions d'alimentation et les tensions d'entrée aux valeurs spécifiées; appliquer les conditions exigées aux bornes de sortie.

Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure.

S'il y a lieu, appliquer les impulsions d'entrée nécessaires pour obtenir l'état logique spécifié.

Mesurer le courant qui en résulte I_I.

NOTE – Habituellement, chaque entrée est mesurée séparément.

e) Conditions spécifiées
- Température ambiante ou température d'un point de référence.
- Procédure d'établissement (s'il y a lieu) et séquence des mesures.
- Valeur(s) de la ou des tensions d'alimentation.
- Tension(s) d'entrée.
- Conditions de sortie, s'il y a lieu.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Specified conditions

- Ambient or reference-point temperature.
- Setting-up procedure (where appropriate) and sequence of measurement.
- Value(s) of the supply voltage(s).
- Input voltage(s).
- Output current(s).
- The direction(s) of current(s).

2 High-level and low-level input currents (I_{IH} and I_{IL}) 38

a) Purpose

To measure the high-level and low-level input currents under specified conditions.

b) Circuit diagram

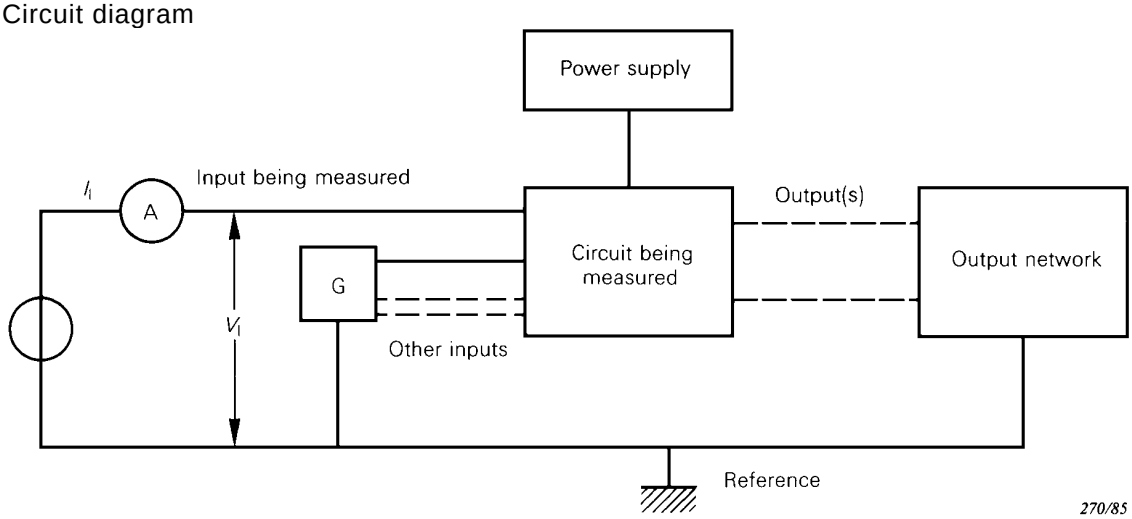


Figure 48

c) Circuit description and requirements

Where appropriate, the pulse generator shall provide a sufficient number of independent pulse sequences to enable the specified internal logic state to be set up.

The measurement equipment shall provide, where required, the specified output conditions.

d) Measurement procedure

The integrated circuit is connected as specified to the measurement circuit of figure 48; the supply and input voltages are set to their specified values and the appropriate conditions are applied to the output terminals.

The temperature is set to the specified value and checked immediately before and after the measurement.

Where appropriate, the input pulses necessary to set up the specified logic state are applied.

The resulting current I_I is measured.

NOTE – Usually, each input is measured separately.

e) Specified conditions

- Ambient or reference-point temperature.
- Setting-up procedure (where appropriate) and sequence of measurements.
- Value(s) of the supply voltage(s):
- Input voltage(s).
- Output conditions, where appropriate.

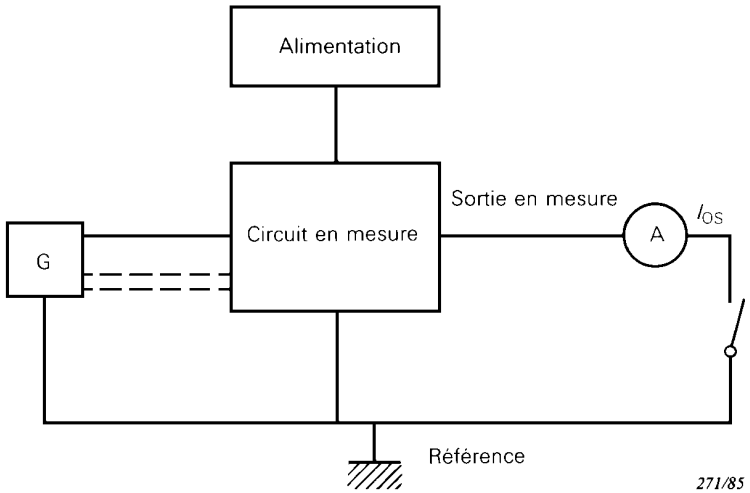
LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3 Courant de court-circuit en sortie (I_{OS}) 40

a) But

Mesurer le courant de court-circuit en sortie dans des conditions spécifiées.

b) Schéma



G = source de tension et générateur d'impulsions

Figure 49

c) Description et exigences du circuit

S'il y a lieu, le générateur d'impulsions doit fournir un nombre suffisant de séquences d'impulsions indépendantes pour permettre à la sortie du circuit en essai de vérifier la table de fonctionnement.

L'équipement de mesure doit permettre de réaliser un court-circuit entre la borne de sortie et un point de référence spécifié (pendant une durée spécifiée, s'il y a lieu) et mesurer le courant de court-circuit sans réagir d'une manière significative sur le court-circuit lui-même.

d) Précautions à prendre

On ne doit pas dépasser la valeur limite de la dissipation de puissance.

e) Exécution

Connecter le circuit intégré, comme il est spécifié, au circuit de mesure de la figure 49; régler les tensions d'alimentation et les tensions d'entrée aux valeurs spécifiées.

Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure.

Appliquer, s'il y a lieu, les séquences d'impulsions d'entrée nécessaires pour obtenir le niveau de sortie statique spécifié.

Connecter la borne de sortie essayée au point de référence spécifié et mesurer le courant de court-circuit I_{OS}.

Avant de réaliser le court-circuit, on force la tension de sortie (par exemple, au moyen de la combinaison voulue des niveaux d'entrée) à un niveau aussi éloigné que possible du niveau de référence.

f) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Procédure d'établissement, s'il y a lieu.
- Valeur(s) de la ou des tensions d'alimentation.
- Tension(s) d'entrée.
- Durée du court-circuit, s'il y a lieu.
- Conditions aux autres bornes.
- Point de référence (pour le court-circuit).

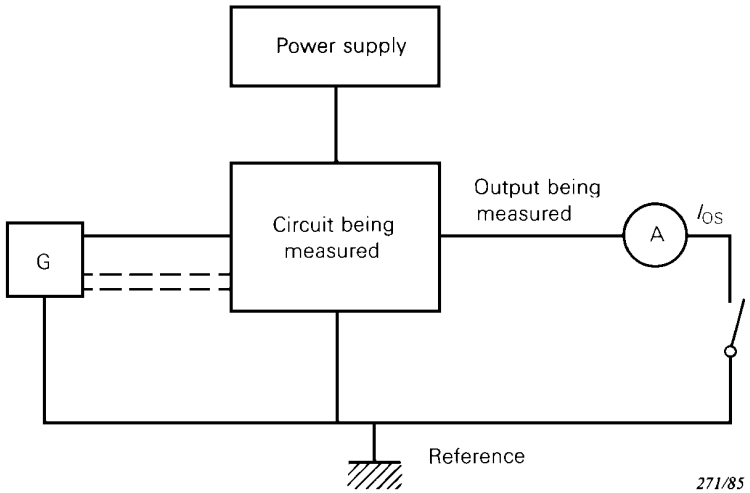
LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3 Short-circuit output current (I_{OS}) 40

a) Purpose

To measure the short-circuit output current under specified conditions.

b) Circuit diagram



G = voltage source and pulse generator

Figure 49

c) Circuit description and requirements

Where appropriate, the pulse generator shall provide a sufficient number of independent pulse sequences to enable the output condition of the circuit under test to bet set up according to the function table.

The measurement equipment shall be capable of implementing a shortcircuit between the output terminal and a specified reference point (for a specified duration, if appropriate) and of measuring the short-circuit current without influencing significantly the shortcircuit itself.

d) Precautions to be observed

The maximum rated power dissipation shall not be exceeded.

e) Measurement procedure

The integrated circuit is connected as specified to the measurement circuit of figure 49; the supply and input voltages are set to their specified values.

The temperature is set to the specified value and checked immediately before and after the measurement.

Where appropriate, the input pulse sequences necessary to set up the specified static output level are applied.

The output terminal under test is connected to the specified reference point and the short-circuit current I_{OS} is measured.

Before application of the short circuit, the output voltage is forced (for example, by means of the relevant input level combination) to a level as far as possible from the reference level.

f) Specified conditions

- Ambient or reference-point temperature.
- Setting-up procedure, where appropriate.
- Values(s) of the supply voltage(s).
- Input voltage(s).
- Short-circuit duration, if appropriate.
- Conditions at other terminals.
- Reference point (for the short circuit).

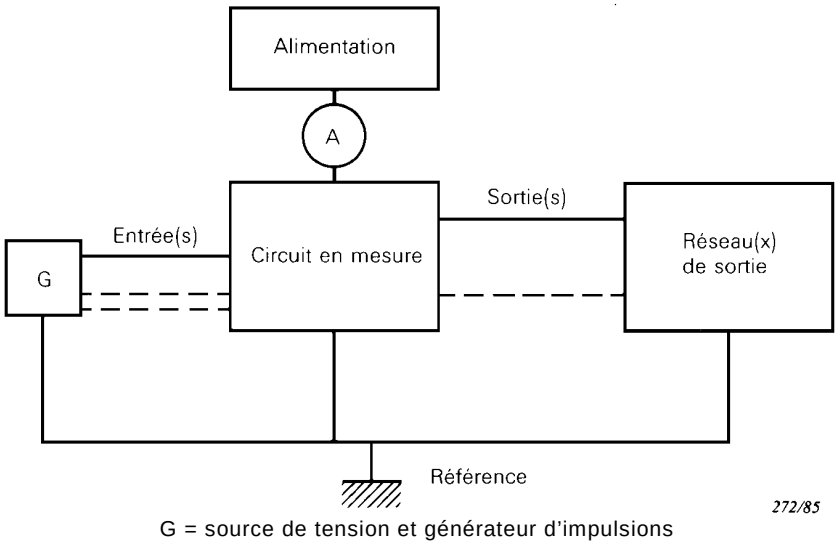
LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4 Courant d'alimentation en fonctionnement statique 41

a) But

Mesurer le courant d'alimentation dans des conditions de fonctionnement statique spécifiées.

b) Schéma



G = source de tension et générateur d'impulsions

Figure 50

c) Description et exigences du circuit

S'il y a lieu, le générateur d'impulsions doit fournir un nombre suffisant de séquences d'impulsions indépendantes pour permettre à la sortie du circuit en essai de vérifier la table de fonctionnement.

d) Exécution

Connecter le circuit intégré, comme il est spécifié, au circuit de mesure de la figure 50; régler les tensions d'alimentation et les tensions d'entrée aux valeurs spécifiées.

Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure.

Appliquer, s'il y a lieu, les séquences d'impulsions d'entrée nécessaires pour obtenir le niveau de sortie statique voulu.

Mesurer le courant d'alimentation correspondant.

e) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Procédure d'établissement (s'il y a lieu) et séquence de mesures.
- Valeur(s) de la ou des tensions d'alimentation.
- Tension(s) d'entrée.
- Réseau(x) de sortie.

5 Tensions de seuil (d'entrée) et tension d'hystérésis 48

a) But

Mesurer les tensions de seuil (d'entrée) et déterminer la tension d'hystérésis d'un circuit logique combinatoire à l'aide d'une méthode de mesure telle que le résultat reste indépendant des caractéristiques dynamiques du circuit en mesure.

b) Description et exigences du circuit

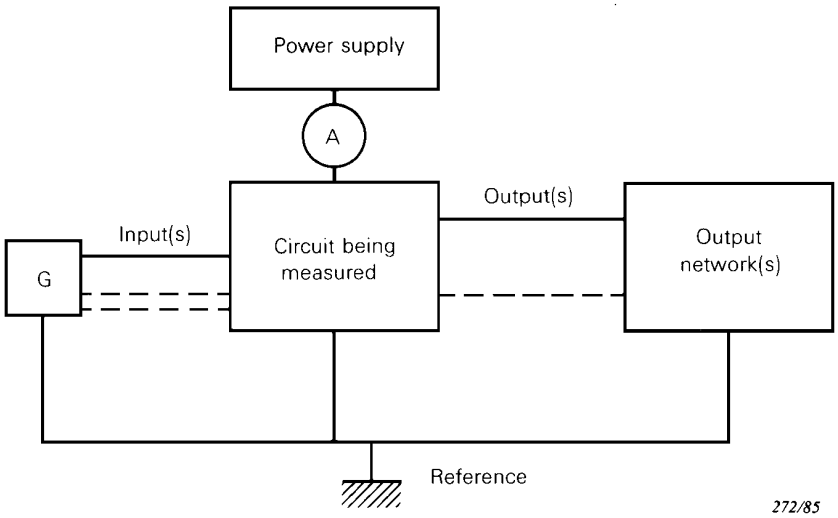
LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4 Power supply current under static conditions 41

a) Purpose

To measure the power supply current under specified static conditions.

b) Circuit diagram



G = voltage source and pulse generator

Figure 50

c) Circuit description and requirements

Where appropriate, the pulse generator shall provide a sufficient number of independent pulse sequences to enable the output condition(s) of the circuit under test to be set up according to the function table.

d) Measurement procedure

The integrated circuit is connected as specified to the measurement circuit of figure 50; the supply and input voltages are set to their specified values.

The temperature is set to the specified value and checked immediately before and after the measurement.

Where appropriate, the input pulse sequences necessary to set up the required static output level are applied.

The relevant power supply current is measured.

e) Specified conditions

- Ambient or reference-point temperature.
- Setting-up procedure (where appropriate) and sequence of measurements.
- Value(s) of the supply voltage(s).
- Input voltage(s).
- Output network(s).

5 (Input) threshold voltages and hysteresis voltage 48

a) Purpose

To measure the (input) threshold voltages and to determine the hysteresis voltage of a combinational logic circuit by a measuring method such that the result is independent of the dynamic characteristics of the circuit being measured.

b) Circuit description and requirements

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Le circuit de mesure est indiqué dans la figure 51.

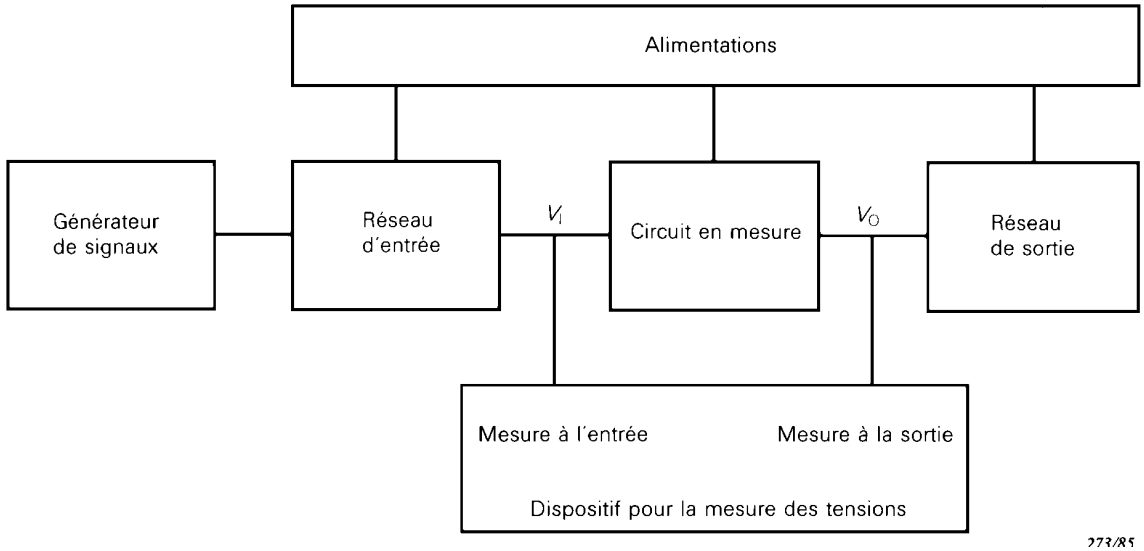


Figure 51

On doit pouvoir effectuer la mesure de la tension de sortie V_O en fonction de la tension d'entrée V_I. Le générateur doit fournir un signal d'entrée triangulaire dont la forme d'onde est représentée par une tension qui varie de façon régulière ou par paliers; l'équipement doit comporter en outre les réseaux d'entrée et de sortie, et fournir les tensions d'alimentation. Le circuit en mesure doit être maintenu à la température (T_{amb} ou T_{case}) spécifiée.

c) Exécution

Placer le circuit en mesure à la température (T_{amb} ou T_{case}) spécifiée. Relier les bornes d'entrée et de sortie comme spécifié et appliquer les tensions d'alimentation. Connecter et régler le générateur de signaux. Appliquer le signal de sortie V_O du circuit en mesure à l'équipement de mesure, par exemple à l'entrée Y d'un oscilloscope. Appliquer également le signal d'entrée triangulaire V_I à l'entrée X de l'oscilloscope. Mesurer ou lire la tension d'entrée V_{IT+} (ou V_{ITP}) quand la tension de sortie V_O passe brusquement d'un niveau à l'autre, ou V_{IT-} (ou V_{ITN}) quand la tension de sortie V_O revient brusquement à son niveau d'origine; ces deux valeurs sont les tensions de seuil (d'entrée).

Le résultat est la caractéristique de transition indiquée dans la figure 52. La tension d'hystérésis V_{hys} est donnée par:

$$V_{hys} = V_{IT+} - V_{IT-} \text{ ou } \quad V_{ITP} - V_{ITN}$$

NOTE – Les figures 53 et 54 représentent les caractéristiques de transition pour deux formes d'onde d'entrée différentes pouvant indifféremment être utilisées pour cette méthode.

d) Conditions spécifiées

- Température(T_{amb} ou T_{case}).
- Tension(s) d'alimentation.
- Caractéristiques du signal d'entrée:
  - tension variant de façon régulière: linéarité, temps de croissance (t_r), temps de décroissance (t_f), amplitude;
  - tension variant par paliers: différence de tension entre chaque palier (ΔV), durée de chaque palier (Δt), amplitude.

    t_r, t_f et Δt du signal d'entrée doivent être très supérieurs au temps de propagation t_p du circuit en mesure.
- Réseaux d'entrée et de sortie (y compris les capacités parasites).
- Conditions pour les autres bornes.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

The measuring circuit is shown in figure 51.

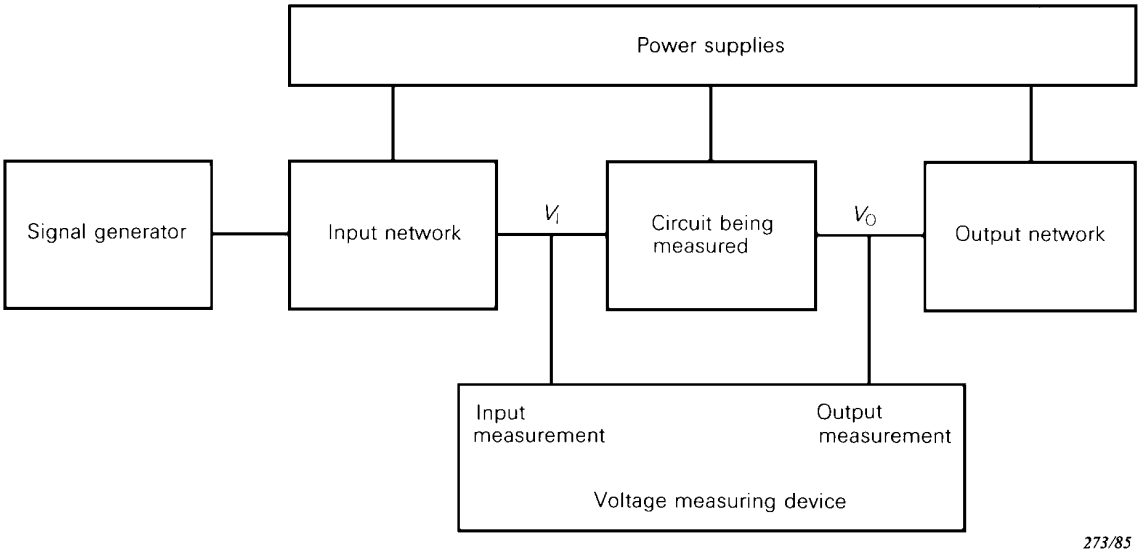


Figure 51

The equipment shall be capable of measuring the output voltage V_O as a function of the input voltage V_I. The measuring equipment shall provide a triangular input signal whose waveform is either a ramp or a series of steps; the equipment shall also provide the input and output networks and the supply voltage(s); it shall keep the circuit being measured at the specified temperature (T_{amb} or T_{case}).

c) Measurement procedure

The circuit being measured is set to the specified temperature (T_{amb} or T_{case}). The input and output terminals are connected as specified and the supply voltage(s) is (are) applied. The signal generator is adjusted and connected. The output signal V_O of the circuit being measured is applied to the measurement equipment, for instance to the Y-input of an oscilloscope. The triangular input signal V_I of the circuit being measured is also applied to the measurement equipment, in the above case to the X-input of the oscilloscope. The input voltage is measured or read as V_{IT+} (or V_{ITP}) when the output voltage V_O just switches to the opposite level or as V_{IT-} (or V_{ITN}) when the output voltage V_O switches to the original level; these two values are the (input) threshold voltages.

The result is the transition characteristic shown in figure 52. The hysteresis voltage V_{hys} results from:

$$V_{hys} = V_{IT+} - V_{IT-} \quad \text{or:} \quad V_{ITP} - V_{ITN}$$

NOTE – Figures 53 and 54 represent the transition characteristics for two different input waveforms, either of which may be used for this method.

d) Specified conditions

- Temperature (T_{amb} or T_{case}).
- Supply voltage(s).
- Characteristics of the input signal:
  - ramp voltage: linearity, rise time (t_r), fall time (t_f), signal amplitude;
  - stepped voltage: voltage difference in each step (ΔV), hold time for each step (Δt), signal amplitude.

  t_r, t_f and Δt of the input signal should be much greater than the propagation time t_p of the circuit being measured.
- Input and output networks (including stray capacitance).
- Conditions at other terminals.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

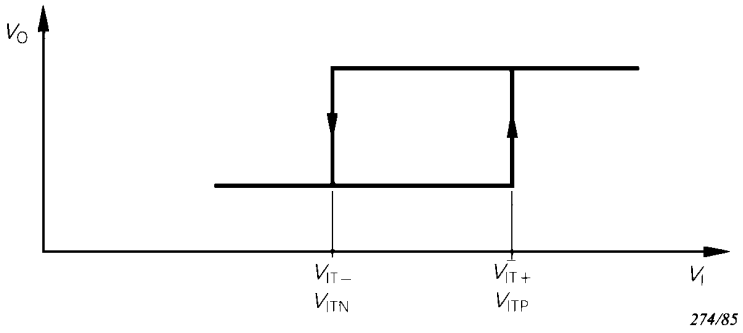


Figure 52 – Diagramme de transition

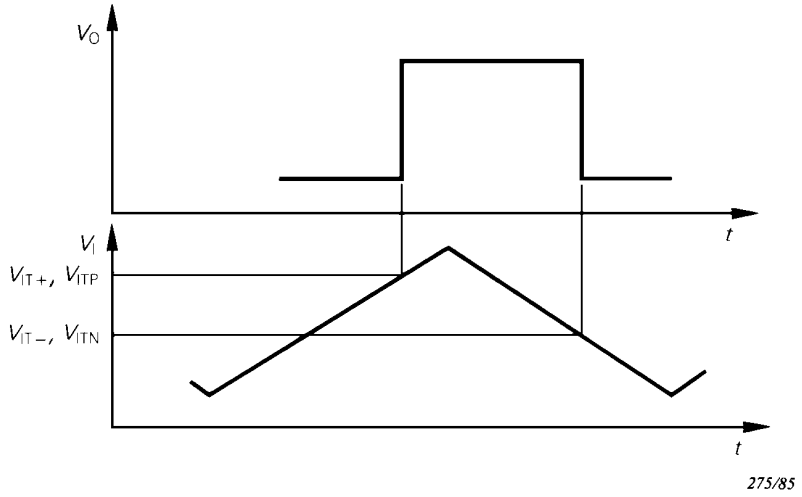
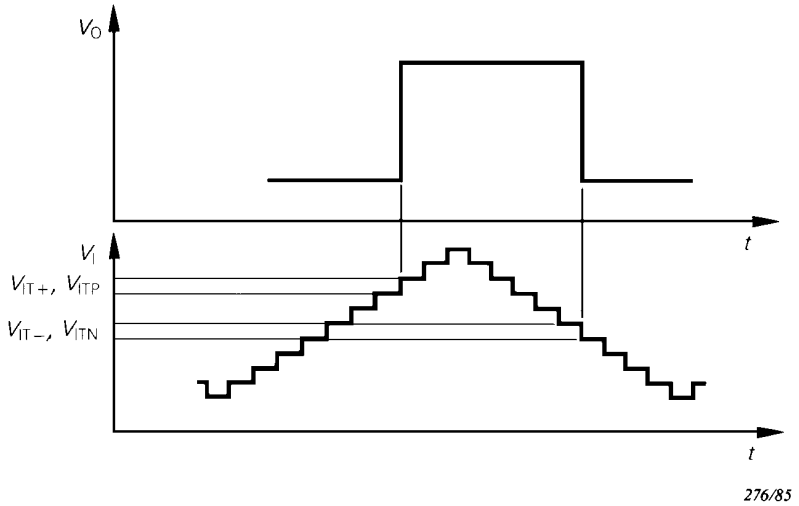


Figure 53 – Caractéristique de transition (cas des mesures en laboratoire)



NOTE – La précision de la mesure est directement fonction de l'amplitude des paliers, dont il faut tenir compte.

Figure 54 – Caractéristique de transition (cas de mesure automatique)

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

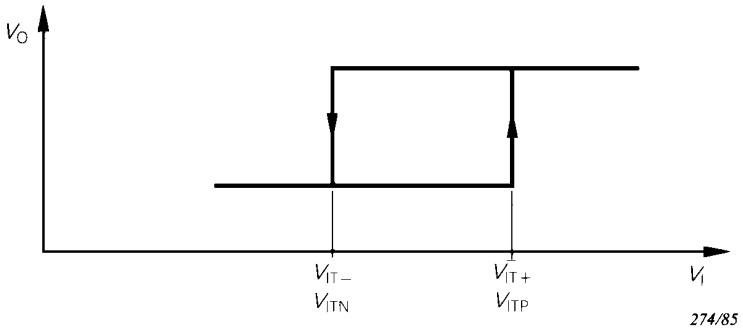


Figure 52 – Transition diagram

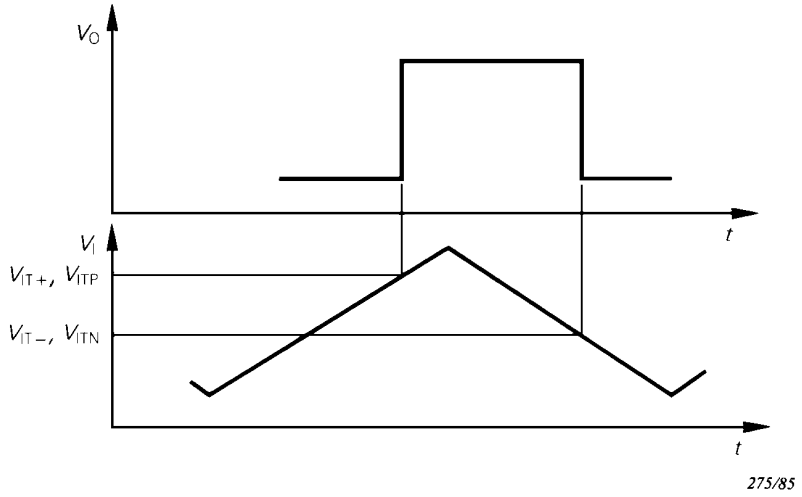
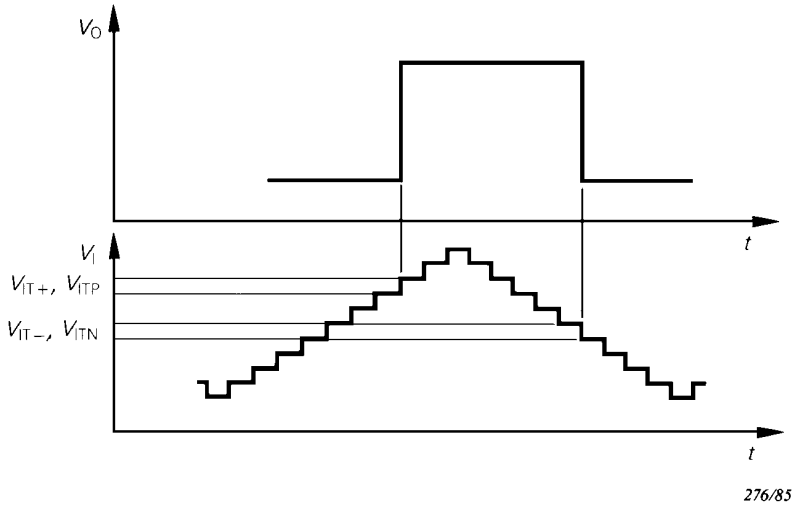


Figure 53 – Transition characteristic for laboratory measurement



NOTE – The precision of the measurement is a function of the amplitude of the steps, which must be taken into account.

Figure 54 – Transition characteristic under automatic measurement

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

6 Tension d'écrêtage d'entrée (V_{IK}) 94

a) But

Mesurer la tension d'écrêtage d'entrée à une entrée reliée à une (des) diode(s) d'écrêtage.

b) Schéma

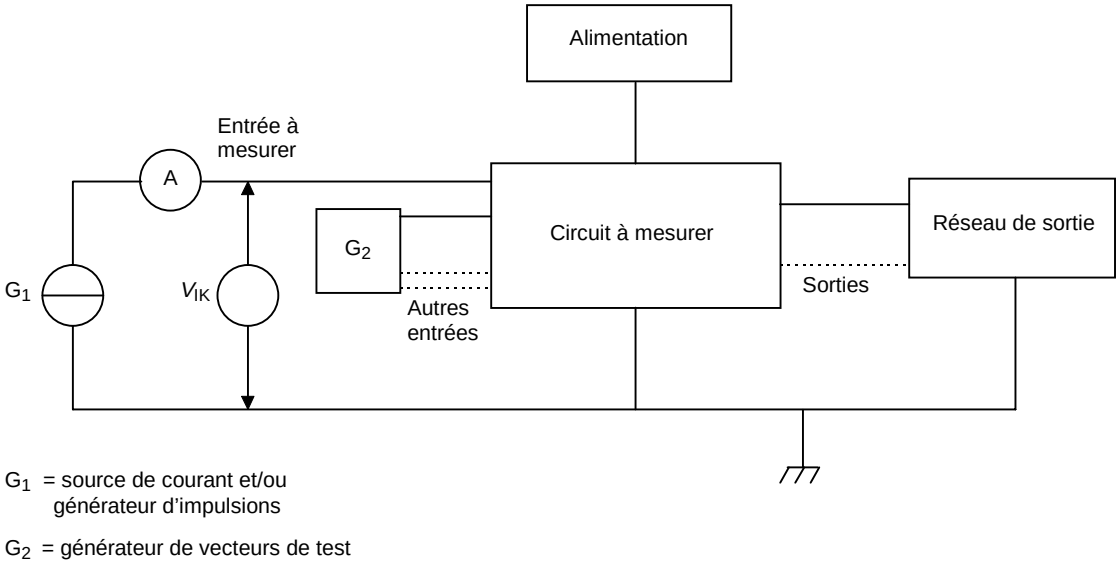


Figure 55

c) Description et exigences du circuit

Le générateur G_1 fournit le courant inverse spécifié et le voltmètre V_{IK} mesure la tension. Le générateur G_2, si cela est demandé, doit fournir les conditions spécifiées pour les autres entrées. Le générateur de courant G_1 doit être capable de fonctionner soit comme source de courant, soit comme régulateur de courant.

d) Procédure de mesure

Connecter le circuit intégré au circuit de mesure comme indiqué sur la figure 55, et régler les tensions d'alimentation et d'entrée à leurs valeurs spécifiées. Régler la température à la valeur spécifiée et la vérifier immédiatement avant la mesure. Régler le courant d'entrée à la valeur spécifiée et mesurer la tension d'écrêtage V_{IK}.

e) Précautions

Les valeurs limites de la tension et du courant d'entrée ne doivent pas être dépassées.

f) Conditions spécifiées

- Température ambiante ou de boîtier.
- Procédure d'établissement (s'il y a lieu) et séquence des mesures.
- S'il y a lieu, conditions aux autres bornes.
- Courant d'entrée (valeur absolue et sens).
- Valeur du courant.
- Valeur(s) de la ou des tensions d'alimentation.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

6 Input clamping voltage (V_{IK}) 94

a) Purpose

To measure the input clamping voltage at an input with attached clamping diode(s).

b) Circuit diagram

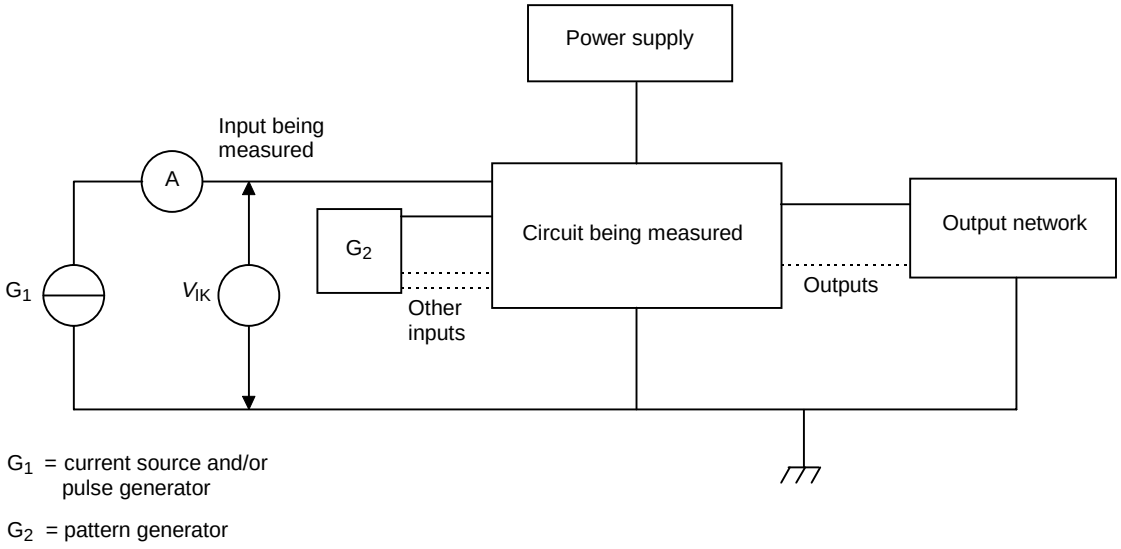


Figure 55

c) Circuit description and requirements

Generator G_1 supplies the specified reverse input current and voltmeter V_{IK} measures the voltage. The generator G_2, where required, shall provide the specified conditions at the other inputs. The current generator G_1 shall be capable of acting either as a source or a sink of current.

d) Measuring procedure

The integrated circuit is connected as specified to the measurement circuit as shown in figure 55, and the supply and input voltages are set to their specified values. The temperature is set to the specified value and is checked immediately before the measurement. The current through the input under measurement is set to the specified value and then the input clamping voltage V_{IK} is measured.

e) Precautions

The limiting values for input voltage and current shall not be exceeded.

f) Specified conditions

- Ambient or case temperature.
- Setting-up procedure (where appropriate) and sequence of measurements.
- Where appropriate, conditions at other terminals.
- Input current (absolute value and sign).
- Value of the current.
- Value(s) of power supply voltage(s).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7 Courant de sortie à l'état bloqué (I_{OZ}) 95

a) But

Mesurer le courant de sortie à l'état bloqué d'un circuit intégré numérique.

b) Schéma

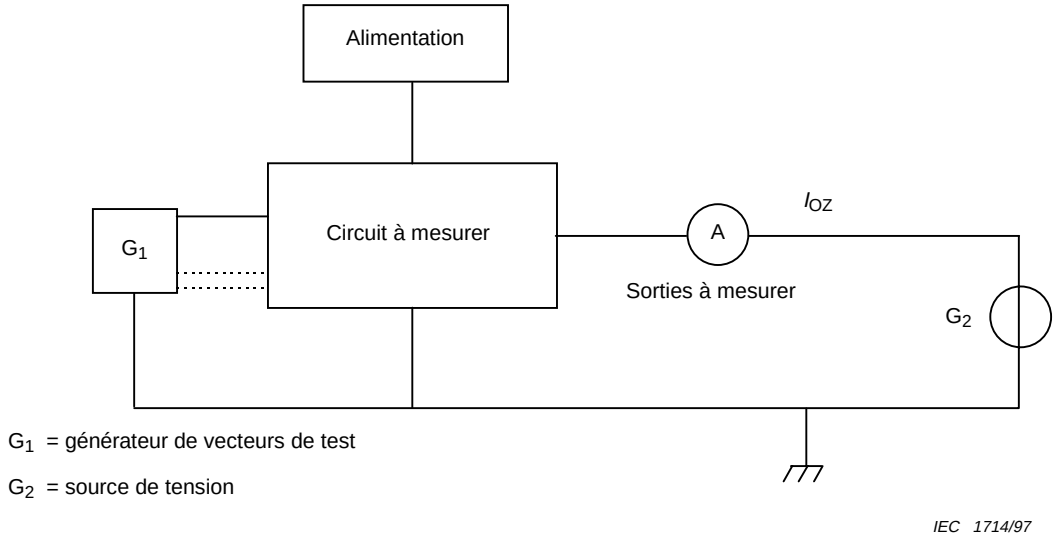


Figure 56

c) Description et exigences du circuit

Le générateur G_2 est une source de tension qui fournit la tension de blocage spécifiée et A est un ampèremètre qui mesure le courant de sortie à l'état bloqué. S'il y a lieu, le générateur G_1 doit fournir les conditions spécifiées pour la sortie du circuit à mesurer.

d) Procédure de mesure

Connecter le circuit intégré au circuit de mesure comme indiqué sur la figure 56, et régler les tensions d'alimentation et d'entrée à leurs valeurs spécifiées. Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure. La condition de sortie statique requise spécifiée est déterminée par les conditions d'entrée et, s'il y a lieu, par la séquence d'impulsions requise. Régler G_1 pour obtenir l'état bloqué spécifié de sortie, régler G_2 pour obtenir la tension de sortie spécifiée et mesurer le courant de sortie de l'état bloqué (I_{OZ}) sur l'ampèremètre A.

e) Conditions spécifiées

- Température ambiante ou d'un point de référence.
- Procédure d'établissement (s'il y a lieu) et séquence des mesures.
- Valeur(s) de la (des) tension(s) d'alimentation.
- Valeur(s) de la ou des tensions de sortie.
- Tension(s) d'entrée.
- S'il y a lieu, autres conditions de sortie.

8 Caractéristiques du phénomène de verrouillage 96

8.1 Tension ou courant de verrouillage positive (positif) d'entrée ou de sortie

a) But

Mesurer l'amplitude de la tension ou du courant positive (positif) d'entrée ou de sortie nécessaire au passage d'un circuit intégré à l'état de verrouillage.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

7 Off-state output current (I_{OZ}) 95

a) Purpose

To measure the off-state output current of a digital integrated circuit.

b) Circuit diagram

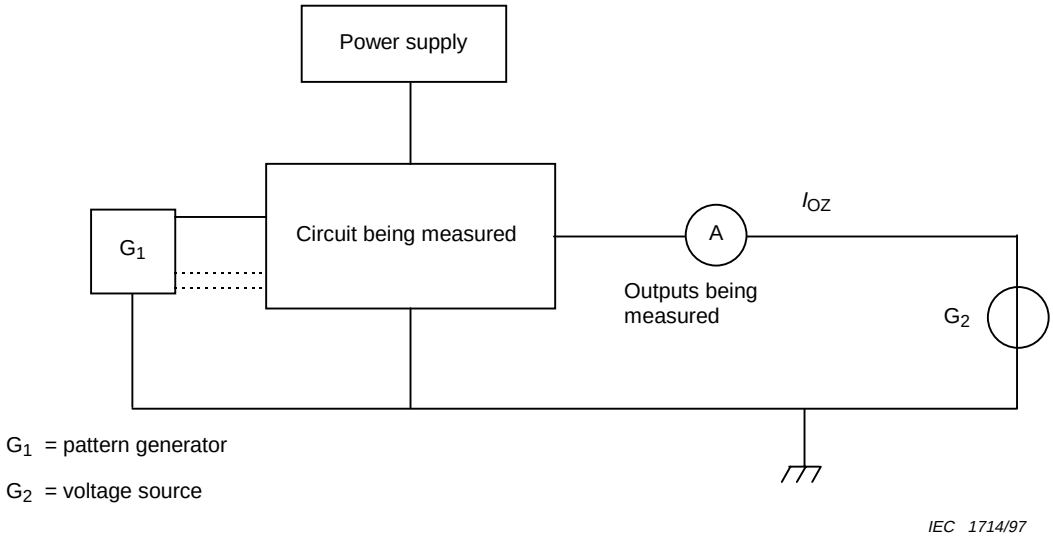


Figure 56

c) Circuit description and requirements

Generator G_2 is a voltage source providing the specified off-state output voltage and A is an ammeter measuring the off-state output current. Where appropriate, the generator G_1 shall provide the specified conditions for the output of the circuit under measurement.

d) Measuring procedure

The integrated circuit is connected as specified to the measurement circuit as shown in figure 56, and the supply and input voltages are set to their specified values. The temperature is set to the specified value and is checked immediately before and after the measurement. The required static output condition as specified is set by the input conditions and, where applicable, by the required sequence of pulses. G_1 is set to give the specified output off-state, G_2 is set to give the specified output voltage and the off-state output current (I_{OZ}) is measured on ammeter A.

e) Specified conditions

- Ambient or reference-point temperature.
- Setting-up procedure (where appropriate) and the sequence of measurements.
- Value(s) of power supply voltage(s).
- Value(s) of output voltage(s).
- Input voltage(s).
- Where appropriate, other output conditions.

8 Latch-up characteristics 96

8.1 Positive latch-up input or output voltage or current

a) Purpose

To measure the magnitude of the positive input or output voltage or current necessary to turn an integrated circuit into latch-up state.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

b) Schéma

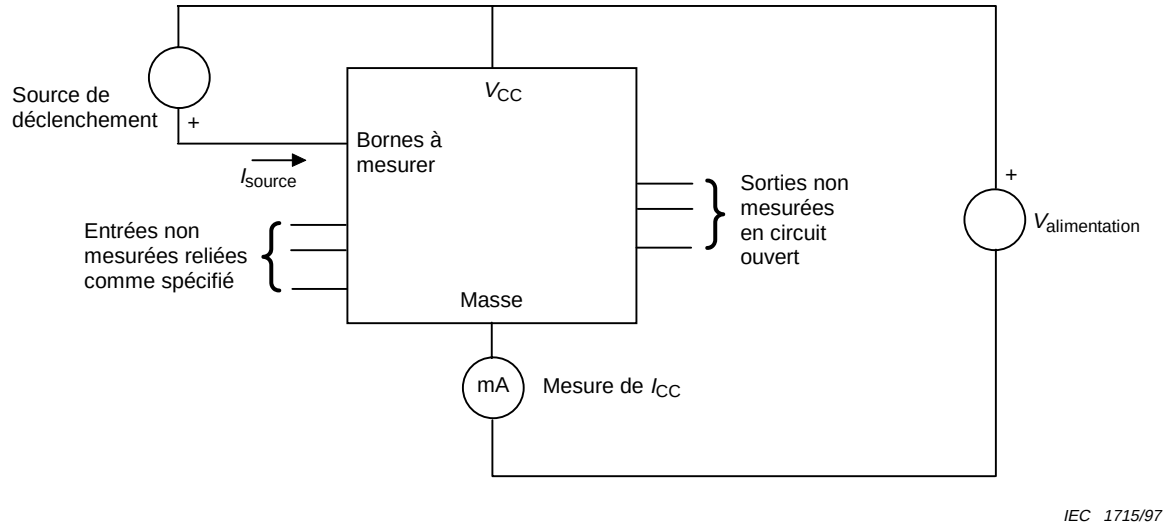


Figure 57

c) Description et exigences du circuit

La tension d'alimentation spécifiée étant appliquée au dispositif à mesurer, appliquer l'impulsion de déclenchement à la borne spécifiée. Augmenter l'amplitude d'impulsion du courant ou de la tension de déclenchement jusqu'à ce qu'une augmentation du courant d'alimentation indique le verrouillage du dispositif ou jusqu'à ce que l'amplitude maximale spécifiée de l'impulsion de déclenchement soit atteinte. Couper la tension d'alimentation. Lire l'amplitude de l'impulsion de déclenchement, et de la tension ou du courant de verrouillage positive (positif). Effectuer les mesures à l'aide d'un oscilloscope ou d'un autre équipement de mesure approprié. La limite du courant d'alimentation doit être établie à une valeur assez basse afin de ne pas détruire le dispositif. On peut utiliser un générateur de modèles pour établir les états logiques des bornes d'entrée et de sortie non mesurées. La mesure est considérée comme destructive.

d) Exécution

- Régler la température ambiante à la valeur spécifiée.
- Appliquer l'alimentation.
- Etablir les conditions d'entrée/sortie, l'état logique, etc. comme spécifié.
- Appliquer le courant ou la tension de déclenchement dans des conditions d'impulsion spécifiées de durée, et de temps de montée et de descente à la borne spécifiée.
- Mesurer le courant d'alimentation après un délai spécifié.
- Augmenter l'amplitude de l'impulsion de déclenchement jusqu'à ce que le verrouillage se produise ou jusqu'à ce que l'amplitude soit égale à la valeur spécifiée.
- Enregistrer l'amplitude et le taux de répétition de l'impulsion de déclenchement.
- Si une augmentation du courant d'alimentation se produit ou si le courant d'alimentation est supérieur au courant d'alimentation maximal spécifié, le verrouillage s'est produit.
- Régler la source d'alimentation et les tensions d'entrée à zéro.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

b) Circuit diagram

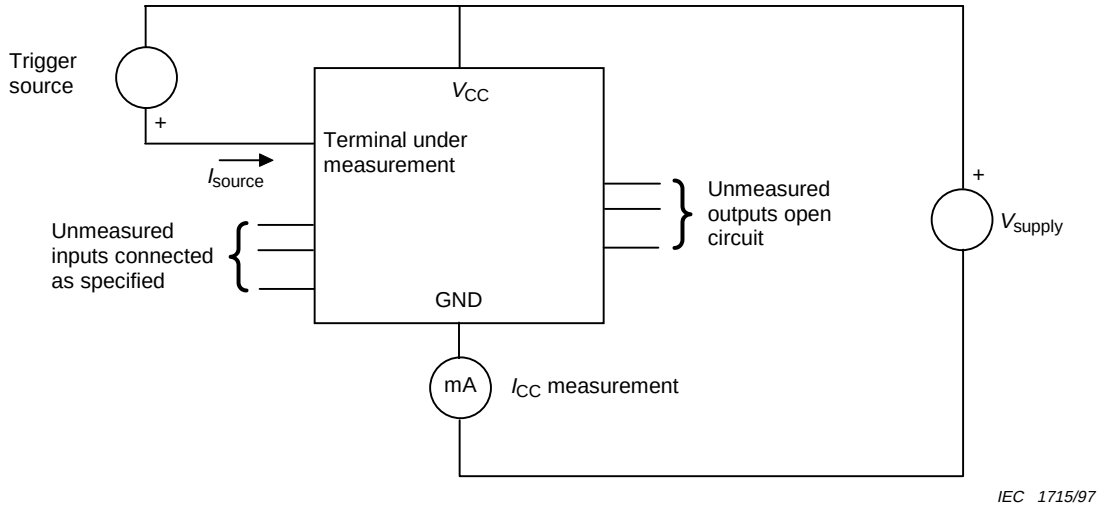


Figure 57

c) Circuit description and requirements

With specified supply voltage applied to the device under measurement, the triggering pulse is applied to the specified terminal. The pulse amplitude of the triggering current or voltage is increased until an increase in supply current indicates latch-up in the device or until the specified maximum amplitude of the triggering pulse is reached. The supply voltage is switched off. A reading is taken of the amplitude of the triggering pulse, the positive latch-up voltage or current. All readings are taken by means of an oscilloscope or another appropriate measurement equipment. The current limitation of the power supply shall be set low enough not to destroy the device. A pattern generator may be used to set the logic states of unmeasured input and output terminals. The measurement is considered as destructive.

d) Measurement procedure

– Adjust ambient temperature as specified.
– Apply power supply.
– Set I/O conditions, logic state, etc., as specified.
– Apply triggering current or voltage under specified pulse conditions of duration, rise and fall time to the specified terminal.
– Measure supply current after specified delay time.
– Increase the amplitude of the triggering pulse until latch-up occurs or until the amplitude equals the specified value.
– Register the amplitude and repetition rate of triggering pulse.
– If an increase in supply current occurs or if supply current is greater than the specified maximum supply current, latch-up has occurred.
– Power source and input voltages are set to zero.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Temps opération

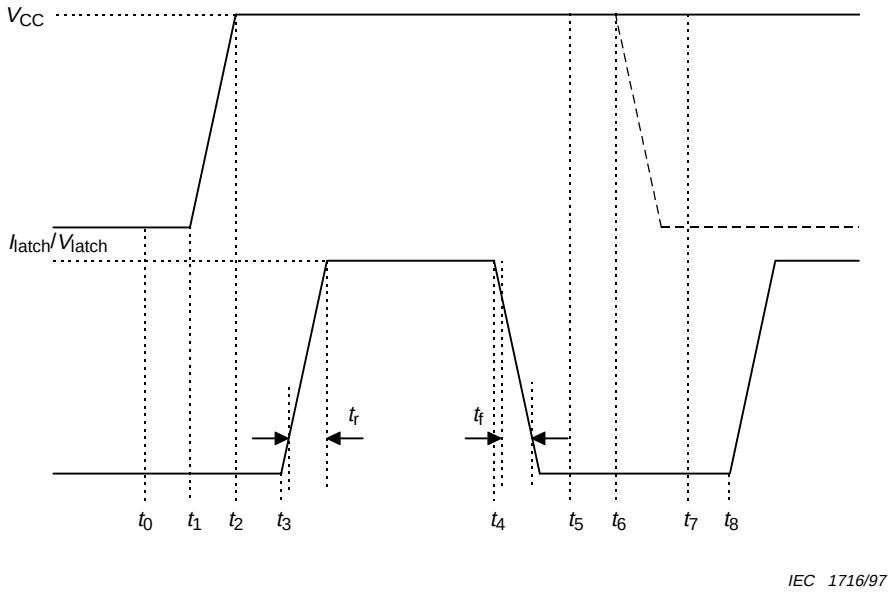


Figure 58

t_1 Connecter le dispositif comme spécifié.

t_2 Etablir la limite du courant d'alimentation et la tension d'alimentation comme spécifié. Etablir les conditions d'entrée et de sortie comme spécifié pour placer le dispositif dans l'état logique spécifié s'il y a lieu.

t_3 Appliquer l'impulsion unique de la grandeur de déclenchement.

t_4 Après la durée spécifiée, enlever la grandeur de déclenchement. Ramener la borne à mesurer à son état avant l'application de l'impulsion de déclenchement.

t_5 Après un délai spécifié, mesurer le courant d'alimentation.

t_6 Si le courant d'alimentation est supérieur au courant d'alimentation maximal spécifié, il se peut que le verrouillage se soit produit. Déconnecter la tension d'alimentation.

t_7 Si le courant d'alimentation est inférieur au courant d'alimentation maximal spécifié, le verrouillage ne s'est pas produit.

t_8 Après un temps de refroidissement (t_6 jusqu'à t_8) une seconde impulsion de déclenchement peut être appliquée en répétant les opérations spécifiées de t_3 à t_6, puis en continuant avec les mesures ci-dessus.

f) Conditions spécifiées

– Température ambiante ou du boîtier.
– Tension d'alimentation.
– Bornes à mesurer.
– Conditions aux bornes non mesurées: entrées non mesurées reliées à la masse ou V_{CC} (V_{DD}), sauf spécification contraire. Les sorties non mesurées restent ouvertes.
– Etat logique.
– Courant d'alimentation maximal.
– Conditions de l'impulsion de déclenchement:
  • amplitude maximale;
  • durée;
  • temps de montée et de descente.
– Délai avant la mesure du courant d'alimentation.
– Temps de refroidissement.
– Limitation du courant d'alimentation.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Time operation

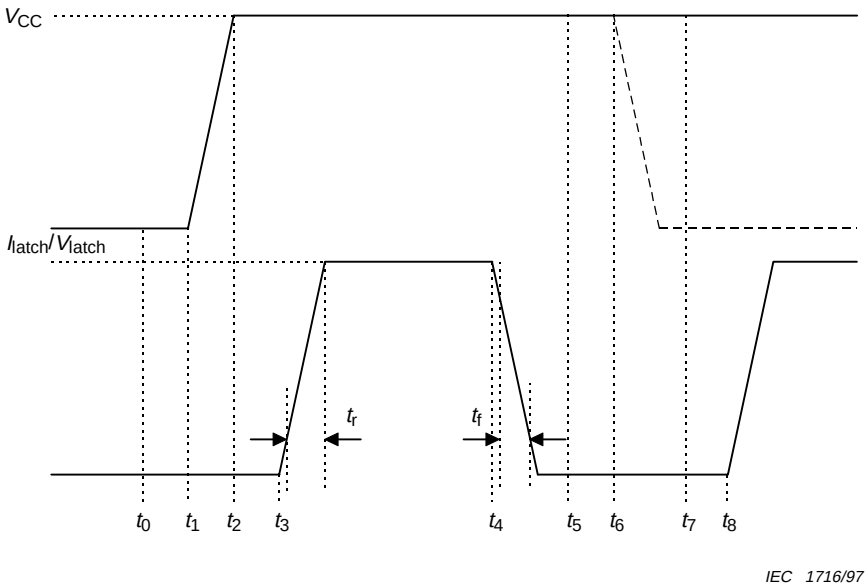


Figure 58

t_1 Connect device as specified.

t_2 Set supply-current limitation and supply voltage as specified. Set input and output conditions as specified, to place the device in the specified logic state if appropriate.

t_3 Apply single-pulse triggering quantity.

t_4 After the specified duration, remove the triggering quantity. Return the terminal under measurement to the same state as before the application of the triggering pulse.

t_5 After a specified delay time the supply current is measured.

t_6 If the supply current is greater than the specified maximum supply current, the device may have latched-up. Disconnect the supply voltage.

t_7 If the supply current is less than the specified maximum supply current, the device is not in latch-up.

t_8 After a cool-down time (t_6 through t_8) a second triggering pulse can be applied, repeating the operations specified at times t_3 through t_6, then continuing with the measurements as above.

f) Specified conditions

- Ambient or case temperature.
- Supply voltage.
- Terminals to be measured.
- Conditions at unmeasured terminals: unmeasured inputs connected to ground or V_{CC} (V_{DD}), unless otherwise specified. Unmeasured outputs are left open.
- Logic state.
- Maximum supply current.
- Conditions of triggering pulse:
  - maximum amplitude;
  - duration;
  - rise and fall time.
- Delay time before measurement of supply current.
- Cool-down time.
- Limitation of supply current.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8.2 Tension ou courant de verrouillage négative (négatif) d'entrée ou de sortie

a) But

Mesurer l'amplitude de la tension ou du courant négative (négatif) d'entrée ou de sortie nécessaire au passage d'un circuit intégré à l'état de verrouillage.

b) Schéma

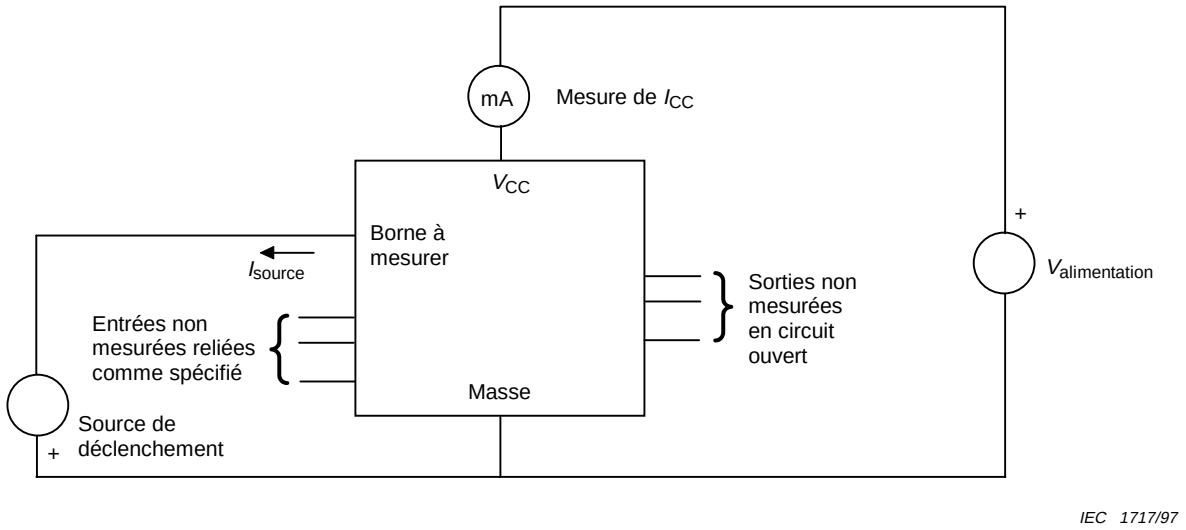


Figure 59

c) Description et exigences du circuit

La tension d'alimentation spécifiée étant appliquée au dispositif à mesurer, appliquer l'impulsion de déclenchement négative à la borne spécifiée. Augmenter l'amplitude d'impulsion négative du courant ou de la tension de déclenchement jusqu'à ce qu'une augmentation du courant d'alimentation indique le verrouillage du dispositif ou jusqu'à ce que l'amplitude maximale spécifiée de l'impulsion de déclenchement soit atteinte. Couper la tension d'alimentation. Lire l'amplitude de l'impulsion de déclenchement, et de la tension ou du courant de verrouillage négative (négatif). Effectuer les mesures à l'aide d'un oscilloscope ou d'un autre équipement de mesure approprié. La limite du courant d'alimentation doit être établie à une valeur assez basse afin de ne pas détruire le dispositif. On peut utiliser un générateur de vecteurs de test pour établir les états logiques des bornes d'entrée et de sortie non mesurées. La mesure est considérée comme destructive.

d) Exécution

- Régler la température ambiante à la valeur spécifiée.
- Appliquer l'alimentation.
- Etablir les conditions d'entrée/sortie, l'état logique, etc. comme spécifié.
- Appliquer le courant ou la tension de déclenchement dans des conditions d'impulsion spécifiées de durée, et de temps de montée et de descente à la borne spécifiée.
- Mesurer le courant d'alimentation après un délai spécifié.
- Augmenter l'amplitude de l'impulsion de déclenchement jusqu'à ce que le verrouillage se produise ou jusqu'à ce que l'amplitude soit égale à la valeur spécifiée.
- Enregistrer l'amplitude et le taux de répétition de l'impulsion de déclenchement.
- Si une augmentation du courant d'alimentation se produit ou si le courant d'alimentation est supérieur au courant d'alimentation maximal spécifié, le verrouillage s'est produit.
- Régler la source d'alimentation et les tensions d'entrée à zéro.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8.2 Negative latch-up input or output voltage or current

a) Purpose

To measure the magnitude of the negative input or output voltage or current necessary to turn an integrated circuit into latch-up state.

b) Circuit diagram

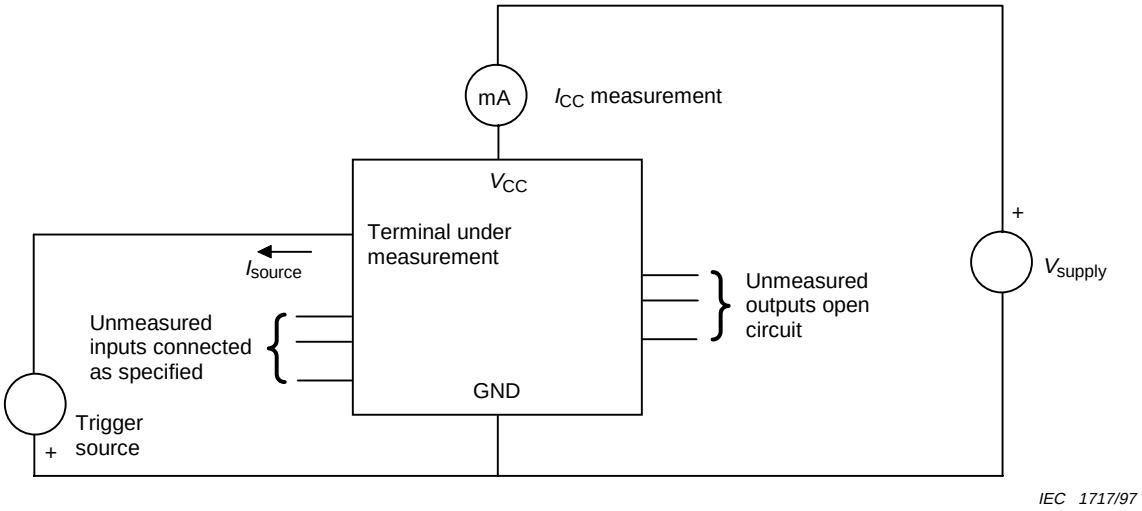


Figure 59

c) Circuit description and requirements

With specified supply voltage applied to the device under measurement, the negative triggering pulse is applied to the specified terminal. The negative pulse amplitude of the triggering current or voltage is increased until an increase in supply current indicates latch-up in the device or until the specified maximum amplitude of the triggering pulse is reached. The supply voltage is switched off. A reading is taken of the amplitude of the triggering pulse, the negative latch-up voltage or current. All readings are taken by means of an oscilloscope or another appropriate measurement equipment. The current limitation of the power supply shall be set low enough not to destroy the device. A pattern generator may be used to set the logic states of unmeasured input and output terminals. The measurement is considered as destructive.

d) Measurement procedure

– Adjust ambient temperature as specified.
– Apply power supply.
– Set I/O conditions, logic state, etc., as specified.
– Apply triggering current or voltage under specified pulse conditions of duration, rise and fall time to the specified terminal.
– Measure supply current after specified delay time.
– Increase the amplitude of the triggering pulse until latch-up occurs or until the amplitude equals the specified value.
– Register the amplitude and repetition rate of the triggering pulse.
– If an increase in supply current occurs or if supply current is greater than the specified maximum supply current, latch-up has occurred.
– Power source and input voltages are set to zero.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Temps opération

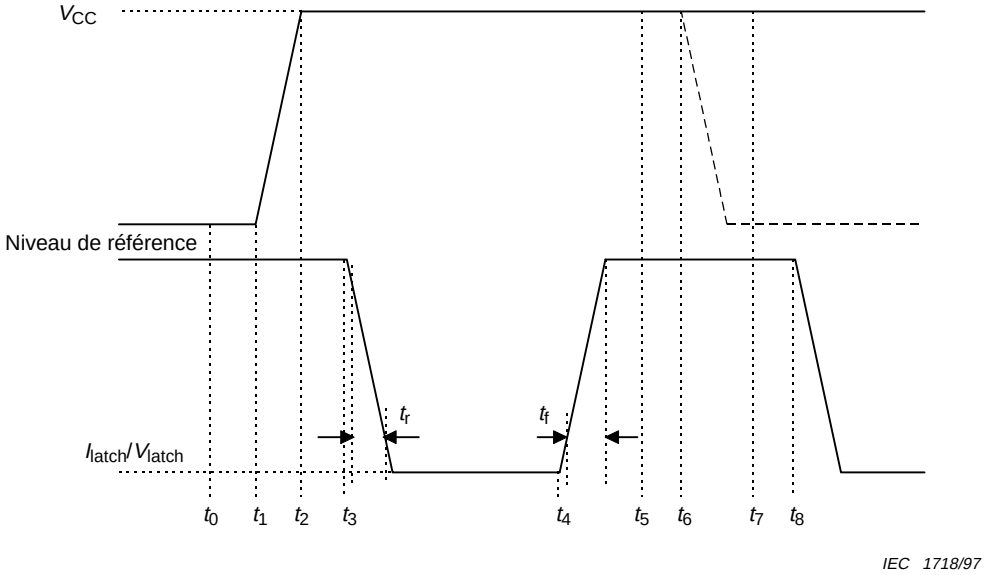


Figure 60

t_1 Connecter le dispositif comme spécifié.

t_2 Etablir la limite du courant d'alimentation et la tension d'alimentation comme spécifié. Etablir les conditions d'entrée et de sortie comme spécifié pour placer le dispositif dans l'état logique spécifié s'il y a lieu.

t_3 Appliquer l'impulsion unique de la grandeur de déclenchement.

t_4 Après la durée spécifiée, enlever la grandeur de déclenchement. Ramener la borne à mesurer à son état avant l'application de l'impulsion de déclenchement.

t_5 Après un délai spécifié, mesurer le courant d'alimentation.

t_6 Si le courant d'alimentation est supérieur au courant d'alimentation maximal spécifié, il se peut que le verrouillage se soit produit. Déconnecter la tension d'alimentation.

t_7 Si le courant d'alimentation est inférieur au courant d'alimentation maximal spécifié, le verrouillage ne s'est pas produit.

t_8 Après un temps de refroidissement (t_6 jusqu'à t_8) une seconde impulsion de déclenchement peut être appliquée en répétant les opérations spécifiées de t_3 à t_6, puis en continuant avec les mesures ci-dessus.

f) Conditions spécifiées

– Température ambiante ou du boîtier.
– Tension d'alimentation.
– Bornes à mesurer.
– Conditions aux bornes non mesurées: entrées non mesurées reliées à la masse ou V_{CC} (V_{DD}), sauf spécification contraire. Les sorties non mesurées restent ouvertes.
– Etat logique.
– Courant d'alimentation maximal.
– Conditions de l'impulsion de déclenchement:
  • amplitude maximale;
  • durée;
  • temps de montée et de descente.
– Délai avant la mesure du courant d'alimentation.
– Temps de refroidissement.
– Limitation du courant d'alimentation.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Time operation

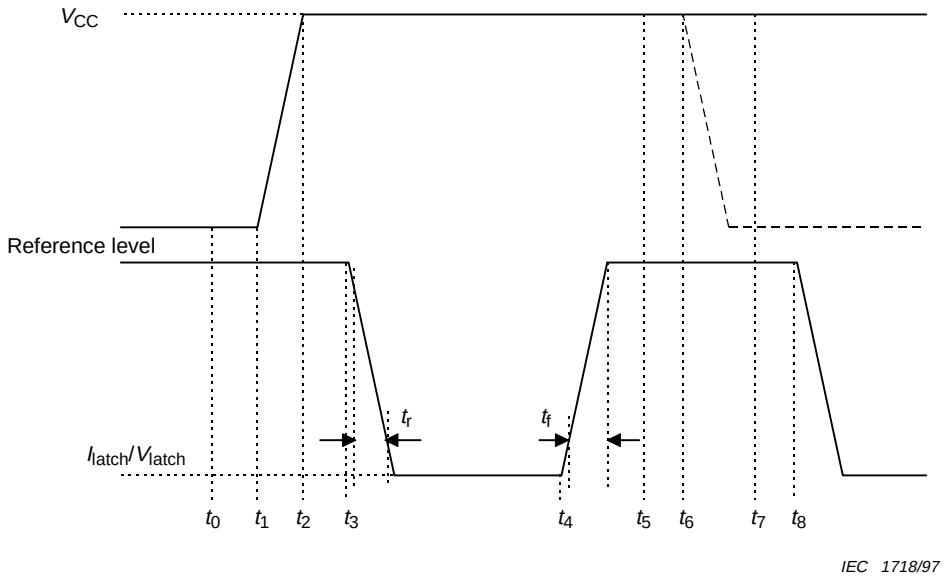


Figure 60

t_1 Connect device as specified.

t_2 Set supply-current limitation and supply voltage as specified. Set input and output conditions as specified, to place the device in specified logic state, if appropriate.

t_3 Apply single-pulse triggering quantity.

t_4 After the specified duration, remove the triggering quantity. Return the terminal under measurement to the same state as before the application of the triggering pulse.

t_5 After a specified delay time the supply current is measured.

t_6 If the supply current is greater than the specified maximum supply current, the device may have latched up. Disconnect the supply voltage.

t_7 If the supply current is less than the specified maximum supply current, the device is not in latch-up.

t_8 After a cool-down time (t_6 through t_8) a second triggering pulse can be applied, repeating the operations specified at times t_3 through t_6, then continuing with the measurements as above.

f) Specified conditions

- Ambient or case temperature.
- Supply voltage.
- Terminals to be measured.
- Conditions at unmeasured terminals: unmeasured inputs connected to ground or V_{CC} (V_{DD}), unless otherwise specified. Unmeasured outputs are left open.
- Logic state.
- Maximum supply current.
- Conditions of triggering pulse:
  - maximum amplitude;
  - duration;
  - rise and fall time.
- Delay time before measurement of supply current.
- Cool-down time.
- Limitation of supply current.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8.3 Tension ou courant d'alimentation de verrouillage

a) But

Mesurer l'amplitude de la tension ou du courant appliqué(e) aux bornes d'alimentation nécessaire au passage d'un circuit intégré à l'état de verrouillage.

b) Schéma

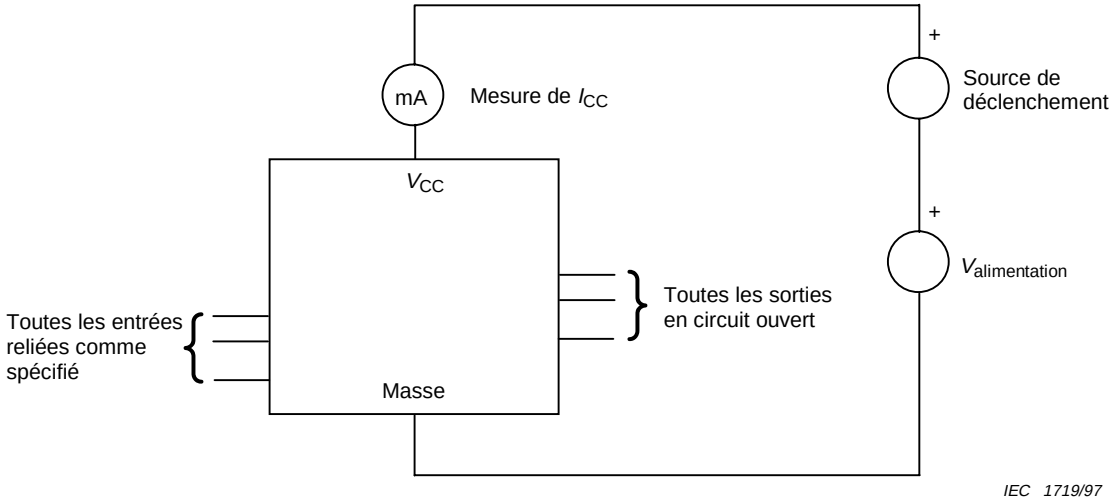


Figure 61

c) Description et exigences du circuit

La tension d'alimentation spécifiée étant appliquée au dispositif à mesurer, superposer une tension ou un courant à la tension ou au courant d'alimentation. Augmenter l'amplitude d'impulsion jusqu'à ce qu'une augmentation du courant d'alimentation indique le verrouillage du dispositif ou jusqu'à ce que l'amplitude maximale spécifiée de l'impulsion de déclenchement soit atteinte. Mesurer l'amplitude de la tension d'alimentation totale appliquée au dispositif. C'est la tension d'alimentation de verrouillage. Le courant d'alimentation de verrouillage n'est pas mesurable directement, mais peut être évalué en observant le courant avant le verrouillage ainsi que les valeurs d'augmentation du courant. Couper la tension d'alimentation. Effectuer les mesures à l'aide d'un oscilloscope ou d'un autre équipement de mesure approprié. La limite du courant d'alimentation doit être établie à une valeur assez basse afin de ne pas détruire le dispositif. On peut utiliser un générateur de modèles pour établir les états logiques des bornes d'entrée et de sortie non mesurées. La mesure est considérée comme destructive.

d) Exécution

- Régler la température ambiante à la valeur spécifiée.
- Appliquer l'alimentation.
- Etablir les conditions d'entrée/sortie, l'état logique, etc. comme spécifié.
- Appliquer le courant ou la tension de déclenchement dans des conditions d'impulsion spécifiées de durée, et de temps de montée et de descente à la borne spécifiée.
- Mesurer le courant d'alimentation après un délai spécifié.
- Augmenter l'amplitude de l'impulsion de déclenchement jusqu'à ce que le verrouillage se produise ou jusqu'à ce que l'amplitude soit égale à la valeur spécifiée.
- Enregistrer l'amplitude et le taux de répétition de l'impulsion de déclenchement.
- Si une augmentation du courant d'alimentation se produit ou si le courant d'alimentation est supérieur au courant d'alimentation maximal spécifié, le verrouillage s'est produit.
- Régler la source d'alimentation et les tensions d'entrée à zéro.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8.3 Latch-up supply voltage or current

a) Purpose

To measure the magnitude of the voltage or current applied to the supply terminals necessary to turn an integrated circuit into latch-up state.

b) Circuit diagram

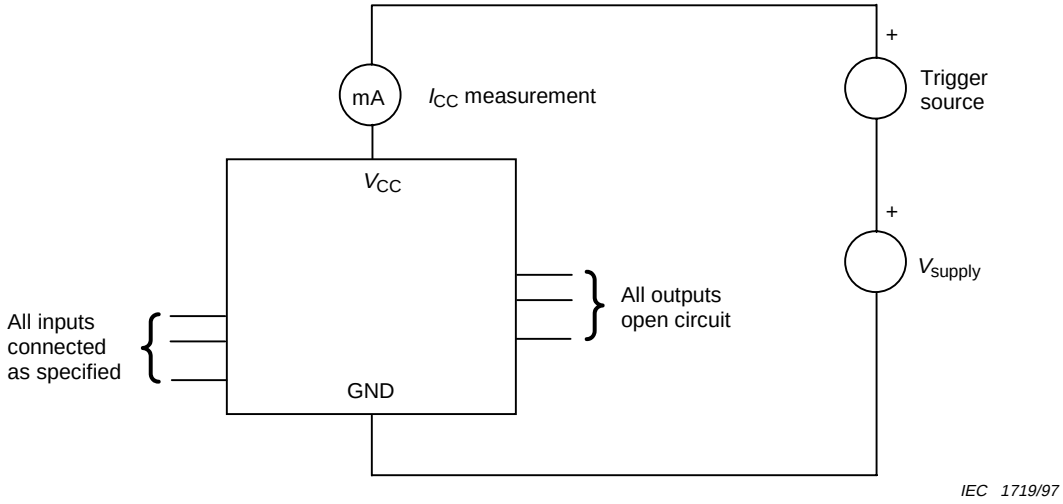


Figure 61

c) Circuit description and requirements

With specified supply voltage applied to the device under measurement, a voltage or current is superimposed on the supply voltage or current. The pulse amplitude is increased until an increase in supply current indicates latch-up in the device or until the specified maximum amplitude of the triggering pulse is reached. A reading is taken of the amplitude of the total supply voltage applied to the device, which is the latch-up supply voltage. The latch-up supply current is not directly measurable, but may be estimated by observing the current prior to latch-up together with the increments by which the current is increased. The supply voltage is switched off. All readings are taken by means of an oscilloscope or another appropriate measurement equipment. The current limitation of the power supply shall be set low enough not to destroy the device. A pattern generator may be used to set the logic states of unmeasured input and output terminals. The measurement is considered as destructive.

d) Measurement procedure

– Adjust ambient temperature as specified.
– Apply power supply.
– Set I/O conditions, logic state, etc., as specified.
– Apply triggering voltage or current pulse under specified pulse conditions of duration, rise and fall time to the specified terminal.
– Measure supply current after specified delay time.
– Increase the amplitude of the triggering pulse until latch-up occurs or until the amplitude equals the specified value.
– Register the amplitude and repetition rate of the triggering pulse.
– If an increase in supply current occurs or if supply current is greater than the specified maximum supply current, latch-up has occurred.
– Power source and input voltages are set to zero.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Temps opération

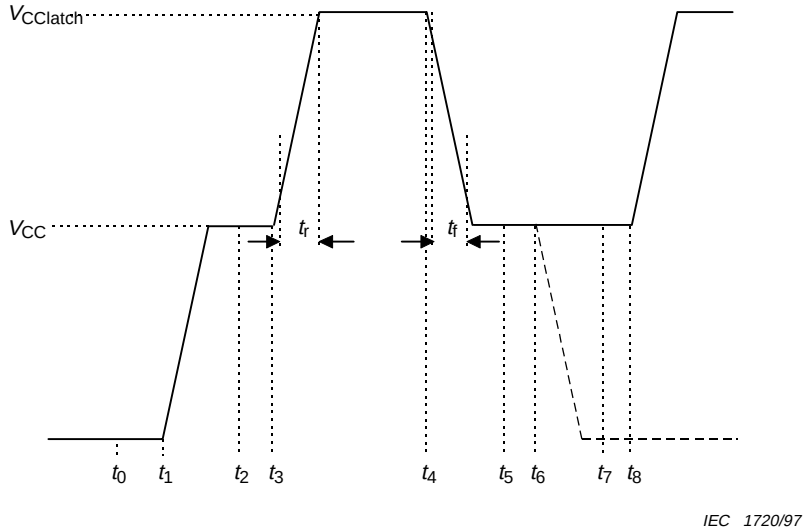


Figure 62

t_1 Connecter le dispositif comme spécifié.

t_2 Etablir la limite du courant d'alimentation et la tension d'alimentation comme spécifié. Etablir les conditions d'entrée et de sortie comme spécifié pour placer le dispositif dans l'état logique spécifié s'il y a lieu.

t_3 Superposer la tension ou le courant de déclenchement à la tension ou au courant d'alimentation. Après t_3 observer et enregistrer l'amplitude totale de la tension ou du courant d'alimentation. C'est la tension ou le courant d'alimentation de verrouillage en cas de verrouillage.

t_4 Après la durée spécifiée, enlever la tension de déclenchement. Ramener la borne à mesurer à son état avant l'application de l'impulsion de déclenchement.

t_5 Après un délai spécifié, mesurer le courant d'alimentation.

t_6 Si le courant d'alimentation est supérieur au courant d'alimentation maximal spécifié, il se peut que le verrouillage se soit produit. Déconnecter la tension d'alimentation.

t_7 Si le courant d'alimentation est inférieur au courant d'alimentation maximal spécifié à l'état de verrouillage, le verrouillage ne s'est pas produit.

t_8 Après un temps de refroidissement (t_6 jusqu'à t_8) une seconde impulsion de déclenchement peut être appliquée en répétant les opérations spécifiées de t_3 à t_6, puis en continuant avec les mesures ci-dessus.

f) Conditions spécifiées

– Température ambiante ou du boîtier.
– Tension d'alimentation.
– Bornes à mesurer.
– Conditions aux bornes non mesurées: Toutes les entrées reliées à la masse ou V_{CC} (V_{DD}), sauf spécification contraire. Toutes les sorties restent ouvertes.
– Etat logique.
– Courant d'alimentation maximal.
– Conditions de l'impulsion de déclenchement:
  • amplitude maximale;
  • durée;
  • temps de montée et de descente.
– Délai avant la mesure du courant d'alimentation.
– Temps de refroidissement.
– Limitation du courant d'alimentation.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Time operation

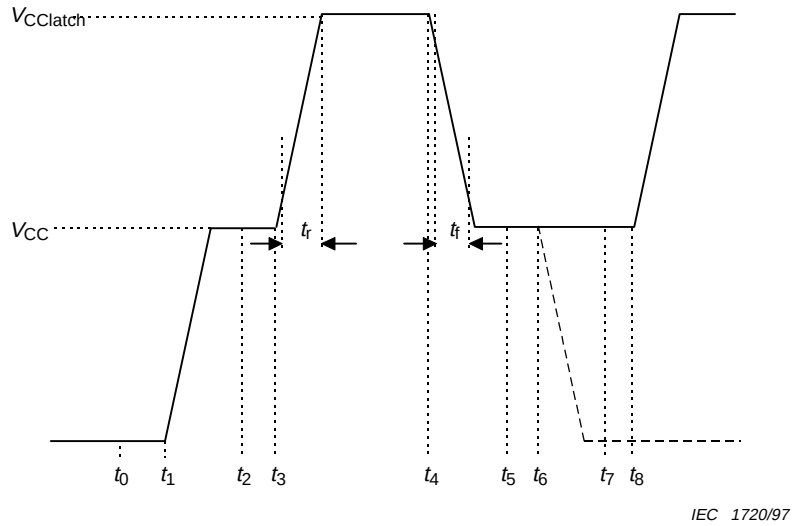


Figure 62

t_1 Connect device as specified.

t_2 Set supply current limitation and supply voltage as specified. Set input and output conditions as specified, to place the device in specified logic state, if appropriate.

t_3 The triggering voltage or current is superimposed on the supply voltage or supply current. After t_3 observe and record the total amplitude of the supply voltage or current, which is the latch-up supply voltage or current in case of latch-up.

t_4 After the specified duration, remove the triggering voltage. Return the terminal under measurement to the same state as before the application of the triggering pulse.

t_5 After a specified delay time the supply current is measured.

t_6 If the supply current is greater than the specified maximum supply current, the device may have latched-up. Disconnect the supply voltage.

t_7 If the supply current is less than the specified maximum supply current in the latch-up state, the device is not in latch-up.

t_8 After a cool-down time (t_6 through t_8) a second triggering pulse can be applied, repeating the operations specified at times t_3 through t_6, then continuing with the measurements as above.

f) Specified conditions

- Ambient or case temperature.
- Supply voltage.
- Terminals to be measured.
- Conditions at unmeasured terminals: all inputs connected to ground or V_{CC} (V_{DD}), unless otherwise specified. All outputs are left open.
- Logic state.
- Maximum supply current.
- Conditions of triggering pulse:
  - maximum amplitude;
  - duration;
  - rise and fall time.
- Delay time before measurement of supply current.
- Cool-down time.
- Limitation of supply current.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8.4 Tension ou courant (d'alimentation) à l'état de verrouillage

a) But

Mesurer l'amplitude de la tension aux bornes de la tension d'alimentation ou celle du courant d'alimentation d'un circuit intégré à l'état de verrouillage.

b) Schéma

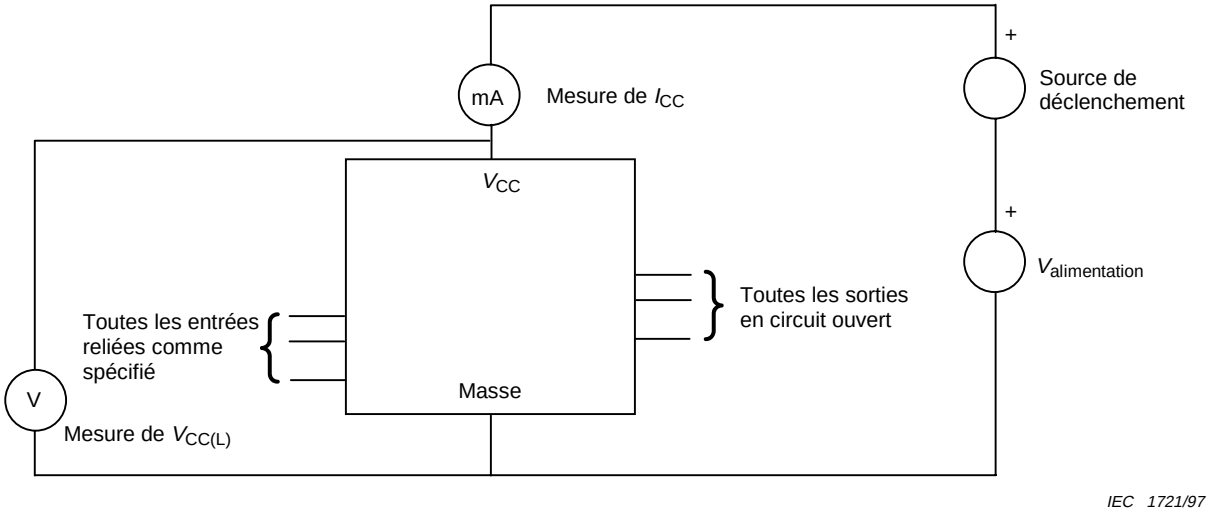


Figure 63

c) Description et exigences du circuit

La tension d'alimentation spécifiée étant appliquée au dispositif à mesurer, appliquer l'impulsion de déclenchement à la borne spécifiée. Augmenter l'amplitude d'impulsion de l'impulsion de déclenchement jusqu'à ce qu'une augmentation du courant d'alimentation indique le verrouillage du dispositif ou jusqu'à ce que l'amplitude maximale spécifiée de l'impulsion de déclenchement soit atteinte. Mesurer la tension aux bornes d'alimentation du dispositif, la tension de l'état de verrouillage, ou le courant d'alimentation à l'état de verrouillage. Couper la tension d'alimentation. Effectuer les mesures à l'aide d'un oscilloscope ou d'un autre équipement de mesure approprié. La limite du courant d'alimentation doit être établie à une valeur assez basse afin de ne pas détruire le dispositif. On peut utiliser un générateur de vecteurs de test pour établir les états logiques des bornes d'entrée et de sortie non mesurées. La mesure est considérée comme destructive.

d) Exécution

– Régler la température ambiante à la valeur spécifiée.
– Appliquer l'alimentation.
– Etablir les conditions d'entrée/sortie, l'état logique, etc. comme spécifié.
– Appliquer l'impulsion de déclenchement dans des conditions d'impulsion spécifiées de durée, et de temps de montée et de descente à la borne spécifiée.
– Mesurer le courant d'alimentation après un délai spécifié.
– Augmenter l'amplitude de l'impulsion de déclenchement jusqu'à ce que le verrouillage se produise ou jusqu'à ce que l'amplitude soit égale à la valeur spécifiée.
– Enregistrer la tension aux bornes d'alimentation du dispositif ou le courant d'alimentation.
– Si une augmentation du courant d'alimentation se produit ou si le courant d'alimentation est supérieur au courant d'alimentation maximal spécifié, le verrouillage s'est produit.
– Régler la source d'alimentation et les tensions d'entrée à zéro.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8.4 Latch-up state (supply) voltage or current

a) Purpose

To measure the magnitude of the voltage across the supply voltage terminals or the supply current of an integrated circuit in the latch-up state.

b) Circuit diagram

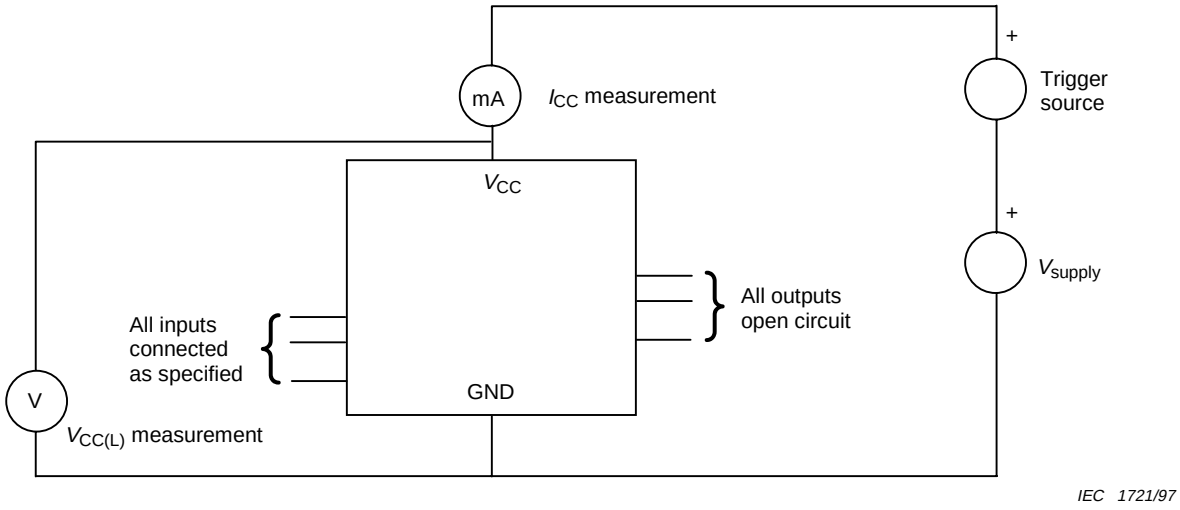


Figure 63

c) Circuit description and requirements

With specified supply voltage applied to the device under measurement, the triggering pulse is applied to the specified terminal. The pulse amplitude of the triggering pulse is increased until an increase in supply current indicates latch-up in the device or until the specified maximum amplitude of the triggering pulse is reached. A reading is taken of the voltage across the device supply terminals, the latch-up state voltage, or of the supply current in the latch-up state. The supply voltage is switched off. All readings are taken by means of an oscilloscope or another appropriate measurement equipment. The current limitation of the power supply shall be set low enough not to destroy the device. A pattern generator may be used to set the logic states of unmeasured input and output terminals. The measurement is considered as destructive.

d) Measurement procedure

– Adjust ambient temperature as specified.
– Apply power supply.
– Set I/O conditions, logic state, etc., as specified.
– Apply triggering pulse under specified pulse conditions of duration, rise and fall time to the specified terminal.
– Measure supply current after specified delay time.
– Increase the amplitude of the triggering pulse until latch-up occurs or until the amplitude equals the specified value.
– Register the voltage across the device supply terminals, or the supply current.
– If an increase in supply current occurs or if supply current is greater than the specified maximum supply current, latch-up has occurred.
– Power source and input voltages are set to zero.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Temps opération

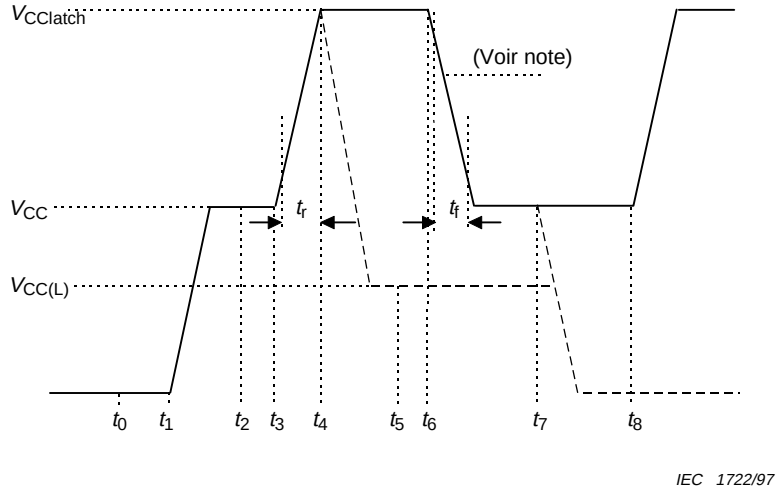


Figure 64

t_1 Connecter le dispositif comme spécifié.

t_2 Etablir la limite du courant d'alimentation et la tension comme spécifié. Etablir les conditions d'entrée et de sortie comme spécifié pour placer le dispositif dans l'état logique spécifié s'il y a lieu.

t_3 Superposer la tension de déclenchement à la tension d'alimentation.

t_4 Mesurer et enregistrer l'amplitude totale de la tension aux bornes de la tension d'alimentation au moment de l'application. En cas de verrouillage c'est la tension de verrouillage.

t_5 Après un délai spécifié, mesurer et enregistrer à nouveau la tension aux bornes de la tension d'alimentation. Mesurer et enregistrer également le courant d'alimentation. Si l'on observe une baisse de la tension en dessous de l'amplitude de la tension appliquée $V_{CC(L)}$ sur la figure 64 ou une augmentation du courant d'alimentation, le verrouillage s'est produit. La tension est enregistrée comme la tension à l'état de verrouillage et le courant comme le courant à l'état de verrouillage.

t_6 Après un délai spécifié, enlever l'impulsion de déclenchement et ramener la borne d'alimentation à son état avant l'application du déclenchement.

t_7 Si le verrouillage s'est produit, l'alimentation doit être déconnectée.

t_8 Après un temps de refroidissement, une seconde impulsion de déclenchement peut être appliquée en répétant les opérations spécifiées de t_3 à t_7, puis en continuant avec les mesures ci-dessus.

NOTE – Si la valeur de la tension à l'état de verrouillage est supérieure à la tension d'alimentation, la borne de la tension d'alimentation reviendra au niveau de la tension d'alimentation suivant le front arrière de l'impulsion de déclenchement.

f) Conditions spécifiées

- Température ambiante ou du boîtier.
- Tension d'alimentation.
- Bornes à mesurer.
- Conditions aux bornes non mesurées: toutes les entrées reliées à la masse ou V_{CC} (V_{DD}), sauf spécification contraire. Toutes les sorties restent ouvertes.
- Etat logique.
- Courant d'alimentation maximal.
- Conditions de l'impulsion de déclenchement:
  - amplitude maximale;
  - durée;
  - temps de montée et de descente.
- Délai avant la mesure du courant d'alimentation.
- Temps de refroidissement.
- Limitation du courant d'alimentation.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Time operation

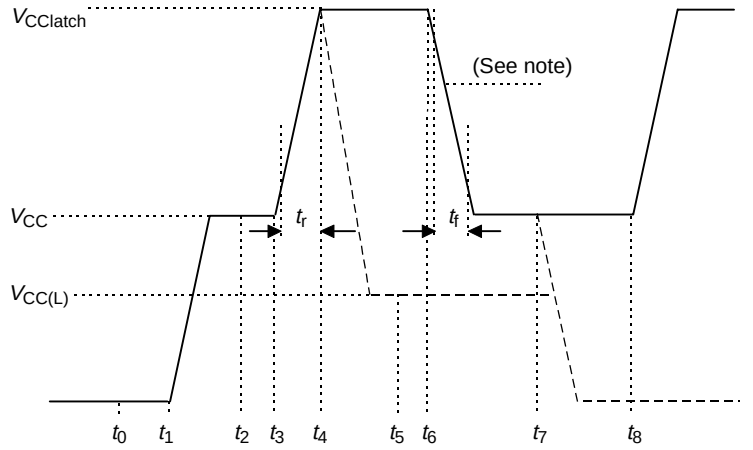


Figure 64

t_1 Connect device as specified.

t_2 Set supply-current limitation and voltage as specified. Set input and output conditions as specified, to place the device in specified logic state, if appropriate.

t_3 The triggering voltage or current is superimposed on the supply voltage.

t_4 The total amplitude of the voltage across the supply voltage terminals at the instant of application is measured and recorded. In case of latch-up this is the latch-up voltage.

t_5 After a specified delay time, the voltage across the supply voltage terminals is again measured and recorded. The supply current is also measured and recorded. If the voltage is observed to fall below the amplitude of the applied voltage $V_{CC(L)}$ as shown in figure 64 or if an increase in supply current is observed, the device has latched up. This is recorded as latch-up state voltage and the current as latch up state current.

t_6 After a specified delay time the triggering pulse is removed and the supply terminal returned to the state it had before the triggering was applied.

t_7 If the device is in the latch-up, the power supply is to be disconnected.

t_8 After a cool-down time a second triggering pulse can be applied, repeating the operation specified at times t_3 through t_7, then continuing with the measurements as above.

NOTE – If the value of the latch-up state voltage is higher than the supply voltage, the supply voltage terminal will return to the supply voltage level following the trailing edge of the triggering pulse.

f) Specified conditions

- Ambient or case temperature.
- Supply voltage.
- Terminals to be measured.
- Conditions at unmeasured terminals: all inputs connected to ground or V_{CC} (V_{DD}), unless otherwise specified. All outputs are left open.
- Logic state.
- Maximum supply current.
- Conditions of triggering pulse:
  - maximum amplitude;
  - duration;
  - rise and fall time.
- Delay time before measurement of supply current.
- Cool-down time.
- Limitation of supply current.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8.5 Précautions

– Etant donné qu'un courant peut être nécessaire pour verrouiller certains circuits intégrés, des précautions doivent être prises afin de ne pas détruire le dispositif au cours de la procédure de mesure, par exemple en utilisant des impulsions courtes.

– Si un circuit intégré a plusieurs tensions d'alimentation, chaque tension ou courant d'alimentation doit être mesurée (mesuré) séparément.

8.6 Mesure finale

Après la mesure du «verrouillage», une mesure finale des caractéristiques électriques peut être effectuée afin d'indiquer la condition du dispositif.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

8.5 Precautions

– As high current may be needed to latch up some integrated circuits, care has to be taken not to destroy the device during the measurement procedure, for example, by using short pulses.

– If an integrated circuit has more than one supply voltage, each supply voltage or current has to be measured separately.

8.6 Post-test measurement

After the "latch-up" measurement, a post-test measurement of electrical characteristics may be performed to indicate the condition of the device.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SECTION TROIS – MESURES DYNAMIQUES

1 Courant total fourni par les alimentations (fonctionnement dynamique) 1

a) But

Cette méthode est destinée à mesurer le courant total fourni par l'alimentation au circuit intégré en fonction de la fréquence de fonctionnement. Cette méthode est restreinte au cas de signaux d'entrée répétitifs.

b) Schéma

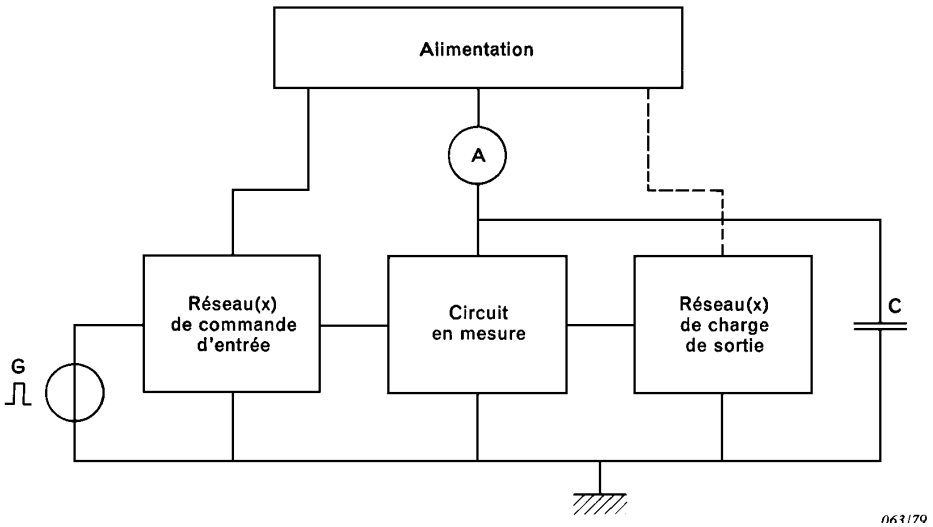


Figure 65

c) Description et exigences du circuit

Le ou les réseaux de commande d'entrée, les conditions pour les autres entrées et le ou les réseaux de charge de sortie doivent être tels que spécifiés.

La forme d'onde de la ou des impulsions d'entrée doit être spécifiée.

L'impédance du condensateur C doit être suffisamment faible dans la gamme de fréquences de mesure.

L'ampèremètre doit pouvoir mesurer le courant total moyen.

d) Précautions à prendre

Aucune précaution spéciale n'est nécessaire.

e) Exécution

Régler la température à la valeur spécifiée.

Connecter le circuit intégré au circuit de mesure; régler la ou les tensions d'alimentation, le ou les signaux d'entrée et les conditions sur les autres entrées aux valeurs spécifiées; mesurer le courant d'alimentation dans la gamme des fréquences de mesure.

f) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Tension(s) d'alimentation.
- Caractéristiques du ou des réseaux de commande d'entrée et du ou des réseaux de charge de sortie.
- Conditions pour les impulsions d'entrée:
  - amplitude;
  - largeur;
  - temps de croissance;
  - temps de décroissance;
  - facteur d'utilisation (50 %, sauf spécification contraire);
  - gamme de la fréquence de répétition.
- Interrelations entre les diverses impulsions, s'il y a lieu.
- Conditions pour les autres entrées.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SECTION THREE – DYNAMIC MEASUREMENTS

1 Total current drawn from the power supplies under dynamic conditions 1

a) Purpose

This method is intended to measure the total current drawn by the integrated circuit from the power supply versus operating frequency. This method is restricted to repetitive input signals.

b) Circuit diagram

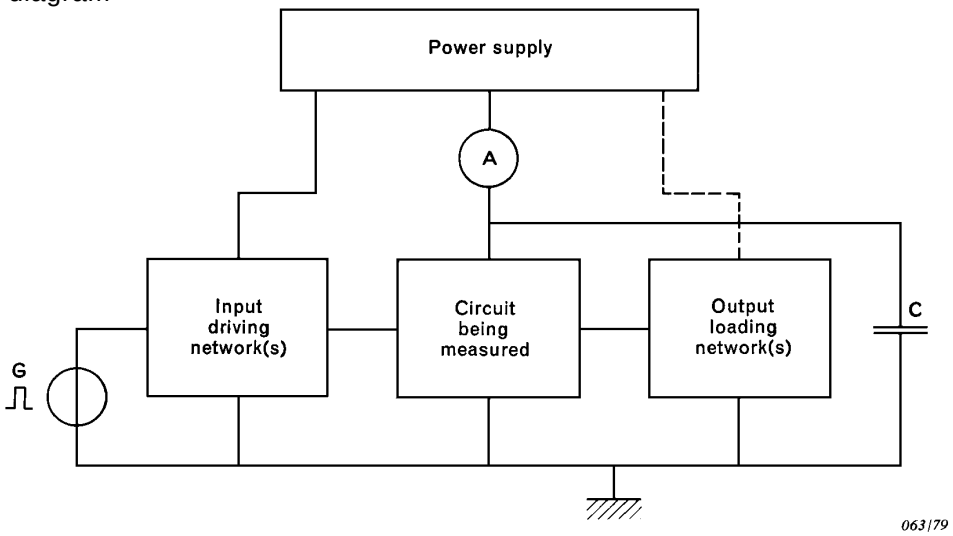


Figure 65

c) Circuit description and requirements

The input driving network(s), the conditions at other inputs and the output loading network(s) shall be as specified.

The input pulse waveform(s) shall be as specified.

The impedance of capacitor C shall be low over the measurement frequency range.

The ammeter shall be a suitable instrument to measure the mean total current.

d) Precautions to be observed

No special precautions are required.

e) Measurement procedure

The temperature is set to the specified value.

The integrated circuit is connected to the circuit of measurement; the supply voltage(s), the input signal(s) and the conditions at the other inputs shall be set to the specified values; the supply current shall be measured over the measurement frequency range.

f) Specified conditions

- Ambient or reference-point temperature.
- Supply voltage(s).
- Characteristics of input driving network(s) and output loading network(s).
- Input pulse conditions:
  - amplitude;
  - width;
  - rise time;
  - fall time;
  - duty cycle (50 %, unless otherwise specified);
  - repetition frequency range.
- Interrelationships between different pulses, where appropriate.
- Conditions at other inputs.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

2 Puissance fournie à travers la ligne d'horloge 2

a) But

Cette méthode est destinée à mesurer la puissance nécessaire pour commander le circuit à travers la ou les lignes d'horloge.

b) Schéma

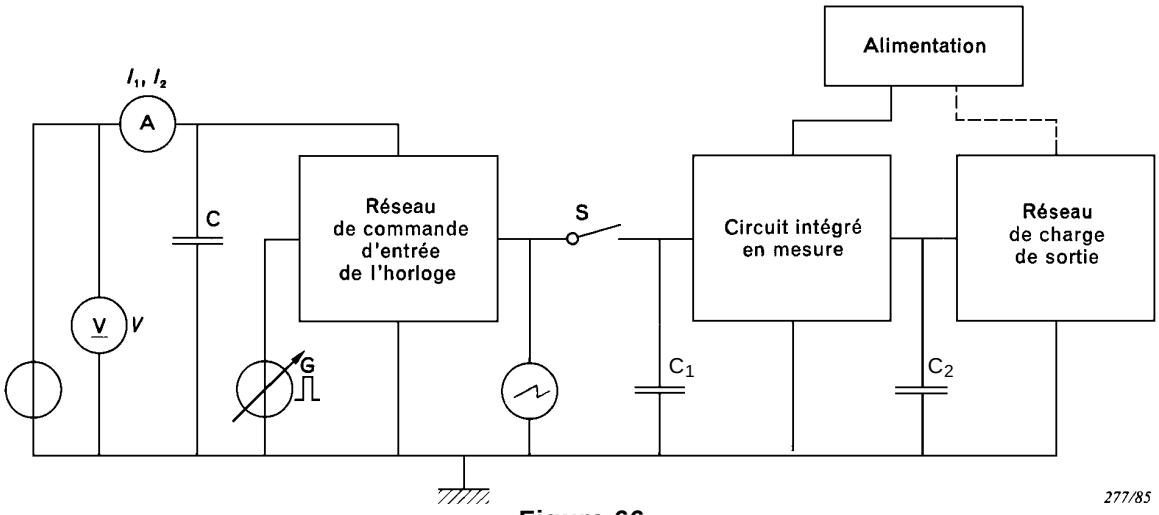


Figure 66

c) Description et exigences du circuit

Le réseau de commande d'entrée de l'horloge, les conditions sur les autres entrées et le réseau de charge de sortie doivent être spécifiés. Le réseau de commande d'entrée de l'horloge et son alimentation doivent pouvoir fournir toute la puissance nécessaire pour commander l'entrée de l'horloge. Ce réseau se comporte comme un convertisseur de puissance et doit avoir une faible consommation de puissance résiduelle. L'impédance de sortie du réseau de commande d'entrée de l'horloge doit être suffisamment faible pour que le fait de charger le circuit en mesure n'affecte pas la forme de l'onde de sortie du réseau de commande d'entrée de l'horloge. Des exemples de réseau de commande d'entrée de l'horloge possibles sont donnés dans les figures 67 et 68.

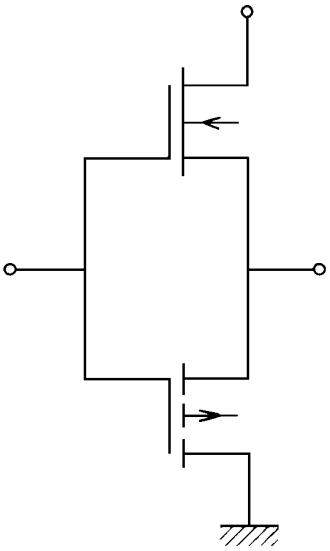


Figure 67

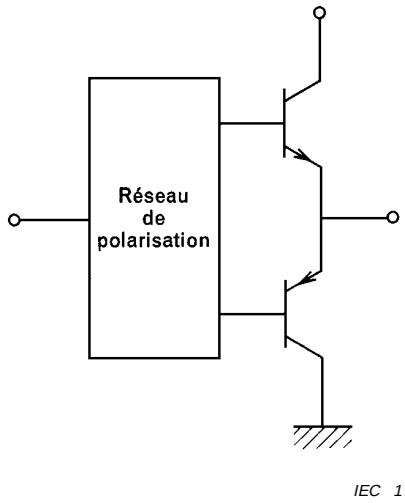


Figure 68

L'impédance du condensateur C doit être faible à la fréquence de mesure.

Les capacités de C_1 et C_2 comprennent les capacités parasites du support d'essai et doivent être telles que spécifiées.

La forme d'onde de l'impulsion d'horloge à la sortie du réseau de commande d'entrée de l'horloge doit être telle que spécifiée. L'oscilloscope est utilisé pour vérifier cette condition.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

2 Power supplied through the clock line 2

a) Purpose

This method is intended to measure the power required to drive the circuit through the clock line(s).

b) Circuit diagram

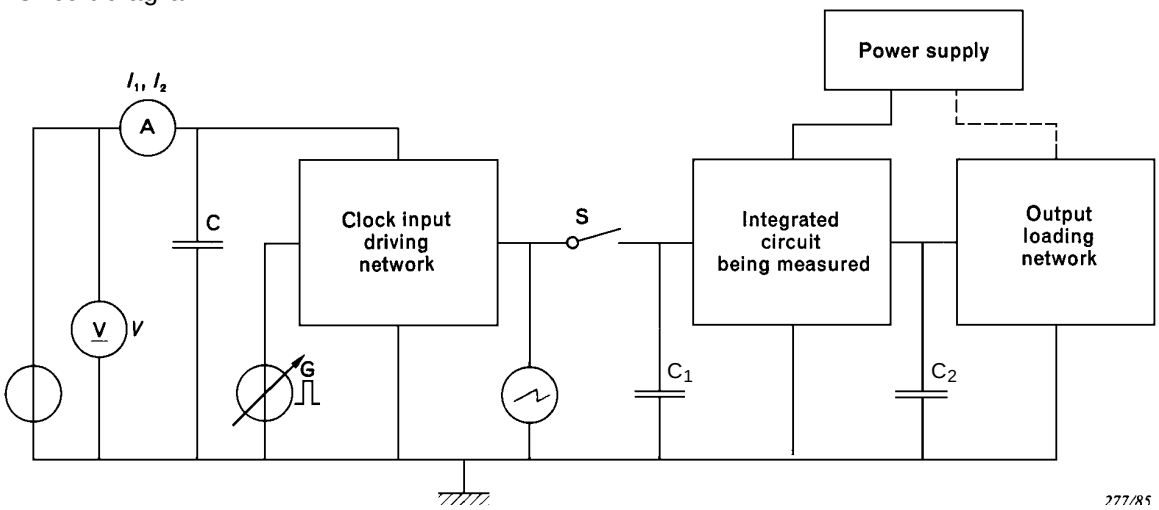


Figure 66

c) Circuit description and requirements

The clock input driving network, the conditions at other inputs and the output loading network shall be as specified. The clock input driving network and its power supply shall be capable of supplying all the power required to drive the clock input. This network acts as a power converter and shall have a low residual power consumption. The output impedance of the clock input driving network shall be low enough so that the loading of the circuit being measured does not affect the output waveform of the clock input driving network. Examples of suitable clock input driving network are given in figures 67 and 68.

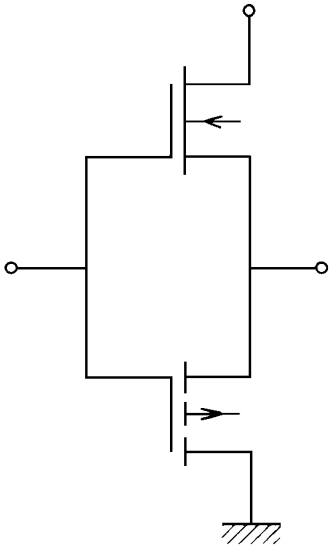


Figure 67

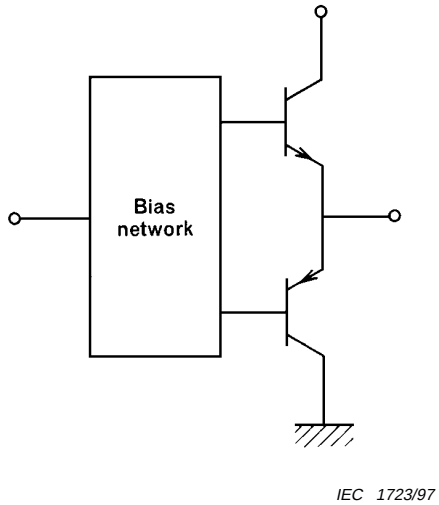


Figure 68

The impedance of capacitor C shall be low at the measurement frequency.

The capacitances C_1 and C_2 include the stray capacitances of the test fixture and shall be as specified.

The clock pulse waveform at the output of the clock input driving network shall be as specified. The oscilloscope is used to verify this condition.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

L'interrupteur S est utilisé pour isoler le circuit en mesure afin que les deux mesures de la puissance consommée par le réseau de commande d'entrée de l'horloge puissent être effectuées.

L'ampèremètre doit être un instrument permettant la mesure du courant moyen total fourni par le réseau de commande d'entrée de l'horloge.

Le voltmètre doit être un instrument permettant la mesure de la tension à la sortie de l'alimentation.

Si deux ou plusieurs impulsions d'horloge sont nécessaires, les interrelations entre ces impulsions doivent être telles que spécifiées, et les mesures effectuées pour chaque ligne d'horloge séparément.

d) Précautions à prendre

Aucune précaution spéciale n'est nécessaire.

e) Exécution

Régler la température à la valeur spécifiée.

Connecter le circuit intégré au circuit en mesure; régler les tensions d'alimentation et les conditions sur les autres entrées aux valeurs spécifiées.

Ajuster le réseau de commande d'entrée de l'horloge et le générateur d'impulsions afin de donner les impulsions désirées. L'oscilloscope est utilisé pour vérifier la forme d'onde des impulsions.

L'interrupteur S étant ouvert, mesurer le courant continu I_1 traversant le réseau de commande d'entrée de l'horloge. Fermer ensuite l'interrupteur S et mesurer le courant I_2. Calculer alors la puissance nécessaire pour commander le circuit en mesure par:

$$P = V\,(I_2 - I_1)$$

f) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Tensions d'alimentation (y compris V).
- Caractéristiques du réseau de commande d'entrée de l'horloge et du réseau de charge de sortie.
- Conditions pour les impulsions d'horloge:
  - amplitude;
  - largeur;
  - temps de croissance;
  - temps de décroissance;
  - facteur d'utilisation (50 %, sauf spécification contraire);
  - gamme de fréquences de répétition.
- Interrelations entre les différentes impulsions, s'il y a lieu.
- Valeurs de C_1 et C_2.
- Conditions pour les autres entrées.

3 Impédances d'entrée et de sortie [6], [11]

3.1 Mesure de courant: capacités d'entrée et de sortie pour un fonctionnement en grands signaux [6]

a) But

Mesurer en grands signaux les capacités d'entrée et de sortie d'un circuit intégré numérique dans des conditions spécifiées.

NOTE – Cette méthode peut ne pas être applicable à la mesure des capacités d'entrée et de sortie d'un circuit intégré qui a une faible résistance parallèle d'entrée ou de sortie.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Switch S is used to isolate the circuit being measured so that two measurements of the power consumed by the clock input driving network can be made.

The ammeter shall be a suitable instrument to measure the mean total current drawn by the clock input driving network.

The voltmeter shall be a suitable instrument to measure the voltage at the output terminal of the power supply.

If two or more clock pulses are required, the interrelationships between these pulses shall be as specified, and the measurements shall be performed for each of the clock lines separately.

d) Precautions to be observed

No special precautions are required.

e) Measurement procedure

The temperature is set to the specified value.

The integrated circuit is connected to the measurement circuit; the supply voltages and the conditions at the other inputs shall be set to the specified values.

The clock input driving network and the pulse generator are adjusted to give the desired pulse. The oscilloscope is used to verify the pulse waveform.

With switch S opened, the d.c. current I_1 flowing into the clock input driving network is measured. Then the switch S is closed and the current I_2 is measured. The power required to drive the circuit being measured is then calculated by:

$$P = V\,(I_2 - I_1)$$

f) Specified conditions

- Ambient or reference-point temperature.
- Supply voltage (including V),
- Characteristics of clock input driving network and output loading network.
- Clock pulse conditions:
  - amplitude;
  - width;
  - rise time;
  - fall time;
  - duty cycle (50 %, unless otherwise specified).
  - repetition frequency range.
- Interrelationships between different pulses, where appropriate.
- Values for C_1 and C_2.
- Conditions at other inputs.

3 Input and output impedances [6] , [11]

3.1 Current measurement: input and output capacitances for large-signal operation [6]

a) Purpose

To measure under large-signal conditions the input capacitance or output capacitance of a digital integrated circuit under specified conditions.

NOTE – This method may be not suitable for measuring the input or output capacitance of an integrated circuit that has a very low input or output parallel resistance.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

b) Schéma

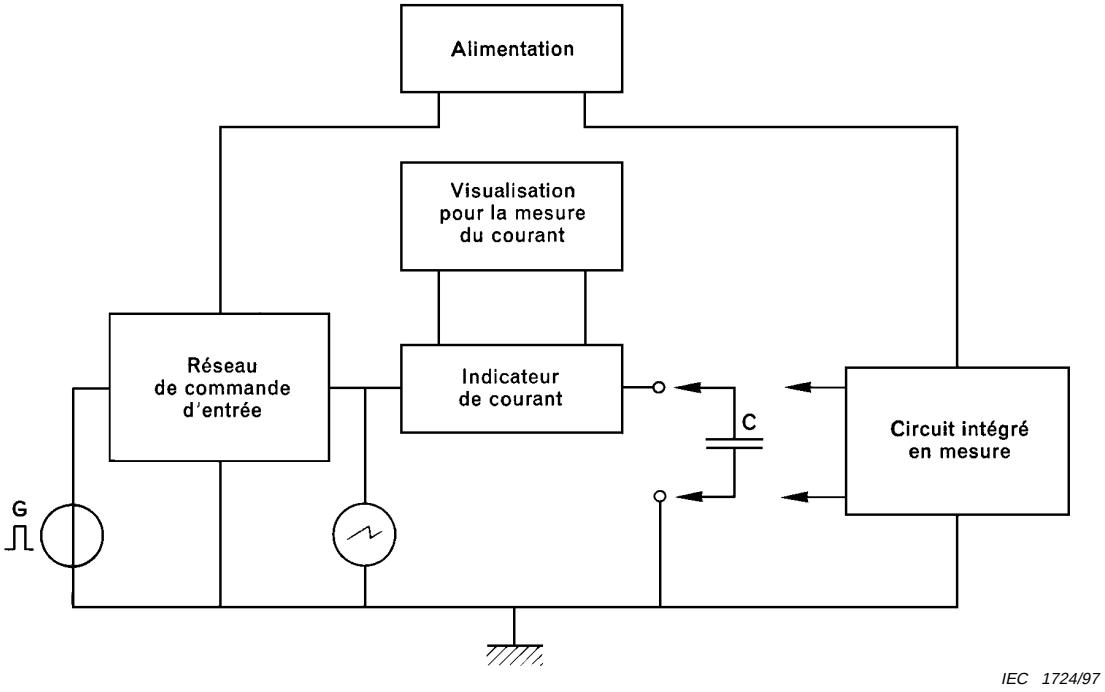


Figure 69

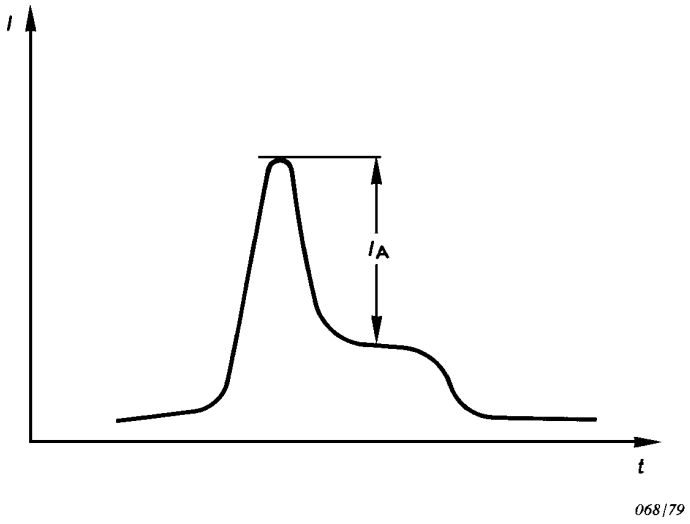


Figure 70 – Forme d'onde du courant mesuré

c) Description et exigences du circuit

La méthode consiste dans le choix d'un condensateur qui, pour une forme d'onde de tension appliquée, donne la même réponse de courant de pointe que la capacité d'entrée (de sortie) du circuit intégré en mesure.

Le générateur d'impulsions de tension fournit la forme d'onde de commutation. Le courant de pointe I_A, représenté dans la figure 70, est mesuré avec le dispositif de mesure du courant.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

b) Circuit diagram

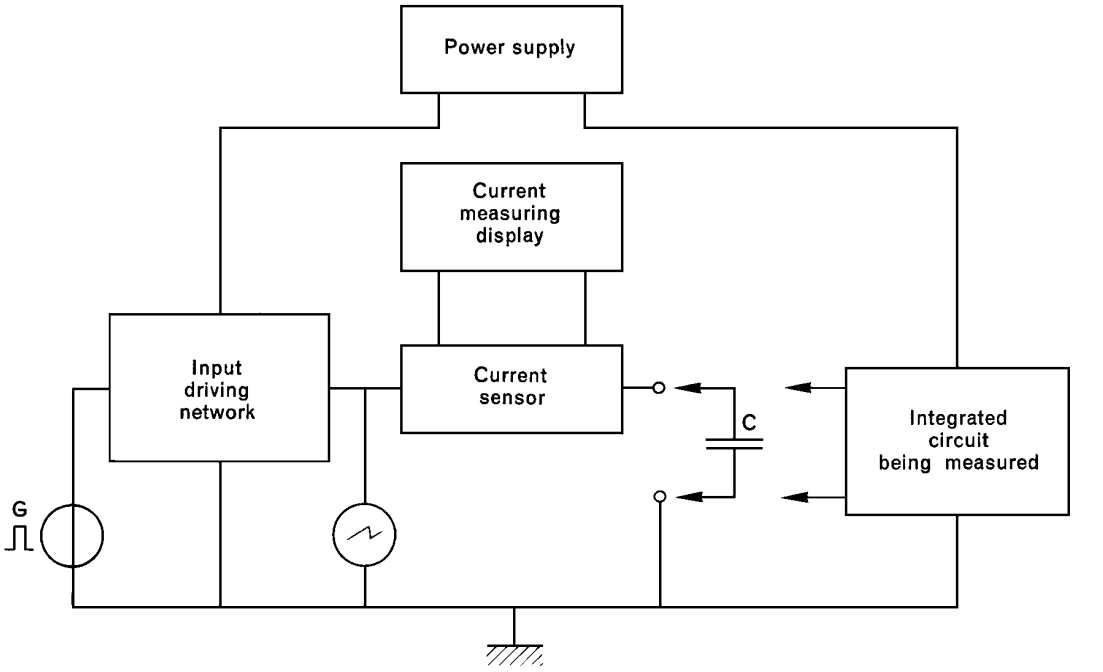


Figure 69

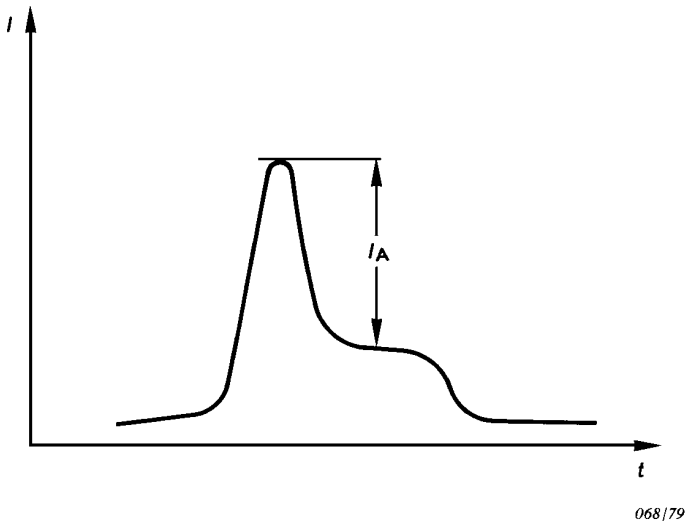


Figure 70 – Measured current waveform

c) Circuit description and requirements

The method consists of the selection of a capacitor which gives the same current peak response to a voltage waveform as the input (output) capacitance of the integrated circuit being measured.

The pulse generator provides the required switching waveform. The peak current I_A as shown in figure 70, is measured by the current measuring device.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Le temps de transition de l'impulsion de commande appliquée au circuit intégré en mesure doit être inférieur à:

$$\frac{C_{min}V}{I_{max}}$$

où

C_{min} est la plus faible valeur possible de la capacité à mesurer;

V est l'amplitude spécifiée de la tension de l'impulsion de commande;

I_{max} est la valeur maximale spécifiée du courant continu dans la borne d'essai.

L'impédance de sortie du réseau de commande d'entrée doit être suffisamment faible pour que, dans la gamme des capacités à mesurer, une variation dans le rapport de 2 à 1 de la capacité appliquée à la borne d'essai ne change pas le temps de transition de plus de 5 %.

L'impédance d'entrée du dispositif de mesure du courant doit être faible devant l'impédance d'entrée (de sortie) du circuit en mesure.

d) Précautions à prendre

Aucune précaution spéciale n'est nécessaire.

e) Exécution

Régler la température à la valeur spécifiée.

Connecter le circuit intégré au circuit de mesure et régler la ou les tensions d'alimentation aux valeurs spécifiées.

Régler les tensions de commande et les conditions sur les autres bornes aux valeurs spécifiées. Appliquer l'impulsion de commande à la borne d'essai et régler son amplitude à la valeur spécifiée.

Mesurer la valeur du courant de pointe I_A représenté dans la figure 70.

Retirer le circuit intégré du circuit de mesure.

Déterminer par substitution la valeur du condensateur qui donne la même valeur du courant de pointe I_A.

f) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Tension(s) d'alimentation.
- Conditions de l'impulsion de commande à la borne d'essai:
  - amplitude;
  - largeur;
  - temps de croissance;
  - temps de décroissance,
  - fréquence de répétition.
- Conditions pour les autres bornes.

3.2 Mesure de tension: capacités d'entrée et de sortie équivalentes, résistances d'entrée et de sortie équivalentes 11

On peut utiliser deux méthodes de mesure:

– l'une basée sur une méthode de mesure de tension en grands signaux;

– l'autre basée sur une méthode de pont en petits signaux.

NOTE 1 – Il convient de donner la préférence à la méthode en grand signaux.

NOTE 2 – Il convient de spécifier la méthode utilisée lorsqu'il existe des valeurs données pour ces caractéristiques.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

The transition time of the driving pulse applied to the integrated circuit being measured shall be less than:

$$\frac{C_{\min} V}{I_{\max}}$$

where

$C_{\min}$ is the minimum expected value of the capacitance to be measured;

V is the specified voltage amplitude of the driving pulse;

$I_{\max}$ is the maximum specified value of the direct current into the terminal under test.

The output impedance of the input driving network shall be low enough such that, within the range of capacitance to be measured, a 2 to 1 variation in the capacitance applied at the test terminal does not change the transition time as seen at the test terminal by more than 5 %.

The input impedance of the current measuring device shall be low compared with the input (output) impedance of the circuit being measured.

d) Precautions to be observed

No special precautions are required.

e) Measurement procedure

The temperature is set to the specified value.

The integrated circuit is connected into the measurement circuit and the power supply voltage(s) are set to the specified values.

The control voltages and conditions at other terminals are set to the specified values. The driving pulse is applied to the test terminal and set to the specified amplitude.

The value of the peak current I_A as shown in figure 70 is measured.

The integrated circuit is removed from the measurement circuit.

The value of the capacitor which gives the same value of the peak current I_A is determined by substitution.

f) Specified conditions

- Ambient or reference-point temperature.
- Supply voltage(s).
- Driving pulse conditions at the test terminal:
  - amplitude;
  - width;
  - rise time;
  - fall time;
  - repetition frequency.
- Conditions at other terminals.

3.2 Voltage measurement: equivalent input and output capacitances, equivalent input and output resistances 11

Two methods of measurement may be used:

- one based on a large-signal voltage measurement method;
- the other based on a small-signal bridge method.

NOTE 1 – Preference should be given to the large-signal method.

NOTE 2 – When stating values of these characteristics, the method used should be specified.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.2.1 Méthode en grands signaux

a) But

Mesurer la capacité d'entrée équivalente et la capacité de sortie équivalente et/ou la résistance d'entrée équivalente et la résistance de sortie équivalente d'un circuit intégré numérique lorsqu'il est commuté d'un niveau défini à un autre, dans des conditions spécifiées.

NOTE – La mesure de la capacité d'entrée équivalente (ou de la capacité de sortie équivalente) reste possible si le circuit intégré a une résistance d'entrée (ou de sortie) inférieure ou égale à l'impédance caractéristique de la ligne utilisée pour cette mesure. Seule une très faible résistance d'entrée (ou de sortie) shunte la capacité d'entrée (ou de sortie) de telle façon qu'aucune mesure de capacité ne soit possible. Dans ce cas cependant, la capacité est sans importance pour les applications pratiques et sa mesure est remplacée par celle de la résistance.

b) Schéma

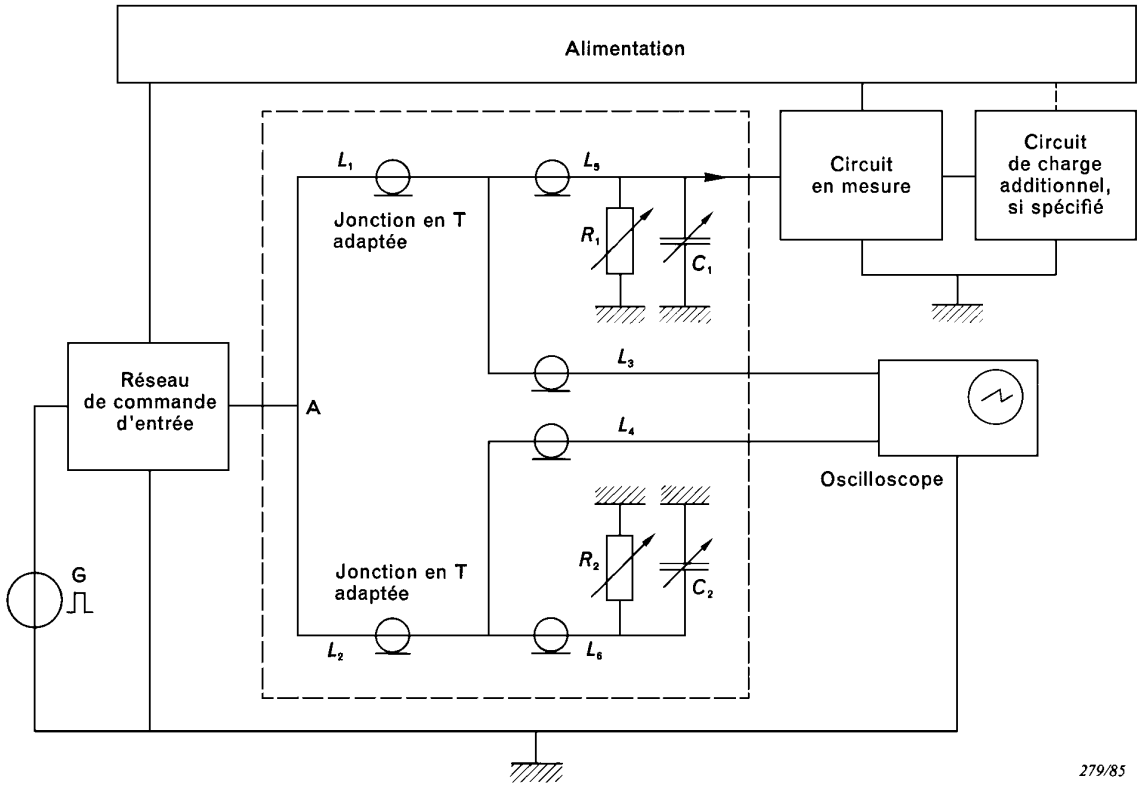


Figure 71 – Mesure de la capacité équivalente d'entrée ou de la capacité équivalente de sortie et/ou de la résistance d'entrée équivalente ou de sortie d'un circuit intégré

c) Description et exigences du circuit

Le générateur d'impulsions de tension fournit la forme d'onde exigée. Le temps de transition doit être approximativement égal à celui du circuit intégré en mesure. L'oscilloscope doit pouvoir mesurer les paramètres de l'impulsion ainsi que leur variation due au circuit en mesure.

Il est nécessaire que la longueur de L_1 soit égale à celle de L_2, que la longueur de L_3 soit égale à celle de L_4 et que la longueur de L_5 soit égale à celle de L_6. La longueur de L_5 doit être approximativement égale à celle de L_3 et celle de L_6 approximativement égale à celle de L_4.

Les longueurs des lignes de transmission L_1 et L_2 doivent être supérieures à celles des autres lignes, cela afin d'éviter le chevauchement des réflexions apparaissant au point A (figure 71) avec celles causées par le circuit en mesure.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

3.2.1 Large-signal method

a) Purpose

To measure the equivalent input capacitance and equivalent output capacitance and/or the equivalent input resistance and equivalent output resistance of a digital integrated circuit when switched from one defined level to another, under specified conditions.

NOTE – Measurement of the equivalent input capacitance or equivalent output capacitance is still possible if the integrated circuit has an input or output (respectively) resistance comparable with or less than the characteristic impedance of the line used for this measurement. Only a very low input resistance or output resistance will shunt the input or output capacitance, so that no measurement of capacitance is possible. In this case, however, capacitance is of no importance in practical applications and its measurement is replaced by the measurement of resistance.

b) Circuit diagram

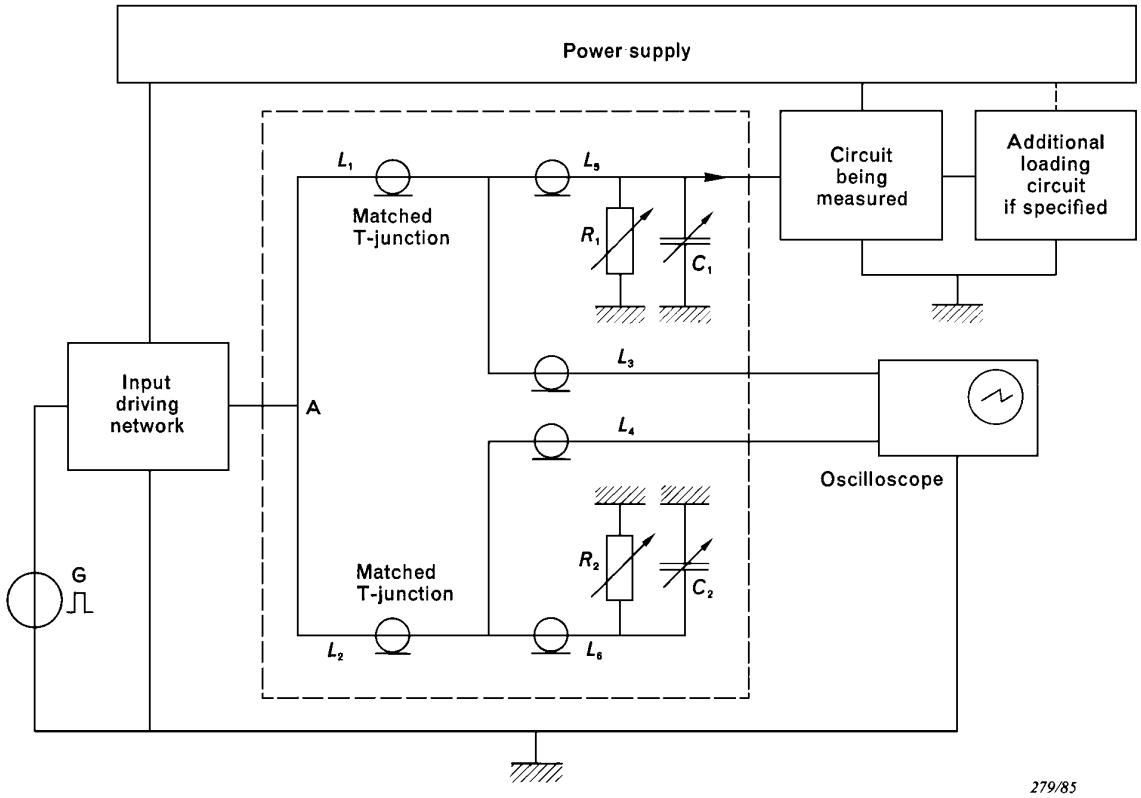


Figure 71 – Measurement of equivalent input capacitance or equivalent output capacitance and/or equivalent input or output resistance of an integrated circuit

c) Circuit description and requirements

The pulse generator provides the required switching waveform. The transition time shall be approximately equal to that of the integrated circuit being measured. The oscilloscope shall be capable of measuring the pulse parameters and the variations caused by the circuit being measured.

It is necessary to have the length of L_1 equal to the length of L_2, the length of L_3 equal to the length of L_4, and the length of L_5 equal to the length of L_6. The length of L_5 shall be approximately equal to that of L_3 and that of L_6 approximately equal to that of L_4.

The lengths of the transmission lines L_1 and L_2 shall be considerably longer than those of the other lines. The reason is to avoid overlapping of reflections occurring at point A (figure 71) with those caused by the circuit being measured.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Les impédances caractéristiques des lignes L_1 à L_6 doivent être égales; les jonctions en T et les entrées de l'oscilloscope doivent leur être adaptées.

Les fils connectant R_1, C_1 et R_2, C_2 doivent être aussi courts que possible et de même longueur, afin d'avoir des inductances parasites faibles ou au moins égales.

d) Précautions à prendre

Afin d'éviter le chevauchement de l'impulsion de réponse (du circuit intégré) avec l'impulsion transmise, le double du temps de propagation sur $L_3 + L_5$ (ou $L_4 + L_6$) doit être très supérieur au temps de croissance ou au temps de décroissance de l'impulsion au point A.

e) Exécution

Régler la température à la valeur spécifiée.

Connecter le générateur d'impulsions, le réseau de commande d'entrée et l'oscilloscope au réseau de lignes L_1 à L_6 comme l'indique la figure 71. Régler l'amplitude de la tension et le temps de croissance ou de décroissance spécifiés pour l'impulsion d'entrée au moyen du réseau de commande d'entrée.

Choisir la fréquence des impulsions de telle façon que les distances, exprimées en temps, entre les flancs successifs de montée ou de descente ne soient pas un nombre entier de fois les temps de propagation des lignes $L_1 + L_5$ ou $L_2 + L_6$.

A l'aide des résistances R_1 et R_2 et des condensateurs C_1 et C_2, équilibrer le circuit de mesure pour que les traces sur l'oscilloscope coïncident. Régler R_1 et R_2 à des valeurs relativement élevées (par exemple, avec des circuits TTL, à environ 5 kΩ) et C_1 et C_2 à la valeur la plus faible possible (par exemple 1 pF à 2 pF environ).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

The characteristic impedance of the lines L_1 to L_6 shall be equal and the T-junctions and oscilloscope inputs matched to them.

The connecting wires of R_1, C_1 and R_2, C_2 shall be as short as possible and of the same length, in order to keep undesired inductances low, or at least approximately equal.

d) Precautions to be observed

In order to avoid overlapping of the pulse response (of the integrated circuit) with the transmitted pulse, twice the propagation time of L_3 + L_5 (or L_4 + L_6) shall be considerably longer than the rise time or fall time of the pulse at point A.

e) Measurement procedure

The temperature is set to the specified value.

The pulse generator, the input driving network and the oscilloscope are connected to the line network L_1 through L_6 as shown in figure 71. The specified voltage amplitude and rise or fall times of the input pulse are set by means of the input driving network.

The pulse frequency is chosen so that the distances, expressed in times, between two successive rising or falling edges are not in an integral proportion with the propagation times of the lines L_1 + L_5 or L_2 + L_6, respectively.

With the aid of resistors R_1 and R_2 and capacitors C_1 and C_2, the measurement circuit is balanced so that both oscilloscope traces coincide. R_1 and R_2 should be set to a relatively high value (e.g. with TTL circuits, approximately 5 kΩ) and C_1 and C_2 to the lowest possible value (e.g. approximately 1 pF to 2 pF).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Connecter alors le circuit intégré à la ligne L_5, ce qui provoque une réflexion telle que l'une des deux traces de l'oscilloscope n'est plus en coïncidence avec l'autre. Rétablir la coïncidence en modifiant R_2 et C_2.

Les variations ΔR_2 et ΔC_2 sont respectivement la résistance équivalente et la capacité équivalente.

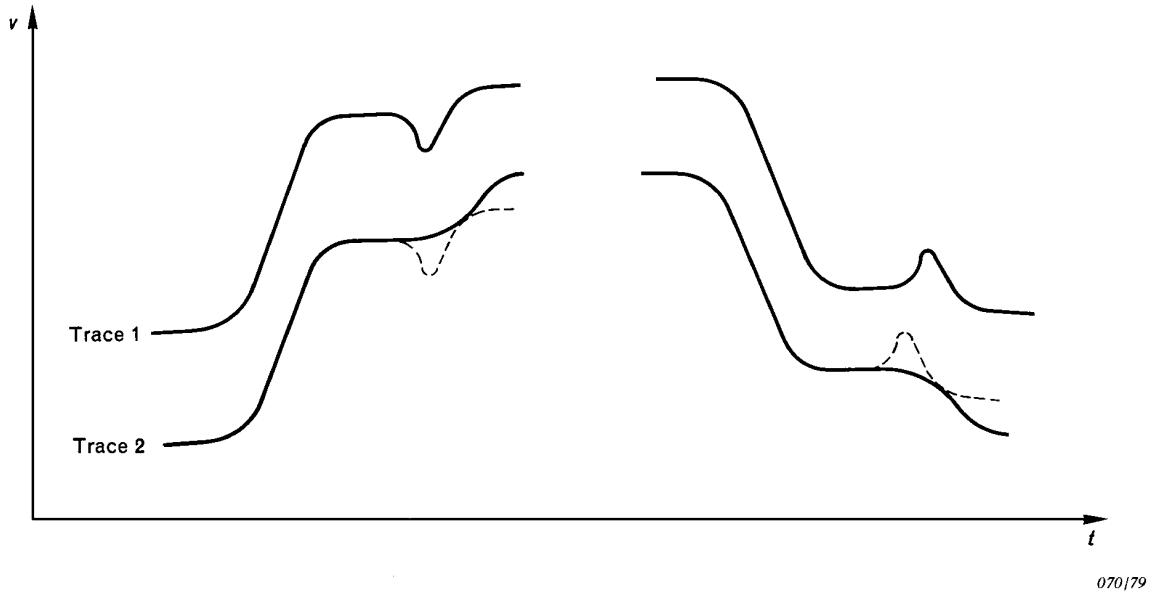


Figure 72 – Traces non coïncidentes dues à une modification de l'équilibre à l'aide du circuit en mesure (les lignes pointillées montrent le rétablissement de l'équilibre au moyen de R_2 et C_2

f) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Tensions d'alimentation et conditions aux autres bornes.
- Conditions pour les impulsions d'entrée:
  - amplitude au-dessus et au-dessous d'un niveau de référence spécifié;
  - largeur;
  - temps de croissance;
  - temps de décroissance;
  - fréquence de répétition.
- Direction de transition entre niveaux définis.
- Valeurs des résistances R_1 et R_2.

3.2.2 Méthode du pont (en petits signaux))

a) But

Mesurer la capacité d'entrée ou la capacité de sortie d'un circuit intégré dans des conditions de petits signaux spécifiés.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

The integrated circuit is then connected to the line L_5 causing a reflection whereby one of the two oscilloscope traces is moved out of coincidence with the other one. By changing R_2 and C_2, coincidence is re-established.

The change ΔC_2 or ΔR_2 is the equivalent capacitance or equivalent resistance, respectively.

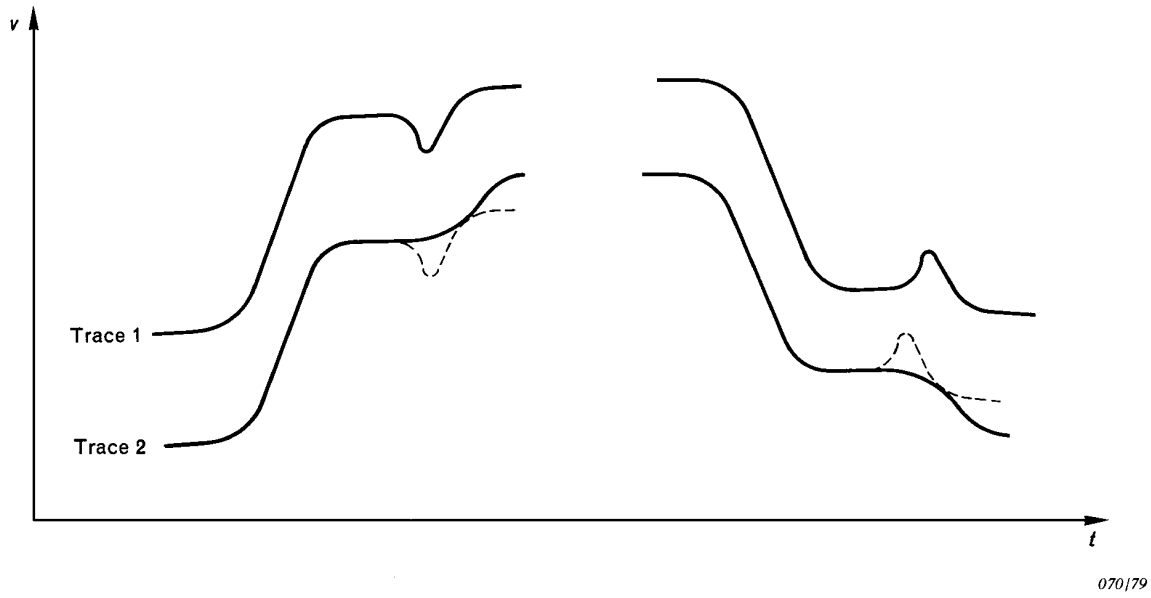


Figure 72 – Non-coinciding traces due to disturbance of the balance by means of the circuit being measured (dotted lines show re-establishment of the balance means of R_2 and C_2)

f) Specified conditions

- Ambient or reference-point temperature.
- Supply voltages and conditions at other terminals.
- Input pulse conditions:
  - amplitude above and below a specified reference level;
  - width;
  - rise time;
  - fall time;
  - repetition frequency.
- Direction of transition between the defined levels.
- Values of resistors R_1 and R_2.

3.2.2 Bridge method (small-signal)

a) Purpose

To measure the input or the output capacitance of an integrated circuit, under specified small-signal conditions.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

b) Schéma

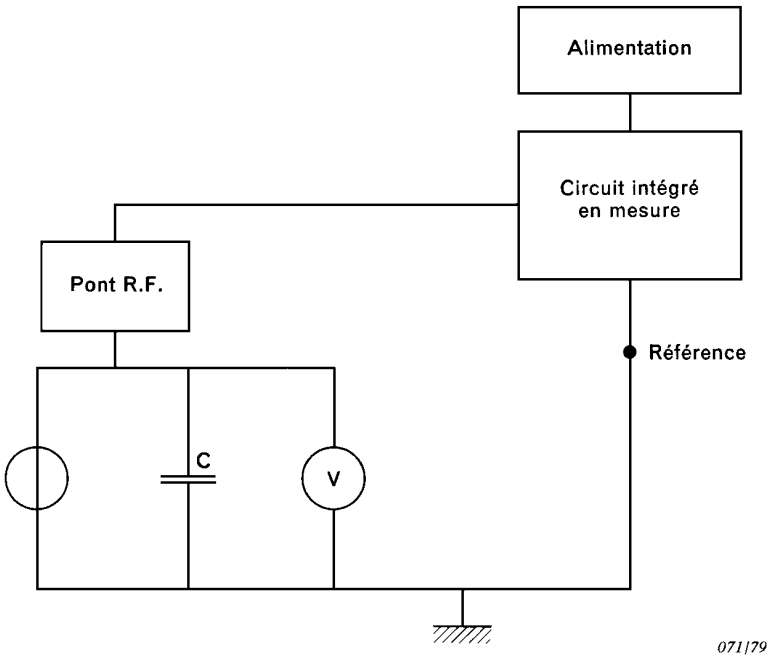


Figure 73

c) Description et exigences du circuit

Le pont R.F. doit avoir une faible résistance interne en continu et doit pouvoir supporter le courant inverse exigé de l'entrée ou de la sortie en mesure, sans affecter la précision de la mesure. Par ailleurs, d'autres méthodes de polarisation du circuit peuvent être utilisées. Les conditions de mesure en petits signaux doivent pouvoir s'appliquer.

Le condensateur C doit présenter un court-circuit à la fréquence de mesure qui doit être de 1 MHz, sauf spécification contraire.

d) Précautions à prendre

Aucune précaution spéciale n'est nécessaire.

e) Exécution

Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure.

Equilibrer le pont R.F., le circuit intégré étant retiré du circuit de mesure; régler la tension d'entrée à la valeur spécifiée.

Insérer le circuit intégré dans le circuit de mesure; vérifier la tension d'entrée et équilibrer à nouveau le pont R.F.

La différence entre les deux lectures du pont R.F. donne la valeur de la capacité d'entrée ou de sortie.

f) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Tension d'entrée.
- Tensions d'alimentation.
- Fréquence de mesure (si elle diffère de 1 MHz).
- Conditions pour les autres bornes.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

b) Circuit diagram

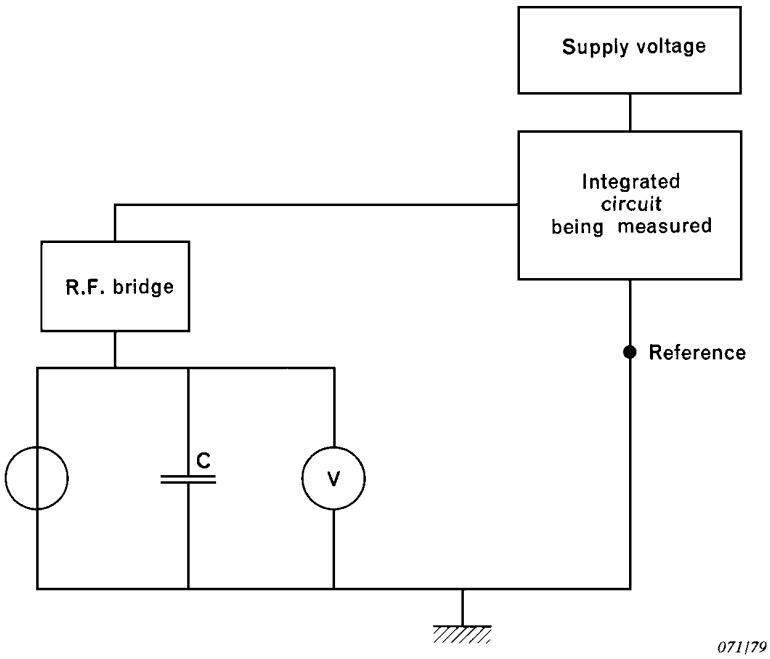


Figure 73

c) Circuit description and requirements

The r.f. bridge shall have low internal d.c. resistance and shall be capable of carrying the required d.c. current of the input or output being measured without affecting the accuracy of measurement. Alternatively, other methods of biasing the circuit may be used. Small-signal conditions of measurement shall apply.

Capacitor C shall present a short-circuit at the measurement frequency which shall be 1 MHz, unless otherwise specified.

d) Precautions to be observed

No special precautions are required.

e) Measurement procedure

The temperature is set to the specified value and checked immediately before and after the measurement.

The r.f. bridge is balanced with the integrated circuit removed from the measuring circuit; the input voltage is set to the specified value.

The integrated circuit is inserted into the measuring circuit; the input voltage is checked and the r.f. bridge is again balanced.

The capacitance of the input or output is measured as the difference between the two readings of the r.f. bridge.

f) Specified conditions

- Ambient or reference-point temperature.
- Input voltage.
- Supply voltages.
- Measurement frequency (if different from 1 MHz).
- Conditions at other terminals.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4 Temps caractérisant le circuit

4.1 Temps de propagation [3] , [7]

4.1.1 Circuits bipolaires [3]

a) Introduction

La méthode décrite ci-dessous est applicable aux circuits numériques combinatoires et séquentiels du type bipolaire, à l'exception des circuits à vitesse élevée qui nécessitent, au niveau des interconnexions, des lignes de transmission adaptées et des terminaisons spécifiques.

b) But

Cette méthode donne les valeurs des temps de propagation pour les circuits inverseurs et non inverseurs, lorsque leurs entrées et leurs sorties sont chargées par des circuits intégrés spécifiés ou leurs équivalents.

c) Schéma

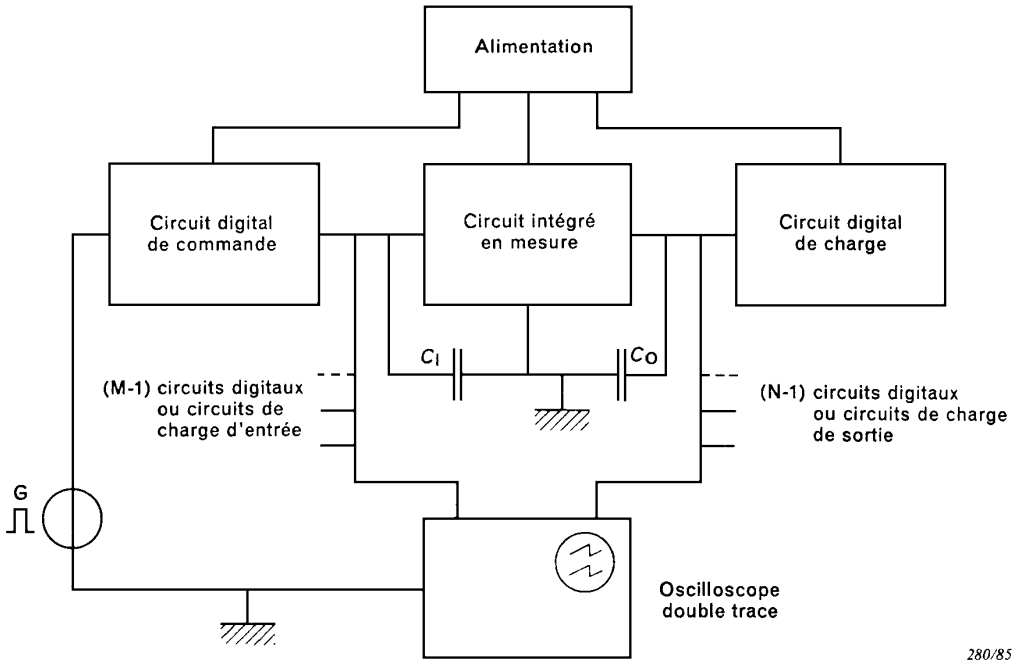


Figure 74

d) Description et exigences du circuit

Les circuits intégrés utilisés dans le circuit de commande d'entrée et dans les circuits de charge d'entrée et de sortie doivent avoir les caractéristiques typiques des circuits intégrés destinés à être normalement connectés au circuit intégré en mesure.

On doit indiquer le nombre de circuits de charge commandés en parallèle par le circuit de commande M et par le circuit en mesure N choisi de préférence pour être dans les conditions de pire cas pour chacun des deux temps mesurés.

Les circuits utilisés pour les circuits de charge d'entrée et de sortie doivent avoir satisfait aux exigences de la spécification pour les autres caractéristiques, y compris les mesures des temps de délai et de transition suivant les méthodes décrites en 4.2. Les circuits de charge d'entrée et de sortie peuvent être remplacés par des réseaux équivalents, pour autant qu'une telle équivalence soit prouvée.

L'impédance d'entrée de l'oscilloscope doit être grande par rapport aux impédances d'entrée et de sortie du circuit intégré en mesure. Si nécessaire, un instrument équivalent pour la mesure du temps peut être utilisé à la place de l'oscilloscope.

Les capacités d'entrée et de sortie C_I et C_O doivent comprendre toutes les capacités parasites associées au support d'essai et aux instruments de mesure, mais doivent exclure celles du circuit en mesure et des circuits de charge d'entrée et de sortie. Si la longueur des connexions provoque des effets inductifs, le détail du câblage doit être précisé.

Il ne doit pas y avoir de retard différentiel appréciable dans l'oscilloscope.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4 Times characterizing the circuit

4.1 Propagation times [3], [7]

4.1.1 Bipolar circuits [3]

a) Introduction

The method described below is applicable to combinatorial and sequential digital circuits of the bipolar type, with the exception of high-speed circuits which for interconnection require matched transmission lines and specific terminations.

b) Purpose

This method gives values of the propagation times for inverting and non-inverting circuits when their inputs and outputs are loaded with specified integrated circuits or their equivalent.

c) Circuit diagram

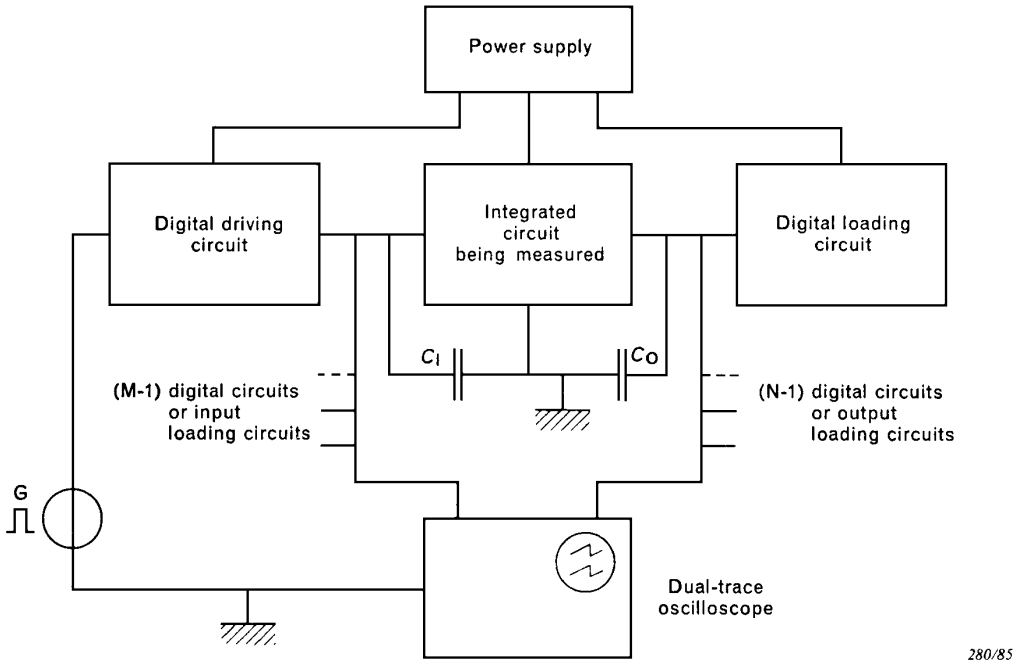


Figure 74

d) Circuit description and requirements

The integrated circuits which are used for the input driving circuit and the input and output loading circuits shall have characteristics representative of the integrated circuits intended to be normally connected to the integrated circuit being measured.

The number of loading circuits driven in parallel by both the driving circuit M and the integrated circuit being measured N shall be stated, and preferably chosen in order to present the worst case for each of the two times to be measured.

Circuits used for the input and output loading circuits shall have passed the specification requirements for all other characteristics, including the delay and transition time measurements made using the methods of 4.2. The input and the output loading circuits may be replaced by equivalent networks provided such equivalence can be demonstrated.

The input impedance of the oscilloscope shall be high compared to the input and output impedances of the integrated circuit being measured. If necessary, an equivalent time measuring instrument may be used in place of the oscilloscope.

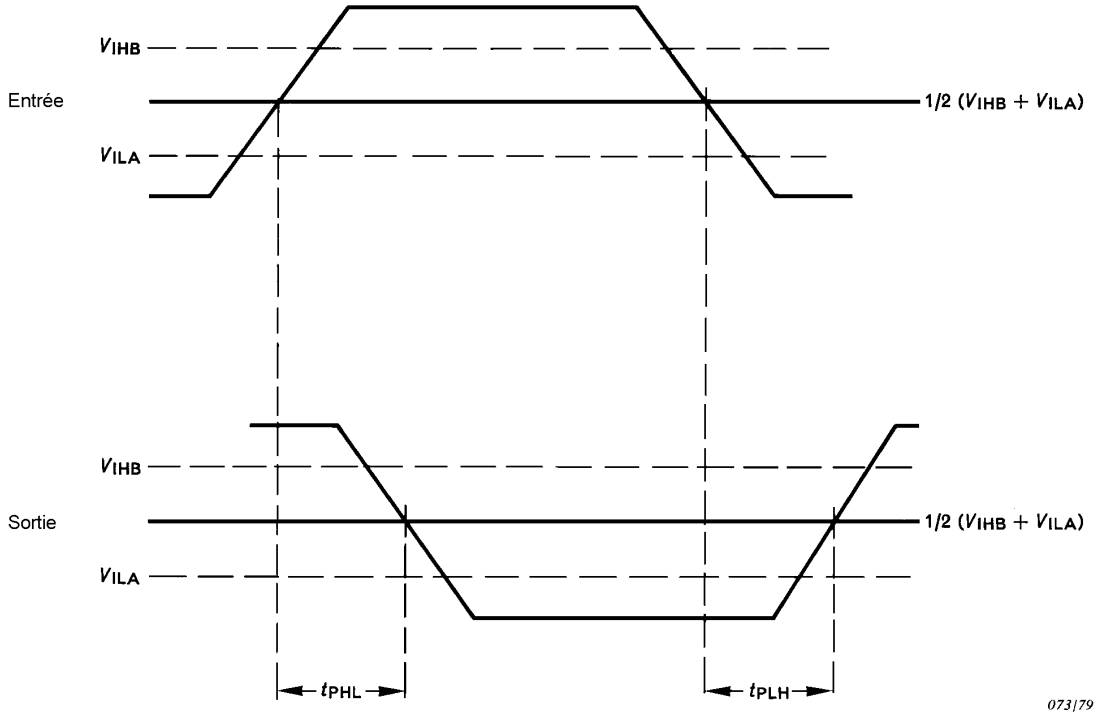
The input and output capacitances C_I and C_O shall include all stray capacitances associated with the mounting jigs, test fixtures and measuring instruments, but shall exclude parasitic capacitances of the integrated circuit being measured and of the input and output loading circuits. Where the length of connections may give rise to inductive effects, the detail of the wiring configuration must be given.

There shall be no significant differential delay in the oscilloscope.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Exécution

Mesurer directement les temps de propagation à partir des formes d'onde apparaissant sur l'oscilloscope, comme il est indiqué par exemple dans la figure 75.



Cette figure s'applique à un montage inverseur, à titre d'exemple.

Figure 75

f) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Tension(s) d'alimentation.
- Types du circuit de commande d'entrée et des circuits de charge d'entrée et de sortie, ou configuration du circuit et valeurs des composants pour les réseaux équivalents de charge.
- Conditions pour les impulsions d'entrée:
  - valeurs des tensions pour les niveaux haut et bas, dans la gamme H et la gamme L, respectivement;
  - largeur;
  - temps de croissance;
  - temps de décroissance;
  - fréquence de répétition.
- Conditions pour les autres bornes.
- Capacités C_I et C_O.
- Valeurs de M et N.

4.1.2 Circuits MOS 7

a) But

Mesurer les valeurs des temps de propagation des circuits intégrés MOS lorsque la configuration de la sortie passe du niveau haut au niveau bas défini, ou l'inverse, dans des conditions spécifiées de commande d'entrée et de charge de sortie.

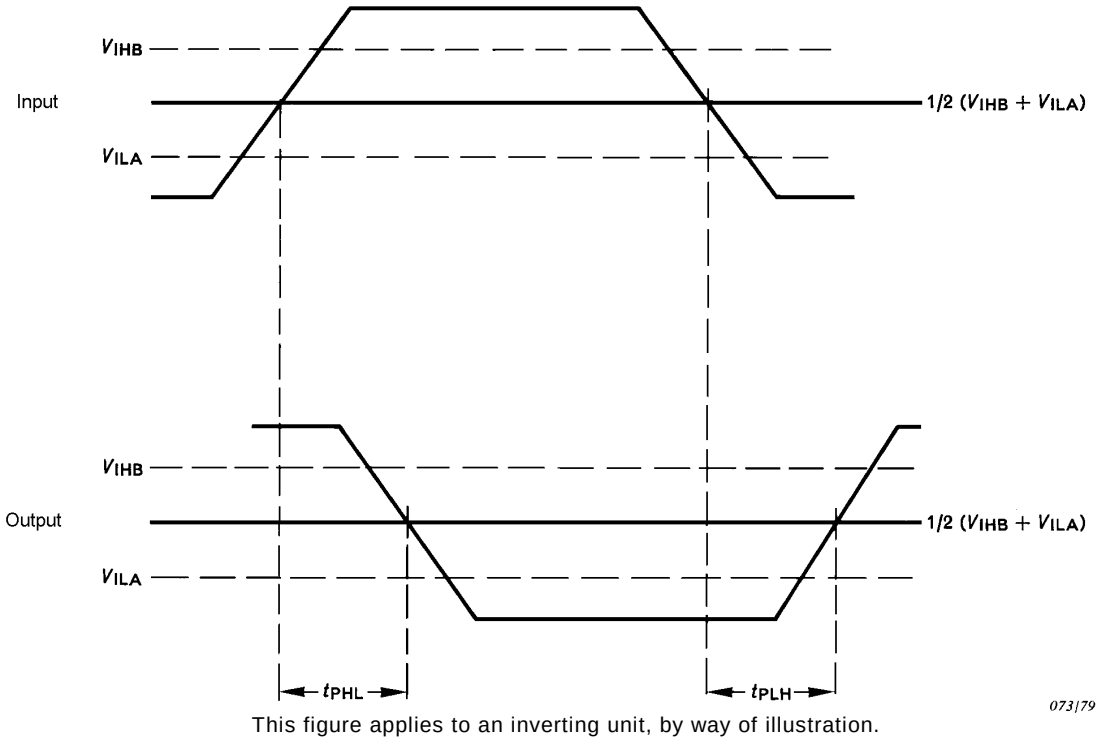
Cette méthode est applicable à tout circuit où un changement de configuration de sortie est produit par un signal spécifié appliqué à une borne d'entrée spécifiée.

NOTE – Cette méthode est également applicable à la mesure des temps de transition des circuits intégrés MOS.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Measurement procedure

The propagation times are measured directly from the waveforms displayed on the oscilloscope as shown for example in figure 75.



This figure applies to an inverting unit, by way of illustration.

Figure 75

f) Specified conditions

- Ambient or reference-point temperature.
- Supply voltage(s).
- Types of input driving circuit and input and output loading circuits, or circuit configuration and component values of the equivalent loading networks.
- Input pulse conditions:
  - values of high and low voltage levels, within the H-range and L-range, respectively;
  - width;
  - rise time;
  - fall time;
  - repetition frequency.
- Conditions at other terminals.
- Capacitances C_I and C_O.
- Values of M and N.

4.1.2 MOS circuits 7

a) Purpose

To measure the propagation times of MOS integrated circuits when the output configuration changes from the defined high level to the defined low level, or the reverse, under specified input and output loading conditions.

This method is applicable to any circuit where a change of an output configuration is produced by a specified signal applied to a specified input terminal.

NOTE – This method is also applicable to measure the transition times of MOS integrated circuits.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

b) Schéma

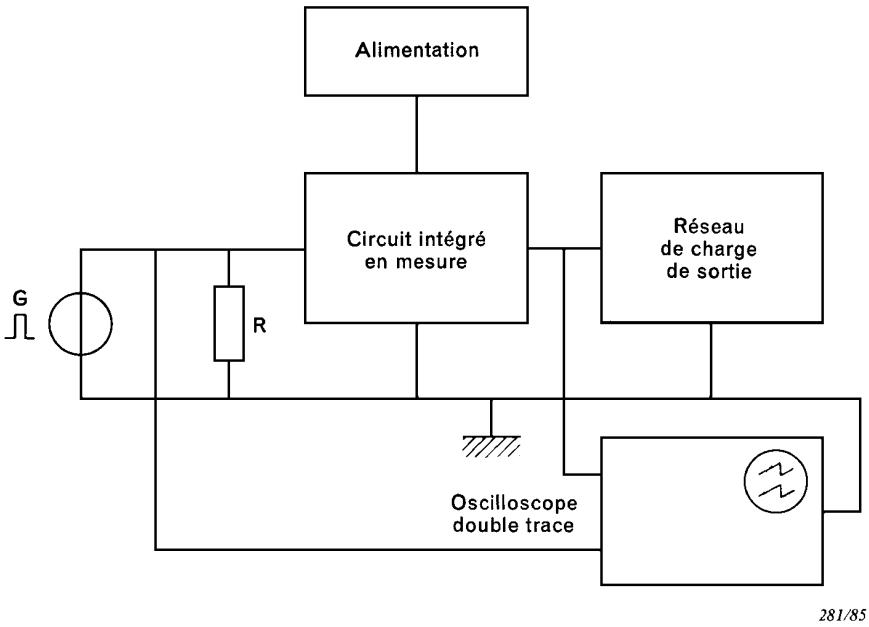


Figure 76

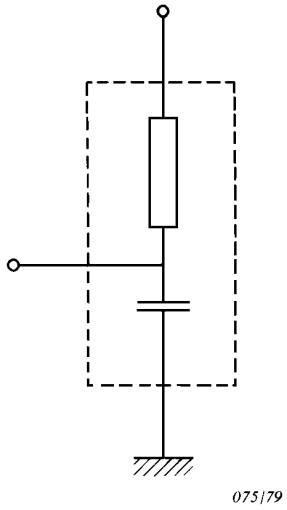


Figure 77a

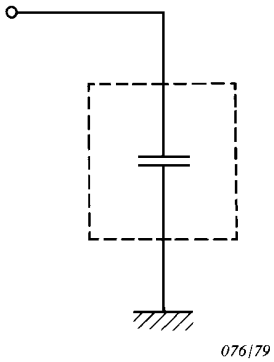


Figure 77b

Figure 77 – Exemples de réseaux de charge de sortie

c) Description et exigences du circuit

Le générateur d'impulsions utilisé pour attaquer l'entrée doit fournir une impulsion ayant des temps de croissance et de décroissance spécifiés. La forme d'onde de l'impulsion d'entrée et la résistance R doivent être telles que spécifiées.

Le réseau de charge de sortie doit être réalisé à l'aide de composants passifs linéaires (voir figures 77a et 77b comme exemples).

L'impédance d'entrée de l'oscilloscope doit être grande par rapport aux impédances d'entrée et de sortie du circuit en mesure. Un instrument équivalent pour la mesure du temps peut être utilisé à la place de l'oscilloscope. Il ne doit pas y avoir de retard différentiel appréciable dans l'oscilloscope.

La capacité de charge doit comprendre toutes les capacités parasites associées au support d'essai et aux instruments de mesure, mais doit exclure les capacités parasites du circuit intégré en mesure.

Si la longueur des connexions provoque des effets inductifs, le détail du câblage doit être donné.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

b) Circuit diagram

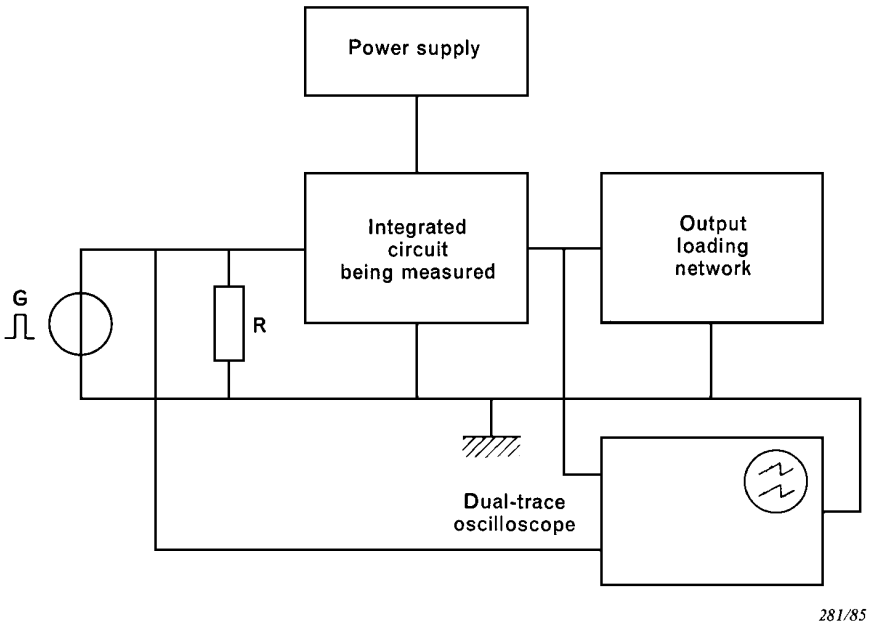


Figure 76

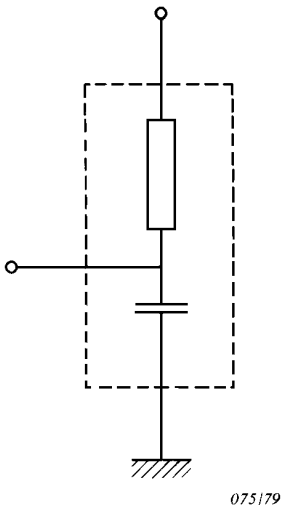


Figure 77a

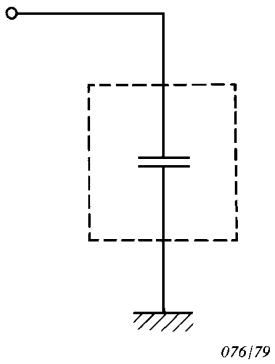


Figure 77b

Figure 77 – Examples of output loading networks

c) Circuit description and requirements

The pulse generator shall have the capability of delivering a pulse with specified rise and fall times. The input pulse waveform and terminating resistor R shall be as specified.

The output loading network shall be established by means of passive linear components (see figures 77a and 77b for examples).

The input impedance of the oscilloscope shall be high compared to the input and output impedances of the integrated circuit being measured. An equivalent time measuring instrument may be used in place of the oscilloscope. There shall be no significant differential delay in the oscilloscope.

The load capacitance shall include all stray capacitances associated with the test mount and measuring instruments, but shall exclude parasitic capacitance of the integrated circuit being measured.

Where the length of connections may give rise to inductive effects, the details of the wiring configuration must be given.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

d) Exécution

Mesurer directement les temps de propagation à partir des formes d'ondes apparaissant sur l'oscilloscope, comme il est indiqué, à titre d'exemple, dans les figures 78a et 78b.

e) Conditions spécifiées

– Température ambiante ou température d'un point de référence.

– Tension(s) d'alimentation.

– Configuration et valeurs des composants du réseau de charge de sortie, y compris les capacités parasites.

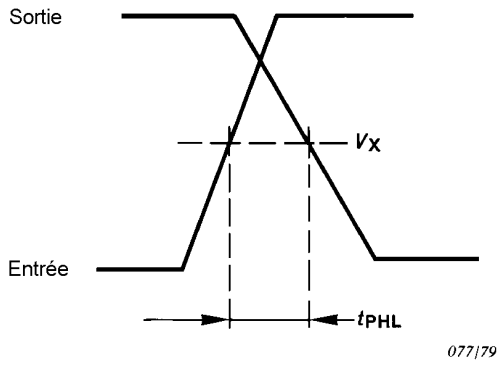


Figure 78a

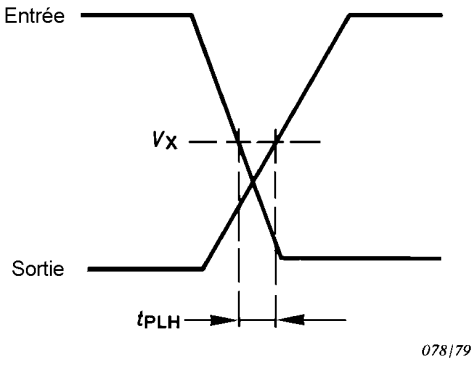


Figure 78b

Ces figures s'appliquent à un circuit inverseur uniquement, à titre d'exemple.

Figure 78

– Conditions pour les impulsions d'entrée:

  • valeurs des tensions pour les niveaux haut et bas, comprises respectivement dans la gamme H et dans la gamme L;

  • largeur;

  • temps de croissance;

  • temps de décroissance;

  • fréquence de répétition.

– Valeur de la résistance *R*.

– Conditions pour les autres bornes.

– Valeurs de la tension V_x.

4.2 Temps de délai et de transition [4] , [5]

4.2.1 Circuits bipolaires [4]

a) Introduction

La méthode décrite ci-dessous est applicable aux circuits numériques combinatoires et séquentiels du type bipolaire, à l'exception des circuits à vitesse élevée qui nécessitent, au niveau des interconnexions, des lignes de transmission adaptées et des terminaisons spécifiques.

b) But

Cette méthode donne les valeurs des temps de délai et de transition pour les circuits inverseurs et non inverseurs, lorsque leurs entrées et leurs sorties sont chargées par des réseaux spécifiés.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

d) Measurement procedure

The propagation times are measured directly from the waveforms displayed on the oscilloscope; an example is shown in figures 78a and 78b.

e) Specified conditions

- Ambient or reference-point temperature.
- Supply voltage(s).
- Configuration and component values of the output loading network, including stray capacitances.

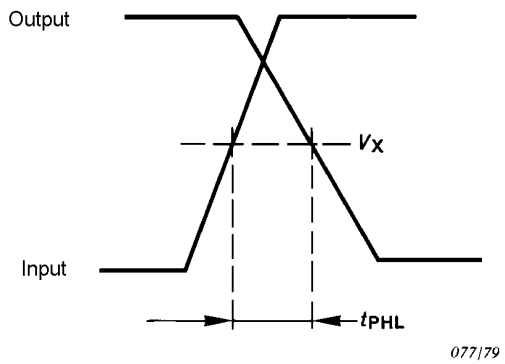


Figure 78a

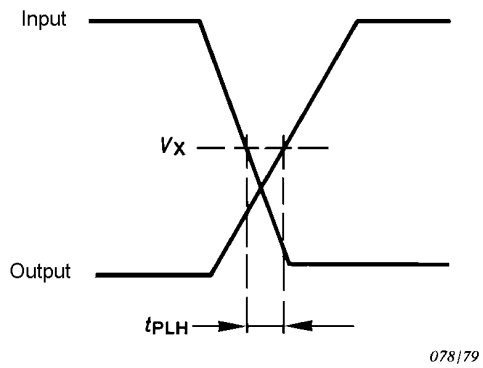


Figure 78b

These figures apply to an inverting unit way, by way of illustration.

Figure 78

- Input pulse conditions:
  - values of high and low voltage levels within the H-range and L-range, respectively;
  - width;
  - rise time;
  - fall time;
  - repetition frequency.
- Value of terminating resistance *R*.
- Conditions at other terminals.
- Value of voltage V_x.

4.2 Delay and transition times [4], [5]

4.2.1 Bipolar circuits [4]

a) Introduction

The method described below is applicable to combinatorial and sequential digital circuits of the bipolar type, with the exception of high-speed circuits that for interconnection require matched transmission lines and specific terminations.

b) Purpose

This method gives values of delay and transition times for inverting and non-inverting circuits when their inputs and outputs are connected to specified networks.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

c) Description et exigences du circuit

Le générateur d'impulsions, associé au réseau de commande d'entrée, doit pouvoir fournir une impulsion à l'entrée ayant des temps de croissance et de décroissance spécifiés (voir, par exemple, la figure 80).

Ces niveaux de tension, indiqués dans la figure 80, doivent être établis avec le réseau d'entrée commandant une charge fictive représentant un circuit typique. Le montage de mesure doit être spécifié s'il a un effet sur le résultat.

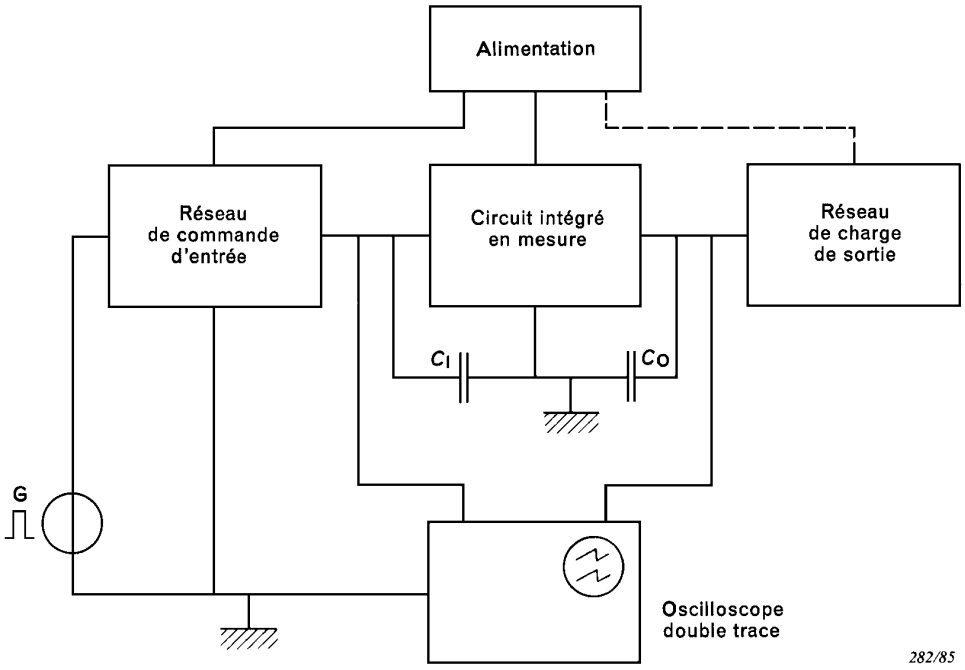


Figure 79

Les capacités d'entrée et de sortie (C_I et C_O) doivent inclure toutes les capacités parasites présentes dans les réseaux de commande et de charge et celles associées aux accessoires de montage et d'essai et des appareils de mesure, mais doivent exclure les capacités parasites du circuit intégré en mesure. C_I et C_O peuvent être incluses dans les réseaux de commande d'entrée ou de charge de sortie s'il y a lieu.

L'impédance d'entrée de l'oscilloscope doit être grande vis-à-vis des impédances d'entrée et de sortie du circuit intégré en mesure, ou doit être incluse dans les réseaux de commande d'entrée et de charge de sortie. On peut utiliser, au lieu de l'oscilloscope, un instrument équivalent pour la mesure du temps.

Il ne doit pas y avoir de retard différentiel appréciable dans l'oscilloscope.

d) Exécution

Mesurer les temps de délai et de transition à partir des formes d'onde obtenues sur l'oscilloscope, comme il est indiqué dans l'exemple de la figure 80.

e) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Tension(s) d'alimentation.
- Configuration et valeurs des composants du réseau de commande d'entrée et du réseau de charge de sortie.
- Conditions pour les impulsions d'entrée:
  - valeurs des niveaux de tension haut et bas (voir figure 80);
  - largeur;
  - temps de croissance;
  - temps de décroissance;
  - fréquence de répétition.
- Conditions pour les autres bornes.
- Capacités C_I et C_O.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

c) Circuit description and requirements

The pulse generator, in connection with the input driving network, shall have the capability of delivering an input pulse with specified rise and fall times (see, for example, figure 80).

These voltage levels, as given in figure 80, shall be set up with the input network driving a dummy load which represents a typical circuit. The measuring jig shall be specified if it has an effect on the result.

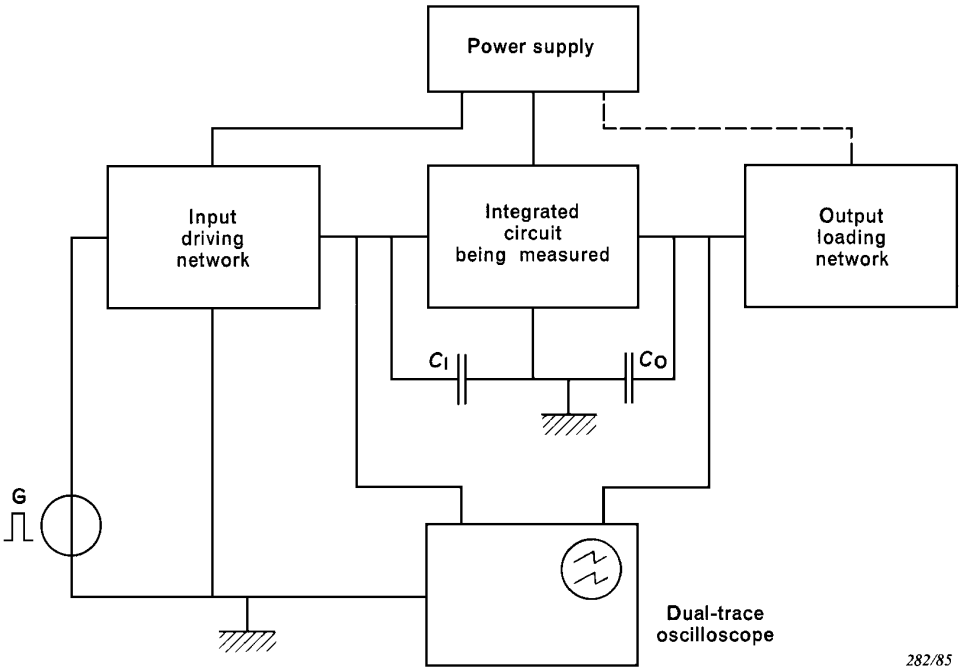


Figure 79

The input and output capacitances (C_I and C_O) shall include all parasitic capacitances present in the driving and loading networks and stray capacitances associated with the mounting jig, test fixtures and measuring instruments, but shall exclude the parasitic capacitances of the integrated circuit being measured. C_I and C_O may be included in the input driving network and output loading network if appropriate.

The input impedance of the oscilloscope shall be high compared to the input and output impedances of the integrated circuit being measured, or shall be included in the input driving and output loading networks. An equivalent time measuring instrument may be used in place of the oscilloscope.

There shall be no significant differential delay in the oscilloscope.

d) Measurement procedure

The delay and transition times are measured from the waveforms displayed on the oscilloscope, as shown for example in figure 80.

e) Specified conditions

- Ambient or reference-point temperature.
- Supply voltage(s).
- Configuration and component values of the input driving network and of the output loading network.
- Input pulse conditions:
  - values of high and low voltage levels (see figure 80);
  - width;
  - rise time;
  - fall time;
  - repetition frequency.
- Conditions at other terminals.
- Capacitances C_I and C_O.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

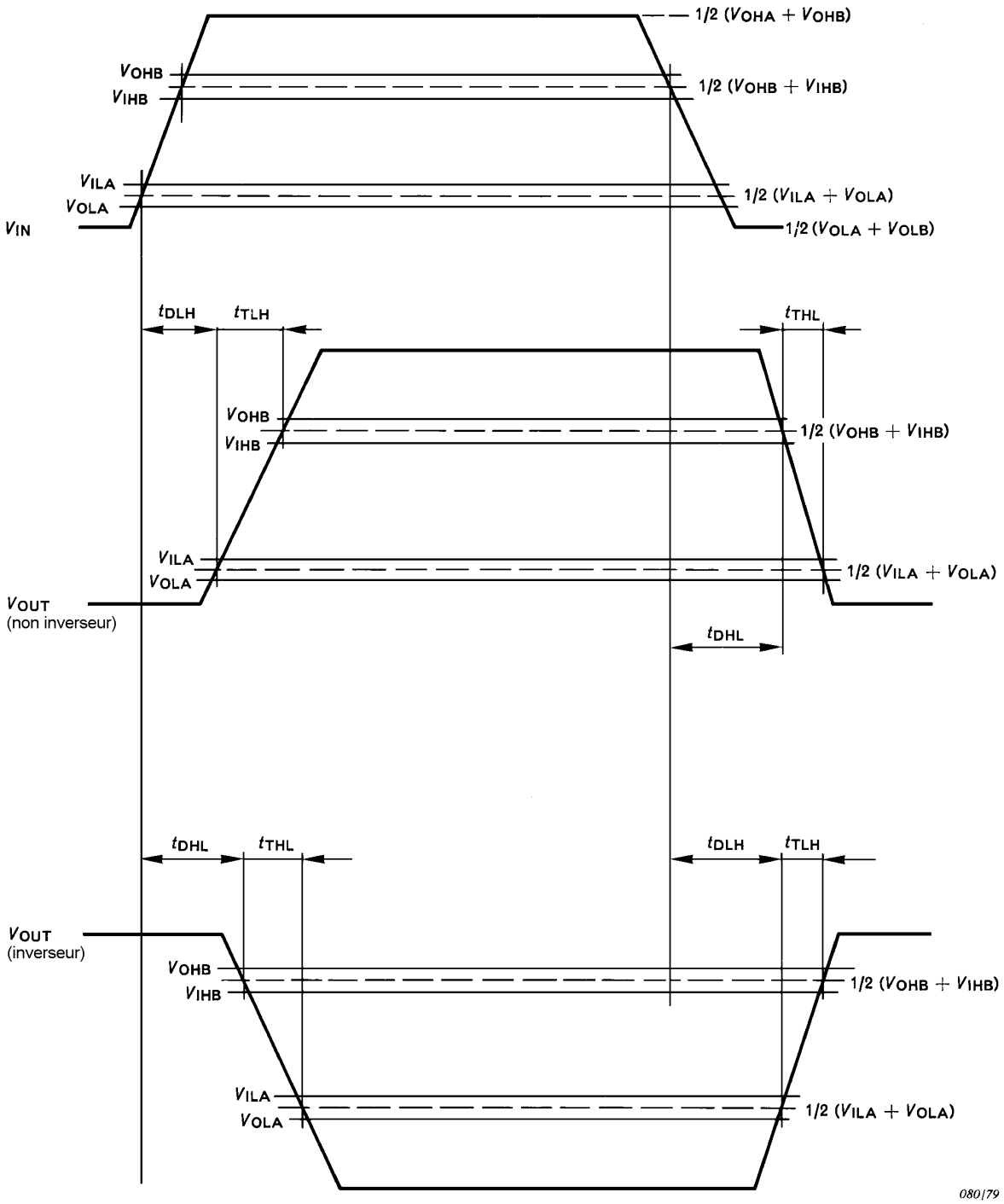


Figure 80 – Formes d'onde

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

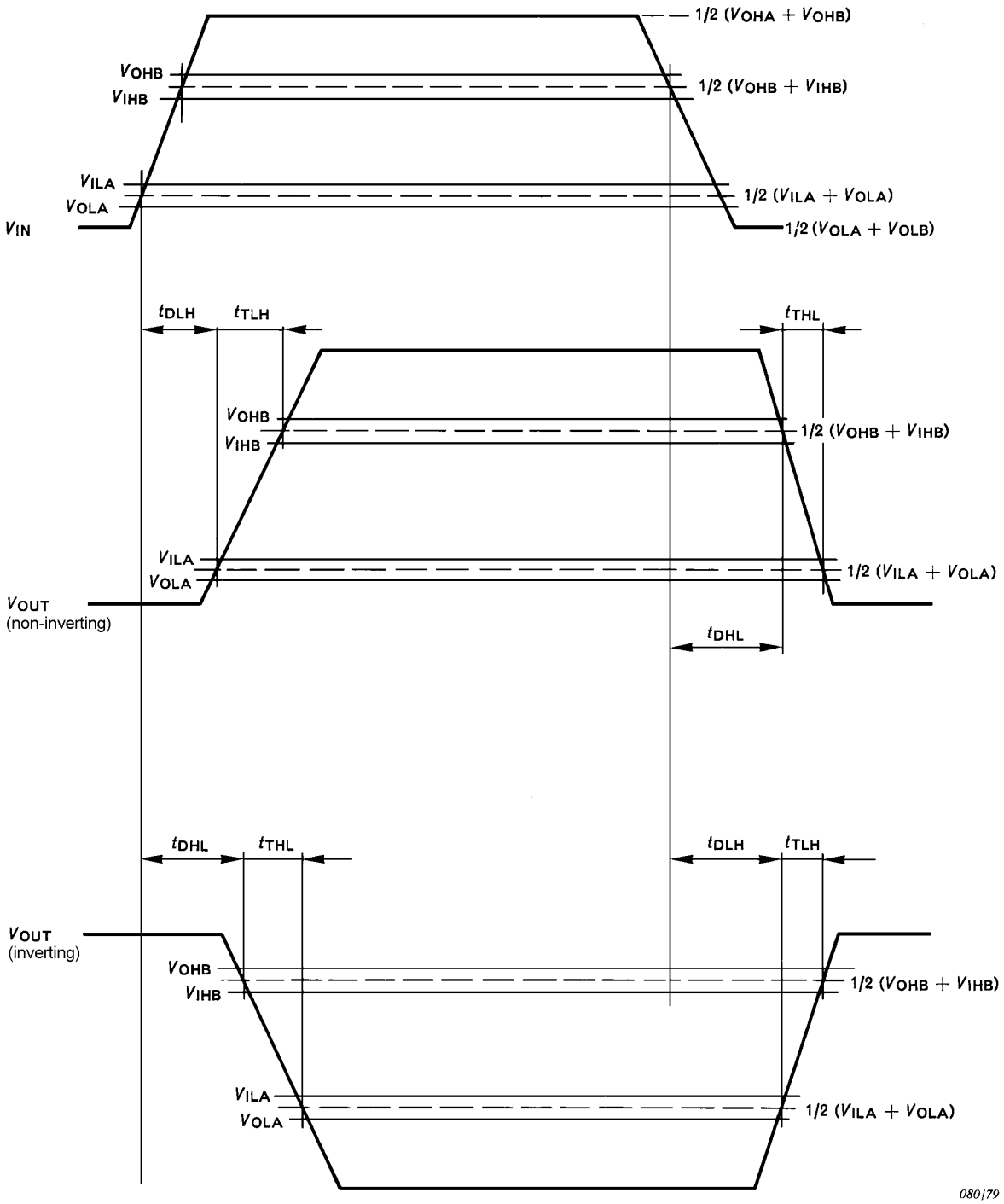


Figure 80 – Waveforms

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.2.2 Circuits MOS 5

La méthode décrite en 4.1.2 s'applique pour la mesure des temps de transition des circuits intégrés MOS, avec les modifications suivantes:

Formes d'onde

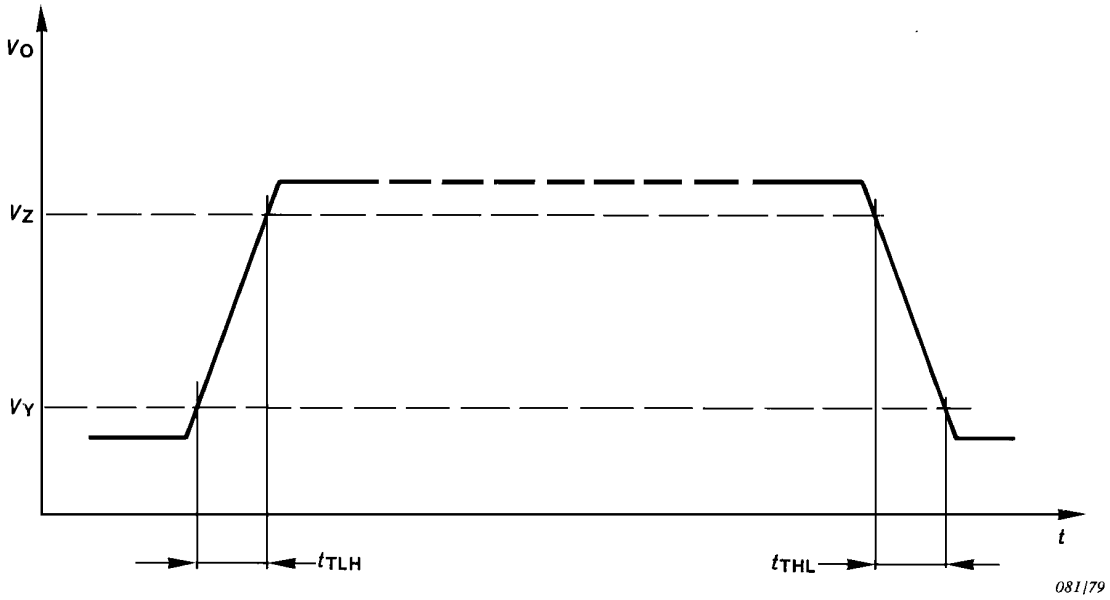


Figure 81

Conditions spécifiées

Remplacer la dernière condition spécifiée: «– Valeur de la tension V_X» par: «– Valeurs des tensions de sortie V_Y et V_Z».

4.3 Temps d'établissement 8 et temps de maintien 9

a) But

Mesurer le temps d'établissement minimal et le temps de maintien minimal d'une entrée préparatoire par rapport à une entrée de déclenchement d'un circuit séquentiel, nécessaires pour assurer correctement la commutation.

NOTE – Un circuit séquentiel commute dans une configuration de sortie différente lorsque le signal approprié appliqué à l'entrée ou aux entrées préparatoires coïncide avec un niveau et/ou une transition spécifiés appliqués à une entrée de déclenchement. Il n'y a pas de commutation lorsque la durée de la coïncidence est inférieure à une valeur qui est caractéristique du circuit intégré en mesure.

b) Description et exigences du circuit

Le ou les générateurs d'impulsions doivent fournir deux impulsions de sortie qui sont synchronisées et dont les phases sont ajustables l'une par rapport à l'autre.

Pour certaines classes de circuits séquentiels (tels ceux de type D), l'impulsion retardée doit avoir une fréquence de répétition égale à la moitié de celle de l'impulsion de référence. Cela doit être spécifié dans la spécification particulière; ou alors, les deux impulsions doivent avoir la même fréquence de répétition.

Les réseaux de commande et de charge doivent être connectés comme spécifié.

Les entrées non utilisées doivent être connectées comme spécifié.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.2.2 MOS circuits 5

The method described in 4.1.2 applies for the measurement of transition times of MOS integrated circuits, with the following amendments:

Waveforms

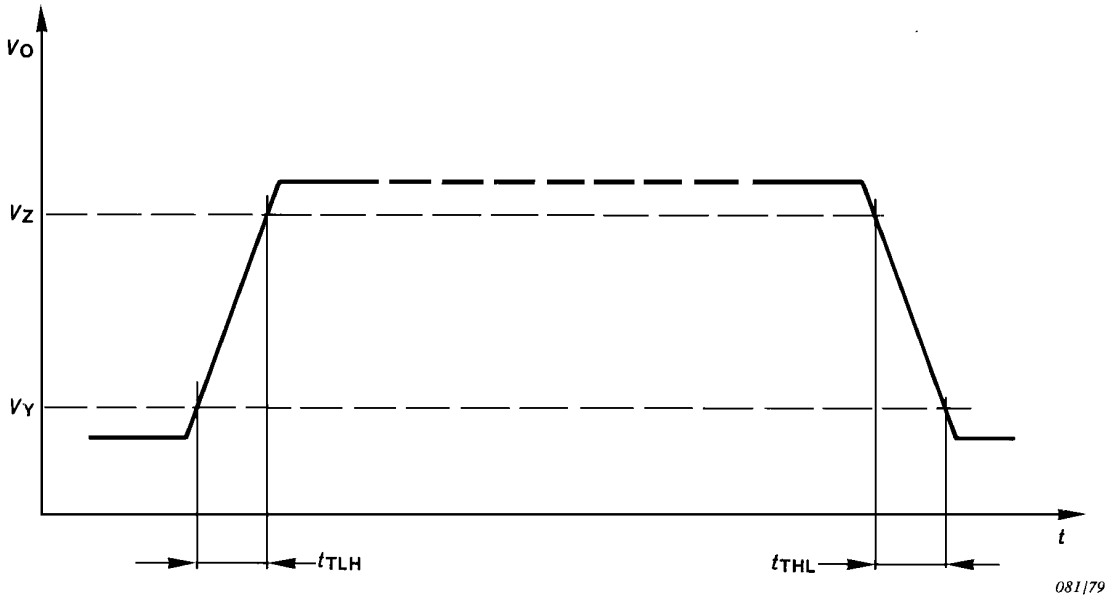


Figure 81

Specified conditions

The last specified condition: "– Value of voltage V_x" is to be replaced by: "– Values of output voltages V_Y and V_Z".

4.3 Set-up time 8 and hold time 9

a) Purpose

To measure the minimum set-up time and minimum hold time of the preparatory input, relative to a trigger input of a sequential circuit, necessary to produce correct switching.

NOTE – A sequential circuit will switch into a different output configuration when the appropriate signal applied to the preparatory input(s) coincides with a specified level and/or transition applied to the trigger input. Failure to switch occurs when the duration of coincidence is less than a value which is characteristic for the integrated circuit being measured.

b) Circuit description and requirements

The pulse generator(s) shall provide two output pulses that are synchronized but adjustable in phase relative to each other.

For certain classes of sequential circuit (e.g. D-type), the delayed pulse shall have a repetition frequency half that of the reference pulse. This will be specified in the detail specification; otherwise, both pulses must have the same repetition frequency.

Driving and loading networks must be connected when and as specified.

Unused inputs must be connected as specified.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

c) Schéma

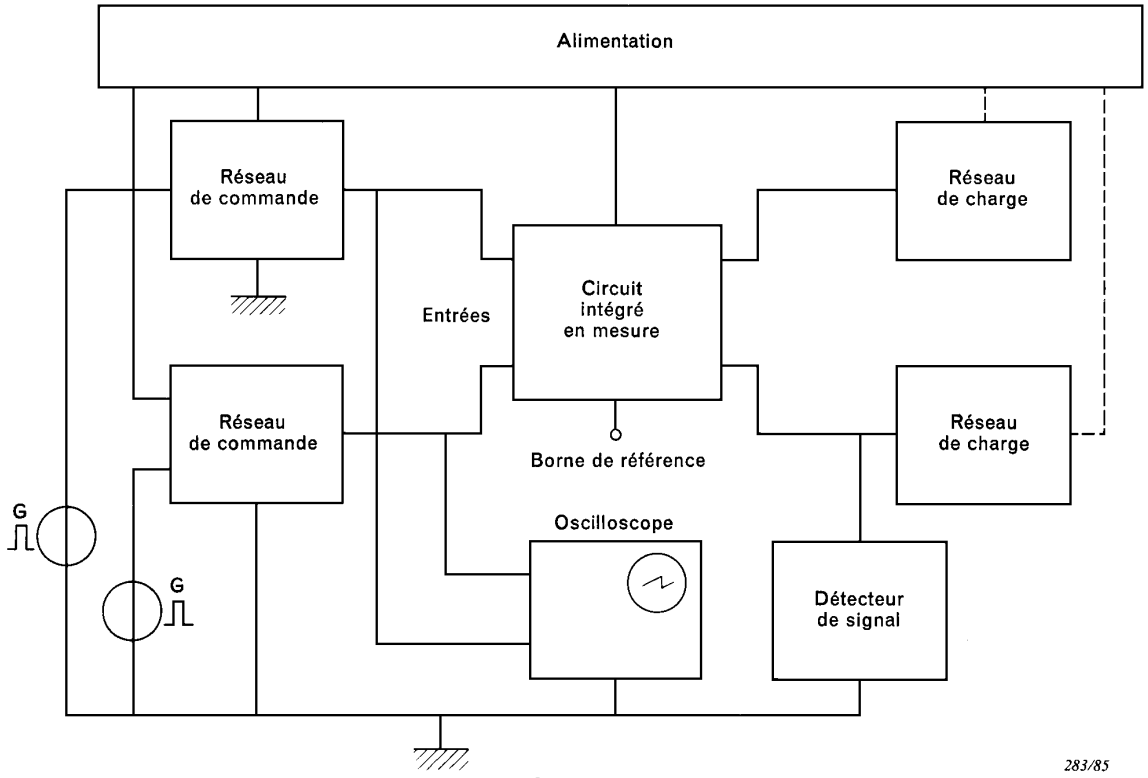


Figure 82

Les impédances d'entrée de l'oscilloscope et du détecteur de signal doivent être élevées en comparaison des impédances aux points de mesure à l'entrée et à la sortie. Un appareil de mesure de temps équivalent peut être utilisé à la place de l'oscilloscope. L'instrument utilisé ne doit introduire aucun retard différentiel appréciable.

Le détecteur de signal doit comprendre soit un oscilloscope soit un instrument pouvant indiquer si la sortie mesurée du circuit séquentiel commute entre ses deux configurations. Il doit pouvoir aussi indiquer que le signal de sortie satisfait aux limites pour V_{OHB} et V_{OLA} entre chaque transition.

L'oscilloscope et le détecteur de signal doivent être synchronisés par l'une des impulsions d'entrée, généralement l'impulsion de déclenchement.

d) Précautions à prendre

L'utilisation d'un signal d'entrée ayant un facteur d'utilisation de 50 % doit être évitée car, pour cette condition et pour certaines classes de circuits séquentiels ayant un temps d'établissement ou de maintien insuffisant, il peut résulter, non une cessation de commutation, mais seulement un changement de phase du signal de sortie.

e) Exécution

Connecter le circuit intégré au circuit en mesure et régler les tensions d'alimentation et d'entrée aux valeurs spécifiées.

Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure.

Ajuster les impulsions de sortie du générateur d'impulsions pour réaliser les conditions spécifiées à l'entrée du circuit intégré en mesure.

Augmenter (ou diminuer), à partir de zéro, le temps de délai mesuré entre les niveaux spécifiés qui sont situés entre V_{IHB} et V_{ILA} (pour les circuits bipolaires, le niveau 50 % est préféré) sur les transitions spécifiées des impulsions de préparation et de déclenchement. Observer la sortie du circuit séquentiel afin de noter le moment de la commutation; la relation entre les fréquences d'entrée et de sortie doit être spécifiée.

Mesurer le temps de délai correspondant.

La mesure donne soit le temps minimal d'établissement, soit le temps minimal de maintien, suivant la paire de transitions appropriées choisie (voir figures 83 et 84).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

c) Circuit diagram

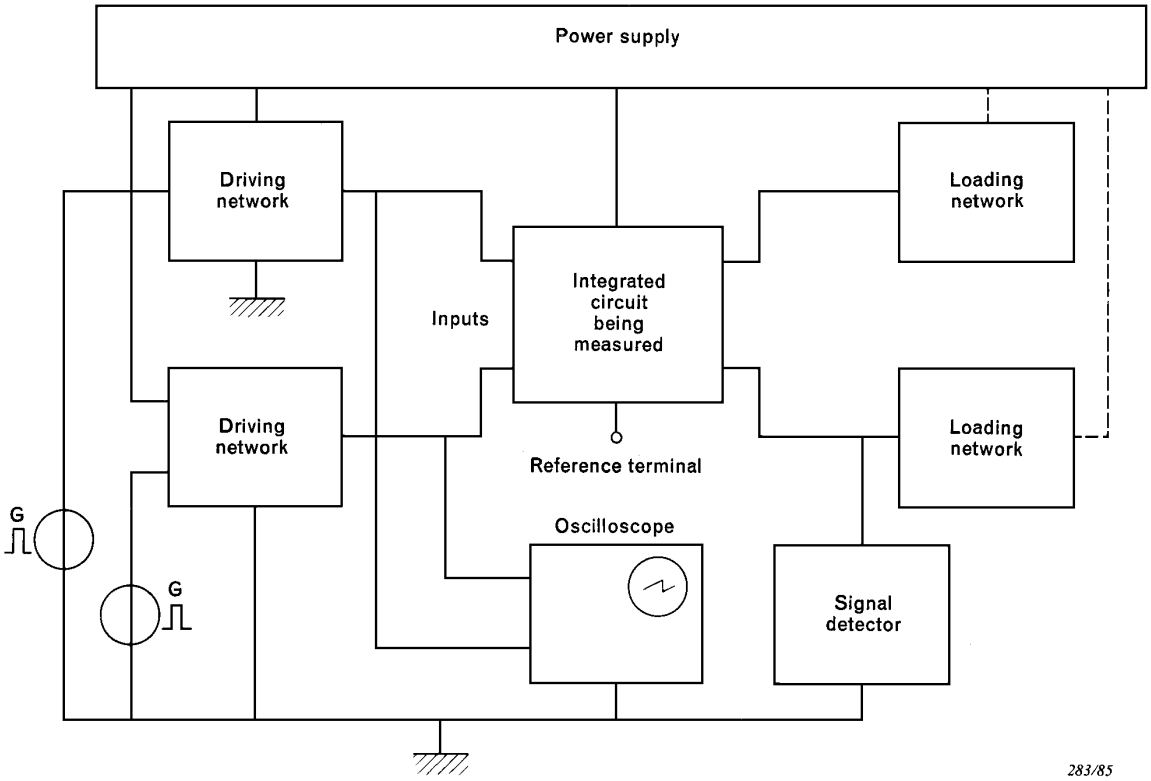


Figure 82

The input impedances of the oscilloscope and of the signal detector must be high compared with the impedances at the input and output measuring points. An equivalent time measuring instrument may be used in place of the oscilloscope. The instrument used shall not introduce a significant difference in delays.

The signal detector must include either an oscilloscope or other instrument that can indicate whether the measured output of the sequential circuit switches between its two configurations. It must also be able to indicate that the output signal satisfies the limits for V_{OHB} or V_{OLA} between each transition.

The oscilloscope and signal detector shall be synchronized from one of the input pulses, usually the triggering pulse.

d) Precautions to be observed

The use of an input signal having a 50 % duty cycle shall be avoided since, for this condition and for certain classes of sequential circuits, insufficient set-up or hold times may not result in a cessation of switching, but only in a change of phase of the output signal.

e) Measurement procedure

The integrated circuit is connected in the measuring circuit and the supply and input voltages are set to the specified values.

The temperature is set to the specified value and checked immediately before and after the measurement.

The pulse generator output pulses are adjusted to give the specified pulse conditions at the input of the integrated circuit being measured.

The time delay, as measured between the specified levels which lie between V_{IHB} and V_{ILA} (for bipolar circuits, the 50 % level is preferred) on the specified transitions of the preparatory pulses and the trigger pulses, is increased (or decreased) from zero. The output of the sequential circuit is observed to note when switching occurs; the relationship between the input and output frequencies shall be specified.

The corresponding delay time is measured.

The measurement will give either the minimum set-up or minimum hold time according to which pair of appropriate transitions is selected (see figures 83 and 84).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

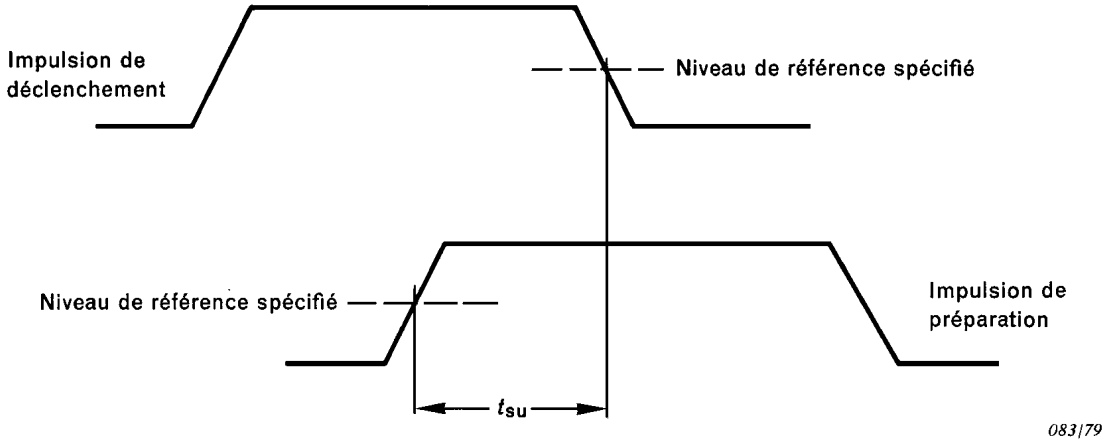


Figure 83 – Temps d'établissement (formes d'onde typiques)

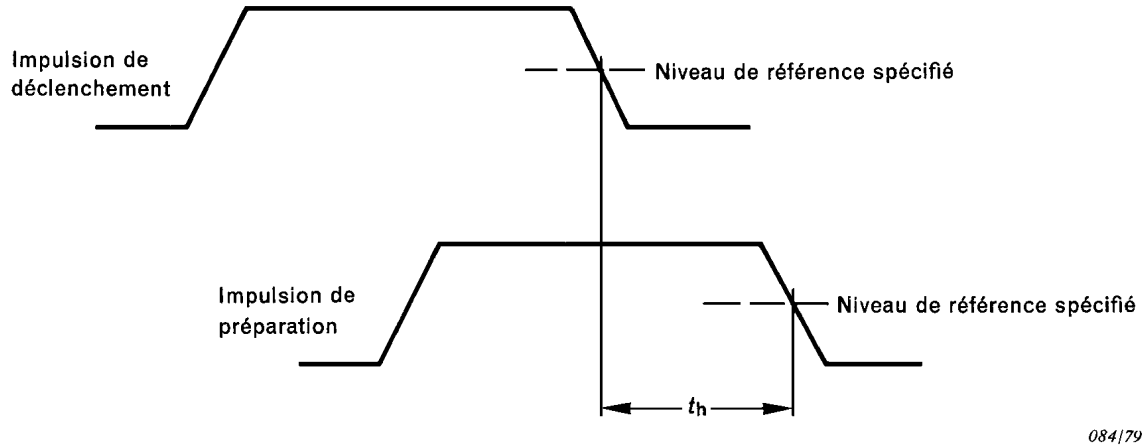


Figure 84 – Temps de maintien (formes d'onde typiques)

f) Conditions spécifiées
   - Température ambiante ou température d'un point de référence.
   - Tension(s) d'alimentation.
   - Conditions pour les impulsions d'entrée:
     - amplitude;
     - largeur;
     - temps de croissance;
     - temps de décroissance;
     - fréquence de répétition;
     - temps séparant les impulsions d'entrée, s'il y a lieu.
   - Direction des transitions des signaux d'entrée.
   - Réseau(x) de charge de sortie, tant pour les sorties mesurées que pour celles non mesurées.
   - Réseau(x) de commande d'entrée, si nécessaire.
   - Conditions pour les autres bornes.
   - Séquences et formes d'ondes aux autres bornes d'entrée.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

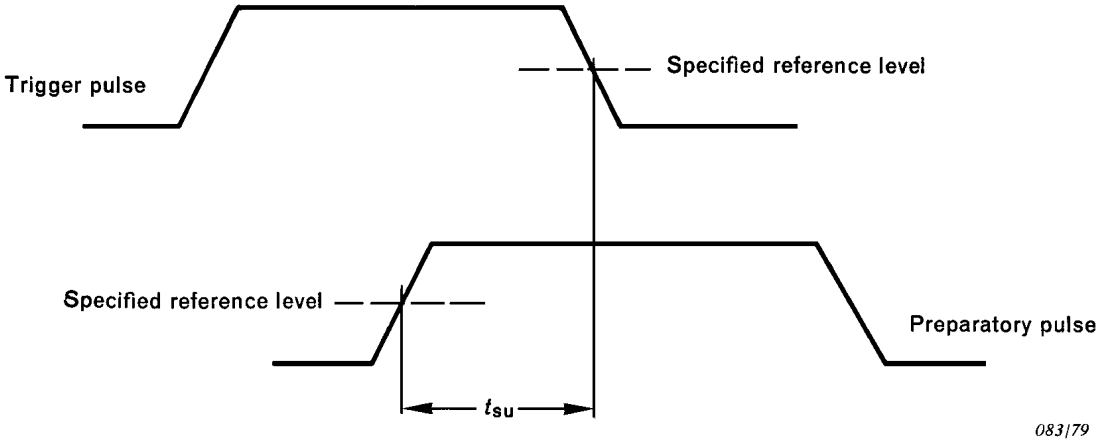


Figure 83 – Set-up time (typical waveforms)

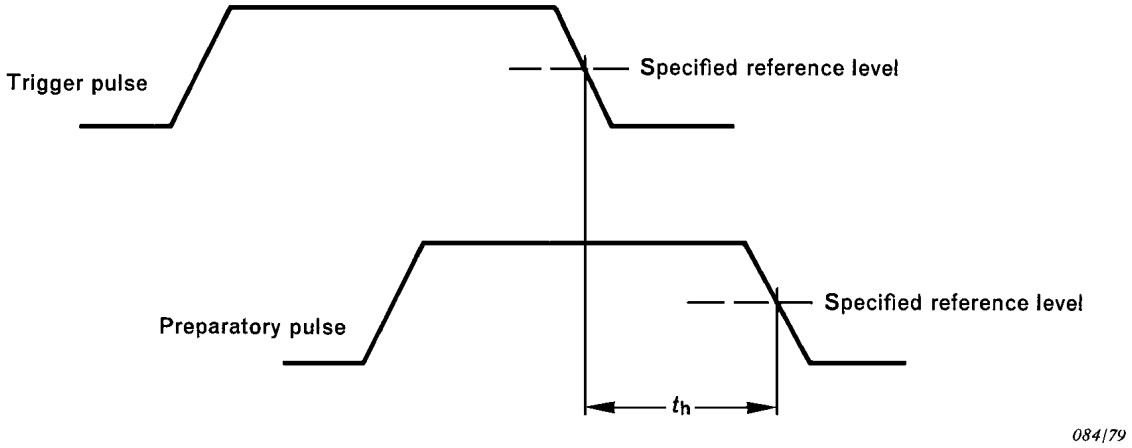


Figure 84 – Hold time (typical waveforms)

f) Specified conditions
- Ambient or reference-point temperature.
- Supply voltage(s).
- Input pulse conditions:
  - amplitude;
  - width;
  - rise time;
  - fall time;
  - repetition frequency;
  - delay between input pulses, when appropriate.
- Direction of transitions of input signals.
- Output loading network(s), for both measured and unmeasured outputs.
- Input driving network(s), if required.
- Conditions at other terminals.
- Sequences and waveforms at other input terminals.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.4 Temps de résolution 36

a) But

Mesurer le temps de résolution minimal nécessaire pour assurer correctement la commutation.

b) Schéma

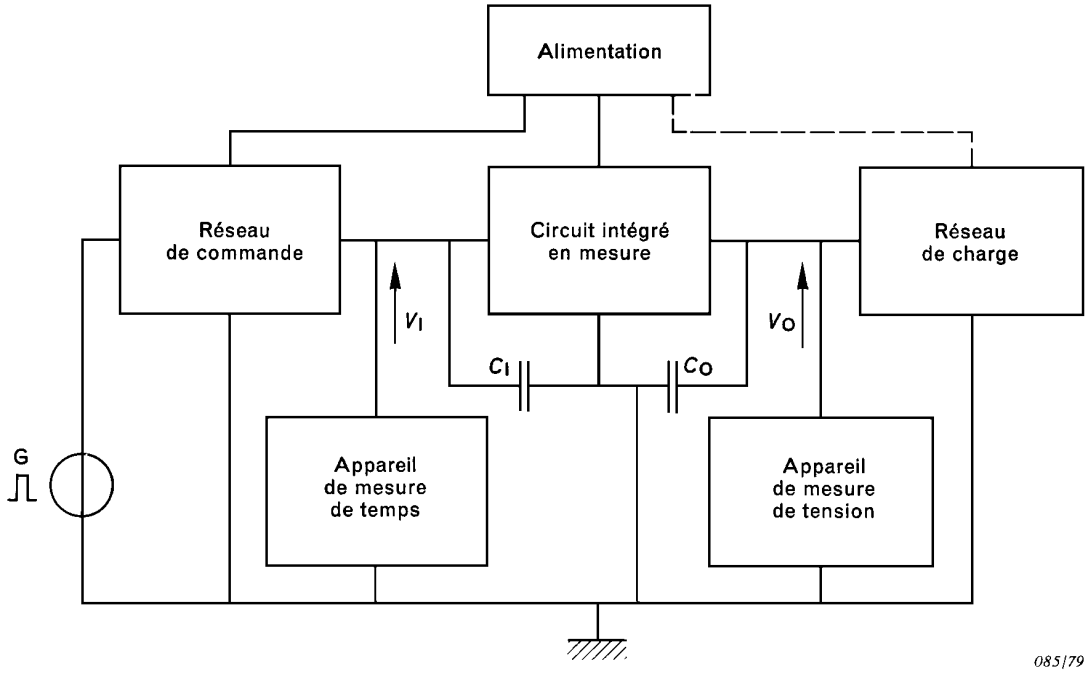


Figure 85

c) Description et exigences du circuit

L'instrument de mesure de temps doit être capable de mesurer l'intervalle de temps entre deux transitions successives du signal d'entrée appliquées à la même borne d'entrée. Le niveau de référence pour cette mesure de temps doit être situé entre V_{IHB} et V_{ILA}. De plus, l'instrument de mesure de tension doit être capable de mesurer la tension de sortie du circuit en mesure. Le générateur d'impulsions doit pouvoir fournir des impulsions ayant des facteurs d'utilisation ainsi qu'une fréquence ajustables. Le circuit de mesure doit fournir les tensions et les charges aux autres bornes d'entrée et de sortie comme il est spécifié. Le système de mesure doit être tel que le circuit en mesure soit à la température spécifiée.

d) Précautions à prendre

Aucune précaution spéciale n'est nécessaire.

e) Exécution

Connecter le circuit intégré à mesurer au circuit de mesure; ajuster les tensions d'alimentation aux autres bornes aux valeurs spécifiées.

Ajuster la température à la valeur spécifiée et la vérifier avant et après la mesure.

Ajuster le générateur d'impulsions pour donner les tensions spécifiées et les temps de croissance et de décroissance spécifiés à l'entrée du circuit intégré en mesure.

NOTE – Normalement, l'amplitude de l'impulsion d'entrée doit être limitée à la gamme V_{OLA} à V_{OHB}.

Grâce à un autre réglage du générateur d'impulsions et t_{WH} étant maintenu à une durée fixe spécifiée, on ajuste la durée de l'impulsion d'entrée t_{WL} jusqu'à ce que le niveau approprié du signal de sortie atteigne juste V_{OLA} et V_{OHB}; ou bien, t_{WL} étant maintenu à une durée fixe spécifiée, on ajuste la durée de l'impulsion d'entrée t_{WH} jusqu'à ce que le niveau approprié du signal de sortie atteigne juste V_{OLA} ou V_{OHB}.

Mesurer la durée de l'impulsion t_{WL} (ou t_{WH}); c'est le temps de résolution minimal pour la durée spécifiée t_{WH} (ou t_{WL}) (voir figure 86).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.4 Resolution time 36

a) Purpose

To measure the minimum resolution time necessary to produce correct switching.

b) Circuit diagram

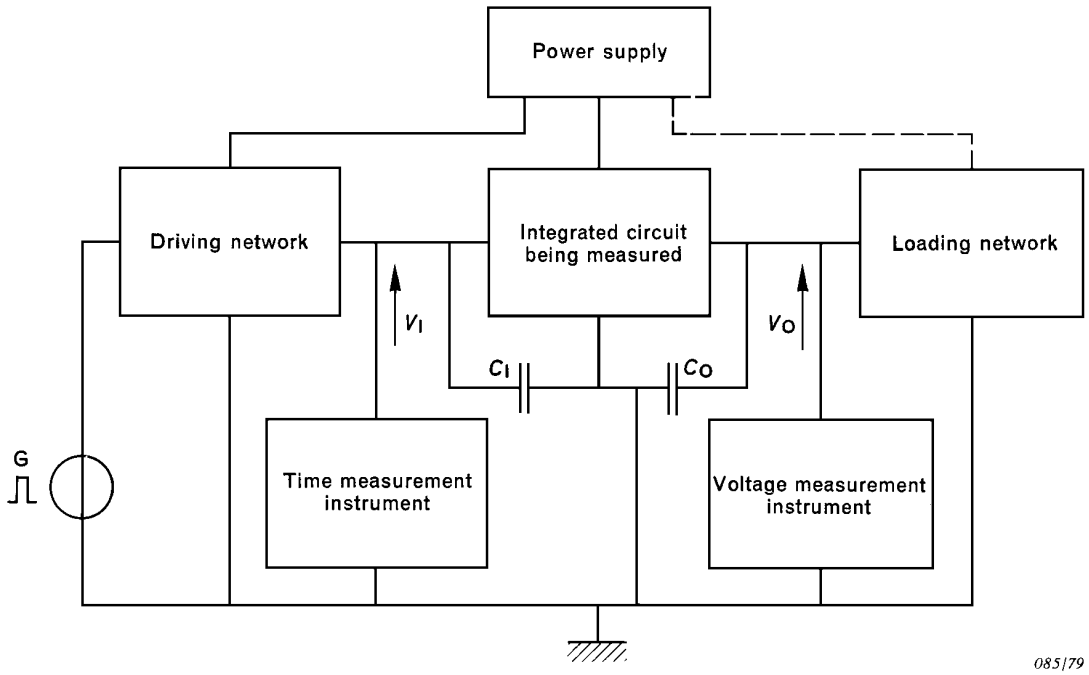


Figure 85

c) Circuit description and requirements

The time measurement instrument shall be suitable for measuring the time interval between two subsequent transitions of the input signal applied to the same input terminal. The reference level for this time measurement shall lie between V_{IHB} and V_{ILA}. Furthermore, the voltage measurement instrument shall be capable of measuring the output voltage of the circuit being measured. The pulse generator shall be able to provide pulses having adjustable duty cycles and adjustable frequency. The measurement circuit shall provide the voltages and loads to the other input and output terminals as specified. The measurement system shall be such that the circuit being measured is at the specified temperature.

d) Precautions to be observed

No special precautions are required.

e) Measurement procedure

The integrated circuit being measured is connected in the measurement circuit; the supply voltage conditions at other terminals are adjusted to the specified values.

The temperature is adjusted to the specified value and checked before and after the measurement.

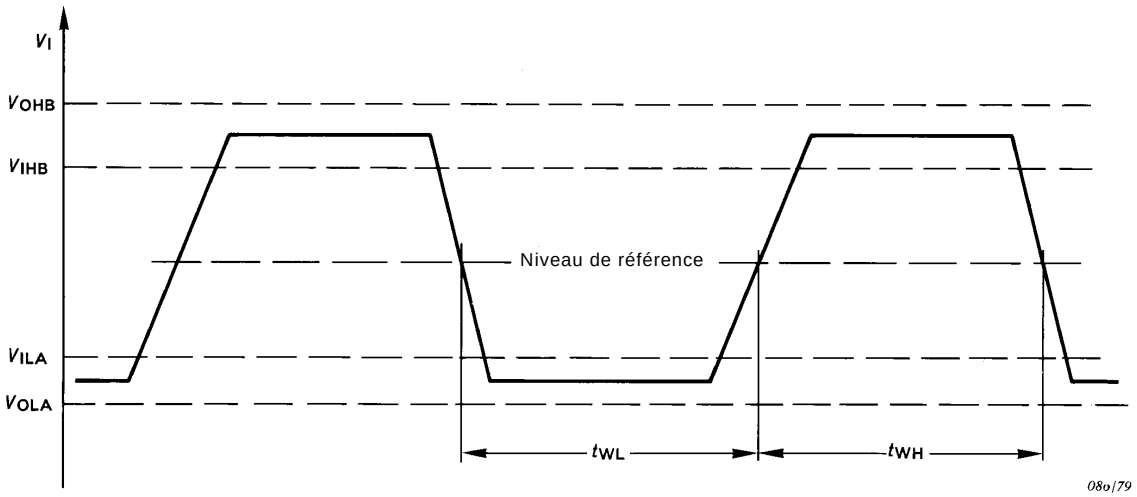
The pulse generator is adjusted to give the specified voltages and the specified rise and fall times at the input of the integrated circuit being measured.

NOTE – Normally, the input pulse amplitude shall be limited to the range V_{OLA} to V_{OHB}.

By further adjustment of the pulse generator and with t_{WH} being kept at a specified fixed duration, the input pulse duration t_{WL} is adjusted until the appropriate level of the output signal just reaches V_{OLA} or V_{OHB}; alternatively, with t_{WL} kept at a specified fixed duration, the input pulse duration t_{WH} is adjusted until the appropriate level of the output signal just reaches V_{OLA} or V_{OHB}.

The measured input pulse duration t_{WL} (or t_{WH}) is the minimum resolution time for the specified duration t_{WH} (or t_{WL}) (see figure 86).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



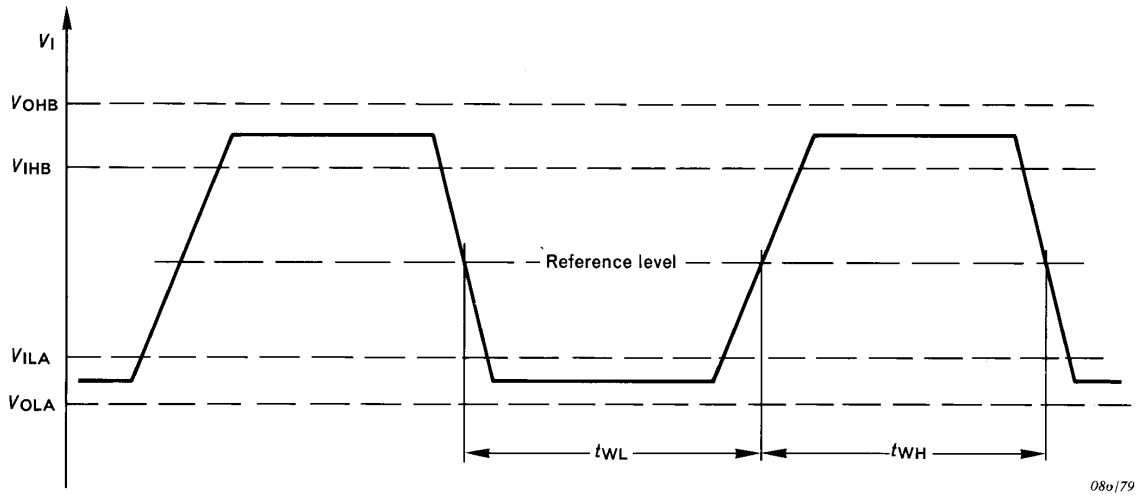
$t_{resL} = t_{WL}$ (t_{WH} spécifié) $t_{resH} = t_{WH}$ (t_{WL} spécifié)

Figure 86 – Temps de résolution: t_{res}

f) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Tension(s) d'alimentation.
- Réseau de commande d'entrée, si nécessaire, ou impédance de sortie du générateur d'impulsions.
- Conditions pour les impulsions d'entrée:
  - amplitude;
  - durée: t_{WL} et/ou t_{WH};
  - temps de croissance;
  - temps de décroissance.
- Niveau de référence pour t_{WL} et t_{WH}.
- Réseau(x) de charge de sortie.
- Conditions pour les autres bornes.
- Rapport entre la fréquence d'entrée et la fréquence de sortie.
- Capacités d'entrée C_I et de sortie C_O, y compris les capacités parasites dues aux accessoires de montage et au support d'essai.
- Valeurs de V_{OLA} et V_{OHB}.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



$t_{resL} = t_{WL}$ (t_{WH} specified) $t_{resH} = t_{WH}$ (t_{WL} specified)

Figure 86 – Resolution time: t_{res}

f) Specified conditions

- Ambient or reference-point temperature.
- Supply voltage(s).
- Input driving network, if required, or output impedance of the pulse generator.
- Input pulse conditions:
  - amplitude;
  - duration t_{WL} and/or t_{WH}:
  - rise time;
  - fall time.
- Reference level for t_{WL} and t_{WH}.
- Output loading network(s).
- Conditions at other terminals.
- Ratio of input to output frequencies.
- Input and output capacitances C_I and C_O, including stray capacitances associated with the mounting jigs and test fixtures.
- Values of V_{OLA} or V_{OHB}.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.5 Temps d'autorisation et d'inhibition en sortie (pour les sorties «trois états») 49

a) But

Mesurer les temps d'autorisation et d'inhibition en sortie pour des circuits intégrés numériques ayant des sorties trois états.

b) Schéma

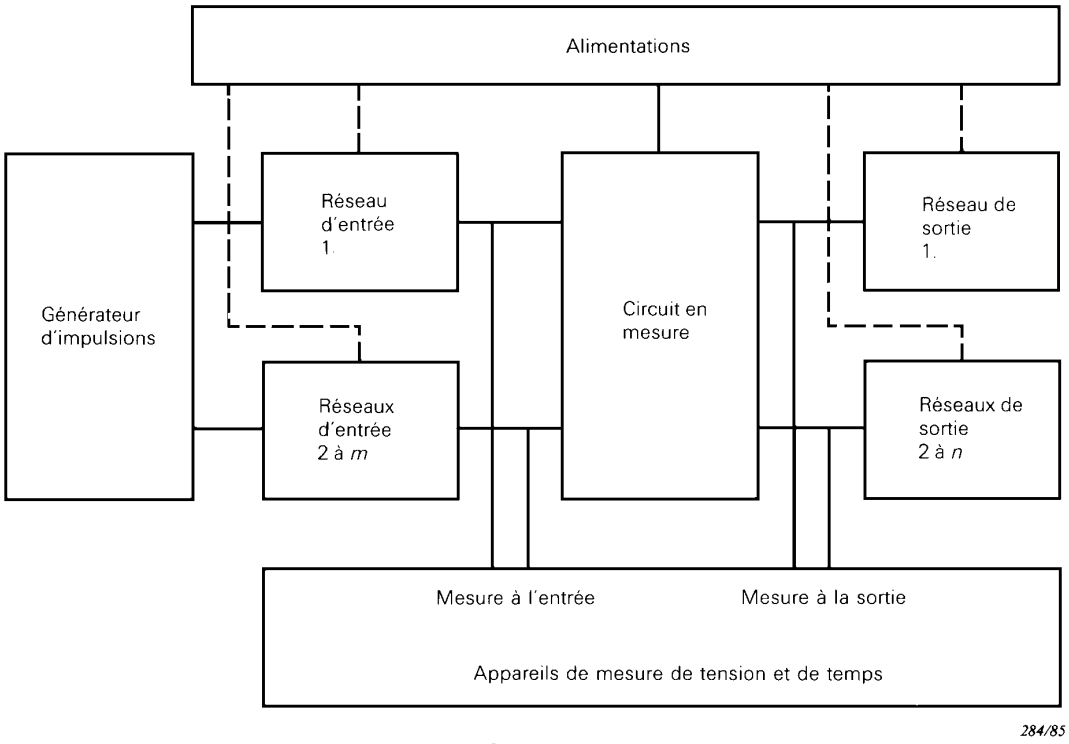


Figure 87

c) Description et exigences du circuit

On doit pouvoir fournir des impulsions convenables à l'entrée ou aux entrées de commande et aux autres entrées. On doit pouvoir également mesurer les relations de temps entre les signaux pour des niveaux de tension de référence spécifiés.

Le circuit d'essai doit comprendre les charges spécifiées pour la ou les sorties à mesurer. La figure 89 indique un réseau de charge convenable dans le cas de TTL. En outre, on doit pouvoir réaliser les niveaux de tension et les charges voulues aux autres bornes; le circuit en mesure doit être à la température spécifiée.

NOTE – Afin de permettre la distinction entre les trois états différents d'une sortie trois états (bas, haut et haute impédance), on dit qu'une sortie est dans l'état à haute impédance si la tension sur cette sortie a un niveau opposé à celui sur la sortie lorsqu'il y a autorisation. Ce niveau de tension est obtenu grâce au réseau de charge.

d) Exécution

Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure. Connecter les bornes d'entrée et de sortie, de même que les autres bornes, suivant spécification. Relier les bornes d'alimentation comme spécifié (par exemple dans une séquence spécifiée).

Régler le générateur d'impulsions pour fournir à l'entrée du circuit intégré en mesure des impulsions d'amplitude, de durées et de fréquences de répétition spécifiées.

Mesurer le temps d'autorisation en sortie (voir figure 88) comme étant l'intervalle de temps entre la transition du signal d'autorisation en sortie, de l'état inactif à l'état actif, et la transition de la sortie de l'état haute impédance (Z) au niveau haut (H) ou bas (L).

Mesurer le temps d'inhibition en sortie comme étant l'intervalle de temps entre la transition du signal d'autorisation en sortie, de l'état actif à l'état inactif, et la transition de la sortie du niveau haut (ou bas) à l'état haute impédance (Z).

Toutes les mesures sont faites pour les niveaux de tension de référence spécifiés.

NOTE – Etant donné que les transitions peuvent avoir des durées différentes, il peut être nécessaire de définir deux temps d'autorisation et deux temps d'inhibition (de Z à L, de Z à H et de L à Z, de H à Z).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.5 Output enable and disable times (for three-state outputs) 49

a) Purpose

To measure the output enable and disable times of digital integrated circuits with three-state outputs.

b) Circuit diagram

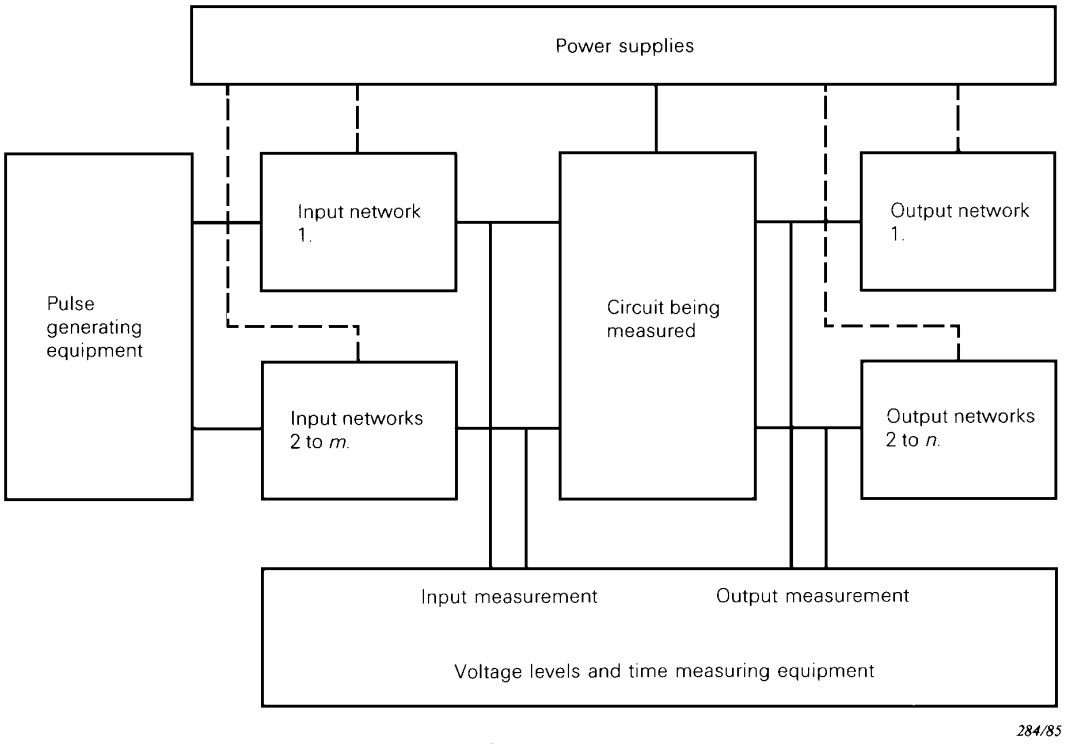


Figure 87

c) Circuit description and requirements

The measuring equipment shall be capable of generating suitable pulses for the output control input(s) an the remaining inputs, as far as relevant. It shall also be capable of measuring the time relations of the signals at the specified reference voltage levels.

The test circuit shall provide the specified loads for the output(s) being measured. Figure 89 shows a suitable loading network for TTL logic. Furthermore, the equipment shall provide the voltage levels and loads at the other terminals and shall keep the circuit being measured at the specified temperature.

NOTE – In order to be able to distinguish between the three different states of a three-state output (low, high and high-impedance), an output in the high-impedance state has to be pulled to a voltage level opposite to that produced by the output when it is enabled. This voltage level is established by the loading network.

d) Measurement procedure

The temperature is set to the specified value and checked immediately before and after the measurement. The input and output terminals as well as other terminals are connected according to the specification. The power supplies are connected as specified (for example, in a specified sequence).

The pulse generating equipment is adjusted to give the specified pulse amplitudes, durations and repetition frequencies at the input(s) of the integrated circuit being measured.

The output enable time (see figure 88) is measured as the time interval between the transition of the output enable signal from inactive to active state and the transition of the output from the high-impedance (Z) state to the high-(H) or low-(L) level.

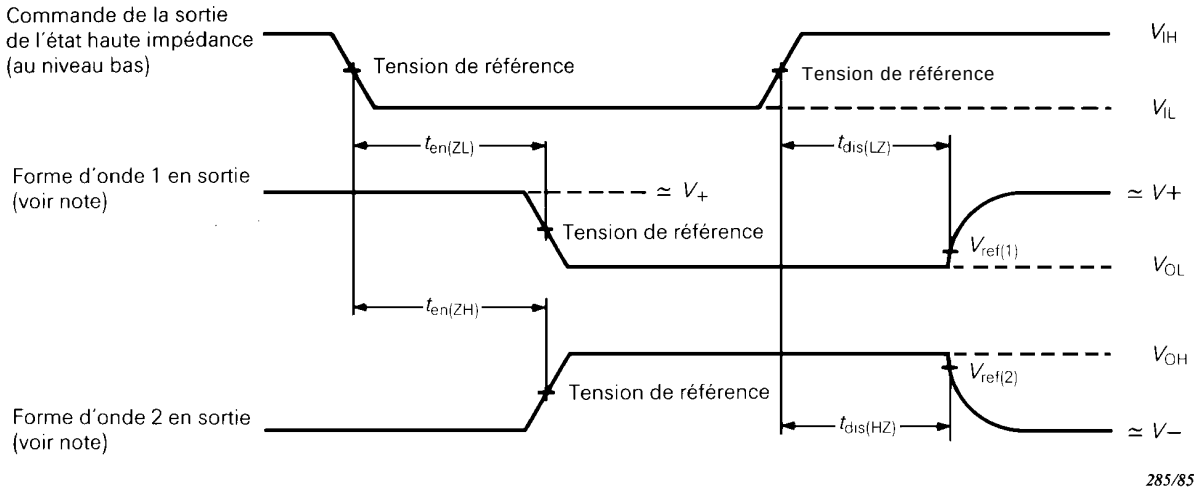
The output disable time is measured as the time interval between the transition of the output enable signal from active to inactive state and the transition of the output from the high or low level to the high-impedance state (Z).

All measurements are made at the specified reference voltage levels.

NOTE – Since transitions may take different times, it may be necessary to define two enable and two disable times (for Z to L, Z to H and L to Z, H to Z).

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Conditions spécifiées
- Température ambiante ou température d'un point de référence (T_{amb} ou T_{ref}).
- Tension(s) d'alimentation.
- Conditions pour les impulsions d'entrée:
  - temps de croissance t_r;
  - temps de décroissance t_f;
  - amplitude;
  - fréquence de répétition;
  - temps de préparation et de maintien, s'il y a lieu;
  - durée.
- Réseaux d'entrée.
- Réseaux de sortie et de charge, comprenant la capacité de charge C_L (C_L comprend les capacités parasites).
- Conditions pour les autres bornes.
- Niveaux de tension de référence pour les mesures de temps.



$t_{en(ZH)}$ ou $t_{en(ZL)}$ = temps d'autorisation

$t_{dis(HZ)}$ ou $t_{dis(LZ)}$ = temps d'inhibition

$V_{ref(1)}$ ou $V_{ref(2)}$ = tension de référence pour le temps d'inhibition en sortie, la sortie allant du niveau bas (ou du niveau haut) à l'état haute impédance.

V_+ ou V_- = tension de sortie à l'état stable, la sortie allant du niveau bas (ou du niveau haut) à l'état haute impédance.

NOTE – La forme d'onde 1 en sortie est telle que, pour des conditions internes appropriées, le niveau de sortie soit bas, sauf s'il est inhibé (invalidé) par la commande de sortie. La forme d'onde 2 en sortie est telle que, pour des conditions internes appropriées, le niveau de sortie soit haut, sauf s'il est inhibé (invalidé) par la commande de sortie.

Figure 88 – Mesure des temps d'autorisation et d'inhibition en sortie

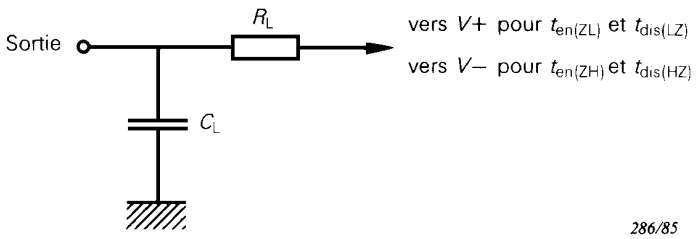
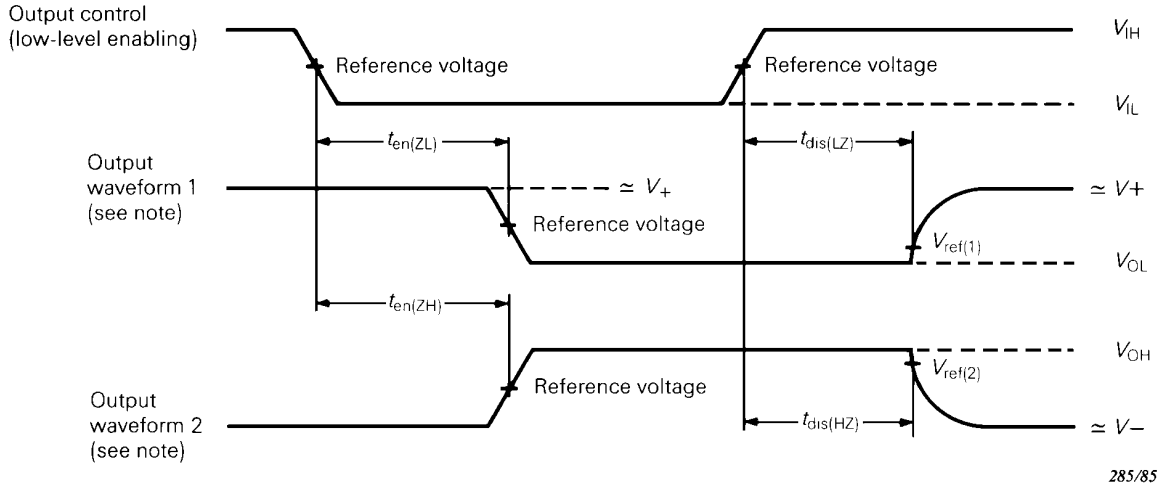


Figure 89 – Exemple de circuit de charge en sortie pour un circuit TTL ou équivalent

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Specified conditions

– Ambient or reference-point temperature (T_{amb} or T_{ref}).
– Supply voltage(s).
– Input pulse conditions:
  • rise time t_r;
  • fall time t_f;
  • amplitude;
  • repetition frequency;
  • set-up and hold times, where appropriate;
  • duration.
  – Input networks.
  – Output and loading networks, including loading capacity C_L (C_L includes stray capacitances).
  – Conditions at other terminals.
  – Reference voltage levels for the time measurements.



$t_{en(ZH)}$ or $t_{en(ZL)}$ = output enable time

$t_{dis(HZ)}$ or $t_{dis(LZ)}$ = output disable time

$V_{ref(1)}$ or $V_{ref(2)}$ = reference voltage for L to Z (or H to Z) output disable time

V_+ or V_- = steady-state output voltage, with output going from L-level to Z-state (or H-level to Z-state).

NOTE – Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.

Figure 88 – Measurement of output enable and disable times

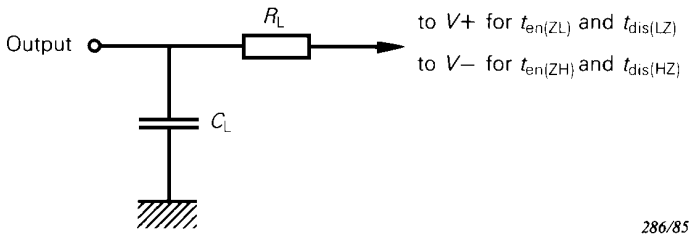


Figure 89 – Example of output loading network for TTL or equivalent logic

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.6 Temps spécifiques aux mémoires 50 à 54

Généralités

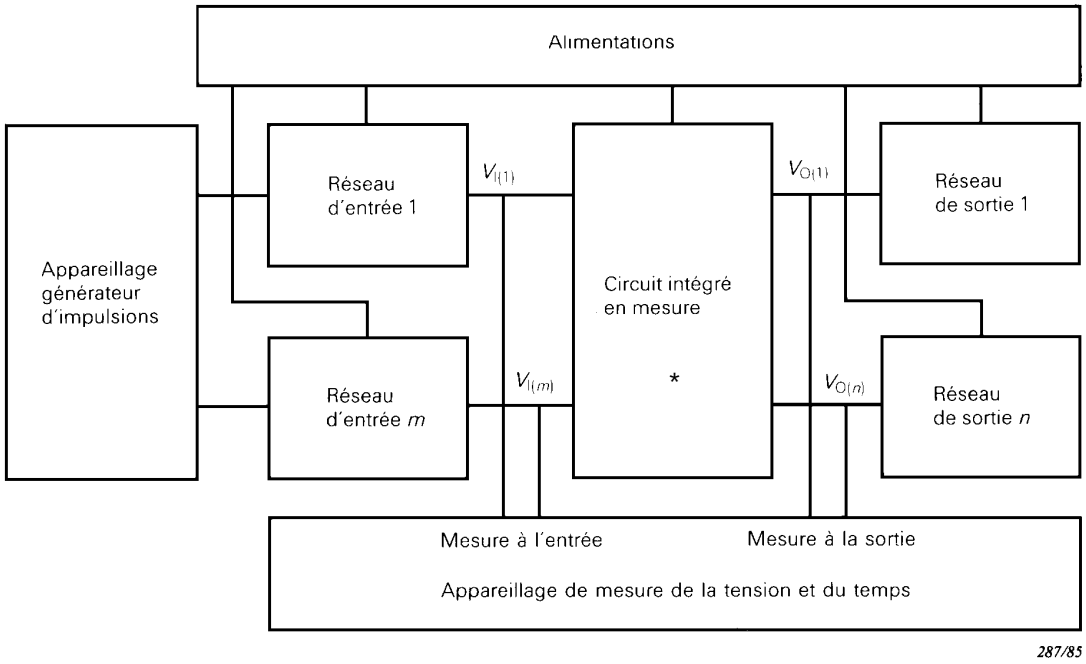
Les méthodes de mesure décrites ci-après permettent de déterminer les valeurs des caractéristiques à spécifier pour les mémoires à circuit intégré. On peut, naturellement, les adapter pour les essais sur machines automatiques. On peut aussi les considérer comme méthodes de référence et s'en servir pour déterminer la valeur exacte d'une caractéristique particulière.

a) But

Mesurer les caractéristiques dynamiques et les exigences de temps suivantes d'une cellule-mémoire d'une mémoire à circuit intégré:

- temps d'accès d'adresse;
- temps d'accès de sélection boîtier;
- temps d'accès de lecture;
- temps de recouvrement d'écriture;
- durée (largeur) minimale de l'impulsion d'écriture.

b) Schéma



* Dans le cas de bornes communes pour l'entrée et la sortie, il faut prévoir des réseaux de séparation entrée-sortie.

Figure 90 – Circuit de mesure

c) Description et exigences du circuit

L'appareillage doit pouvoir fournir des impulsions et des configurations d'impulsions qui doivent convenir pour les entrées d'adresse, les entrées d'information ainsi que pour les autres entrées spécifiées. Les chronogrammes des signaux doivent pouvoir être établis pour les tensions de référence spécifiées.

En outre, l'appareillage doit pouvoir fournir les tensions et les charges aux autres bornes ainsi que des possibilités de séparation pour les circuits ayant des bornes communes pour l'entrée et la sortie.

d) Exécution

Le circuit de mesure est représenté à la figure 90; il doit être à la température spécifiée. Connecter les bornes d'entrée et de sortie, ainsi que les autres bornes, comme il est spécifié. Connecter les alimentations comme spécifié (par exemple dans une séquence spécifiée).

Ajuster le générateur d'impulsions pour obtenir l'amplitude, la durée (largeur), la fréquence de répétition, les temps de retard, de croissance et de décroissance spécifiés à l'entrée du circuit en mesure.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

4.6 Specific times for memories 50 to 54

General

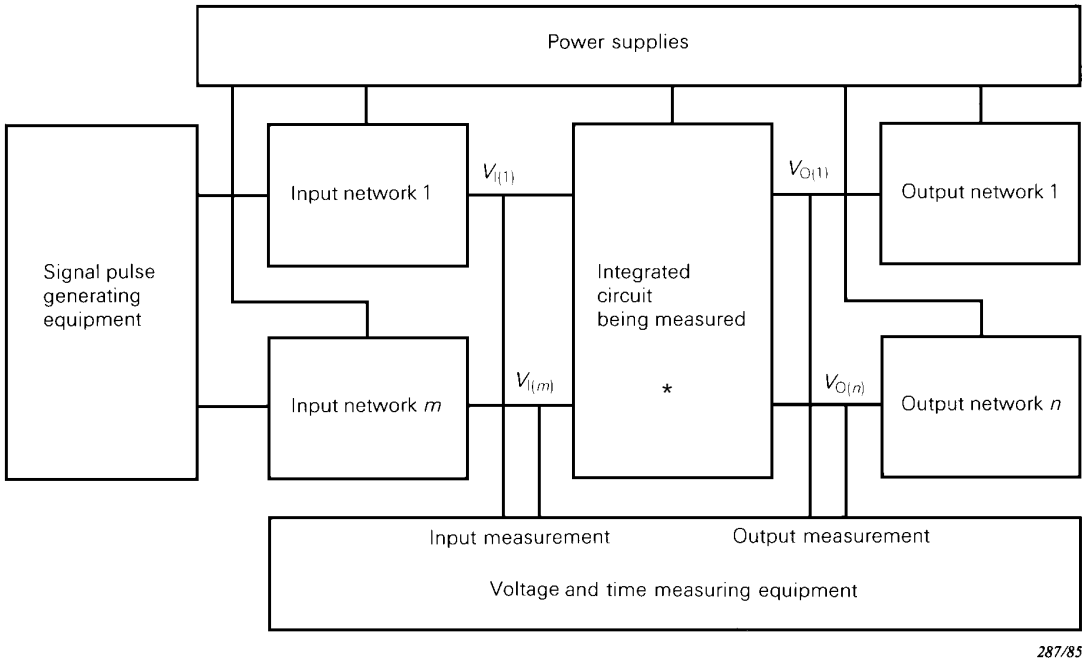
The measuring methods described below may be used for establishing values of the characteristics to be specified for integrated circuit memories. They may, of course, be adapted for use in automatic test procedures. They are also considered to be suitable as reference methods and may be used as required to establish the true value of a particular characteristic.

a) Purpose

To measure the following dynamic characteristics and timing requirements of a memory cell of an integrated circuit memory:

- address access time;
- chip select access time;
- read access time;
- write recovery time;
- minimum write pulse duration (width).

b) Circuit diagram



* In the case of common input/output terminals, input/output separation networks are needed.

Figure 90 – Measurement circuit

c) Circuit description and requirements

The measuring equipment shall be capable of generating suitable signal pulses and pulse patterns for the address, data inputs and for any other specified inputs, as far as relevant. The time relations of the signal shall be measurable at the specified reference voltages.

Furthermore, the equipment must provide the voltages and loads at the other terminals and appropriate separation facilities for circuits having common input/output terminals.

d) Measurement procedure

The measurement circuit is shown in figure 90. The circuit being measured should be set to the specified temperature. The input and output terminals as well as the other terminals are to be connected according to the specification. The power supplies are to be connected as specified (for example in a specified sequence).

The signal pulse generating equipment is adjusted to give the specified pulse level, duration (width), repetition frequency, delay and rise and fall times at the input of the circuit being measured.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

d1) Mesure du temps d'accès d'adresse 50

A l'aide du générateur d'impulsions, écrire les informations spécifiées dans les cellules-mémoire qui doivent être utilisées dans la mesure.

Pendant les opérations de lecture qui suivent, il est nécessaire de modifier le signal d'adresse pour se déplacer d'un emplacement défini pour la cellule à un autre, ces deux emplacements emmagasinant des informations complémentaires.

Appliquer tous les autres signaux d'entrée nécessaires pour lire la mémoire suffisamment à l'avance afin que le temps d'accès d'adresse ne soit pas modifié. Mesurer le temps d'accès d'adresse comme étant l'intervalle de temps entre l'instant où l'adresse est modifiée et celui où les informations sont valides à la sortie, la mesure étant effectuée pour des tensions de référence spécifiées (voir figure 91).

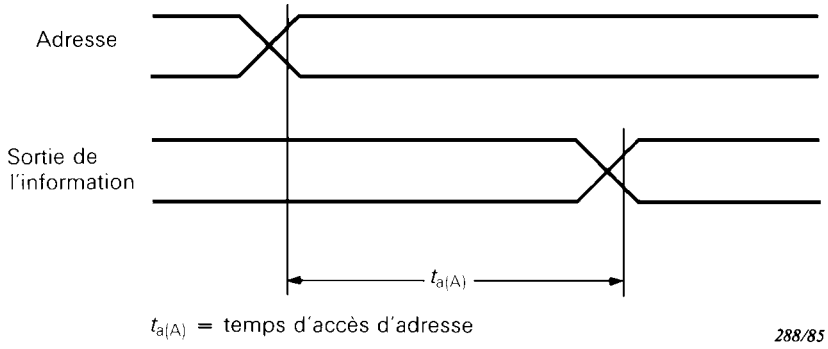


Figure 91 – Mesure du temps d'accès d'adresse

d2) Mesure du temps d'accès de sélection boîtier 51

A l'aide d'un générateur d'impulsions, écrire les informations spécifiées dans les cellules-mémoires qui doivent être utilisées dans la mesure.

Appliquer tous les autres signaux d'entrée nécessaires pour lire la mémoire suffisamment à l'avance pour que le temps d'accès d'autorisation et/ou de sélection ne soit pas modifié. Le temps d'accès d'autorisation et/ou de sélection est l'intervalle de temps entre l'instant où le temps d'accès d'autorisation et/ou de sélection passe de l'état inactif à l'état actif et l'instant où les informations sont valides à la sortie, la mesure étant effectuée pour des tensions de référence (voir figure 92).

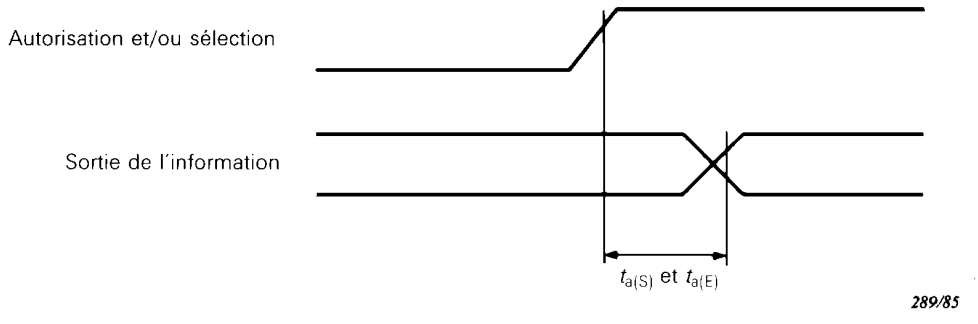


Figure 92 – Mesure du temps d'accès d'autorisation et/ou de sélection

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

d1) Measurement of address access time 50

With the aid of the signal pulse generating equipment, specified data shall be written into the memory cells to be used during the measurement.

During the subsequent read operations, it is necessary to change the applied address signal to move from one defined cell location to another, these two locations storing complementary data.

All other input signals necessary for the memory to be read should be applied sufficiently early so as not to affect the address access time. The address access time is measured as the time from the change of the address to the occurrence of valid data at the output, the measurement being made at specified reference voltages (see figure 91).

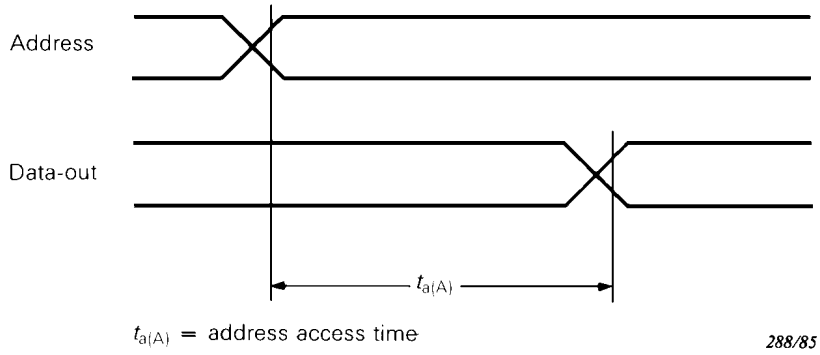
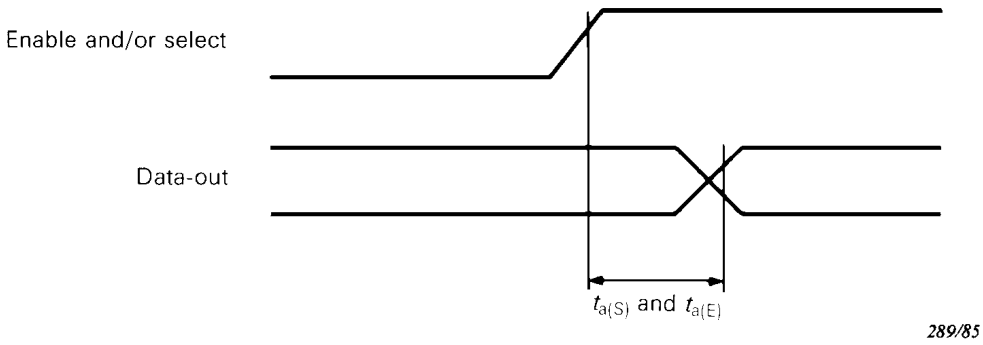


Figure 91 – Measurement of address access time

d2) Measurement of chip select access time 51

With the aid of the signal pulse generating equipment, specified data shall be written into the memory cells to be used during the measurement.

All other input signals necessary for the memory to be read should be applied sufficiently early so as not to affect the enable and/or select access time. The enable and/or select access time is the time interval between the transition of enable and/or select from inactive to active state and the occurrence of valid data at the output, the measurement being implemented at specified reference voltages (see figure 92).



$t_{a(E)}$ and $t_{a(S)}$ = enable and/or select access time

Figure 92 – Measurement of enable and/or select access time

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

d3) Mesure du temps d'accès de lecture 52

A l'aide du générateur d'impulsions, écrire les informations spécifiées dans les cellules-mémoire qui doivent être utilisées pendant la mesure.

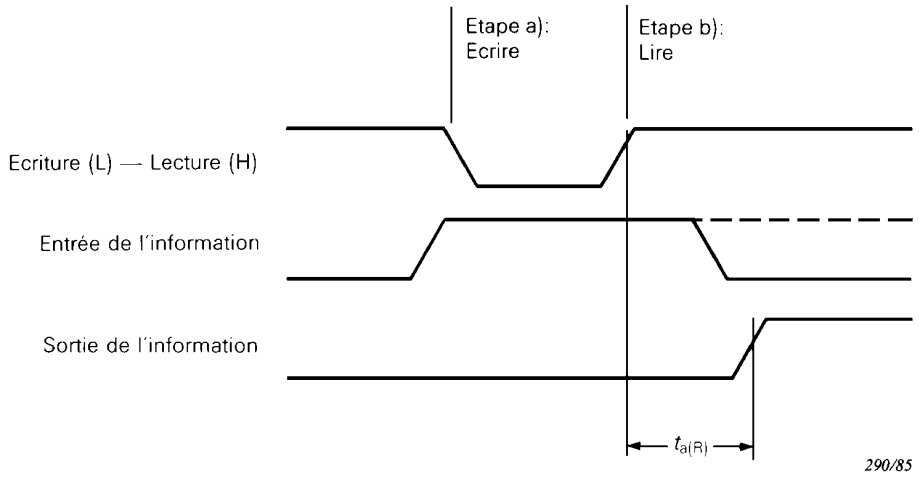
NOTE – Cette méthode n'est valable que pour les mémoires ayant des bornes d'entrée et de sortie séparées.

L'exécution comporte deux étapes:

a) inscrire un bit d'information dans la cellule-mémoire;

b) le bit d'information doit être tel qu'il provoque un changement à la sortie lors de la lecture.

Mesurer le temps d'accès de lecture comme l'intervalle de temps entre l'instant de la transition d'un mode d'écriture à un mode de lecture et l'instant où les informations sont valides à la sortie (voir figure 93).



$t_{a(R)}$ = temps d'accès de lecture

Figure 93 – Mesure du temps d'accès de lecture

d4) Mesure du temps de recouvrement d'écriture 53

A l'aide du générateur d'impulsions, écrire les informations spécifiées dans les cellules-mémoires qui doivent être utilisées dans la mesure.

NOTE – Cette méthode n'est valable que pour les mémoires ayant des bornes d'entrée et de sortie séparées.

Augmenter la durée (largeur) de l'impulsion d'écriture depuis la valeur minimale garantie. Observer la sortie du dispositif afin de noter quand l'information écrite provoque une erreur dans le fonctionnement d'un nouveau cycle de lecture (c'est-à-dire non-conformité de la valeur de sortie).

Mesurer le temps de recouvrement d'écriture comme étant l'intervalle de temps entre la fin de l'impulsion d'écriture et le début du cycle suivant (par exemple changement d'adresse) mesuré à un niveau de référence spécifié.

NOTE – Tous les autres signaux nécessaires pour le fonctionnement correct de la mémoire dans le mode de lecture doivent être appliqués, ce qui donne une marge de temps suffisante quant aux exigences de temps spécifiées, de telle façon que la valeur mesurée ne soit pas perturbée.

On indique les formes d'onde typiques dans la figure 94.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

d3) Measurement of read access time 52

With the aid of the signal pulse generating equipment, specified data shall be written into the memory cells to be used during the measurement.

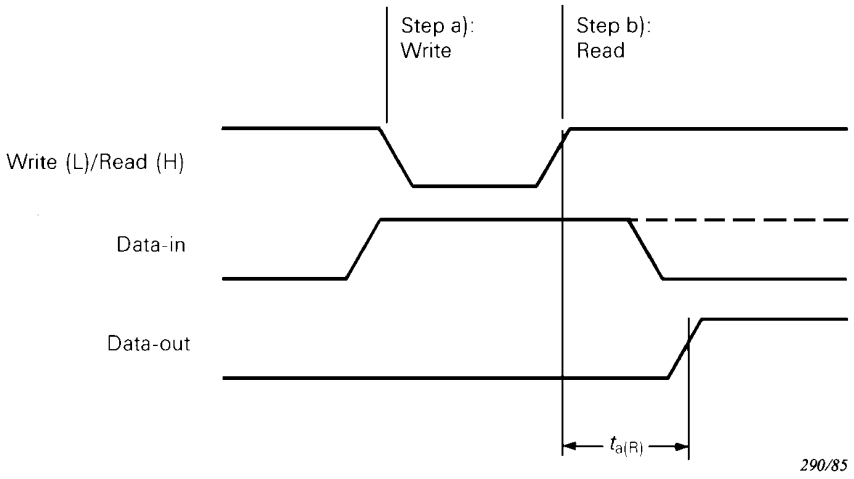
NOTE – This method is only suitable for memories with separate input and output terminals.

The measuring procedure comprises two steps:

a) a bit of data is written into the memory cell;

b) the data bit should be such that it causes a change at the output when read.

The read access time is measured as the time interval between the transition from a write mode to a read mode and the occurrence of valid data signals at the outputs (see figure 93).



$t_{a(R)}$ = read access time

Figure 93 – Measurement of read access time

d4) Measurement of write recovery time 53

With the aid of the signal pulse generating equipment, specified data shall be written into the memory cells to be used during the measurement.

NOTE – This method is only suitable for memories with separate input and output terminals.

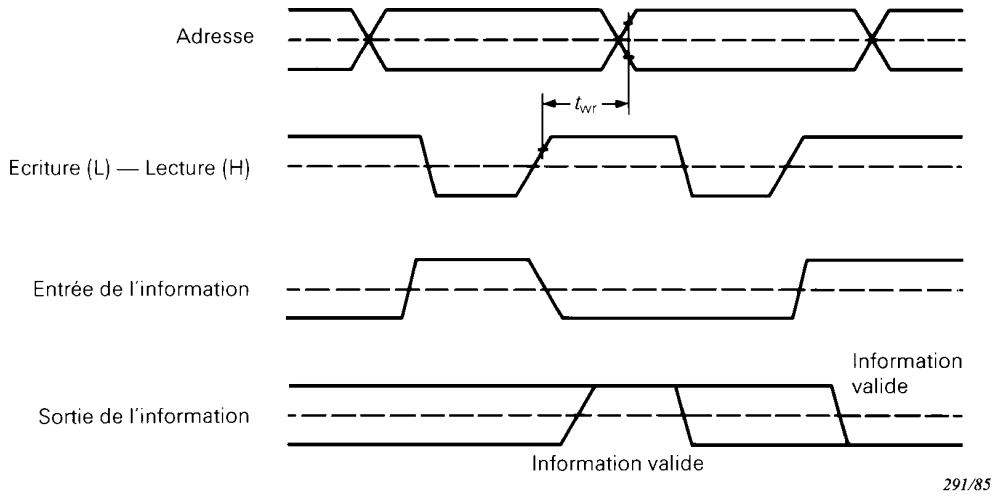
The write pulse duration (width) is increased from the minimum guaranteed value. The output of the device is observed to notice when the written data makes an error in the next read cycle operation (that is non-conformity of the output value).

The write recovery time is measured as the time interval between the end of the write pulse and the beginning of the next cycle (for example a change of address) at the specified reference level.

NOTE – All other signals necessary for the correct operation of the memory in the read mode should be applied allowing a sufficient margin relative to the specified timing requirements, such that the measured value is not adversely affected.

Typical waveforms are shown in figure 94.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



t_{wr} = temps de recouvrement d'écriture

Figure 94 – Mesure du temps de recouvrement d'écriture, lorsque le début du cycle suivant est provoqué par un changement d'adresse

d5) Mesure de la durée (largeur) minimale de l'impulsion d'écriture 54

A l'aide du générateur d'impulsions, écrire les informations spécifiées dans les cellules-mémoires qui doivent être utilisées pendant la mesure.

L'exécution comporte trois étapes:

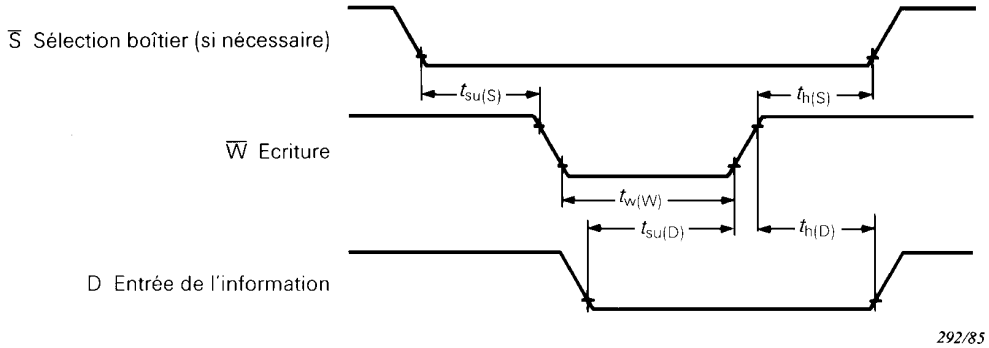
a) inscrire les informations dans la cellule-mémoire, en conformité avec la spécification;

b) réécrire dans la cellule avec les informations complémentaires spécifiées;

c) lire les informations et les comparer à celles inscrites durant l'étape b).

Répéter ces trois étapes, avec des durées (largeurs) d'impulsions d'écriture décroissantes pour l'étape b), jusqu'à ce qu'en c) il n'y ait plus identité dans la comparaison. Augmenter alors la durée de l'impulsion jusqu'à ce que l'identité réapparaisse. Cette durée (largeur) d'impulsion est la «durée (largeur) minimale d'impulsion d'écriture» (voir figure 95).

Appliquer tous les autres signaux nécessaires pour l'opération d'écriture (par exemple, sélection boîtier et entrée information), de façon à ne pas perturber l'opération d'écriture.



$t_{w(W)}$ = durée (largeur) de l'impulsion d'écriture

$t_{su(S)}$ = temps de préparation sélection boîtier-écriture

$t_{su(D)}$ = temps de préparation entrée information-écriture

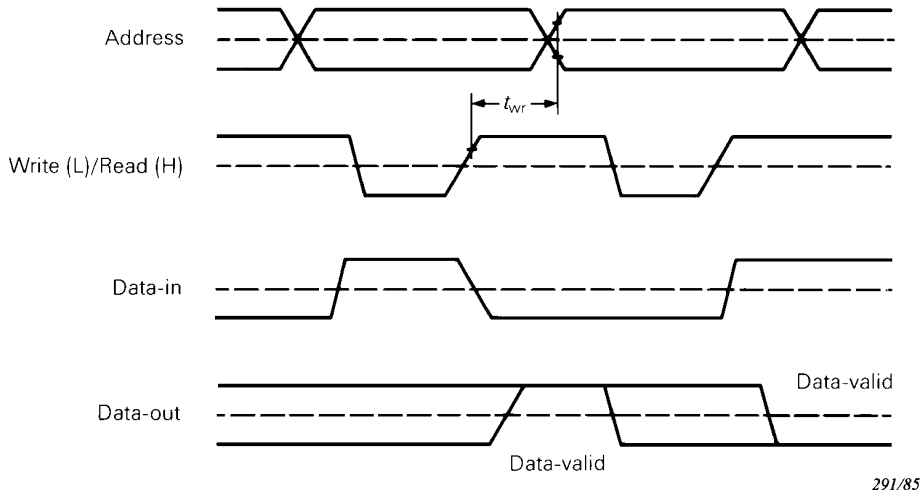
$t_{h(S)}$ = temps de maintien sélection boîtier-écriture

$t_{h(D)}$ = temps de maintien entrée information-écriture

NOTE – Le temps de préparation de l'information, $t_{su(D)}$, doit être compté à partir du flanc de descente de l'impulsion d'écriture (comme il est indiqué dans la figure ci-dessus) pour les mémoires dont les éléments de stockage sont des verrous «transparents». Il doit être compté à partir du flanc croissant de l'impulsion d'écriture pour les mémoires dont les éléments de stockage sont des verrous à déclenchement par transition.

Figure 95 – Mesure de la durée (largeur) minimale de l'impulsion d'écriture

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



t_{wr} = write recovery time

Figure 94 – Measurement for write recovery time where the next cycle is initiated by a change of address

d5) Measurement of minimum write pulse duration (width) 54

With the aid of the signal pulse generating equipment, specified data shall be written into the memory cells to be used during the measurement.

The measurement procedure consists of three steps:

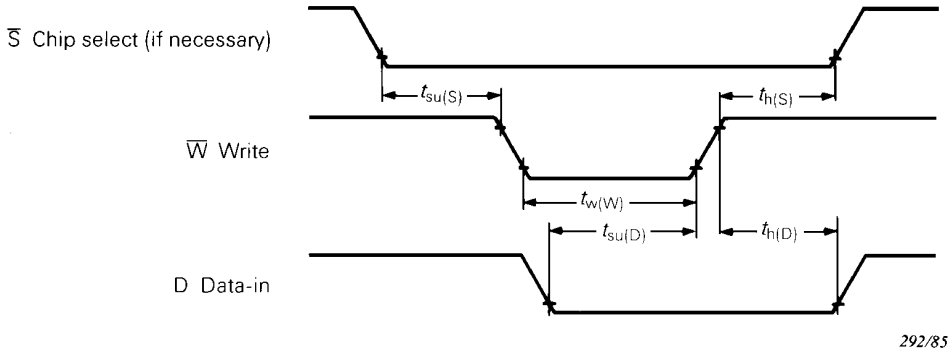
a) data is written into the memory cell according to the specification;

b) the cell is overwritten with specified complementary data;

c) the data is read out and compared with the data written in during step b).

These three steps are repeatedly performed with continuously decreasing write pulse duration (width) in step b) until data coincidence in the comparison is no longer obtained in step c). The pulse duration is then increased until coincidence is obtained again. This pulse duration (width) is the "minimum write pulse duration (width)" (see figure 95).

All other signals (for example: chip select and data-in) necessary for the write operation should be applied so that the write operation is not adversely affected.



$t_{w(W)}$ = write pulse duration (width)

$t_{su(S)}$ = chip select set-up time before write

$t_{su(D)}$ = data-in set-up time before write

$t_{h(S)}$ = chip select hold time after write

$t_{h(D)}$ = data-in hold time after write

NOTE – The data set-up time, $t_{su(D)}$ should be referenced to the trailing edge of the write pulse (as shown in the above figure) for memories whose storage elements are transparent latches. It should be referenced to the leading edge of the write pulse for memories whose storage elements are edge-triggered latches.

Figure 95 – Measurement of minimum write pulse duration (width)

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Conditions spécifiées

- Température ambiante ou température d'un point de référence (T_{amb} ou T_{case}).
- Tension(s) d'alimentation.
- Configurations et séquences des impulsions d'entrée, comprenant les exigences sur les relations de temps, par exemple: temps de cycle, temps de préparation, temps de maintien.
- Caractéristiques des impulsions d'entrée, comprenant le temps de croissance, le temps de décroissance et l'amplitude.
- Réseaux d'entrée et de sortie (y compris les capacités parasites).
- Conditions pour les autres bornes.
- Tension(s) de référence pour la mesure.
- Contenu de la ou des cellules-mémoires choisies.
- Adresse de la ou des cellules-mémoires choisies.
- Séquence des adresses, s'il y a lieu.

5 Fréquence de commutation d'un circuit séquentiel 10

a) *But*

Déterminer si la fréquence de commutation maximale (minimale) d'un circuit séquentiel est située au-dessus (au-dessous) d'une limite spécifiée.

b) Schéma

Voir la figure 85.

c) Description et exigences du circuit

Un circuit séquentiel, qui peut en particulier être un circuit bistable, un compteur ou un registre à décalage, commute dans une configuration de sortie différente:

1) lorsque l'excitation de déclenchement appropriée à cessé depuis un temps donné;
2) et ensuite lorsque l'excitation de déclenchement appropriée est appliquée pendant un temps donné.

Ces deux temps ne sont pas nécessairement égaux.

Il n'y a pas commutation à la fréquence maximale lorsque la somme de ces deux temps, pour n'importe quel cycle donné, tombe au-dessous d'une valeur qui détermine cette caractéristique à la fréquence maximale pour le circuit intégré.

De même, il n'y a pas commutation lorsque l'un de ces temps dépasse la valeur qui détermine cette caractéristique à la fréquence minimale pour le circuit intégré.

Pour certaines classes de circuit séquentiels, des signaux supplémentaires peuvent être requis. Ces signaux supplémentaires doivent être synchronisés, mais ajustables en temps de délai par rapport au premier, et doivent avoir une fréquence de répétition divisible par un nombre entier par rapport à celle du premier.

Les réseaux de charge, tant pour les sorties mesurées que pour celles non mesurées, et les réseaux de commande doivent être connectés lorsque et tel que spécifié.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

e) Specified conditions

- Ambient or reference-point temperature (T_{amb} or T_{case}).
- Supply voltage(s).
- Input signal pulse patterns and sequences including required timing relationships, for example, cycle, set-up and hold times.
- Characteristics of the input signal pulses, including rise time, fall time and amplitude;
- Input and output networks (including stray capacitances).
- Conditions at other terminals.
- Reference voltage(s) for the measurement.
- Contents of the defined memory cell(s).
- Address of the defined memory cell(s).
- Sequence of the addresses, where appropriate.

5 Switching frequency of a sequential circuit 10

a) Purpose

To determine whether the maximum (minimum) switching frequency of a sequential circuit lies above (below) a specified limit.

b) Circuit diagram

See figure 85.

c) Circuit description and requirements

A sequential circuit, which may be in particular a bistable circuit or a counter or a shift register, will switch into a different output configuration, when:

1) the appropriate triggering pulse(s) has (have) been absent for a given time, and then,
2) the appropriate triggering pulse(s) is (are) applied for a given time.

These two periods of time need not be equal.

Failure to switch at maximum frequency will occur when the sum of these two times in any single cycle falls below the value that determines this characteristic at the maximum frequency for the integrated circuit.

Similarly, failure to switch will occur when one of these times exceeds the value that determines this characteristic at minimum frequency for the integrated circuit.

For certain classes of sequential circuits, additional signals may be required. These additional signals must be synchronized, but adjustable in time delay relative to the first, and must have a frequency which is an integral division of the first.

Loading networks for both measured and unmeasured outputs, and driving networks will be connected when and as specified.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Les entrées inutilisées doivent être connectées tel que spécifié.

Le détecteur de signal doit comprendre soit un oscilloscope soit un autre instrument pouvant indiquer si la sortie en mesure du circuit séquentiel commute entre ses configurations de sortie à la fréquence spécifiée, liée à celle des impulsions de déclenchement. Il doit aussi être capable d'indiquer que le signal de sortie satisfait les limites pour V_{OHB} ou V_{OLA} entre chaque transition.

d) Précautions à prendre

Aucune précaution spéciale n'est nécessaire.

e) Exécution

Connecter le circuit intégré au circuit en mesure; régler les tensions d'alimentation et d'entrée aux valeurs spécifiées.

Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure.

Ajuster les impulsions de sortie du générateur d'impulsions pour donner l'amplitude, la durée et la fréquence de répétition spécifiées à l'entrée du circuit intégré en mesure.

Ajuster de même tout autre générateur d'impulsions nécessaire et régler le ou les délais entre eux à la valeur spécifiée.

La sortie du circuit intégré doit être observée via le détecteur de signal pour s'assurer d'une commutation correcte à la fréquence de sortie spécifiée.

f) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Tension(s) d'alimentation.
- Conditions pour les impulsions d'entrée:
  - amplitude;
  - largeur;
  - temps de croissance;
  - temps de décroissance;
  - fréquence de répétition;
  - temps séparant les impulsions d'entrée, s'il y a lieu.
- Direction des transitions des signaux d'entrée.
- Réseau(x) de charge de sortie, tant pour les sorties mesurées que celles non mesurées.
- Réseau(x) de commande d'entrée, si exigé.
- Fréquence de répétition du signal de sortie.
- Conditions pour les autres bornes.
- Séquences et formes d'ondes aux autres bornes d'entrée.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Unused inputs shall be connected as specified.

The signal detector must include either an oscilloscope or other instrument that can indicate whether the measured output of the sequential circuit switches between its output configurations at specified frequency related to that of the triggering pulses. It must also be able to indicate that the output signal satisfies the limits for V_{OHB} or V_{OLA} between each transition.

d) Precautions to be observed

No special precautions are required.

e) Measurement procedure

The integrated circuit is connected into the measuring circuit; the supply and input voltages are set to the specified values.

The temperature is set to the specified value and checked immediately before and after the measurement.

The pulse generator output pulses are adjusted to give the specified pulse amplitudes, durations and repetition frequency(ies) at the input of the integrated circuit under measurement.

Any other required pulse generator is similarly adjusted and its delay(s) set to the specified value.

The output of the integrated circuit must be observed via the signal detector, for correct switching at the specified output frequency.

f) Specified conditions

- Ambient or reference-point temperature.
- Supply voltage(s).
- Input pulse conditions:
  - amplitude;
  - width;
  - rise time;
  - fall time;
  - repetition frequency;
  - delay between input pulses, when appropriate.
- Direction of transitions of input signals.
- Output loading network(s) for both measured and unmeasured outputs.
- Input driving network(s), if required.
- Repetition frequency of output signal.
- Conditions at other terminals.
- Sequences and waveforms at other input terminals.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

6 Méthode de vérification de la fonction d'un circuit intégré numérique 97

a) But

Vérifier la fonction d'un circuit intégré numérique.

b) Schéma

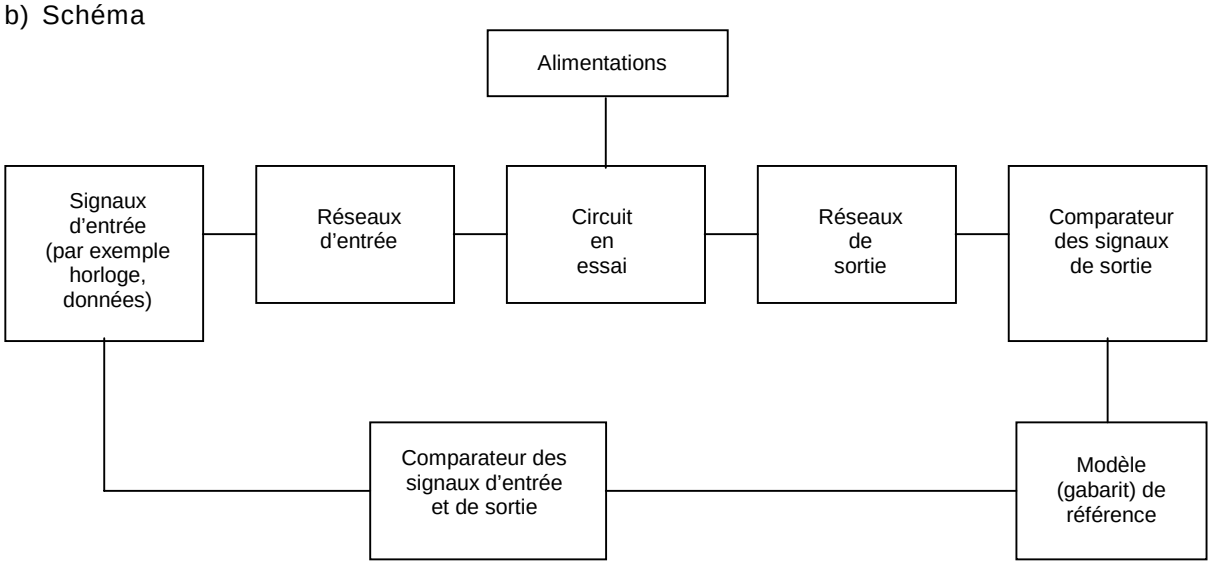


Figure 96

c) Description et exigences du circuit

L'équipement de mesure doit pouvoir fournir les tensions d'alimentation requises et, si plusieurs alimentations sont nécessaires, il doit également pouvoir fournir la séquence appropriée pour les appliquer et les retirer et, s'il y a lieu, pouvoir contrôler leurs rapidités de croissance et de décroissance. L'équipement de mesure doit maintenir le circuit intégré en essai à la température spécifiée. Il doit pouvoir fournir les modèles d'entrée spécifiés, c'est-à-dire les séquences et les combinaisons spécifiées de tensions et de courants des signaux d'entrée qui satisfassent aux conditions de temps d'entrée spécifiées, et également les signaux de sortie qui en résultent. Il doit également pouvoir comparer les signaux de sortie réels à ceux du modèle (gabarit) de sortie.

Le générateur des signaux d'entrée de commande doit pouvoir accomplir les opérations fonctionnelles qui doivent être vérifiées pour le circuit intégré en essai. Pour chaque opération essayée, le générateur des signaux d'entrée de commande doit fournir toutes les séquences et combinaisons de signaux d'entrée nécessaires pour amener le circuit intégré dans un état souhaité (séquence d'initialisation) avant l'application des données qui commandent cette opération. Le générateur des vecteurs de test de référence doit fournir le modèle (gabarit) de sortie qui devrait résulter de cette opération. Les conditions et correspondances de temps essentielles entre les signaux d'entrée et de sortie doivent être appliquées au modèle (gabarit) de sortie.

d) Précautions à prendre

Précautions spéciales: si approprié (par exemple verrouillage pour les dispositifs C-MOS).

e) Exécution

Régler la température du circuit intégré en essai à la valeur spécifiée et la vérifier avant et après l'essai.

Connecter selon les spécifications les bornes d'entrée, de sortie, et d'alimentation.

Régler les tensions d'alimentation à leurs valeurs spécifiées selon la séquence d'application spécifiée.

Appliquer aux entrées les signaux d'entrée correspondant au modèle d'entrée, y compris toutes les séquences d'initialisation nécessaires, aux niveaux de tension et de courant appropriés et aux conditions de temps essentielles.

Comparer chaque signal valide de sortie avec le modèle de sortie pour vérifier qu'il entre à l'intérieur des gammes de tensions ou de courants spécifiées et qu'il reste en correspondance avec les séquences de temps essentielles.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

6 Method of verification of the function of a digital integrated circuit 97

a) Purpose

To verify the function of the digital integrated circuit.

b) Circuit diagram

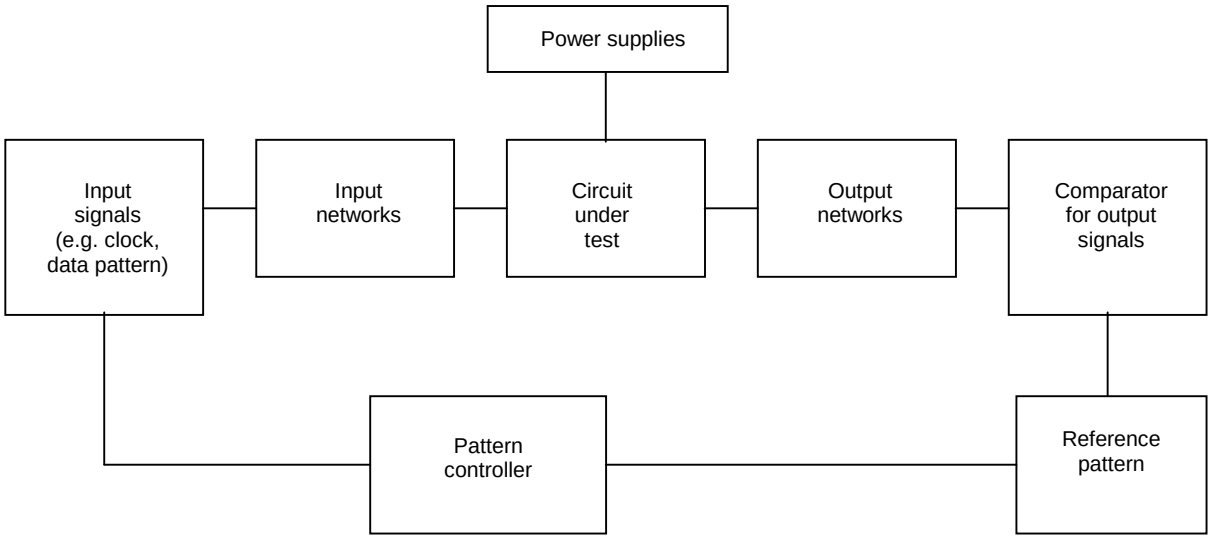


Figure 96

c) Circuit description and requirements

The measuring equipment shall be capable of supplying the necessary power supply voltages and, if more than one power supply is used, it should also be capable of providing the proper sequence of their application and removal and, where appropriate, controlling their rates of rise and fall. The measuring equipment shall keep the integrated circuit under test at the specified temperature. It shall be capable of providing the specified input patterns, i.e. specified sequences and combinations of input signal voltages and currents that meet the specified input timing conditions, and also the resulting output patterns. It shall also be capable of comparing the actual output signals with an output pattern.

The input pattern generator shall be capable of exercising the functional operations that are to be verified for the integrated circuit under test. For each operation that is tested, the input pattern generator shall provide any sequences and combinations of input signals necessary to bring the integrated circuit into a desired state (an initialization sequence) before the application of the pattern that exercises that operation. The reference pattern generator shall provide the output pattern that should result from the operation. The essential timing conditions and relationships between input and output signals shall apply to the output pattern.

d) Precautions to be observed

Special precautions: if appropriate (for instance latch-up for C-MOS devices).

e) Verification procedure

The temperature of the integrated circuit under test is set to the specified value and checked before and after the test.

The input, output and power supply terminals are connected as specified.

The power supply voltages are set to their specified values in the specified sequence of application.

The input signals corresponding to an input pattern, including any necessary initialization sequence, at the appropriate voltage and current levels and essential timing conditions, are applied to the inputs.

Each valid output signal is compared with the output pattern to verify that it lies within the specified voltage or current ranges and meets any essential timing relationships.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

f) Conditions spécifiées
- Température ambiante ou du boîtier (T_{amb} ou T_{case}).
- Tensions d'alimentation:
  - valeurs;
  - séquences, s'il y a lieu;
  - rapidités de croissance et de décroissance, s'il y a lieu.
- Connexions des bornes d'entrée.
- Connexions des bornes de sortie.
- Niveaux de tension des signaux d'entrée et, s'il y a lieu, niveaux de courant.
- Gammes des tensions de sortie et, s'il y a lieu, gammes des courants.
- Conditions de temps d'entrée essentielles;
  - temps de croissance et de décroissance, s'il y a lieu;
  - temps de réglage et de maintien;
  - fréquence d'horloge, etc.
- Conditions de temps de sortie essentielles:
  - temps de transition;
  - correspondances entre les signaux d'entrée et de sortie, etc.
- Opérations fonctionnelles à vérifier:
  - initialisation de pré-réglage d'entrée;
  - modèles d'entrée pour accomplir les opérations;
  - modèles de sortie.
- Réseaux d'entrée et de sortie.
- Schéma.
- Conditions de charge, s'il y a lieu.
- Réseaux supplémentaires, s'il y a lieu.
- Conditions aux autres bornes.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

f) Specified conditions
- Ambient or case temperature (T_{amb} or T_{case}).
- Supply voltages:
  - values;
  - sequences, where appropriate;
  - rates of rise and fall, where appropriate.
- Input terminal connections.
- Output terminal connections.
- Input signal voltage levels and, where appropriate, current levels.
- Output voltage ranges and, where appropriate, current ranges.
- Essential input timing conditions:
  - rise and fall times, where appropriate;
  - set-up and hold times;
  - clock frequency, etc.
- Essential output timing conditions:
  - transitions times;
  - relations between input and output signals, etc.
- Functional operations to be verified:
  - input pre-setting initialization;
  - input patterns to exercise operations;
  - output patterns.
- Input and output networks.
- Circuit diagram.
- Loading conditions, where appropriate.
- Additional networks, where appropriate.
- Conditions at the other terminals.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

CHAPITRE V: RÉCEPTION ET FIABILITÉ

SECTION UN – ESSAIS D'ENDURANCE ÉLECTRIQUE

1 Exigences générales

Voir l'article 2 de la CEI 60748-1, chapitre VIII, section trois.

2 Exigences spécifiques

2.1 Liste des essais d'endurance

Un choix d'essais d'endurance est indiqué pour les sous-catégories suivantes des circuits intégrés digitaux:

– portes;

– circuits séquentiels;

– mémoires à lecture-écriture.

Pour les dispositifs multiples, les caractéristiques des sorties spécifiées doivent être mesurées pour chacune des entrées associées. Pour les dispositifs ayant des bornes de commande supplémentaires (par exemple: bornes de positionnement et de remise à zéro, bornes de validation), les sorties spécifiées doivent être mesurées au moins une fois pour chaque fonction commandée par ces bornes.

Pour les circuits complexes qui ne sont pas soumis à tous les essais de fonctionnement, la liste des essais doit indiquer exactement les essais qui sont effectués.

2.2 Conditions pour les essais d'endurance

Les conditions d'essais et les circuits d'essais, pour chaque catégorie de dispositifs, sont donnés dans le tableau 2; les essais s'appliquent aux circuits bipolaires et MOS, sauf indication contraire.

La spécification applicable indique le ou les essais à effectuer.

2.3 Critères de défaillances pour les caractéristiques définissant la défaillance pour les essais de réception

Aucune modification des limites pour ces caractéristiques (choisies d'après 2.3.1 de la CEI 60748-1, chapitre VIII, section trois) n'est permise.

2.4 Critères de défaillances et caractéristiques définissant la défaillance pour les essais de fiabilité

A l'étude.

2.5 Procédure à suivre dans le cas d'une erreur d'essai

Lorsqu'un dispositif est devenu défectueux par suite d'une erreur d'essai (telle qu'une défaillance de l'appareillage de mesure ou d'essai, ou une erreur de l'opérateur), le défaut doit être noté sur le compte rendu d'essais avec une explication de la cause.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

CHAPTER V: ACCEPTANCE AND RELIABILITY

SECTION ONE – ELECTRICAL ENDURANCE TESTS

1 General requirements

See clause 2 of IEC 60748-1, chapter VIII, section three.

2 Specific requirements

2.1 List of endurance tests

A choice of endurance tests is given for the following subcategories of digital integrated circuits:

– gates;

– sequential circuits;

– read/write memories.

For multiple devices, the specified output characteristics shall be measured for each of the associated inputs. For devices having additional control terminals (for example, set and clear terminals, enable terminals), the specified outputs shall be measured at least once for each function controlled by these terminals.

For complex circuits that are not subjected to complete functional tests, the test data shall indicate exactly those functional tests which are performed.

2.2 Conditions for the endurance tests

Test conditions and test circuits, for each device category, are listed in table 2; the tests apply to both bipolar and MOS circuits unless otherwise stated.

The relevant specification will state which test(s) will apply.

2.3 Failure criteria for the failure-defining characteristics for acceptance tests

No change in the limits for these characteristics (determined as specified in 2.3.1 of IEC 60748-1, chapter VIII, section three) is allowed.

2.4 Failure criteria and failure-defining characteristics for reliability tests

Under consideration.

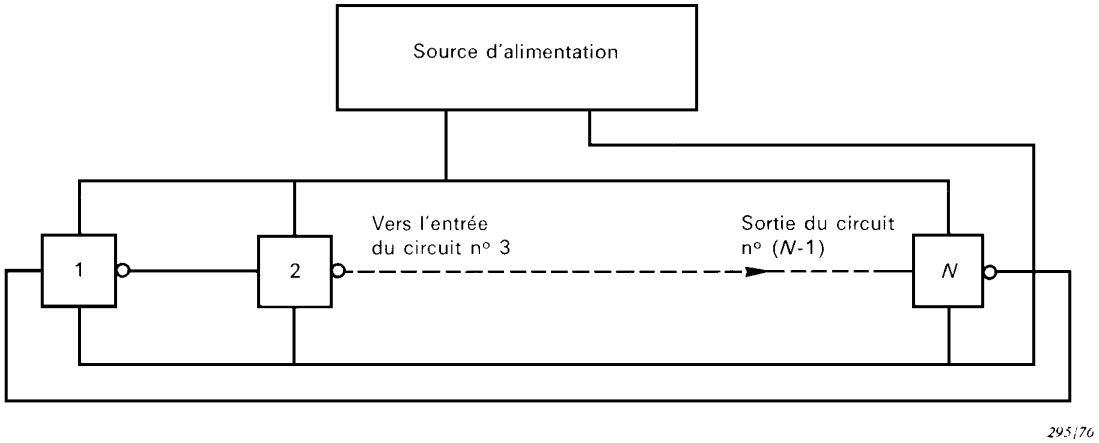
2.5 Procedure in case of a testing error

When a device has failed as a result of a testing error (such as a test equipment fault or measurement equipment fault, or an operator error), the failure shall be noted in the data record with an explanation of the cause.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Tableau 7 – Conditions pour les essais d'endurance

Essais	Catégories ou sous-catégories de dispositifs	Conditions d'essais	
		Température	Conditions de fonctionnement
Oscillateur par bouclage à haute température	Portes	$T_{amb} = T_{op\ max}$	Dans le cas de portes inverseuses, on met en série un nombre impair de circuits intégrés, la sortie de la dernière porte étant reliée à l'entrée de la première, comme indiqué à la figure 97, de façon à obtenir une inversion de phase Dans le cas de portes non inverseuses, un inverseur doit être ajouté à la suite des portes non inverseuses, comme indiqué à la figure 98. Dans ce cas, le nombre des portes non inverseuses peut être impair ou pair
Fonctionnement dynamique à haute température	Portes Circuits séquentiels	$T_{amb} = T_{op\ max}$	Appliquer la suite d'impulsions spécifiées à la ou aux bornes d'entrée. Les conditions aux autres bornes doivent être spécifiées (voir figure 99)
	Mémoires à lecture-écriture	$T_{amb} = T_{op\ max}$	Appliquer la suite d'impulsions spécifiées aux bornes d'entrée. Les conditions aux autres bornes doivent être spécifiées
Fonctionnement statique à haute température	Portes. Circuits séquentiels sauf: 1) circuits dynamiques (MOS) 2) mémoires à lecture-écriture	$T_{amb} = T_{op\ max}$	Appliquer les tensions spécifiées aux bornes d'entrée. Les conditions aux autres bornes doivent être spécifiées (voir figure 100)
	Mémoires à lecture-écriture	$T_{amb} = T_{op\ max}$	Appliquer les tensions spécifiées aux bornes appropriées spécifiées de façon à inscrire la donnée spécifiée, à la lire en sortie et à la conserver



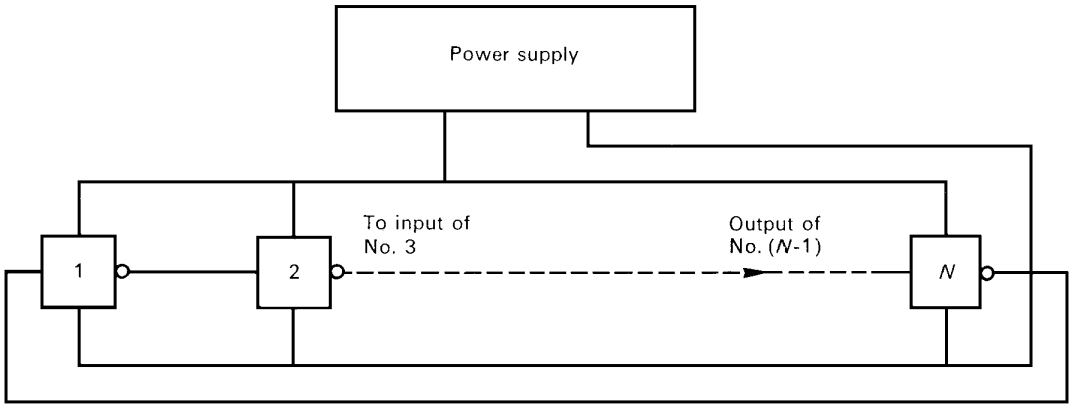
N = nombre impair

Figure 97 – Oscillateur réalisé par bouclage de *N* portes inverseuses

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Table 7 – Conditions for the endurance tests

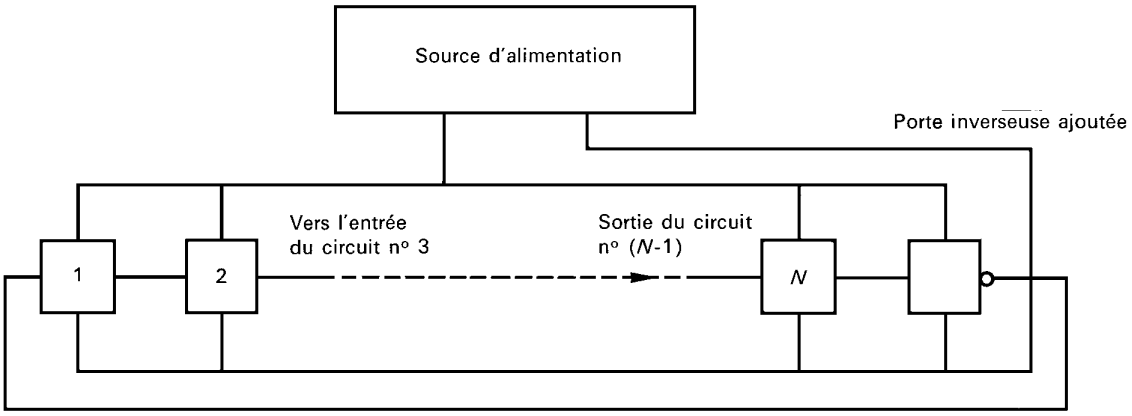
Tests	Device categories or subcategories	Test conditions	
		Temperature	Operating conditions
High-temperature ring oscillator	Gates	$T_{amb} = T_{op\ max}$	For the case of inverting type gates, an odd number of integrated circuits is connected in cascade, the output of the last gate being connected to the input terminal of the first gate, as shown in figure 97, to cause phase inversion For the case of non-inverting type gates, an inverter should be added to the cascade connection of non-inverting gates as shown in figure 98. In this case, the number of non-inverting gates may be odd or even
High-temperature dynamic operating life	Gates Sequential circuits	$T_{amb} = T_{op\ max}$	The specified pulse train(s) is(are) applied to the specified input terminal(s). The conditions at the other terminals shall be specified (see figure 99)
	Read/write memories	$T_{amb} = T_{op\ max}$	The specified pulse train(s) is(are) applied to the input terminal(s). The conditions at the other terminals shall be specified
High-temperature static operating life	Gates Sequential circuits except: 1) dynamic (MOS) circuits 2) read/write memories	$T_{amb} = T_{op\ max}$	The specified voltages are applied to the input terminals. The conditions at other terminals shall be specified (see figure 100)
	Read/write memories	$T_{amb} = T_{op\ max}$	The specified voltages are applied to the appropriate specified terminals, so as to write in specified data, read it out and retain it.



N = odd number

Figure 97 – Inverting *N*-gate ring oscillator

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



N = nombre pair ou impair de portes

Figure 98 – Oscillateur réalisé par bouclage de *N* portes non inverseuses

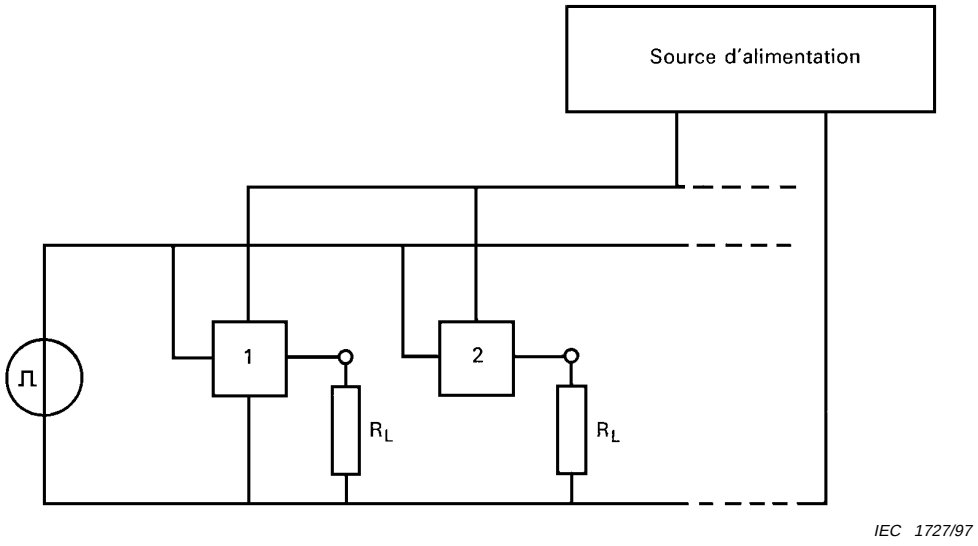


Figure 99 – Essai de durée en fonctionnement dynamique

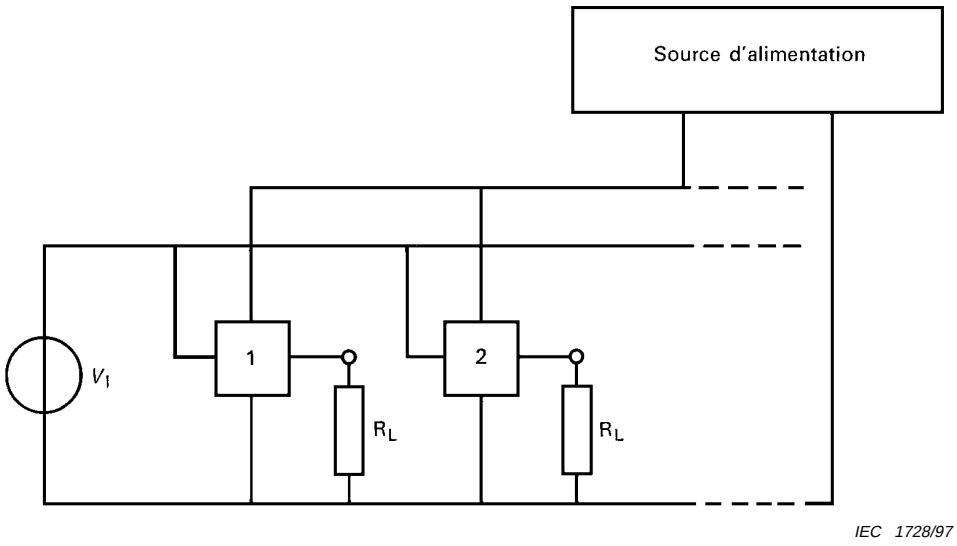
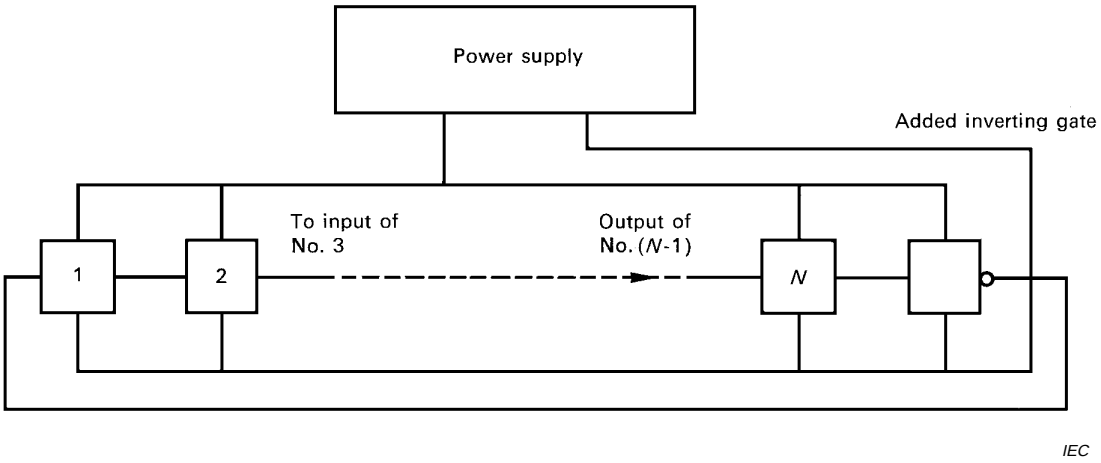


Figure 100 – Essai de durée en fonctionnement statique

———————

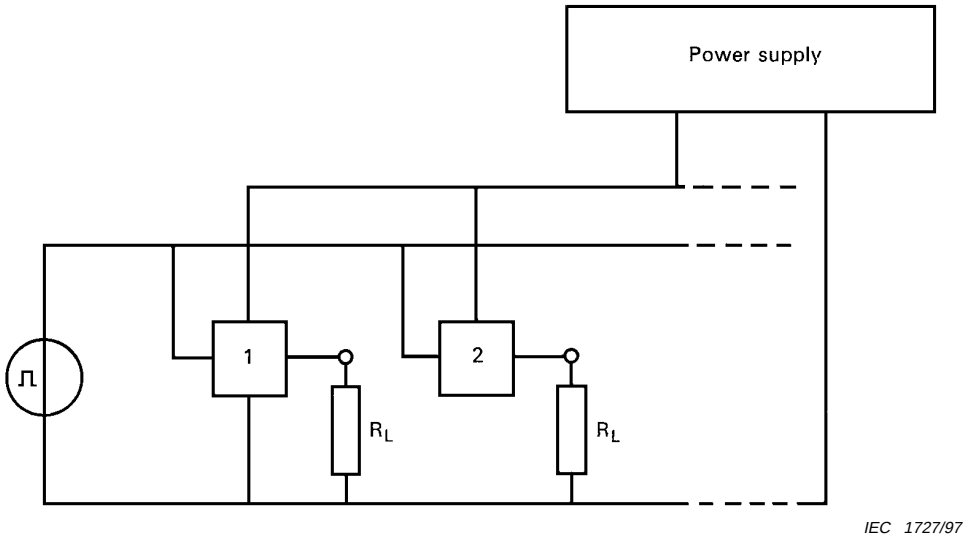
LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.



IEC 1726/97

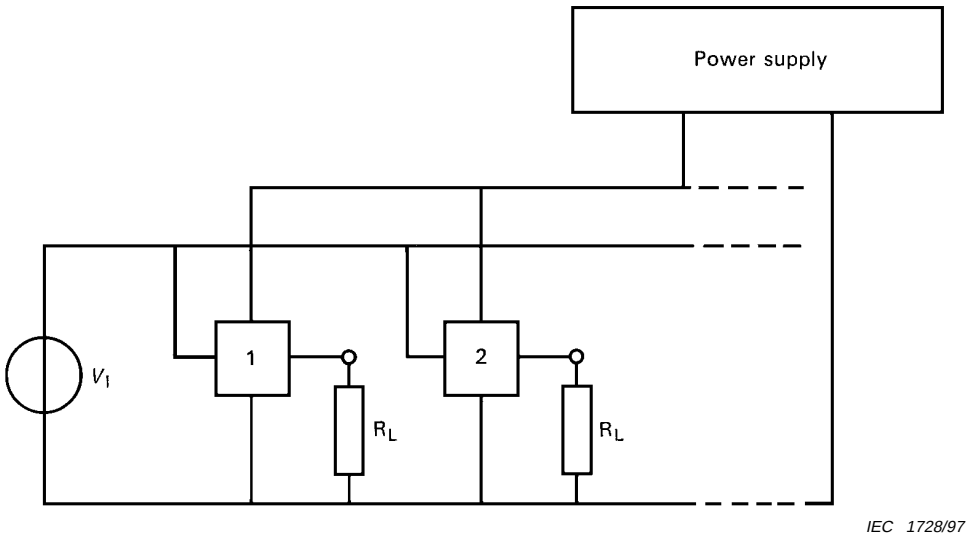
N = irrespective of number of gates

Figure 98 – Non-inverting *N*-gate ring oscillator



IEC 1727/97

Figure 99 – Dynamic operating life



IEC 1728/97

Figure 100 – Static operating life

———————

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Standards Survey

We at the IEC want to know how our standards are used once they are published.

The answers to this survey will help us to improve IEC standards and standard related information to meet your future needs

Would you please take a minute to answer the survey on the other side and mail or fax to:

Customer Service Centre (CSC)

International Electrotechnical Commission
3, rue de Varembé
Case postale 131

1211 Geneva 20
Switzerland

or

Fax to: CSC at +41 22 919 03 00

Thank you for your contribution to the standards making process.

Nicht frankieren
Ne pas affranchir

Non affrancare
No stamp required

A Prioritaire

RÉPONSE PAYÉE

SUISSE

Customer Service Centre (CSC)
International Electrotechnical Commission
3, rue de Varembé
Case postale 131
1211 GENEVA 20
Switzerland

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.

No. of IEC standard:

.....

2.

Tell us why you have the standard. (check as many as apply). I am:

- ☐ the buyer
- ☐ the user
- ☐ a librarian
- ☐ a researcher
- ☐ an engineer
- ☐ a safety expert
- ☐ involved in testing
- ☐ with a government agency
- ☐ in industry
- ☐ other.....

3.

This standard was purchased from?

.....

4.

This standard will be used (check as many as apply):

- ☐ for reference
- ☐ in a standards library
- ☐ to develop a new product
- ☐ to write specifications
- ☐ to use in a tender
- ☐ for educational purposes
- ☐ for a lawsuit
- ☐ for quality assessment
- ☐ for certification
- ☐ for general information
- ☐ for design purposes
- ☐ for testing
- ☐ other.....

5.

This standard will be used in conjunction with (check as many as apply):

- ☐ IEC
- ☐ ISO
- ☐ corporate
- ☐ other (published by.....)
- ☐ other (published by.....)
- ☐ other (published by.....)

6.

This standard meets my needs (check one)

- ☐ not at all
- ☐ almost
- ☐ fairly well
- ☐ exactly

7.

Please rate the standard in the following areas as (1) bad, (2) below average, (3) average, (4) above average, (5) exceptional, (0) not applicable:

- ☐ clearly written
- ☐ logically arranged
- ☐ information given by tables
- ☐ illustrations
- ☐ technical information

8.

I would like to know how I can legally reproduce this standard for:

- ☐ internal use
- ☐ sales information
- ☐ product demonstration
- ☐ other.....

9.

In what medium of standard does your organization maintain most of its standards (check one):

- ☐ paper
- ☐ microfilm/microfiche
- ☐ mag tapes
- ☐ CD-ROM
- ☐ floppy disk
- ☐ on line

9A.

If your organization currently maintains part or all of its standards collection in electronic media, please indicate the format(s):

- ☐ raster image
- ☐ full text

10.

In what medium does your organization intend to maintain its standards collection in the future (check all that apply):

- ☐ paper
- ☐ microfilm/microfiche
- ☐ mag tape
- ☐ CD-ROM
- ☐ floppy disk
- ☐ on line

10A.

For electronic media which format will be chosen (check one)

- ☐ raster image
- ☐ full text

11.

My organization is in the following sector (e.g. engineering, manufacturing)

.....

12.

Does your organization have a standards library:

- ☐ yes
- ☐ no

13.

If you said yes to 12 then how many volumes:

.....

14.

Which standards organizations published the standards in your library (e.g. ISO, DIN, ANSI, BSI, etc.):

.....

15.

My organization supports the standards-making process (check as many as apply):

- ☐ buying standards
- ☐ using standards
- ☐ membership in standards organization
- ☐ serving on standards development committee
- ☐ other.....

16.

My organization uses (check one)

- ☐ French text only
- ☐ English text only
- ☐ Both English/French text

17.

Other comments:

.....

.....

.....

.....

.....

.....

18.

Please give us information about you and your company

name: .....

job title:.....

company: .....

address:.....

.....

.....

.....

No. employees at your location:.....

turnover/sales:.....

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Enquête sur les normes

La CEI se préoccupe de savoir comment ses normes sont accueillies et utilisées.

Les réponses que nous procurera cette enquête nous aideront tout à la fois à améliorer nos normes et les informations qui les concernent afin de toujours mieux répondre à votre attente.

Nous aimerions que vous nous consacriez une petite minute pour remplir le questionnaire joint que nous vous invitons à retourner au:

Centre du Service Clientèle (CSC)

Commission Electrotechnique Internationale
3, rue de Varembé
Case postale 131

1211 Genève 20
Suisse

Télécopie: IEC/CSC +41 22 919 03 00

Nous vous remercions de la contribution que vous voudrez bien apporter ainsi à la Normalisation Internationale

Nicht frankieren
Ne pas affranchir

Non affrancare
No stamp required

A Prioritaire

RÉPONSE PAYÉE

SUISSE

Centre du Service Clientèle (CSC)
Commission Electrotechnique Internationale
3, rue de Varembé
Case postale 131
1211 GENÈVE 20
Suisse

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

1.

Numéro de la Norme CEI:

.....

2.

Pourquoi possédez-vous cette norme? (plusieurs réponses possibles). Je suis:

- ☐ l'acheteur
- ☐ l'utilisateur
- ☐ bibliothécaire
- ☐ chercheur
- ☐ ingénieur
- ☐ expert en sécurité
- ☐ chargé d'effectuer des essais
- ☐ fonctionnaire d'Etat
- ☐ dans l'industrie
- ☐ autres .....

3.

Où avez-vous acheté cette norme?

.....

4.

Comment cette norme sera-t-elle utilisée? (plusieurs réponses possibles)

- ☐ comme reférence
- ☐ dans une bibliothèque de normes
- ☐ pour développer un produit nouveau
- ☐ pour rédiger des spécifications
- ☐ pour utilisation dans une soumission
- ☐ à des fins éducatives
- ☐ pour un procès
- ☐ pour une évaluation de la qualité
- ☐ pour la certification
- ☐ à titre d'information générale
- ☐ pour une étude de conception
- ☐ pour effectuer des essais
- ☐ autres .....

5.

Cette norme est-elle appelée à être utilisée conjointement avec d'autres normes? Lesquelles? (plusieurs réponses possibles):

- ☐ CEI
- ☐ ISO
- ☐ internes à votre société
- ☐ autre (publiée par).....)
- ☐ autre (publiée par).....)
- ☐ autre (publiée par).....)

6.

Cette norme répond-elle à vos besoins?

- ☐ pas du tout
- ☐ à peu près
- ☐ assez bien
- ☐ parfaitement

7.

Nous vous demandons maintenant de donner une note à chacun des critères ci-dessous (1, mauvais; 2, en-dessous de la moyenne; 3, moyen; 4, au-dessus de la moyenne; 5, exceptionnel; 0, sans objet)

- ☐ clarté de la rédaction
- ☐ logique de la disposition
- ☐ tableaux informatifs
- ☐ illustrations
- ☐ informations techniques

8.

J'aimerais savoir comment je peux reproduire légalement cette norme pour:

- ☐ usage interne
- ☐ des renseignements commerciaux
- ☐ des démonstrations de produit
- ☐ autres .....

9.

Quel support votre société utilise-t-elle pour garder la plupart de ses normes?

- ☐ papier
- ☐ microfilm/microfiche
- ☐ bandes magnétiques
- ☐ CD-ROM
- ☐ disquettes
- ☐ abonnement à un serveur électronique

9A.

Si votre société conserve en totalité ou en partie sa collection de normes sous forme électronique, indiquer le ou les formats:

- ☐ format tramé (ou image balayée ligne par ligne)
- ☐ texte intégral

10.

Sur quels supports votre société prévoit-elle de conserver sa collection de normes à l'avenir (plusieurs réponses possibles):

- ☐ papier
- ☐ microfilm/microfiche
- ☐ bandes magnétiques
- ☐ CD-ROM
- ☐ disquettes
- ☐ abonnement à un serveur électronique

10A.

Quel format serait retenu pour un moyen électronique? (une seule réponse)

- ☐ format tramé
- ☐ texte intégral

11.

A quel secteur d'activité appartient votre société? (par ex. ingénierie, fabrication)

.....

12.

Votre société possède-t-elle une bibliothèque de normes?

- ☐ Oui
- ☐ Non

13.

En combien de volumes dans le cas affirmatif?

.....

14.

Quelles organisations de normalisation ont publié les normes de cette bibliothèque (ISO, DIN, ANSI, BSI, etc.):

.....

15.

Ma société apporte sa contribution à l'élaboration des normes par les moyens suivants (plusieurs réponses possibles):

- ☐ en achetant des normes
- ☐ en utilisant des normes
- ☐ en qualité de membre d'organisations de normalisation
- ☐ en qualité de membre de comités de normalisation
- ☐ autres .....

16.

Ma société utilise (une seule réponse)

- ☐ des normes en français seulement
- ☐ des normes en anglais seulement
- ☐ des normes bilingues anglais/ français

17.

Autres observations

.....

.....

.....

.....

.....

18.

Pourriez-vous nous donner quelques informations sur vous-mêmes et votre société?

nom .....

fonction.....

nom de la société .....

adresse.....

.....

.....

.....

nombre d'employés.....

chiffre d'affaires:.....

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Publications de la CEI préparées par le Comité d'Etudes n° 47

60191:—Normalisation mécanique des dispositifs à semi-conducteurs.

60191-1 (1966)	Première partie: Préparation des dessins des dispositifs à semiconducteurs.
60191-1A (1969)	Premier complément.
60191-1B (1970)	Deuxième complément.
60191-1C (1974)	Troisième complément.
60191-2 (1966)	Partie 2: Dimensions – Réimpression consolidée comprenant la CEI 191-2A (1967), 191-2B (1969), 191-2C (1970), 191-2D (1971), 191-2E (1974), 191-2F (1976), 191-2G (1978), 191-2H (1978), 191-2J (1980), 191-2K (1981), 191-2L (1982), 191-2M (1983), 191-2N (1987), 191-2P (1988), 191-2Q (1990), 191-2R (1995), 191-2S (1995), 191-2T (1996), 191-2U (1997).
60191-3 (1974)	Troisième partie: Règles générales pour la préparation des dessins d'encombrement des circuits intégrés. Modification n° 1 (1983). Amendement 2 (1995).
60191-3A (1976)	Premier complément.
60191-3B (1978)	Deuxième complément.
60191-3C (1987)	Troisième complément.
60191-3D (1988)	Quatrième complément.
60191-3E (1990)	Cinquième complément.
60191-3F (1994)	Sixième complément.
60191-4 (1987)	Quatrième partie: Système de codification et classification en formes des boîtiers pour dispositifs à semiconducteurs.
60191-5 (1997)	Partie 5: Recommandations applicables aux boîtiers à transfert automatisé sur bande (TAB) des circuits intégrés.
60191-6 (1990)	Sixième partie: Règles générales pour la préparation des dessins d'encombrement des dispositifs à semiconducteurs à montage en surface.

60747:— Dispositifs à semiconducteurs. Dispositifs discrets.

60747-1 (1983)	Première partie: Généralités. Amendement 1 (1991). Amendement 2 (1993). Amendement 3 (1996).
60747-2 (1983)	Deuxième partie: Diodes de redressement. Amendement 1 (1992). Amendement 2 (1993).
60747-2-1 (1989)	Section un: Spécification particulière-cadre pour les diodes de redressement (y compris les diodes à avalanche) à température ambiante et de boîtier spécifiées, pour courants jusqu'à 100 A.
60747-2-2 (1993)	Section 2: Spécification particulière cadre pour les diodes de redressement (y compris les diodes à avalanche), à températures ambiante et de boîtier spécifiées, pour courants supérieurs à 100 A.
60747-3 (1985)	Troisième partie: Diodes de signal (y compris les diodes de commutation) et diodes régulatrices. Amendement 1 (1991). Amendement 2 (1993).
60747-3-1 (1986)	Section un: Spécification particulière cadre pour les diodes de signal, les diodes de commutation et les diodes à avalanche contrôlée.
60747-3-2 (1986)	Section deux: Spécification particulière cadre pour les diodes régulatrices de tension et les diodes de tension de référence, à l'exclusion des diodes de référence de précision compensées en température.
60747-4 (1991)	Quatrième partie: Diodes et transistors hyperfréquences. Amendement 1 (1993).

(suite)

IEC publications prepared by Technical Committee No. 47

60191:— Mechanical standardization of semiconductor devices.

60191-1 (1966)	Part 1: Preparation of drawings of semiconductor devices.
60191-1A (1969)	First supplement.
60191-1B (1970)	Second supplement.
60191-1C (1974)	Third supplement.
60191-2 (1966)	Part 2: Dimensions – Consolidated reprint consisting of IEC 191-2A (1967), 191-2B (1969), 191-2C (1970), 191-2D (1971), 191-2E (1974), 191-2F (1976), 191-2G (1978), 191-2H (1978), 191-2J (1980), 191-2K (1981), 191-2L (1982), 191-2M (1983), 191-2N (1987), 191-2P (1988), 191-2Q (1990), 191-2R (1995), 191-2S (1995), 191-2T (1996), 191-2U (1997).
60191-3 (1974)	Part 3: General rules for the preparation of outline drawings of integrated circuits. Amendment No. 1 (1983). Amendment 2 (1995).
60191-3A (1976)	First supplement.
60191-3B (1978)	Second supplement.
60191-3C (1987)	Third supplement.
60191-3D (1988)	Fourth supplement.
60191-3E (1990)	Fifth supplement.
60191-3F (1994)	Sixth supplement.
60191-4 (1987)	Part 4: Coding system and classification into forms of package outlines for semiconductor devices.
60191-5 (1997)	Part 5: Recommendations applying to integrated circuit packages using tape automated bonding (TAB).
60191-6 (1990)	General rules for the preparation of outline drawings of surface mounted semiconductor device packages.

60747:— Semiconductor devices. Discrete devices.

60747-1 (1983)	Part 1: General. Amendment 1 (1991). Amendment 2 (1993). Amendment 3 (1996).
60747-2 (1983)	Part 2: Rectifier diodes. Amendment 1 (1992). Amendment 2 (1993).
60747-2-1 (1989)	Section One: Blank detail specification for rectifier diodes (including avalanche rectifier diodes), ambient and case-rated up to 100 A.
60747-2-2 (1993)	Section 2: Blank detail specification for rectifier diodes (including avalanche rectifier diodes), ambient and case-rated, for currents greater than 100 A.
60747-3 (1985)	Part 3: Signal (including switching) and regulator diodes. Amendment 1 (1991). Amendment 2 (1993).
60747-3-1 (1986)	Section One: Blank detail specification for signal diodes, switching diodes and controlled-avalanche diodes.
60747-3-2 (1986)	Section Two: Blank detail specification for voltage-regulator diodes and voltage-reference diodes, excluding temperature-compensated precision reference diodes.
60747-4 (1991)	Part 4: Microwave diodes and transistors. Amendment 1 (1993).

(continued)

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Publications de la CEI préparées par le Comité d'Etudes n° 47 *(suite)*

60747-5-1 (1997)	Dispositifs discrets à semiconducteurs et circuits ingégrés – Partie 5-1: Dispositifs optoélectroniques – Généralités.
60747-5-2 (1997)	Partie 5-2: Dispositifs optoélectroniques – Valeurs limites et caractéristiques essentielles.
60747-5-3 (1997)	Partir 5.3: Dispositifs optoélectroniques – Méthodes de mesure.
60747-6 (1983)	Sixième partie: Thyristors. Amendement 1 (1991). Amendement 2 (1994).
60747-6-1 (1989)	Section un: Spécification particulière cadre pour les thyristors triodes bloqués en inverse, à température ambiante et de boîtier spécifiée, pour courants jusqu'à 100 A.
60747-6-2 (1991)	Section deux: Spécification particulière cadre pour les thyristors triodes bidirectionnels (triacs), à température ambiante ou à température de boîtier spécifiée, jusqu'à 100 A.
60747-6-3 (1993)	Section trois: Spécification particulière cadre pour les thyristors triodes bloqués en inverse, à température ambiante et de boîtier spécifiée, pour courants supérieurs à 100 A.
60747-7 (1988)	Septième partie: Transistors bipolaires. Amendement 1 (1991). Amendement 2 (1994).
60747-7-1 (1989)	Section un: Spécification particulière cadre pour les transistors bipolaires à température ambiante spécifiée pour amplification en basse et haute fréquences.
60747-7-2 (1989)	Section deux: Spécification particulière cadre pour les transistors bipolaires à température de boîtier spécifiée pour amplification en basse fréquence.
60747-7-3 (1991)	Section trois: Spécification particulière cadre pour les transistors bipolaires de commutation.
60747-7-4 (1991)	Section quatre: Spécification particulière cadre pour les transistors bipolaires à température de boîtier spécifiée pour amplification en haute fréquence.
60747-8 (1984)	Huitième partie: Transistors à effet de champ. Amendement 1 (1991). Amendement 2 (1993).
60747-8-1 (1987)	Section un: Spécification particulière cadre pour les transistors à effet de champ à grille unique jusqu'à 5 W et 1 GHz.
60747-8-2 (1993)	Section deux: Spécification particulière cadre pour les transistors à effet de champ à température de boîtier spécifiée pour applications en amplificateurs de puissance.
60747-8-3 (1995)	Section 3: Spécification particulière cadre pour les transistors à effet de champ, à température de boîtier spécifiée, pour applications en commutation.
60747-10 (1991)	Dixième partie: Spécification générique pour les dispositifs discrets et les circuits intégrés. Amendement 1 (1995). Amendement 2 (1996). Amendement 3 (1996).
60747-11 (1985)	Onzième partie: Spécification intermédiaire pour les dispositifs discrets. Amendement 1 (1991).
60747-12 (1991)	Partie 12: Spécification intermédiaire pour les dispositifs optoélectroniques.
60747-12-1 (1995)	Section 1: Spécification particulière cadre pour diodes électroluminescentes, diodes émettrices avec/sans fibres amorce pour systèmes et sous-systèmes à fibres optiques.
60747-12-2 (1995)	Section 2: Spécification particulière cadre pour module à diode laser avec fibres amorce pour systèmes et sous-systèmes à fibres optiques.

(suite)

IEC publications prepared by Technical Committee No. 47 *(continued)*

60747-5-1 (1997)	Discrete semiconductor devices and integrated circuits – Part 5-1: Optoelectronic devices – General.
60747-5-2 (1997)	Part 5-2: Optoelectronic devices – Essential ratings and characteristics.
60747-5-3 (1997)	Part 5-3: Optoelectronic devices – Measuring methods.
60747-6 (1983)	Part 6: Thyristors. Amendment 1 (1991). Amendment 2 (1994).
60747-6-1 (1989)	Section One: Blank detail specification for reverse blocking triode thyristors, ambient and case-rated, up to 100 A.
60747-6-2 (1991)	Section Two: Blank detail specification for bi-directional triode thyristors (triacs), ambient or case-rated temperature, up to 100 A.
60747-6-3 (1993)	Section Three: Blank detail specification for reverse blocking triode thyristors, ambient and case-rated, for currents greater than 100 A.
60747-7 (1988)	Part 7: Bipolar transistors. Amendment 1 (1991). Amendment 2 (1994).
60747-7-1 (1989)	Section One: Blank detail specification for ambient-rated bipolar transistors for low and high-frequency amplification.
60747-7-2 (1989)	Section Two: Blank detail specification for case-rated bipolar transistors for low-frequency amplification.
60747-7-3 (1991)	Section Three: Blank detail specification for bipolar transistors for switching applications.
60747-7-4 (1991)	Section Four: Blank detail specification for case-rated bipolar transistors for high-frequency amplification.
60747-8 (1984)	Part 8: Field-effect transistors. Amendment 1 (1991). Amendment 2 (1993).
60747-8-1 (1987)	Section One: Blank detail specification for single-gate field-effect transistors up to 5 W and 1 GHz.
60747-8-2 (1993)	Section Two: Blank detail specification for field-effect transistors for case-rated power amplifier applications.
60747-8-3 (1995)	Section 3: Blank detail specification for case-rated field-effect transistors for switching applications.
60747-10 (1991)	Part 10: Generic specification for discrete devices and integrated circuits. Amendment 1 (1995). Amendment 2 (1996). Amendment 3 (1996).
60747-11 (1985)	Part 11: Sectional specification for discrete devices. Amendment 1 (1991).
60747-12 (1991)	Part 12: Sectional specification for optoelectronic devices.
60747-12-1 (1995)	Section 1: Blank detail specification for light emitting/infrared emitting diodes with/without pigtail for fibre optic systems and sub-systems.
60747-12-2 (1995)	Section 2: Blank detail specification for laser diode modules with pigtail for fibre optic systems and sub-systems.

(continued)

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Publications de la CEI préparées par le Comité d'Etudes n° 47 *(suite)*

60747-12-3 (1998)	(Parue en langue anglaise uniquement).
60747-12-4 (1997)	Partie 12-4: Dispositifs optoélectroniques – Spécification particulière cadre pour modules pin-FET avec ou sans fibre amorce, pour systèmes ou sous-systèmes à fibres optiques.
60747-12-5 (1997)	Partie 12-5: Dispositifs optoélectroniques – Spécification particulière cadre pour photodiodes pin avec ou sans fibre amorce, pour systèmes ou sous-systèmes à fibres optiques.
60747-12-6 (1997)	Partie 12-6: Dispositifs optoélectroniques – Spécification particulière cadre pour photodiodes à avalanche avec ou sans fibre amorce, pour systèmes ou sous-systèmes à fibres optiques.
60748: — Dispositifs à semiconducteurs. Circuits intégrés.	
60748-1 (1984)	Première partie: Généralités. Amendement 1 (1991). Amendement 2 (1993). Amendement 3 (1995).
60748-2 (1997)	Partie 2: Circuits intégrés numériques.
60748-2-1 (1991)	Section deux – Spécification particulière cadre pour les portes bipolaires à circuits intégrés digitaux monolithiques (non valable pour les réseaux logiques prédiffusés).
60748-2-2 (1992)	Section deux – Spécification de famille pour les circuits intégrés numériques HCMOS, séries 54/74 HC, 54/74 HCT, 54/74 HCU. Amendement 1 (1994).
60748-2-3 (1992)	Section trois – Spécification particulière cadre pour les circuits intégrés numériques HCMOS, séries 54/74 HC, 54/74 HCT, 54/74 HCU.
60748-2-4 (1992)	Section quatre – Spécification de famille pour les circuits intégrés numériques MOS complémentaires, séries 4 000 B et 4 000 UB.
60748-2-5 (1992)	Section cinq – Spécification particulière cadre pour les circuits intégrés numériques MOS complémentaires (séries 4 000 B et 4 000 UB).
60748-2-6 (1991)	Section six – Spécification particulière cadre pour les microprocesseurs à circuits intégrés.
60748-2-7 (1992)	Section sept – Spécification particulière cadre pour les mémoires bipolaires à lecture seule programmables par fusion à circuits intégrés.
60748-2-8 (1993)	Section huit – Spécification particulière cadre pour les mémoires à circuits intégrés, à lecture-écriture, à fonctionnement statique.
60748-2-9 (1994)	Section 9: Spécification particulière cadre pour les mémoires mortes MOS effaçables aux UV et programmables électriquement.
60748-2-10 (1994)	Section 10: Spécification particulière cadre pour les mémoires à circuits intégrés à lecture-écriture, à fonctionnement dynamique.
60748-3 (1986)	Troisième partie: Circuits intégrés analogiques. Amendement 1 (1991). Amendement 2 (1994).
60748-3-1 (1991)	Section un: Spécification particulière cadre pour les amplificateurs opérationnels intégrés monolithiques.
60748-4 (1997)	Partie 4: Circuits intégrés d'interface.
60748-4-1 (1993)	Partie 4: Circuits intégrés d'interface – Section 1: Spécification particulière cadre pour les convertisseurs linéaires numériques-analogiques.
60748-4-2 (1993)	Partie 4: Circuits intégrés d'interface – Section 2: Spécification particulière cadre pour les convertisseurs linéaires analogiques-numériques.
60748-5 (1997)	Partie 5: Circuits intégrés semi-personnalisés.

(suite)

IEC publications prepared by Technical Committee No. 47 *(continued)*

60747-12-3 (1998)	Part 12-3: Optoelectronic devices – Blank detail specification for light-emitting diodes – Display application
60747-12-4 (1997)	Part 12-4: Optoelectronic devices – Blank detail specification for pin-FET modules with/without pigtail, for fibre optic systems or sub-systems.
60747-12-5 (1997)	Part 12-5: Optoelectronic devices – Blank detail specification for pin-photodiodes with/without pigtail, for fibre optic systems or sub-systems.
60747-12-6 (1997)	Part 12-6: Optoelectronic devices – Blank detail specification for avalanche photodiodes with/ without pigtail, for fibre optic systems or subsystems.
60748: — Semiconductor devices. Integrated circuits.	
60748-1 (1984)	Part 1: General. Amendment 1 (1991). Amendment 2 (1993). Amendment 3 (1995).
60748-2 (1997)	Part 2: Digital integrated circuits.
60748-2-1 (1991)	Section two – Blank detail specification for bipolar monolithic digital integrated circuit gates (excluding uncommitted logic arrays).
60748-2-2 (1992)	Section two – Family specification for HCMOS digital integrated circuits, series 54/74 HC, 54/74 HCT, 54/74 HCU. Amendment 1 (1994).
60748-2-3 (1992)	Section three – Blank detail specification for HCMOS digital integrated circuits, series 54/74 HC, 54/74 HCT, 54/74 HCU.
60748-2-4 (1992)	Section four – Family specification for complementary MOS digital integrated circuits, series 4 000 B and 4 000 UB.
60748-2-5 (1992)	Section five – Blank detail specification for complementary MOS digital integrated circuits (series 4 000 B and 4 000 UB).
60748-2-6 (1991)	Section six – Blank detail specification for micro-processor integrated circuits.
60748-2-7 (1992)	Section seven – Blank detail specification for integrated circuit fusible-link programmable bipolar read-only memories.
60748-2-8 (1993)	Section eight – Blank detail specification for integrated circuit static read/write memories.
60748-2-9 (1994)	Section 9: Blank detail specification for MOS ultra-violet light erasable electrically programmable read-only memories.
60748-2-10 (1994)	Section 10: Blank detail specification for integrated circuit dynamic read/write memories.
60748-3 (1986)	Part 3: Analogue integrated circuits. Amendment 1 (1991). Amendment 2 (1994).
60748-3-1 (1991)	Section One: Blank detail specification for monolithic integrated operational amplifiers.
60748-4 (1997)	Part 4: Interface integrated circuits.
60748-4-1 (1993)	Part 4: Interface integrated circuits – Section 1: Blank detail specification for linear digital-to-analogue converters (DAC).
60748-4-2 (1993)	Part 4: Interface integrated circuits – Section 2: Blank detail specification for linear analogue-to-digital converters (ADC).
60748-5 (1997)	Part 5: Semicustom integrated circuits.

(continued)

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Publications de la CEI préparées par le Comité d'Etudes n° 47 *(suite)*

60748-11 (1990)	Onzième partie: Spécification intermédiaire pour les circuits intégrés à semiconducteurs à l'exclusion des circuits hybrides. Amendement 1 (1995).
60748-11-1 (1992)	Onzième partie: Section un: Examen visuel interne pour les circuits intégrés à semi-conducteurs à l'exclusion des circuits hybrides.
60748-20 (1988)	Vingtième partie: Spécification générique pour les circuits intégrés à couches et les circuits intégrés hybrides à couches. Amendement 1 (1995).
60748-20-1 (1994)	Section 1: Exigences pour l'examen visuel interne.
60748-21 (1997)	Partie 21: Spécification intermédiaire pour les circuits intégrés à couches et les circuits intégrés hybrides à couches sur la base des procédures d'homologation.
60748-21-1 (1997)	Partie 21-1: Spécification particulière cadre pour les circuits intégrés à couches et les circuits intégrés hybrides à couches sur la base des procédures d'homologation.
60748-22 (1997)	Partie 22: Spécification intermé-diaire pour les circuits intégrés à couches et les circuits intégrés hybrides à couches sur la base des procédures d'agrément de savoir-faire.
60748-22-1 (1997)	Partie 22-1: Spécification particulière cadre pour les circuits intégrés à couches et les circuits intégrés hybrides à couches sur la base des procédures d'agrément de savoir-faire.
60749 (1996)	Dispositifs à semiconducteurs. Essais mécaniques et climatiques.
61739 (1996)	Circuits intégrés – Procédures pour l'agrément d'une ligne de fabrication et la gestion de la qualité.

IEC publications prepared by Technical Committee No. 47 *(continued)*

60748-11 (1990)	Part 11: Sectional specification for semiconductor integrated circuits excluding hybrid circuits. Amendment 1 (1995).
60748-11-1 (1992)	Part 11: Section one: Internal visual examination for semiconductor integrated circuits excluding hybrid circuits.
60748-20 (1988)	Part 20: Generic specification for film integrated circuits and hybrid film integrated circuits. Amendment 1 (1995).
60748-20-1 (1994)	Section 1: Requirements for internal visual examination.
60748-21 (1997)	Part 21: Sectional specification for film integrated circuits and hybrid film integrated circuits on the basis of qualification approval procedures.
60748-21-1 (1997)	Part 21-1: Blank detail specification for film integrated circuits and hybrid film integrated circuits on the basis of qualification approval procedures.
60748-22 (1997)	Part 22: Sectional specification for film integrated circuits and hybrid film integrated circuits on the basis of the capability approval procedure.
60748-22-1 (1997)	Part 22-1: Blank detail specification for film integrated circuits and hybrid film integrated circuits on the basis of the capability approval procedures.
60749 (1996)	Semiconductor devices. Mechanical and climatic test methods.
61739 (1996)	Integrated circuits – Procedures for manufacturing line approval and quality management.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

ISBN 2-8318-4215-8

ICS 31.200

Typeset and printed by the IEC Central Office
GENEVA, SWITZERLAND