

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor devices – Discrete devices –
Part 15: Isolated power semiconductor devices**

**Dispositifs à semiconducteurs – Dispositifs discrets –
Partie 15: Dispositifs de puissance à semiconducteurs isolés**



THIS PUBLICATION IS COPYRIGHT PROTECTED
Copyright © 2010 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland
Email: inmail@iec.ch
Web: www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

- Catalogue of IEC publications: www.iec.ch/searchpub

The IEC on-line Catalogue enables you to search by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, withdrawn and replaced publications.

- IEC Just Published: www.iec.ch/online_news/justpub

Stay up to date on all new IEC publications. Just Published details twice a month all new publications released. Available on-line and also by email.

- Electropedia: www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 20 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary online.

- Customer Service Centre: www.iec.ch/webstore/custserv

If you wish to give us your feedback on this publication or need further assistance, please visit the Customer Service Centre FAQ or contact us:

Email: csc@iec.ch

Tel.: +41 22 919 02 11

Fax: +41 22 919 03 00

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

- Catalogue des publications de la CEI: www.iec.ch/searchpub/cur_fut-f.htm

Le Catalogue en-ligne de la CEI vous permet d'effectuer des recherches en utilisant différents critères (numéro de référence, texte, comité d'études,...). Il donne aussi des informations sur les projets et les publications retirées ou remplacées.

- Just Published CEI: www.iec.ch/online_news/justpub

Restez informé sur les nouvelles publications de la CEI. Just Published détaille deux fois par mois les nouvelles publications parues. Disponible en-ligne et aussi par email.

- Electropedia: www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International en ligne.

- Service Clients: www.iec.ch/webstore/custserv/custserv_entry-f.htm

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions, visitez le FAQ du Service clients ou contactez-nous:

Email: csc@iec.ch

Tél.: +41 22 919 02 11

Fax: +41 22 919 03 00



IEC 60747-15

Edition 2.0 2010-12

INTERNATIONAL
STANDARD

NORME
INTERNATIONALE

Semiconductor devices – Discrete devices –
Part 15: Isolated power semiconductor devices

Dispositifs à semiconducteurs – Dispositifs discrets –
Partie 15: Dispositifs de puissance à semiconducteurs isolés

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX

T

ICS 31.080.99

ISBN 978-2-88912-310-0

CONTENTS

FOREWORD.....	4
1 Scope.....	6
2 Normative references.....	6
3 Terms and definitions.....	7
4 Letter symbols.....	8
4.1 General.....	8
4.2 Additional subscripts/symbols.....	8
4.3 List letter symbols.....	8
4.3.1 Voltages and currents.....	8
4.3.2 Mechanical symbols	8
4.3.3 Other symbols	9
5 Essential ratings (limiting values) and characteristics.....	9
5.1 General.....	9
5.2 Ratings (limiting values).....	9
5.2.1 Isolation voltage (V_{isol})	9
5.2.2 Peak case non-rupture current (I_{RSMC} or I_{CNR}) (where appropriate).....	9
5.2.3 Terminal current (I_{tRMS}) (where appropriate),	9
5.2.4 Total power dissipation (P_{tot}).....	9
5.2.5 Temperatures	9
5.2.6 Mechanical ratings	10
5.2.7 Climatic ratings (where appropriate).....	10
5.3 Characteristics.....	10
5.3.1 Mechanical characteristics	10
5.3.2 Parasitic inductance (L_p).....	11
5.3.3 Parasitic capacitances (C_p)	11
5.3.4 Partial discharge inception voltage (V_{iM} or $V_{i(RMS)}$) (where appropriate).....	11
5.3.5 Partial discharge extinction voltage (V_{eM} or $V_{e(RMS)}$) (where appropriate).....	11
5.3.6 Thermal resistances	11
5.3.7 Transient thermal impedance (Z_{th})	12
6 Measurement methods.....	12
6.1 Verification of isolation voltage rating between terminals and base plate (V_{isol}).....	12
6.2 Methods of measurement.....	13
6.2.1 Partial discharge inception and extinction voltages (V_i) (V_e)	13
6.2.2 Parasitic inductance (L_p).....	13
6.2.3 Parasitic capacitance terminal to case (C_p).....	15
6.2.4 Thermal characteristics.....	16
7 Acceptance and reliability.....	18
7.1 General requirements.....	18
7.2 List of endurance tests	19
7.3 Acceptance defining criteria	19
7.4 Type tests and routine tests	19
7.4.1 Type tests	19
7.4.2 Routine tests	20
Annex A (informative) Test method of peak case non-rupture current.....	21

Annex B (informative) Measuring method of the thickness of thermal compound paste	24
Bibliography	25
Figure 1 – Basic circuit diagram for isolation breakdown withstand voltage test (“high pot test”) with V_{isol}	12
Figure 2 – Circuit diagram for measurement of parasitic inductances (L_p)	14
Figure 3 – Wave forms	15
Figure 4 – Circuit diagram for measurement of parasitic capacitance C_p	16
Figure 5 – Cross-section of an isolated power device with reference points for temperature measurement of T_c and T_s	17
Figure A.1 – Circuit diagram for test of peak case non-rupture current I_{CNR}	21
Figure B.1 – Example of a measuring gauge for a layer of thermal compound paste of a thickness between 5 μm and 150 μm	24
Table 1 – Endurance tests	19
Table 2 – Acceptance defining characteristics for endurance and reliability tests	19
Table 3 – Minimum type and routine tests for isolated power semiconductor devices	20

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES –
DISCRETE DEVICES –****Part 15: Isolated power semiconductor devices**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60747-15 has been prepared by subcommittee 47E: Discrete semiconductor devices, of IEC technical committee 47: Semiconductor devices.

This second edition of IEC 60747-15 cancels and replaces the first edition published in 2003.

The main changes with respect to previous edition are listed below.

- a) Clause 3, 4 and 5 were re-edited and some of them were combined to other sub clauses.
- b) Clause 6, 7 were re-edited as a part of "Measuring methods" with amendment of suitable addition and deletion.
- c) Clause 8 was amended by suitable addition and deletion.
- d) Annex C, D and Bibliography were deleted.

The text of this standard is based on the following documents:

FDIS	Report on voting
47E/403/FDIS	47E/407/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

This International Standard is to be read in conjunction with IEC 60747-1:2006.

A list of all the parts in the IEC 60747 series, under the general title *Semiconductor devices – Discrete devices*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

SEMICONDUCTOR DEVICES – DISCRETE DEVICES –

Part 15: Isolated power semiconductor devices

1 Scope

This part of IEC 60747 gives the requirements for isolated power semiconductor devices excluding devices with incorporated control circuits. These requirements are additional to those given in other parts of IEC 60747 for the corresponding non-isolated power devices.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60270, *High-voltage test techniques – Partial discharge measurements*

IEC 60664-1:2007, *Insulation coordination for equipment within low-voltage systems – Part 1: Principles, requirements and tests*

IEC 60721-3-3:1994, *Classification of environmental conditions – Part 3-3: Classification of groups of environmental parameters and their severities – Stationary use at weather protected locations*

IEC 60747-1:2006, *Semiconductor devices – Part 1: General*

IEC 60747-2, *Semiconductor devices – Discrete devices and integrated circuits – Part 2: Rectifier diodes*

IEC 60747-6, *Semiconductor devices – Part 6: Thyristors*

IEC 60747-7, *Semiconductor discrete devices and integrated circuits – Part 7: Bipolar transistors*

IEC 60747-8, *Semiconductor devices – Part 8: Field-effect transistors*

IEC 60747-9, *Semiconductor devices – Discrete devices – Part 9: Insulated-gate bipolar transistors (IGBTs)*

IEC 60749-5, *Semiconductor devices – Mechanical and climatic test methods – Part 5: Steady-state temperature humidity bias life test*

IEC 60749-6, *Semiconductor devices – Mechanical and climatic test methods – Part 6: Storage at high temperature*

IEC 60749-10, *Semiconductor devices – Mechanical and climatic test methods – Part 10: Mechanical shock*

IEC 60749-12, *Semiconductor devices – Mechanical and climatic test methods – Part 12: Vibration, variable frequency*

IEC 60749-15, *Semiconductor devices – Mechanical and climatic test methods – Part 15: Resistance to soldering temperature for through-hole mounted devices*

IEC 60749-21, *Semiconductor devices – Mechanical and climatic test methods – Part 21: Solderability*

IEC 60749-25, *Semiconductor devices – Mechanical and climatic test methods – Part 25: Temperature cycling*

IEC 60749-34, *Semiconductor devices – Mechanical and climatic test methods – Part 34: Power cycling*

3 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

3.1

isolated power semiconductor device

semiconductor power device that contains an integral electrical insulator between the cooling surface or base plate and any isolated circuit elements

3.2 Constituent parts of the isolated power semiconductor device

3.2.1

switch

any single component that performs a switching function in a electrical circuit, e.g. diode, thyristor, MOSFET, etc.

NOTE A switch might be a parallel or series connection of several chips with a single functionality.

3.2.2

base plate

part of the package having a cooling surface that transfers the heat from inside to outside

3.2.3

main terminal

terminal having a high potential of the power circuit and carrying the main current. The main terminal can comprise more than one physical connector.

3.2.4

control terminal

terminal having a low current capability for the purpose of control function, to which the external control signals are applied or from which sensing parameters are taken

3.2.4.1

high voltage control terminal

terminal electrically connected to an isolated circuit element, but carrying only low current for control function

NOTE Examples include current shunts and collector sense terminals having the high potential of the main terminals.

3.2.4.2

low voltage control terminal

terminal having a control function and isolated from the high voltage control terminals

NOTE Examples include the terminals of isolated temperature sensors and isolated gate driver inputs etc.

3.2.5

insulation layer

integrated part of the device case that insulates any part having high potential from the cooling surface or external heat sink and any isolated circuit element

3.3

peak case non-rupture current

peak current, which will not lead to a rupture of the package, ejecting plasma and massive particles under specified conditions

3.4

thermal interface material

heat conducting material between base plate and external heat sink

4 Letter symbols

4.1 General

General letter symbols are defined in Clause 4 of IEC 60747-1:2006.

4.2 Additional subscripts/symbols

p = parasitic

t = terminal

isol = isolation

m = mount

4.3 List letter symbols

4.3.1 Voltages and currents

Terminal current	I_{IRMS}
Isolation voltage	V_{isol}
Partial discharge inception voltage	V_{i}
Partial discharge extinction voltage	V_{e}
Isolation leakage current	I_{isol}
Peak case non-rupture current (for diode and thyristor devices)	I_{RSMC}
Peak case non-rupture current (for IGBT and MOSFET devices)	I_{CNR}

4.3.2 Mechanical symbols

Mounting torque for screws to heat sink	M_{s}
Mounting torque for terminal screws	M_{t}
Mounting force	F
Maximum acceleration in all 3 axis (x, y, z)	a
Mass	m
Flatness of the case (base-plate)	e_{c}
Flatness of the cooling surface (heat sink)	e_{s}
Roughness of the case (base plate)	R_{Zc}
Roughness of the cooling surface (heat sink)	R_{Zs}
Thickness of thermal interface material (case - sink)	$d_{(\text{c-s})}$

4.3.3 Other symbols

Total maximum power dissipation per switch at $T_c = 25\text{ °C}$	P_{tot}
Parasitic inductance, effective between terminals and chips (to be specified)	L_p
Parasitic capacitance between terminals and cooling surface (case, base plate, ground)	C_p
Lead resistance between terminal x and related switch x'	$r_{xx'}$
Terminal temperature	T_t
Number of power load cycles until failure of a percentage p of a population of devices	$N_{t;p}$

5 Essential ratings (limiting values) and characteristics

5.1 General

Isolated power semiconductor devices should be specified as case rated or heat-sink rated devices. The ratings and characteristics should be quoted at a temperature of 25 °C or another specified elevated temperature. Requirements for multiple devices having a common encapsulation see 5.12 of IEC 60747-1:2006.

5.2 Ratings (limiting values)

5.2.1 Isolation voltage (V_{isol})

Maximum r. m. s. or d. c. value between main terminals and high voltage control terminals at one side and low voltage control terminals (where appropriate) and base plate at the other side for a specified time

5.2.2 Peak case non-rupture current (I_{RSMC} or I_{CNR}) (where appropriate)

Maximum value for each main terminal that does not cause the bursting of the case or emission of plasma and particles

5.2.3 Terminal current (I_{tRMS}) (where appropriate),

Maximum r. m. s. value of the current through the main terminal under specified conditions at minimum mounting torque M_t and maximum allowed terminal temperature ($T_{\text{tmax}} = T_{\text{stg}}$ or $T_{\text{tmax}} \leq T_{\text{vjmax}}$)

5.2.4 Total power dissipation (P_{tot})

Maximum value per switch at $T_c = 25\text{ °C}$ (or $T_s = 25\text{ °C}$), when $T_{\text{vj}} = T_{\text{vjmax}}$, at d.c. load.

5.2.5 Temperatures

5.2.5.1 Solder temperature (T_{sold})

Maximum solder temperature T_{sold} during solder process over a specified solder processing time t_{sold}

5.2.5.2 Storage temperature (T_{stg})

Minimum and maximum storage temperature

5.2.6 Mechanical ratings

5.2.6.1 Mounting torque of screws to heat sink (M_s)

Minimum mounting torque that shall be applied to the fixing screws to the heat sink

5.2.6.2 Mounting torque of screws to terminals (M_t)

Minimum mounting torque that shall be applied to screwed terminals

5.2.6.3 Mounting force (F)

Minimum mounting force for pressure mounted devices, fixed by clips, that shall be applied to the isolated pressure contact device

5.2.6.4 Terminal pull-out force (F_t)

Maximum force

5.2.6.5 Acceleration (a)

Maximum value along each axis (x, y, z)

5.2.6.6 Flatness of the heatsink surface (e_s) (where appropriate)

Maximum deviation from flatness for the heatsink surface over the whole mounting area

5.2.6.7 Roughness of the heatsink surface (R_{zs}) (where appropriate)

Maximum roughness of the heatsink surface over the whole mounting area

5.2.7 Climatic ratings (where appropriate)

Limiting values of environmental parameters for the final application as follows

- ambient temperature
- humidity
- speed and pressure of air
- irradiation by sun and other heat sources
- mechanical active substances
- chemically active substances
- biological issues

shall be described in classes as specified in IEC 60721-3-3:1994, Table 1.

5.3 Characteristics

5.3.1 Mechanical characteristics

5.3.1.1 Creepage distance along surface (d_s)

Minimum value of distance along surface of the insulating material of the device between terminals of different potential and to base plate

NOTE 1 IEC 60112 (details to comparative tracking index "CTI") and IEC 60664-1:2007 Subclause 5.2 apply.

NOTE 2 Air gaps between plastic surface and grounded metal or between terminals of opposite polarity smaller than 1,0 mm (for pollution degree 2), or 1,5 mm (pollution degree 3) shorten the countable creepage distance considerably (details see 60664-1:2007, examples). This is essential, if dust, moisture or dirt starts to cover the

surface and increases the leakage current over surface, which might start burning the plastic encapsulation material.

5.3.1.2 Clearance distance in air (d_a)

Minimum value of distance through air between terminals of different potential of the isolated device and to base plate

NOTE For details, see IEC 60664-1:2007, (Subclause 4.6 and Subclause 5.1) which shows typical examples of various shapes of clearance distances.

5.3.1.3 Mass (m) of the device

Maximum value excluding accessories (mounting hardware).

5.3.1.4 Flatness of the base plate (e_c) (where appropriate)

Maximum and minimum allowed deviation from flatness for the base plate and its direction (convex or concave).

5.3.2 Parasitic inductance (L_p)

Maximum or typical value between the main terminals of each main current path.

5.3.3 Parasitic capacitances (C_p)

Maximum value of parasitic capacitance between the specified main terminal(s) and the cooling surface.

5.3.4 Partial discharge inception voltage (V_{iM} or $V_{i(RMS)}$) (where appropriate)

Minimum peak value V_{iM} or r.m.s. value $V_{i(RMS)}$ between the isolated terminals and the base plate (details, see IEC 60270).

5.3.5 Partial discharge extinction voltage (V_{eM} or $V_{e(RMS)}$) (where appropriate)

Minimum peak value V_{eM} or r.m.s. value $V_{e(RMS)}$ between the isolated terminals and the base plate (for details, see IEC 60270).

5.3.6 Thermal resistances

5.3.6.1 Thermal resistance junction to case for case rated devices ($R_{th(j-c)X}$)

Maximum value of thermal resistance junction to a specified reference point at the case (base plate) per switch "X" (for example of the diode (D), thyristor (T), IGBT (I) or MOSFET (M)).

5.3.6.2 Thermal resistance case to heat sink ($R_{th(c-s)}$) (where appropriate)

Maximum or typical value of thermal resistance between two specified points at the case and at the heat sink of the case rated device ("module"), when the case is mounted according to manufacturer's mounting instructions.

5.3.6.3 Thermal resistance case to heat sink per switch ($R_{th(c-s)X}$) (where appropriate)

Maximum or typical value of thermal resistance between the two specified points of the case and the heat sink of the switch "X" (for example of the diode (D), thyristor (T), IGBT (I) or MOSFET (M)) of the isolated case rated devices ("module"), when the case is mounted according to the manufacturer's mounting instructions.

5.3.6.4 Thermal resistance junction to heat sink for heat sink rated devices ($R_{th(j-s)X}$)

Maximum or typical value of thermal resistance junction to a specified point at the heat sink per switch “X” (for example of the diode (D), thyristor (T), IGBT (I) or MOSFET (M)), when the device is mounted according to the manufacturer’s mounting instructions.

5.3.6.5 Thermal resistance junction to sensor ($R_{th(j-r)}$) (where appropriate)

Value of thermal resistance junction to an integrated temperature sensor, when the device is mounted according to the manufacturer’s mounting instructions.

NOTE The position of this thermal resistance should be shown in the thermal resistance equivalent circuit.

5.3.7 Transient thermal impedance (Z_{th})

Thermal impedance as a function of the time elapsed after a step change of power dissipation for each thermal resistance specified in Subclause 5.3.6 and shall be specified in one of the following ways.

6 Measurement methods

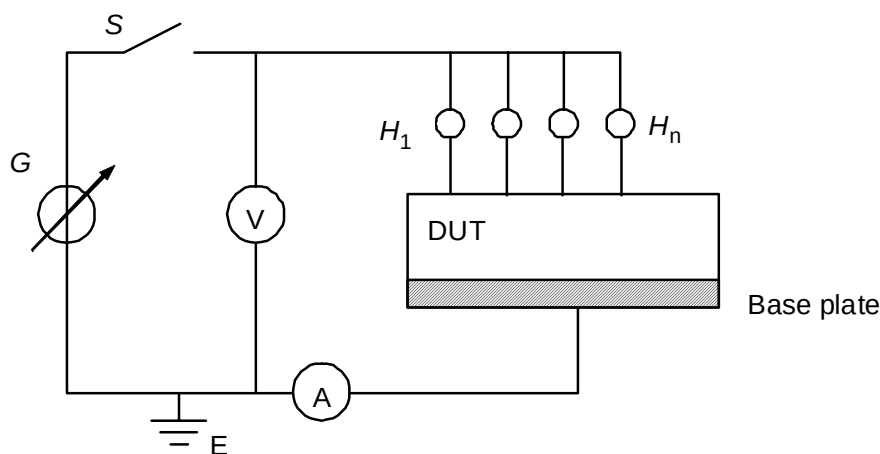
6.1 Verification of isolation voltage rating between terminals and base plate (V_{isol})

– Purpose

Proof of the ability of the isolated power device to withstand the rated isolation voltage

– Circuit diagram

See Figure 1 below.



IEC 2976/10

Figure 1 – Basic circuit diagram for isolation breakdown withstand voltage test (“high pot test”) with V_{isol}

– Circuit description and requirements

DUT = Device under test

G = voltage source with high impedance, capable to supply V_{isol}

S = main switch

V = voltmeter for V_{isol}

A = ammeter or current probe for I_{isol}

$H_1 \dots H_n$ = high potential terminal

The voltage source G is capable to supply the isolation voltage V_{isol} as the a. c. or d. c. voltage with a high internal impedance to limit the possible breakthrough current in case of breakdown of the DUT.

All main terminals and high voltage control terminals are connected together and connected to the high potential output terminal H of the voltage source G. The base plate of the DUT, respectively its metallized cooling surface and all low voltage terminals are connected to ground potential E. An amperemeter or current probe A is applied to measure the isolation leakage current.

– Test procedure

Switch S is closed and the voltage is slowly raised to the specified value and maintained at that value for the specified time. The current measured on ammeter A shall not exceed the specified value. The voltage is then reduced to zero.

– Specified conditions

Specified in IEC 60664-1:2007.

- Ambient or case temperature
- V_{isol}
- I_{isol} as maximum test limit
- Test time t , if less than 60 s

6.2 Methods of measurement

6.2.1 Partial discharge inception and extinction voltages (V_i) (V_e)

Between high potential terminals and base plate (where appropriate). See IEC 60270 and IEC 60664-1:2007.

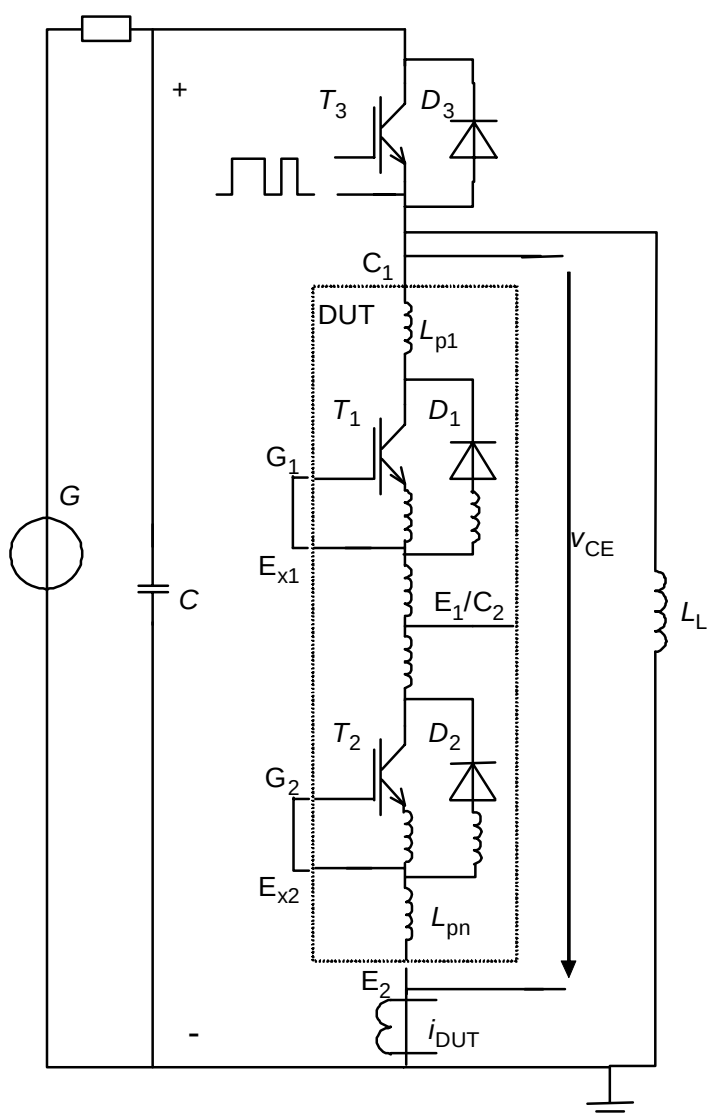
6.2.2 Parasitic inductance (L_p)

– Purpose

To measure the parasitic inductance between two main terminals

– Circuit diagram

See Figure 2 below.

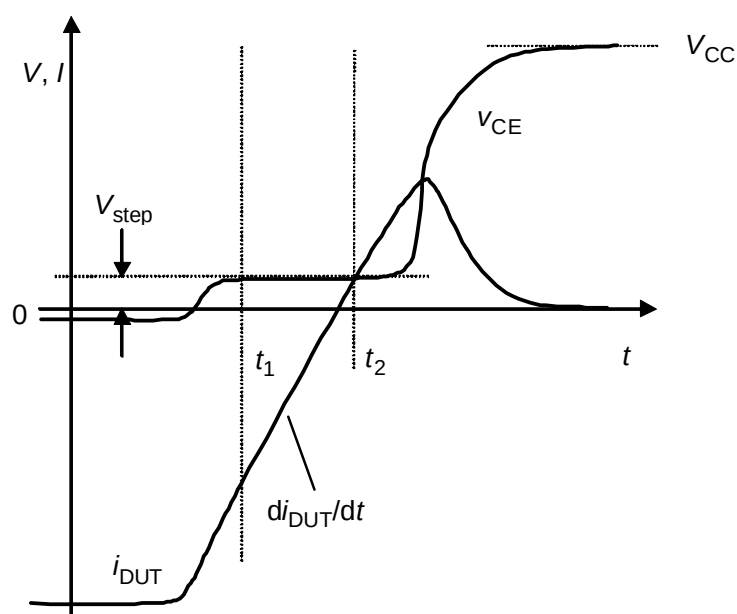


IEC 2977/10

Figure 2 – Circuit diagram for measurement of parasitic inductances (L_p)

Key

- DUT = device under test T1+T2, for example IGBT (Single or Dual – shown – or branch of a three phase arrangement), fast diode or MOSFET device
- C = main capacitor bank as reservoir
- L_L = load inductance, at least 100 times the parasitic inductance
- $L_{p1} \dots L_{pn}$ = portions of parasitic inductance L_p
- i_{DUT} = current probe
- G = voltage source to charge the capacitor
- T_1 = DUT, top switch (shown as IGBT in Figure 2)
- T_2 = DUT, bottom switch (shown as IGBT in Figure 2), optional
- T_3 = auxiliary IGBT switch



IEC 2978/10

Figure 3 – Wave forms

– Circuit description and requirements

The circuit of Figure 2 consists of a DC supply G for the charge reservoir C ; T_3 is an auxiliary switch, a gate drive unit for T_3 , the DUT inserted into the test set-up with the gate control terminals shorted, a dual channel oscilloscope, which senses the voltage V_{CE} between main terminals “ C_1 ” and “ E_2 ”, a current probe, which senses the current I_{DUT} through the diode path of the DUT, connected to the dual channel oscilloscope. This measuring method uses reduced voltage V_{CC} and the di/dt of diodes incorporated in the device at switch-off, sensing the voltage at outside main terminals. This is usable for single switch devices as well as for half bridge circuit devices (DUAL modules).

– Measurement procedure

A pulsed current method is used. Auxiliary transistor T_3 switches the load current to the inductor L_L on and off. When T_3 is off, the current freewheels via the diodes of the DUT. When T_3 switches on again, it causes the current through the diodes to fall at an almost linear rate di_{DUT}/dt . During this time ($t_1 - t_2$), the voltage across the DUT forms at step of V_{step} caused by the internal parasitic inductance at current decline (di_{DUT}/dt). The value of the parasitic inductance of the main current path can be calculated from

$$L_p = V_{step} / |(di_{DUT}/dt)| \quad (1)$$

NOTE Use low inductance (sheeted) bus baring and low inductance current probe.

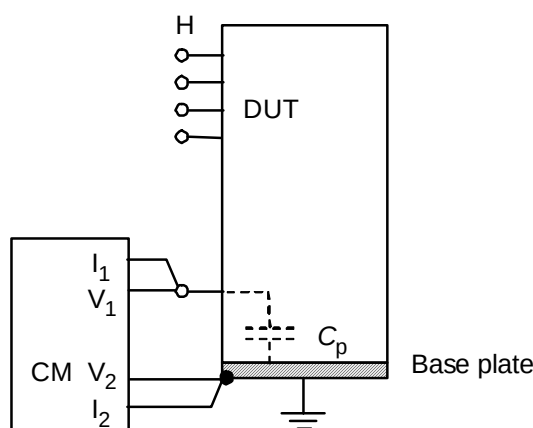
6.2.3 Parasitic capacitance terminal to case (C_p)

– Purpose

To measure the parasitic capacitance C_p between specified main terminal(s) and the case (base plate)

– Circuit diagram

See Figure 4 below.



IEC 2979/10

Figure 4 – Circuit diagram for measurement of parasitic capacitance (C_p)

– **Circuit description and requirements**

- C_p = parasitic capacitance
- H = high potential terminal
- CM = capacitance meter

– **Measurement procedure**

Mount the device to a grounded heat sink according to the manufacturer's mounting instructions. Connect the current source connector " I_1 " of the capacitance meter CM to the specified terminal and connector " I_2 " to ground (base plate) of the DUT. Connect the voltage sensing connector of the capacitance meter to test points " V_1 " and " V_2 " to ground. CM is set to the specified frequency. The capacitance C_p can be read on CM. For the measurement of the total coupling capacitance C_p connect all main terminals to each other and proceed with the measurement like described above.

– **Specified conditions**

- Measurement frequency f of the CM

6.2.4 Thermal characteristics

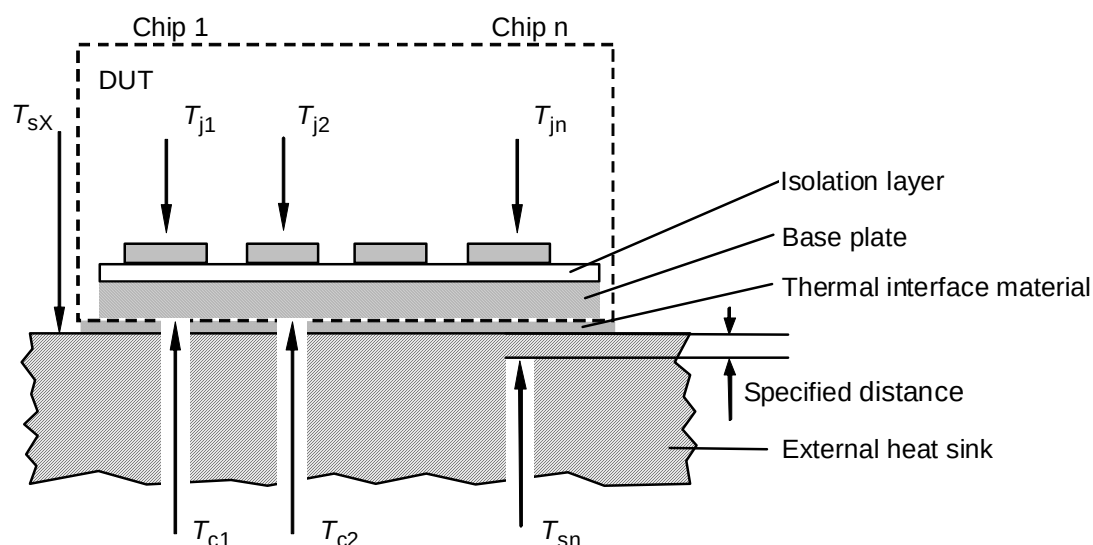
6.2.4.1 General description of measuring methods

– **Purpose**

To measure thermal characteristics between the switch and the cooling system

– **Reference points for temperature measurement and description**

Same methods should be used as for the corresponding non-isolated device. Thermal resistance and impedance are measured in the same way as described in the documents for diodes IEC 60747-2, thyristors IEC 60747-6, bipolar transistors IEC 60747-7, FETs IEC 60747-8 and IGBTs IEC 60747-9.



IEC 2980/10

Key $T_{j1...n}$ = junction temperature of chip 1 to n $T_{c1...n}$ = case temperature under chip 1 to n $T_{s1...n}$ = heatsink temperature under chip 1 to n T_{sx} = heatsink temperature at a specified surface point

Figure 5 – Cross-section of an isolated power device with reference points for temperature measurement of T_c and T_s

– Measurement procedure

T_c is measured by a temperature measuring instrument from underneath through a small hole through the heat sink and any thermal interface material underneath the switch (chip). T_s is taken from above at hottest accessible point, nearest to the switch (chip) or from underneath through a specified sack hole ending at 2 (+/-1) mm below the heat sink surface (to be specified, type test feature). T_j is determined using indirect methods like described in the individual documents.

NOTE The thermal resistance $R_{th(j-s)}$ and $R_{th(c-s)}$ depends on several mechanical parameters such as type and thickness of the used thermal interface material (should be specified in manufacturer's mounting instructions, for example 30 to 50 μm), the max. deviation of flatness of the cooling surface of the device's base plate and of the heat sink and the mounting torque of the fixing screws, as per specified mounting instructions.

6.2.4.2 Thermal resistance junction to case per switch $R_{th(j-c)}$

$$R_{th(j-c)} = (T_j - T_c)/P \quad (2)$$

where

T_j is the virtual junction temperature of the switch;

T_c is the temperature of the case (base plate) under the switch (chip);

P is the power dissipation of a switch (see Figure 5).

6.2.4.3 Thermal resistance case to heat sink per switch (X) $R_{th(c-s)}$ or per device $R_{th(c-s)}$

$$R_{th(c-s)(X)} = (T_c - T_s)/P_X \quad (3)$$

where

- X is the D (Diode), I (IGBT); M (MOSFET)
- T_c is the temperature taken at the specified point of the case (as above) under the chip
- T_s is the temperature of the heat sink, taken at the reference point for testing T_s specified
- P_X is the complete power dissipation of the switch
- P is the power dissipation of the complete device

– **Specified conditions**

- Mounting according manufacturer's instructions
- Thermal conductivity of the thermal interface material
- Reference points for thermal measurement

NOTE See Annex B for Measuring method of the thickness of thermal interface material.

6.2.4.4 Thermal resistance junction to heat sink per switch $R_{th(j-s)}$ (for heat sink rated devices)

$$R_{th(j-s)} = (T_j - T_{sn})/P \quad (4)$$

where

- T_j is the virtual junction temperature of the switch;
- T_{sn} is taken at the specified reference point n at the heatsink (see Figure 5);
- P is the power dissipation of the switch.

– **Specified conditions**

- Mounting according manufacturer's instructions
- Thermal conductivity of the thermal interface material
- Reference points for thermal measurement

6.2.4.5 Transient thermal impedance Z_{th}

– **Measurement circuit and procedure**

These are based on former Subclause 6.2.4.2 to 6.2.4.4. Individual documents of the non-insulated devices apply.

$$Z_{th(j-c)} = (|T_j(0) - T_c(0)| - |T_j(t) - T_c(t)|)/P \quad (5)$$

$$Z_{th(c-s)} = (|T_c(0) - T_s(0)| - |T_c(t) - T_s(t)|)/P \quad (6)$$

$$Z_{th(j-s)} = (|T_j(0) - T_s(0)| - |T_j(t) - T_s(t)|)/P \quad (7)$$

– **Specified conditions**

- Mounting according manufacturer's instructions
- Thermal conductivity of the thermal interface material
- Reference points for thermal measurement

7 Acceptance and reliability

7.1 General requirements

In addition to the following subclauses, the requirements applicable to the non-isolated devices as given in the other relevant parts of IEC 60747 apply.

7.2 List of endurance tests

See Table 1.

Table 1 – Endurance tests

Subclause	Environmental Testing – designation	Short form	Normative references
7.2.1	High temperature reverse bias or high temperature blocking	HTRB	IEC 60749-5
7.2.2	High humidity and high temperature reverse bias or high humidity and high temperature blocking	H ³ TRB	IEC 60749-5
7.2.3	Power cycling (load) capability		IEC 60749-34
7.2.4	High temperature storage	HTS	IEC 60749-6
7.2.5	Low temperature storage	LTS	IEC 60068-2-48 ¹
7.2.6	Thermal cycling	TC	IEC 60749-25;
7.2.7	Resistance to solder heat		IEC 60749-15
7.2.8	Solderability		IEC 60749-21
7.2.9	Mechanical shock		IEC 60749-10
7.2.10	Vibration (variable frequency)		IEC 60749-12

7.3 Acceptance defining criteria

Table 2 – Acceptance defining characteristics for endurance and reliability tests

Acceptance defining characteristic	Acceptance criteria	Measurement conditions
I_{isol}	< USL	Specified V_{isol}
R_{th}	< USL	Mounting instructions
USL: upper specification limit		

7.4 Type tests and routine tests

7.4.1 Type tests

The experience which has been obtained with other isolated power semiconductor devices, using the same or similar components such as switches or packages, should be considered when deciding which tests are mandatory.

Type tests are carried out on new products on a sample basis, in order to determine the electrical and thermal and mechanical and climatic ratings (limiting values) characteristics to be given in the data sheet and to establish the test limits for future routine tests. Some or all of the tests should be repeated from time to time on samples drawn from current production or deliveries so as to confirm that the quality of the product continuously meets the requirements.

The minimum type tests to be carried out are as follows:

¹ Withdrawn in 2008.

New isolated power semiconductor devices should undergo the type tests listed in Table 3, marked with “X” (X = mandatory). Some of the type tests are destructive.

Table 3 – Minimum type and routine tests for isolated power semiconductor devices

Subclause		Type test	Routine test	Destructive
5.2.1	Isolation voltage test V_{isol}	X	X	X
5.2.2	Peak case non-rupture current $I_{\text{RSMC}} ; I_{\text{CNR}}$	X ^a		
5.3.1	outline dimensions, creepage, clearance	X	X ^b	
5.3.1.4	flatness of base-plate or of cooling surface	X		
5.3.6	thermal resistances R_{th}	X		
5.3.7	transient thermal impedance Z_{th}	X		
5.3.2	parasitic inductance L_{p}	X ^a		
5.3.3	parasitic capacitance C_{p}	X ^a		
5.3.4/5	partial discharge voltages	X ^a		
5.2.6.4	terminal pull out force	X	X ^b	
7.2.6 ^C	thermal cycling	X		
7.2.3 ^C	power cycling (load)	X		
7.2.9/10 ^C	mechanical tests	X		
5.2.7	climatic characteristics classification	X ^a		
NOTE Tests for isolation voltage, partial discharge voltage, creepage and clearance distance should be based on each standard which should be applied to any final equipment using the isolated power semiconductor device. For example see IEC 60950 (Safety information technology, IEC 61287 (rolling stock) etc..				
^a Type test only for devices with specified maximum values.				
^b Routine test only for devices with specified maximum or minimum values.				
^c See Table 1 for normative references of test.				

7.4.2 Routine tests

The routine tests should be carried out on the current production or deliveries normally on a 100 % basis. The ratings and characteristics specified in the data sheet should be verified for each criterion or specimen. Routine test may comprise a selection of the isolated devices into groups of routine tests in Table 3. The minimum routine tests to be carried out on isolated devices are listed in Table 3. Other routine tests are carried out as described in the other parts of the IEC 60747, which is valid for the particular switch.

Annex A (informative)

Test method of peak case non-rupture current²

– Purpose

To prove the ability of the isolated power device containing bipolar transistors, IGBTs or MOSFETs as switches to withstand the rated peak case non-rupture current I_{CNR} without causing a rupture (an "explosion") of the case or an emission of plasma beam or ejecting massive particles. This is a destructive test.

NOTE 1 Case rupture is caused by inside arc or vapour pressure, when the supplied energy or current from outer source exceeds the specified limit. The arc or vapour pressure is induced in a package (encapsulation) of failed power devices by being supplied with stored energy or current from an outer circuit power source. Critical current or energy for packages after the device failure should be issued as an item of the package environmental properties, and in addition the semiconductor and also other electrical parts should avoid an explosion by accident.

– Circuit diagram

See Figure A.1 below.

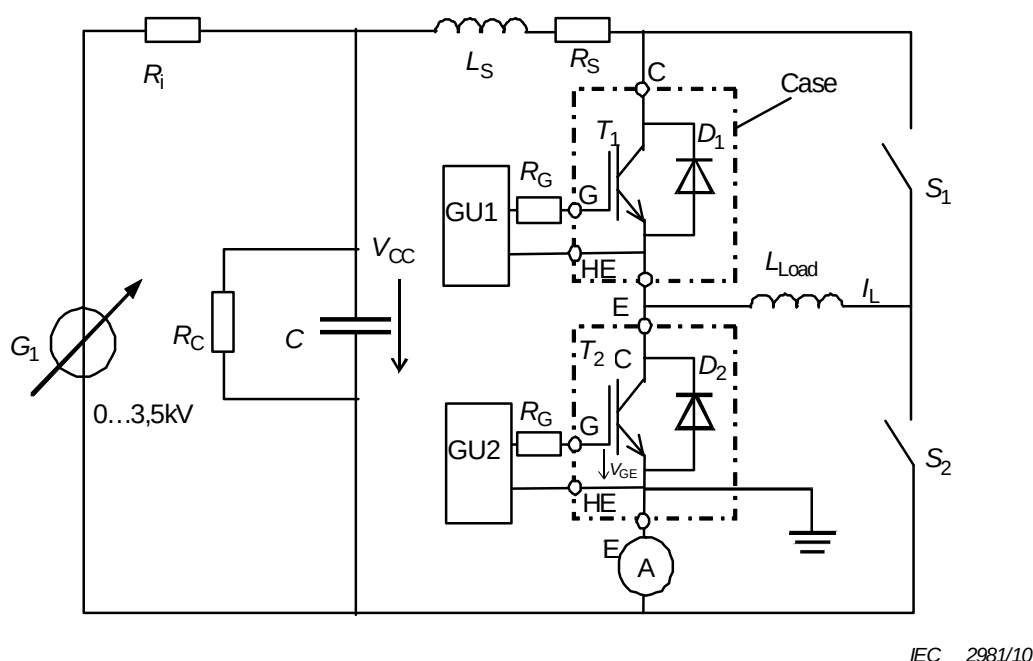


Figure A.1 – Circuit diagram for test of peak case non-rupture current I_{CNR}

– Circuit description and requirements

- A = Ammeter to measure the device current which can be I_{CNR} , if the case just did not burst, monitored by a current probe having low inductance
- C = line capacitor bank, chargeable to full voltage
- D_1 = inverse diode of T_1 , high side
- D_2 = inverse diode of T_2 , low side
- G_1 = DC supply voltage source V_{CC} , which can be switched off from mains under all conditions
- GU1 = gate drive unit of T_1

² still under discussion.

GU2	=	gate drive unit of T_2
L_{Load}	=	load inductance
L_s	=	parasitic inductance of the circuit (40 nH to 250 nH)
R_c	=	discharge resistor for protection purposes
R_G	=	gate resistor
R_i	=	internal source resistance
R_s	=	fuse resistor, mostly set to zero
S_1	=	auxiliary switch (IGBT), high side
S_2	=	auxiliary switch (IGBT), low side
T_1	=	high side IGBT switch = device under test (DUT)
T_2	=	low side IGBT switch
I_L	=	load current
V_{GE}	=	gate voltage

The set-up consists of a two-quadrant converter with two identical isolated IGBT devices. S_1 and S_2 are auxiliary switches, for example IGBT devices, used to establish the desired load current and to induce a short circuit failure. T_1 and T_2 are identical isolated IGBT devices (SINGLE switch or both in a half bridge circuit as DUAL switch).

– Test procedure

Test A:

First, close switch S_2 , turn on T_1 , the load current increases as defined by load inductance L_{Load} . After I_L have exceeded the safe operating area (SOA) for turn-off of T_1 , it is attempted to turn off T_1 . The initial part of the turn-off process takes place, the current in the device is reduced and part of the current is commuted to the diode D_2 . The device T_1 then undergoes a turn-off failure. The diode in the low side device D_2 carries substantial current at this instant. The failure of T_1 forces the diode D_2 to turn off at virtually unlimited di/dt , drawn by L_{Load} . This is outside the diode SOA, and the diode D_2 also fails.

Test B:

T_1 is turned on until a substantial load current is reached. At this moment the device T_2 is turned on. It is induced to fail, because it sees the full voltage together with full current. The device T_1 then goes into desaturation and also fails. (Top-bottom shoot-through- which creates a short circuit between plus bus bar and minus bus bar, discharging the capacitor bank, creating an arc in the devices. This leads to production of gases of the surrounding plastic gel etc. until the energy of the capacitor bank is used). In reality such a failure could be due to cosmic ray or due to thermal overload. Manipulating the device can artificially induce it.

Tests C and further tests:

These tests are executed until a value of stored energy of the capacitor bank and of peak current is found, which is not high enough to rupture or break the case. The values of achieved peak current $I_C = I_{CNR}$, V_{CC} , C_{max} and of $E_C = \frac{1}{2} CV_{CC}^2$ are monitored. The value I_{CNR} is the value of a percentage (10 % = 2/20) of a tested population (minimum 10 pieces) of devices, at which the case did not burst, or case split, but did not eject internal particles.

– Post test measurements and criteria

The DUT is subjected to a visual test, whether cracks and signs of plasma from arcing inside are visible from outside. There shall be no signs of particles thrown out nor shall there be evidence that the device has externally melted or burst into flames.

NOTE 2 The ejection of particles is unavoidable for energies higher than about 10 kJ. What can be achieved by good design is that no massive parts are ejected, which can cause severe consequential damage.

– **Specified conditions**

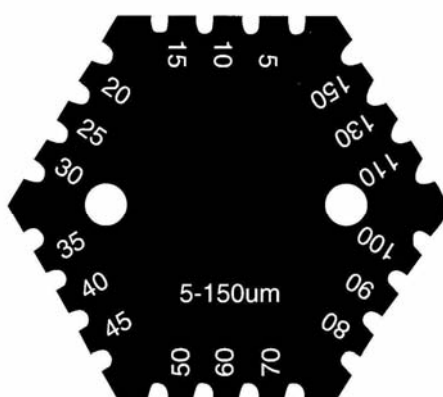
- Case or virtual junction temperature ($T_c = 25\text{ °C}$, $T_{vj} = 25\text{ °C}$ or 125 °C)
- Supply voltage V_{CC}
- Capacitance of capacitor bank C
- Stored energy of capacitor bank E_C
- Parasitic inductance of short circuit L_{SC}
- Load current I_L
- Gate voltage V_{GEon} and V_{GEoff}
- Gate resistance R_{Gon} and R_{Goff}
- Percentage of tested devices not burst to total number of tested devices

NOTE 3 Lit.: S. Gekenides, et al.: Explosion Tests on IGBT High voltage Modules, ISPSD '99 Toronto .

Annex B (informative)

Measuring method of the thickness of thermal compound paste

The measuring gauge is a comb out of stainless steel or suitable plastic, which is not solvable by the fluid material of the thickness of layer to be tested. The outer teeth of the comb – those at the edges of the hexagon in Figure B.1 - form a base line. The inner teeth – those between the outer teeth - are progressively shortened, so that a space of distances is achieved between the teeth and the base line. The size of the distance can be read on a scale on the instrument. A typical measuring gauge is shown here in Figure B.1.



IEC 2982/10

Figure B.1 – Example of a measuring gauge for a layer of thermal compound paste of a thickness between 5 μm and 150 μm

Measuring method

Immediately after applying the layer, the measuring comb is pressed upon the substrate, so that the teeth are vertical to the surface and the measuring comb does not slip. Remove the comb and look at the teeth to ensure that is the shortest tooth that still touched the fluid layer. The thickness of the layer corresponds to the average mean value of the last touching tooth and the first non-touching tooth. At least two further measurements at different parts on the surface are to be executed in same way to get representative values for the covered area.

Bibliography

IEC 60112, *Method for the determination of the proof and the comparative tracking indices of solid insulating materials*

IEC 61287-1:2005, *Railway applications – Power converters installed on board rolling stock – Part 1: Characteristics and test methods*

Lit.: S. Gekenides, et al.: *Explosion Tests on IGBT High voltage Modules*, ISPSD '99 Toronto

SOMMAIRE

AVANT-PROPOS	28
1 Domaine d'application.....	30
2 Références normatives.....	30
3 Termes et définitions	31
4 Symboles littéraux	32
4.1 Généralités.....	32
4.2 Symboles et indices supplémentaires.....	32
4.3 Liste de symboles littéraux.....	32
4.3.1 Tensions et courants	32
4.3.2 Symboles mécaniques.....	32
4.3.3 Autres symboles	33
5 Valeurs assignées (valeurs limites) et caractéristiques essentielles	33
5.1 Généralités.....	33
5.2 Valeurs assignées (valeurs limites).....	33
5.2.1 Tension d'isolement (V_{isol})	33
5.2.2 Courant de crête de non rupture de boîtier (I_{RSMC} ou I_{CNR}) (s'il y a lieu)	33
5.2.3 Courant aux bornes (I_{tRMS}) (s'il y a lieu).....	33
5.2.4 Dissipation totale de puissance (P_{tot})	33
5.2.5 Températures	33
5.2.6 Valeurs mécaniques assignées.....	34
5.2.7 Valeurs climatiques assignées (s'il y a lieu)	34
5.3 Caractéristiques.....	34
5.3.1 Caractéristiques mécaniques.....	34
5.3.2 Inductance parasite (L_p).....	35
5.3.3 Capacités parasites (C_p).....	35
5.3.4 Tension d'apparition de décharge partielle (V_{iM} ou $V_{i(RMS)}$) (s'il y a lieu)	35
5.3.5 Tension d'extinction de décharge partielle (V_{eM} ou $V_{e(RMS)}$) (s'il y a lieu)	35
5.3.6 Résistances thermiques.....	35
5.3.7 Impédance thermique transitoire (Z_{th})	36
6 Méthodes de mesure.....	36
6.1 Vérification de la valeur assignée de tension d'isolement entre bornes et embase (V_{isol})	36
6.2 Méthodes de mesures	37
6.2.1 Tension d'apparition et d'extinction de décharge partielle (V_i) (V_e)	37
6.2.2 Inductance parasite (L_p).....	37
6.2.3 Capacité parasite borne – boîtier (C_p)	39
6.2.4 Caractéristiques thermiques.....	40
7 Réception et fiabilité	42
7.1 Exigences générales	42
7.2 Liste des essais d'endurance	43
7.3 Critères de définition de la réception.....	43
7.4 Essais de type et essais individuels de série.....	43
7.4.1 Essais de type	43
7.4.2 Essais individuels de série	44

Annexe A (informative) Méthode d'essai du courant de crête de non rupture de boîtier	45
Annexe B (informative) Méthode de mesure de l'épaisseur d'une pâte thermique isolante	48
Bibliographie.....	49
Figure 1 – Schéma du circuit de base pour l'essai de tenue en tension au claquage de l'isolation ("essai d'encapsulation haute tension") avec V_{isol}	36
Figure 2 – Schéma du circuit pour la mesure des inductances parasites (L_p)	38
Figure 3 – Formes d'onde.....	39
Figure 4 – Schéma du circuit pour la mesure des capacités parasites (C_p)	40
Figure 5 – Section transversale d'un dispositif de puissance isolé avec des points de référence pour la mesure des températures T_c et T_s	41
Figure A.1 – Schéma du circuit pour l'essai du courant de crête de non rupture du boîtier I_{CNR}	45
Figure B.1 – Exemple d'un calibre de mesure pour couche de pâte thermique isolante d'une épaisseur entre 5 μm et 150 μm	48
Tableau 1 – Essais d'endurance	43
Tableau 2 – Caractéristiques définissant la réception pour les essais d'endurance et de fiabilité.....	43
Tableau 3 – Essais minimum de type et individuels de série pour les dispositifs de puissance à semi-conducteurs isolés.....	44

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – DISPOSITIFS DISCRETS –

Partie 15: Dispositifs de puissance à semiconducteurs isolés

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60747-15 a été établie par le sous-comité 47E: Dispositifs discrets à semiconducteurs, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Cette seconde édition de la CEI 60747-15 annule et remplace la première édition parue en 2003.

Les modifications principales par rapport à l'édition précédente sont les suivantes:

- a) Les Articles 3, 4 et 5 ont été réédités et certains ont été associés à d'autres paragraphes.
- b) Les Articles 6 et 7 ont été réédités et font partie des "Méthodes de mesure" avec les ajouts et suppressions correspondants.
- c) L'Article 8 a été modifié par les ajouts et suppressions appropriés correspondants.
- d) Les Annexes C, D et la Bibliographie ont été supprimées.

Le texte de la présente norme est issu des documents suivants:

FDIS	Rapport de vote
47E/403/FDIS	47E/407/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de la présente norme.

La présente publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Cette Norme internationale doit être lue conjointement avec la CEI 60747-1:2006.

Une liste de toutes les parties de la série de normes CEI 60747, présentées sous le titre général *Dispositifs à semiconducteurs – Dispositifs discrets*, est disponible sur site web de la CEI.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

DISPOSITIFS À SEMICONDUCTEURS – DISPOSITIFS DISCRETS –

Partie 15: Dispositifs de puissance à semiconducteurs isolés

1 Domaine d'application

La présente partie de la CEI 60747 donne les exigences relatives aux dispositifs de puissance à semi-conducteurs isolés avec circuits de commande intégrés. Ces exigences s'ajoutent à celles données dans d'autres parties de la CEI 60747 pour les dispositifs de puissance non-isolés correspondants.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 60270, *Techniques des essais à haute tension – Mesures des décharges partielles*

CEI 60664-1:2007, *Coordination de l'isolement des matériels dans les systèmes (réseaux) à basse tension – Partie 1: Principes, exigences et essais.*

CEI 60721-3-3:1994, *Classification des conditions d'environnement – Partie 3-3: Classification des groupements des agents d'environnement et de leurs sévérités – Utilisation à poste fixe, protégé contre les intempéries*

CEI 60747-1:2006, *Dispositifs à semiconducteurs – Partie 1: Généralités*

CEI 60747-2, *Dispositifs à semi-conducteurs – Dispositifs discrets et circuits intégrés – Partie 2: Diodes de redressement*

CEI 60747-6, *Dispositifs à semiconducteurs – Partie 6: Thyristors*

CEI 60747-7, *Dispositifs à semi-conducteurs – Partie 7: Transistors bipolaires*

CEI 60747-8, *Dispositifs à semiconducteurs – Partie 8: Transistors à effet de champ*

CEI 60747-9, *Dispositifs à semiconducteurs – Dispositifs discrets – Partie 9: Transistors bipolaires à grille isolée (IGBT)*

CEI 60749-5, *Dispositifs à semi-conducteurs – Méthodes d'essais mécaniques et climatiques – Partie 5: Essai continu de durée de vie sous température et humidité avec polarisation*

CEI 60749-6, *Dispositifs à semi-conducteurs – Méthodes d'essais mécaniques et climatiques – Partie 6: Stockage à haute température*

CEI 60749-10, *Dispositifs à semi-conducteurs – Méthodes d'essais mécaniques et climatiques – Partie 10: Chocs mécaniques*

CEI 60749-12, *Dispositifs à semi-conducteurs – Méthodes d'essais mécaniques et climatiques – Partie 12: Vibrations, fréquences variables*

CEI 60749-15, *Dispositifs à semi-conducteurs – Méthodes d'essais mécaniques et climatiques – Partie 15: Résistance à la température de soudage pour dispositifs par trous traversants*

CEI 60749-21, *Dispositifs à semi-conducteurs – Méthodes d'essais mécaniques et climatiques – Partie 21: Brasabilité*

CEI 60749-25, *Dispositifs à semi-conducteurs – Méthodes d'essais mécaniques et climatiques – Partie 25: Cycles de températures*

CEI 60749-34, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 34: Cycles en puissance*

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

3.1

dispositif de puissance à semi-conducteurs isolé

dispositif de puissance à semi-conducteurs contenant un isolant électrique intégral entre la surface ou l'embase de refroidissement et tous les éléments de circuit isolés

3.2 Parties constitutives du dispositif de puissance à semi-conducteur isolé

3.2.1

interrupteur

tout composant qui réalise une fonction de commutation dans un circuit électrique par exemple, diode, thyristor, MOSFET, etc.

NOTE Un interrupteur peut être une connexion parallèle ou en série de plusieurs puces avec une seule fonctionnalité.

3.2.2

embase

partie du boîtier comportant une surface de refroidissement qui transfère la chaleur de l'intérieur vers l'extérieur

3.2.3

borne principale

borne du circuit de puissance comportant un potentiel élevé et parcourue par le courant principal. La borne principale peut comprendre plus d'un connecteur physique

3.2.4

borne de commande

borne apte, en courant faible, à la fonction de commande et à laquelle sont appliqués les signaux de commande externes ou de laquelle proviennent les paramètres de détection

3.2.4.1

borne de commande haute tension

borne connectée électriquement à un élément de circuit isolé, mais parcourue uniquement par le courant faible pour les fonctions de commande

NOTE A titre d'exemple, on peut citer les shunts de courant et les bornes d'un capteur comportant le potentiel élevé des bornes principales.

3.2.4.2**borne de commande basse tension**

borne comportant une fonction de commande et isolée des bornes de commande haute tension

NOTE Les exemples incluent les bornes des capteurs de température isolés et les entrées des circuits d'attaque à grille isolée, etc.

3.2.5**couche d'isolant**

partie intégrée au boîtier du dispositif qui isole toute partie dont le potentiel est élevé de la surface de refroidissement ou du dissipateur thermique externe et de tout élément de circuit isolé

3.3**courant de crête de non rupture de boîtier**

courant de crête, ne conduisant pas à une rupture du boîtier, rejetant des particules massives et de plasma dans des conditions spécifiques

3.4**matériau d'interface thermique**

matériau conducteur de chaleur placé entre l'embase et le dissipateur thermique externe

4 Symboles littéraux**4.1 Généralités**

Les symboles littéraux sont définis dans l'Article 4 de la CEI 60747-1 :2006

4.2 Symboles et indices supplémentaires

p = parasite

t = borne (*terminal*)

isol = isolement

m = montage

4.3 Liste de symboles littéraux**4.3.1 Tensions et courants**

Courant de borne	I_{TRMS}
Tension d'isolement	V_{isol}
Tension d'apparition de décharge partielle	V_i
Tension d'extinction de décharge partielle	V_e
Courant de fuite d'isolement	I_{isol}
Courant de crête de non rupture de boîtier (pour dispositifs à diode et à thyristor)	I_{RSMC}
Courant de crête de non rupture de boîtier (pour dispositifs IGBT et MOSFET)	I_{CNR}

4.3.2 Symboles mécaniques

Couple de serrage pour des vis du dissipateur thermique	M_s
Couple de serrage pour des vis des bornes	M_t
Force de serrage	F
Accélération maximale pour chacun des 3 axes (x, y, z)	a
Masse	m

Planéité du boîtier (embase)	e_c
Planéité de la surface de refroidissement (dissipateur thermique)	e_s
Rugosité du boîtier (embase)	R_{Zc}
Rugosité de la surface de refroidissement (dissipateur thermique)	R_{Zs}
Épaisseur du matériau d'interface thermique (boîtier - radiateur)	$d_{(c-s)}$

4.3.3 Autres symboles

Dissipation de puissance maximale totale par interrupteur à $T_c = 25\text{ °C}$	P_{tot}
Inductance parasite, effective entre bornes et puces (à spécifier)	L_p
Capacité parasite entre les bornes, et la surface de refroidissement (boîtier, embase, terre)	C_p
Résistance du fil entre la borne X et l'interrupteur x' correspondant	$r_{xx'}$
Température de borne	T_t
Nombre de cycles de puissance en charge jusqu'à défaillance d'un pourcentage p d'une population des dispositifs.	$N_{f;p}$

5 Valeurs assignées (valeurs limites) et caractéristiques essentielles

5.1 Généralités

Il convient que les dispositifs de puissance à semi-conducteurs isolés soient spécifiés comme des dispositifs évalués et garantis au niveau de leur boîtier ou de leur radiateur. Il convient que les valeurs assignées et les caractéristiques soient établies à une température de 25 °C ou une autre température plus élevée spécifiée. Les exigences pour plusieurs dispositifs ayant une encapsulation communes sont présentées dans le 5.12 de la CEI 60747-1:2006.

5.2 Valeurs assignées (valeurs limites)

5.2.1 Tension d'isolement (V_{isol})

Valeur efficace ou continue maximale entre les bornes principales et les bornes de commande haute tension d'un côté et les bornes de commande basse tension (le cas échéant) et l'embase de l'autre côté pour une durée spécifiée.

5.2.2 Courant de crête de non rupture de boîtier (I_{RSMC} ou I_{CNR}) (s'il y a lieu)

Valeur maximale pour chaque borne principale qui n'entraîne pas l'éclatement du boîtier ou l'émission de plasma et de particules.

5.2.3 Courant aux bornes (I_{IRMS}) (s'il y a lieu)

Valeur efficace maximale du courant à travers la borne principale dans des conditions spécifiées au niveau du couple de serrage minimal M_t et à la température de borne maximale autorisée ($T_{tmax} = T_{stg}$ ou $T_{tmax} \leq T_{vjmax}$).

5.2.4 Dissipation totale de puissance (P_{tot})

Valeur maximale par interrupteur à $T_c = 25\text{ °C}$ (ou $T_s = 25\text{ °C}$), lorsque $T_{vj} = T_{vjmax}$, sous une charge de courant continu.

5.2.5 Températures

5.2.5.1 Température de soudure (T_{sold})

Température de soudure maximale T_{sold} pendant le processus de soudure sur un temps d'exécution de soudure t_{sold} spécifié.

5.2.5.2 Température de stockage (T_{stg})

Températures de stockage minimale et maximale.

5.2.6 Valeurs mécaniques assignées

5.2.6.1 Couple de serrage pour des vis de radiateur (M_s)

Couple de serrage minimal qui doit être appliqué aux vis de fixation du radiateur.

5.2.6.2 Couple de serrage des vis de bornes (M_t)

Couple de serrage minimal qui doit être appliqué aux bornes à vis .

5.2.6.3 Force de serrage (F)

Force de serrage minimale pour les dispositifs montés par pression, à fixation par agrafes, qui doit être appliquée au dispositif de contact par pression isolée.

5.2.6.4 Force de traction sur les bornes (F_t)

Force maximale.

5.2.6.5 Accélération (a)

Valeur maximale le long de chaque axe (x, y, z).

5.2.6.6 Planéité de la surface du radiateur (e_s) (s'il y a lieu)

Ecart maximal de planéité concernant la surface du radiateur sur l'ensemble de la zone de montage.

5.2.6.7 Rugosité de la surface du radiateur (R_{zs}) (s'il y a lieu)

Rugosité maximale de la surface du radiateur sur l'ensemble de la zone de montage.

5.2.7 Valeurs climatiques assignées (s'il y a lieu)

Les valeurs limites des paramètres d'environnement pour l'application finale comme suit:

- température ambiante
- humidité
- vitesse et pression d'air
- irradiation du soleil et d'autres sources de chaleur
- substances actives mécaniques
- substances actives chimiques
- problèmes biologiques

doivent être décrites selon les classes spécifiées dans la CEI 60721-3-3:1994, Tableau 1.

5.3 Caractéristiques

5.3.1 Caractéristiques mécaniques

5.3.1.1 Distance de ligne de fuite sur la surface (d_s)

Valeur minimale de la distance sur la surface du matériau isolant du dispositif entre les bornes de différents potentiels et l'embase.

NOTE 1 La CEI 60112 (détails sur l'indice de résistance au cheminement "IRC") et la CEI 60664-1:2007, paragraphe 5.2 s'appliquent.

NOTE 2 Des intervalles d'air entre une surface en plastique et du métal relié à la terre ou entre des bornes de polarité opposée inférieure à 1,0 mm (pour un degré de pollution 2), ou 1,5 mm (degré de pollution 3) raccourcissent considérablement l'estimation de la ligne de fuite (pour les détails, voir la 60664-1:2007, exemples). Ceci est important, si de la poussière, de l'humidité ou des salissures commencent à recouvrir la surface et augmentent ainsi le courant de fuite en surface, le matériau en plastique d'enrobage pourrait commencer à brûler.

5.3.1.2 Distance d'isolement dans l'air (d_a)

Valeur minimale de la distance dans l'air – entre les bornes de polarité différente du dispositif isolé et l'embase.

NOTE Pour plus de détails, voir la CEI 60664-1:2007 (Paragraphe 4.6 et Paragraphe 5.1) qui présente des exemples typiques de diverses formes de distances d'isolement.

5.3.1.3 Masse (m) du dispositif

Valeur maximale sans accessoires (matériels de montage).

5.3.1.4 Planéité de l'embase (e_c) (s'il y a lieu)

Ecart maximal et minimal de planéité autorisé pour l'embase et sa direction (convexe ou concave).

5.3.2 Inductance parasite (L_p)

Valeur maximale ou typique entre les bornes principales de chaque chemin de courant principal.

5.3.3 Capacités parasites (C_p)

Valeur maximale de la capacité parasite entre la(les) borne(s) principale(s) spécifiée(s) et la surface de refroidissement.

5.3.4 Tension d'apparition de décharge partielle (V_{iM} ou $V_{i(RMS)}$) (s'il y a lieu)

Valeur de crête minimale V_{iM} ou valeur efficace $V_{i(RMS)}$ entre les bornes isolées et l'embase (pour les détails, voir la CEI 60270).

5.3.5 Tension d'extinction de décharge partielle (V_{eM} ou $V_{e(RMS)}$) (s'il y a lieu)

Valeur de crête minimale V_{eM} ou valeur efficace $V_{e(RMS)}$ entre les bornes isolées et l'embase (pour les détails, voir la CEI 60270).

5.3.6 Résistances thermiques

5.3.6.1 Résistance thermique jonction – boîtier ($R_{th(j-c)X}$) pour les dispositifs spécifiés au niveau du boîtier

Valeur maximale de la résistance thermique de la jonction à un point de référence spécifié au niveau du boîtier (embase) par interrupteur "X" (par exemple de la diode (D), du thyristor (T), de l'IGBT (I) ou de MOSFET (M)).

5.3.6.2 Résistance thermique boîtier – radiateur ($R_{th(c-s)}$) (s'il y a lieu)

Valeur maximale ou typique de la résistance thermique entre deux points spécifiés au niveau du boîtier et au niveau du radiateur du dispositif spécifié au niveau du boîtier ("module"), lorsque le boîtier est monté conformément aux instructions de montage des fabricants.

5.3.6.3 Résistance thermique boîtier – radiateur par interrupteur ($R_{th(c-s)x}$) (s'il y a lieu)

Valeur maximale ou typique de la résistance thermique entre les deux points spécifiés du boîtier et du radiateur de l'interrupteur "X" (par exemple de la diode (D), du thyristor (T), de l'IGBT (I) ou du MOSFET (M)) des dispositifs isolés spécifiés au niveau du boîtier ("module"), lorsque le boîtier est monté conformément aux instructions de montage des fabricants.

5.3.6.4 Résistance thermique jonction – radiateur ($R_{th(j-s)x}$) pour les dispositifs spécifiés avec radiateur

Valeur maximale ou typique de la résistance thermique de la jonction à un point spécifié au niveau du radiateur par interrupteur "X" (par exemple de la diode (D), du thyristor (T), de l'IGBT (I) ou du MOSFET (M)), lorsque le dispositif est monté conformément aux instructions de montage des fabricants.

5.3.6.5 Résistance thermique jonction –capteur ($R_{th(j-r)}$) (s'il y a lieu)

Valeur de la résistance thermique de la jonction à un capteur de température intégré, lorsque le dispositif est monté conformément aux instructions de montage des fabricants.

NOTE Il convient de présenter la position de cette résistance thermique dans le circuit équivalent de la résistance thermique.

5.3.7 Impédance thermique transitoire (Z_{th})

Impédance thermique en fonction du temps écoulé après une variation d'échelon de dissipation de puissance pour chaque résistance thermique spécifiée au Paragraphe 5.3.6 et qui doit être spécifiée selon une des manières suivantes.

6 Méthodes de mesure

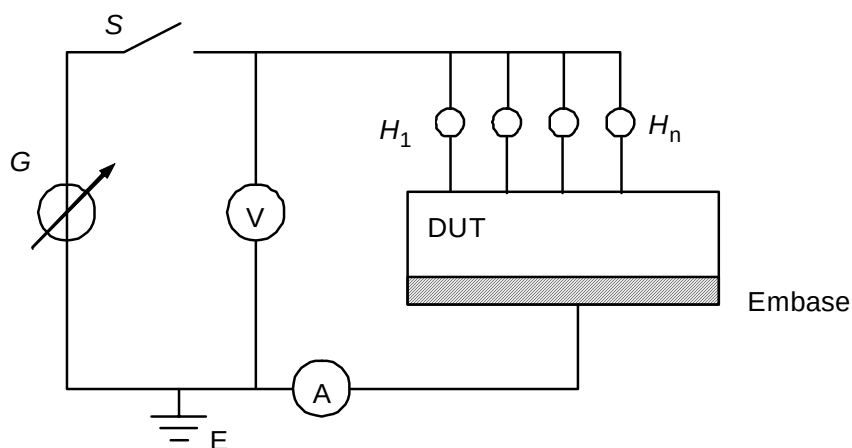
6.1 Vérification de la valeur assignée de tension d'isolement entre bornes et embase (V_{isol})

– But

Montrer la capacité du dispositif de puissance isolée à supporter la tension d'isolement assignée.

– Schéma de circuit

Voir la Figure 1 ci-dessous.



IEC 2976/10

Figure 1 – Schéma du circuit de base pour l'essai de tenue en tension au claquage de l'isolation ("essai d'encapsulation haute tension") avec V_{isol}

– Description et exigences du circuit

DUT = dispositif en essai

G = source de tension à haute impédance, capable de délivrer V_{isol}

S = interrupteur principal

V = voltmètre pour V_{isol}

A = ampèremètre ou sonde de courant pour I_{isol}

$H_1 \dots H_n$ = borne à haut potentiel

La source de tension G est capable de délivrer la tension d'isolement V_{isol} comme tension alternative ou continue, avec une impédance interne élevée pour limiter une éventuelle pointe de courant en cas de claquage du dispositif en essai (DUT).

Toutes les bornes principales et les bornes de commande haute tension sont connectées ensemble et sont connectées à la borne de sortie à potentiel élevé H de la source de tension G. L'embase du DUT, c'est-à-dire sa surface de refroidissement métallisée et toutes les bornes basse tension sont connectées au potentiel de la terre E. Un ampèremètre ou une sonde de courant A est inséré(e) pour mesurer le courant de fuite d'isolement.

– Procédure d'essai

L'interrupteur S est fermé et la tension est augmentée lentement à la valeur spécifiée et maintenue à cette valeur pour la durée spécifiée. Le courant mesuré sur l'ampèremètre A ne doit pas dépasser la valeur spécifiée. La tension doit ensuite être réduite à zéro.

– Conditions spécifiées

Spécifiées dans la CEI 60664-1:2007.

- Température ambiante ou du boîtier
- V_{isol}
- I_{isol} en tant que limite maximale d'essai
- Temps d'essai t , si inférieur à 60 secondes

6.2 Méthodes de mesures

6.2.1 Tension d'apparition et d'extinction de décharge partielle (V_i) (V_e)

Entre bornes à haut potentiel et embase (s'il y a lieu). Voir la CEI 60270 et la CEI 60664-1:2007.

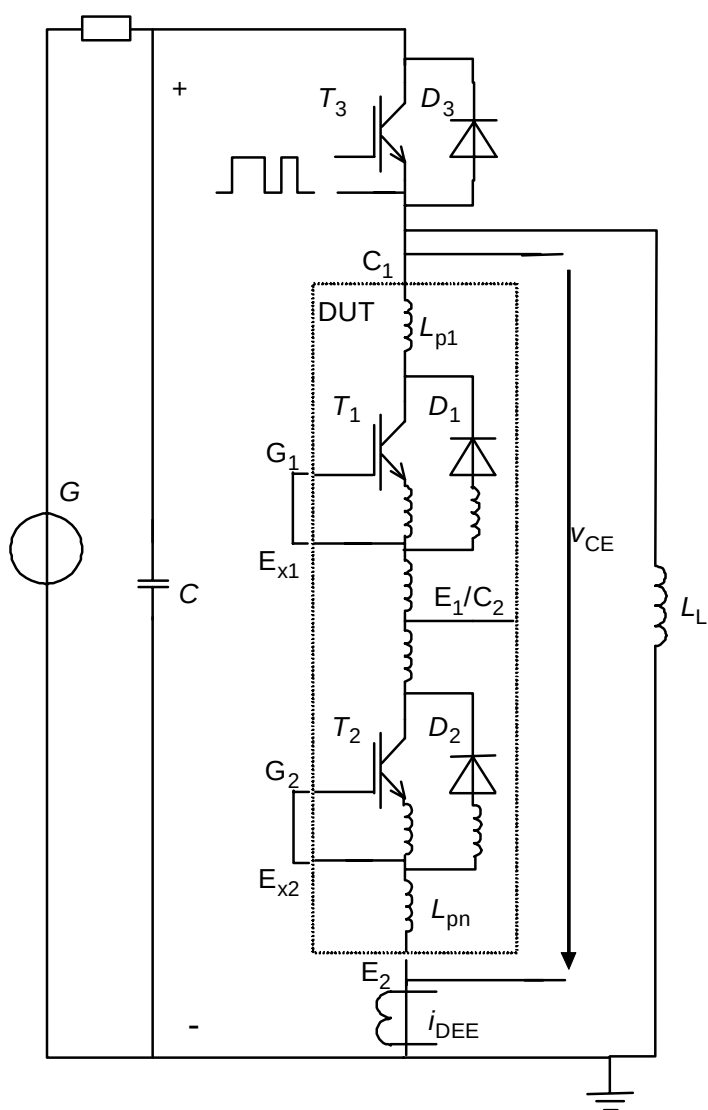
6.2.2 Inductance parasite (L_p)

– But

Mesurer l'inductance parasite entre deux bornes principales

– Schéma de circuit

Voir la Figure 2 ci-dessous.



IEC 2977/10

Figure 2 – Schéma du circuit pour la mesure des inductances parasites (L_p)

Légende

DUT = dispositif en essai T1+T2, par exemple IGBT (Simple ou Double – représenté – ou branche d'une configuration triphasée), dispositif à MOSFET ou diode rapide

C = batterie de condensateurs principaux en tant que réservoir

L_L = inductance de charge, au moins 100 fois l'inductance parasite

$L_{p1} \dots L_{pn}$ = parties de l'inductance parasite L_p

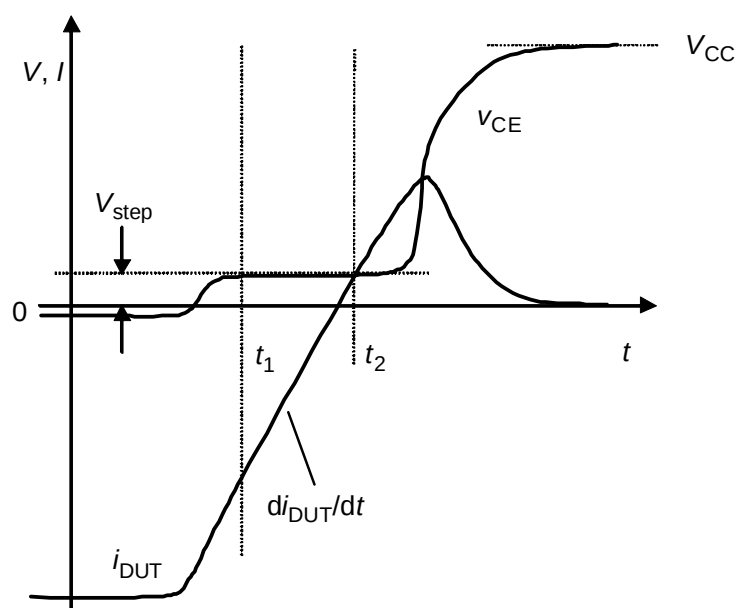
I_{DUT} = sonde de courant

G = source de tension pour la charger le condensateur

T_1 = DUT, interrupteur supérieur (représenté comme IGBT sur la Figure 2)

T_2 = DUT, interrupteur inférieur (représenté comme IGBT sur la Figure 2), facultatif

T_3 = interrupteur IGBT auxiliaire



IEC 2978/10

Figure 3 – Formes d'onde**– Description et exigences du circuit**

Le circuit de la Figure 2 est constitué d'une alimentation continue G pour le réservoir de charge C , d'un interrupteur auxiliaire T_3 , d'une unité de commande de grille T_3 , du DUT inséré dans le montage d'essai avec les bornes de commande de grille court-circuitées, d'un oscilloscope à deux canaux qui mesure la tension V_{CE} entre les bornes principales "C₁" et "E₂", d'une sonde de courant qui mesure le courant I_{DUT} sur le trajet de diode du DUT, connecté à l'oscilloscope à deux canaux. Cette méthode de mesure utilise une tension réduite V_{CC} et le di/dt de diodes incorporées dans le dispositif à la coupure, mesurant la tension aux bornes principales à l'extérieur. On peut l'utiliser pour les dispositifs à interrupteur simple, ainsi que pour les dispositifs à circuits en demi-pont (modules DOUBLE).

– Procédure de mesure

Une méthode à impulsions de courant est utilisée. Le transistor auxiliaire T_3 allume et coupe le courant de charge à la bobine d'inductance L_L . Lorsque T_3 est coupé le courant circule en roue libre dans les diodes du DUT. Lorsque T_3 est à nouveau en marche, il provoque la chute du courant à travers les diodes suivant une pente presque linéaire di_{DUT}/dt . Pendant ce temps ($t_1 - t_2$) la tension aux bornes du DUT s'établit à échelon de tension V_{step} provoqué par l'inductance parasite interne lorsque le courant diminue (di_{DUT}/dt). La valeur de l'inductance parasite du chemin de courant principal peut être calculée de la façon suivante:

$$L_p = V_{step} / |(di_{DUT}/dt)| \quad (1)$$

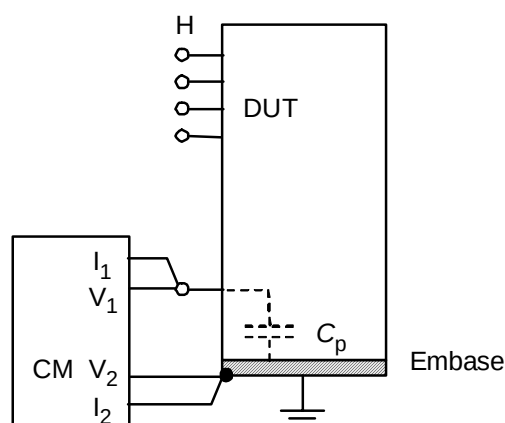
NOTE Utiliser une barre omnibus de faible inductance (en feuilles) et une sonde de courant de faible inductance.

6.2.3 Capacité parasite borne – boîtier (C_p)**– But**

Mesurer la capacité parasite C_p entre la ou les bornes(s) principale(s) spécifiée(s) et le boîtier (embase)

– Schéma de circuit

Voir la Figure 4 ci-dessous.



IEC 2979/10

Figure 4 – Schéma du circuit pour la mesure des capacités parasites (C_p)

– **Description et exigences du circuit**

- C_p = capacité parasite
- H = borne à haut potentiel
- CM = capacimètre

– **Procédure de mesure**

Monter le dispositif sur un radiateur mis à la terre conformément aux instructions de montage des fabricants. Raccorder le connecteur de la source de courant " I_1 " du capacimètre CM à la borne spécifiée, et le connecteur " I_2 " à la terre (l'embase) du dispositif en essai. Brancher le connecteur de mesure de tension du capacimètre aux points d'essai " V_1 " et " V_2 " à la terre. CM est réglé à la fréquence spécifiée. La capacité C_p peut être lue sur CM. Pour la mesure de la capacité de couplage totale C_p , connecter toutes les bornes principales entre elles et poursuivre la mesure comme cela est décrit ci-dessus.

– **Conditions spécifiées**

- Fréquence f de mesure du CM

6.2.4 Caractéristiques thermiques

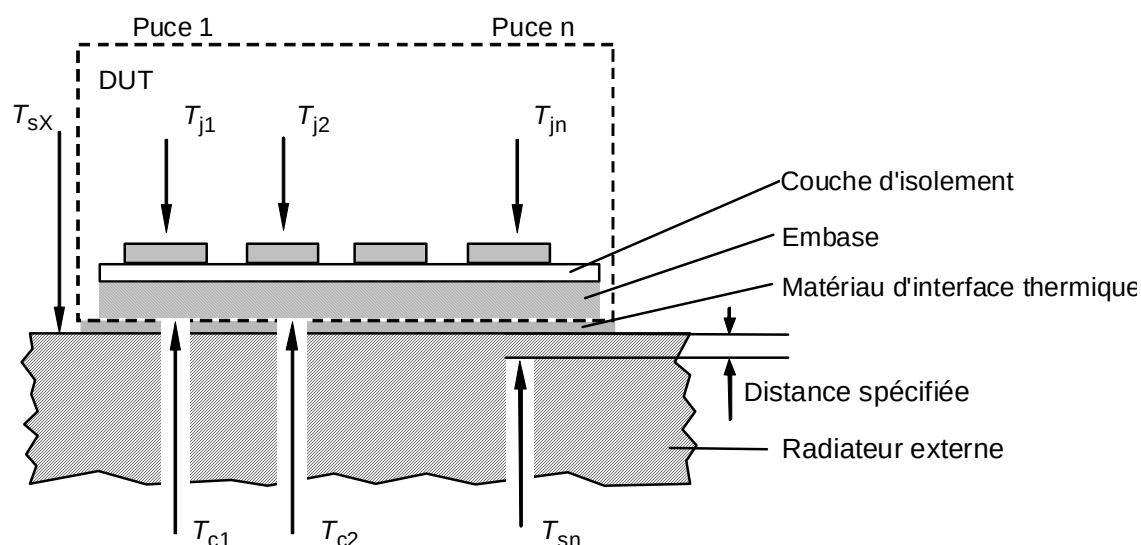
6.2.4.1 Description générale des méthodes de mesure

– **But**

Mesurer les caractéristiques thermiques entre l'interrupteur et le système de refroidissement

– **Points de référence pour la mesure de la température et description**

Il convient d'employer les mêmes méthodes que pour le dispositif non isolé correspondant. La résistance thermique et l'impédance thermique sont mesurées comme cela est décrit dans les documents pour les diodes: la CEI 60747-2, pour les thyristors: la CEI 60747-6, pour les transistors bipolaires: la CEI 60747-7, pour les TEC: la CEI 60747-8 et pour les IGBT (transistors bipolaire à grille isolée): la CEI 60747-9.



IEC 2980/10

Légende $T_{j1...n}$ = température de jonction de la puce 1 à n $T_{c1...n}$ = température du boîtier sous la puce 1 à n $T_{s1...n}$ = température du radiateur sous la puce 1 à n T_{sX} = température du radiateur à un point spécifié en surface

Figure 5 – Section transversale d'un dispositif de puissance isolé avec des points de référence pour la mesure des températures T_c et T_s

– **Procédure de mesure**

T_c est mesurée au moyen d'un instrument de mesure de la température par le dessous à travers un petit trou dans le radiateur et tout matériau d'interface thermique en dessous de l'interrupteur (puce). T_s est prise du dessus au point le plus chaud accessible, au plus près de l'interrupteur (puce) ou de dessous à travers un trou spécifié dont le fond est à 2 (+/-1) mm en dessous de la surface du radiateur (à spécifier, montage d'essai type). T_j est déterminée au moyen de méthodes indirectes comme cela est décrit dans les documents individuels.

NOTE La résistance thermique $R_{th(j-s)}$ et $R_{th(c-s)}$ dépend de plusieurs paramètres mécaniques tels que le type et l'épaisseur du matériau d'interface thermique utilisé (il convient de la spécifier dans les instructions de montage du fabricant, par exemple 30 μm à 50 μm), l'écart maximal de planéité de la surface de refroidissement de l'embase du dispositif et du radiateur et le couple de serrage des vis de fixation, selon des directives de montage spécifiées.

6.2.4.2 Résistance thermique jonction – boîtier par interrupteur $R_{th(j-c)}$

$$R_{th(j-c)} = (T_j - T_c)/P \quad (2)$$

où

 T_j est la température de jonction virtuelle de l'interrupteur; T_c est la température du boîtier (embase) sous l'interrupteur (puce); P est la dissipation de puissance d'un interrupteur (voir Figure 5).**6.2.4.3 Résistance thermique boîtier – radiateur par interrupteur (X) $R_{th(c-s)(X)}$ ou par dispositif $R_{th(c-s)}$**

$$R_{th(c-s)(X)} = (T_c - T_s)/P_X \quad (3)$$

où

- X est le D (Diode), I (IGBT), M (MOSFET);
- T_c est la température prise au point spécifié du boîtier (comme ci-dessus) sous la puce;
- T_s est la température du radiateur, prise au point de référence pour les essais T_s spécifiés;
- P_X est la dissipation totale de puissance de l'interrupteur;
- P est la dissipation de puissance du dispositif complet.

– **Conditions spécifiées**

- Montage conformément aux instructions des fabricants
- Conductivité thermique du matériau d'interface thermique
- Points de référence pour la mesure thermique

NOTE La méthode de mesure de l'épaisseur d'un matériau d'interface thermique est présentée à l'Annexe B.

6.2.4.4 Résistance thermique jonction – radiateur par interrupteur $R_{th(j-s)}$ (pour dispositifs spécifiés avec radiateur)

$$R_{th(j-s)} = (T_j - T_{sn})/P \quad (4)$$

où

- T_j est la température de jonction virtuelle de l'interrupteur;
- T_{sn} est prise au point de référence spécifié n au niveau du radiateur (voir Figure 5);
- P est la dissipation de puissance de l'interrupteur.

– **Conditions spécifiées**

- Montage conformément aux instructions des fabricants
- Conductivité thermique du matériau d'interface thermique
- Points de référence pour la mesure thermique

6.2.4.5 Impédance thermique transitoire Z_{th}

– **Circuit et procédure de mesure**

Ils sont fondés sur les paragraphes précédents de 6.2.4.1 à 6.2.4.3. Les documents individuels des dispositifs non isolés s'appliquent.

$$Z_{th(j-c)} = (|T_j(0) - T_c(0)| - |T_j(t) - T_c(t)|)/P \quad (5)$$

$$Z_{th(c-s)} = (|T_c(0) - T_s(0)| - |T_c(t) - T_s(t)|)/P \quad (6)$$

$$Z_{th(j-s)} = (|T_j(0) - T_s(0)| - |T_j(t) - T_s(t)|)/P \quad (7)$$

– **Conditions spécifiées**

- Montage conformément aux instructions des fabricants
- Conductivité thermique du matériau d'interface thermique
- Points de référence pour la mesure thermique

7 Réception et fiabilité

7.1 Exigences générales

Outre les paragraphes suivants, les exigences applicables aux dispositifs non isolés données dans les autres parties applicables de la CEI 60747 s'appliquent.

7.2 Liste des essais d'endurance

Voir le Tableau 1.

Tableau 1 – Essais d'endurance

Paragraphe	Essais d'environnement – désignation	Forme abrégée	Références normatives
7.2.1	Polarisation inverse à haute température ou blocage à haute température	HTRB	CEI 60749-5
7.2.2	Polarisation inverse à forte humidité et à haute température ou blocage à forte humidité et haute température	H ³ TRB	CEI 60749-5
7.2.3	Aptitude aux itérations de puissance (charge)		CEI 60749-34
7.2.4	Stockage à haute température	HTS	CEI 60749-6
7.2.5	Stockage à basse température	LTS	CEI 60068-2-48 ¹
7.2.6	Cycles thermiques	TC	CEI 60749-25
7.2.7	Résistance à la chaleur de soudure		CEI 60749-15
7.2.8	Soudabilité		CEI 60749-21
7.2.9	Chocs mécaniques		CEI 60749-10
7.2.10	Vibrations (fréquences variables)		CEI 60749-12

7.3 Critères de définition de la réception

Tableau 2 – Caractéristiques définissant la réception pour les essais d'endurance et de fiabilité

Caractéristique définissant la réception	Critères d'acceptation	Conditions de mesure
I_{isol}	< LSS	Spécifiées V_{isol}
R_{th}	< LSS	Instructions de montage
USL: limite supérieure de la spécification.		

7.4 Essais de type et essais individuels de série

7.4.1 Essais de type

Il convient de considérer l'expérience obtenue avec d'autres dispositifs de puissance à semi-conducteurs isolés, utilisant des composants identiques ou similaires, tels que des interrupteurs ou des boîtiers, pour décider quels essais sont obligatoires.

Les essais de type sont effectués sur des produits neufs sur une base d'échantillons, afin de déterminer les caractéristiques assignées électriques, thermiques, mécaniques et climatiques (valeurs limites), caractéristiques à donner dans la fiche technique et d'établir les limites des essais pour de futurs essais individuels de série. Il convient que certains ou tous les tests soient répétés de temps en temps sur des échantillons prélevés de la production ou des livraisons courantes, afin de confirmer que la qualité du produit répond continuellement aux exigences.

¹ Supprimer en 2008.

Les essais de type à effectuer au minimum sont les suivants:

Il convient que les dispositifs neufs de puissance à semi-conducteurs isolés soient soumis aux essais de type énumérés dans le Tableau 3, marqués par un "X" (X = obligatoire). Certains essais de type sont destructifs.

Tableau 3 – Essais minimum de type et individuels de série pour les dispositifs de puissance à semi-conducteurs isolés

Paragraphe		Essai de type	Essai individuel	Destructif
5.2.1	Essai de tension d'isolement V_{isol}	X	X	X
5.2.2	Courant de crête de non rupture de boîtier I_{RSMC} ; I_{CNR}	X ^a		
5.3.1	Dimensions d'encombrement, ligne de fuite, distance d'isolement	X	X ^b	
5.3.1.4	Planéité de l'embase ou de la surface de refroidissement	X		
5.3.6	Résistances thermiques R_{th}	X		
5.3.7	Impédance thermique transitoire Z_{th}	X ^a		
5.3.2	Inductance parasite L_p	X ^a		
5.3.3	Capacité parasite C_p	X ^a		
5.3.4/5	Tensions de décharge partielle	X	X ^b	
5.2.6.4	Force de traction sur les bornes			
7.2.6 ^c	Cycles thermiques	X		
7.2.3 ^c	Itérations de puissance (charge)	X		
7.2.9/10 ^c	Essais mécaniques	X		
5.2.7	Classification des caractéristiques climatiques	X ^a		
NOTE Il convient que les essais de tension d'isolement, de tension de décharge partielle, de ligne de fuite et de distance d'isolement soient basés sur chaque norme, et il convient que cette dernière soit appliquée à tout matériel final utilisant le dispositif de puissance à semi-conducteurs isolé. Voir par exemple la CEI 60950 (Technologie de l'information sur la sécurité), CEI 61287 (matériel roulant), etc.				
a Essai de type uniquement pour les dispositifs avec valeurs maximales spécifiées.				
b Essai individuel de série uniquement pour les dispositifs avec valeurs maximales ou minimales spécifiées.				
c Voir le Tableau 1 pour les références normatives des essais.				

7.4.2 Essais individuels de série

Il convient d'effectuer les essais périodiques sur la production ou les livraisons courantes, normalement sur une base de 100 %. Il convient de vérifier les valeurs assignées et les caractéristiques spécifiées dans les fiches techniques pour chaque critère ou éprouvette. L'essai périodique peut comprendre une sélection des dispositifs isolés dans les groupes d'essais périodiques figurant dans le Tableau 3. Les essais périodiques minimum à effectuer sur les dispositifs isolés figurent dans le Tableau 3. D'autres essais périodiques sont effectués comme cela est décrit dans les autres parties de la CEI 60747, qui est valable pour l'interrupteur particulier.

Annexe A (informative)

Méthode d'essai du courant de crête de non rupture de boîtier²

– But

Prouver la capacité du dispositif de puissance isolé contenant des transistors bipolaires, IGBT ou MOSFET comme interrupteurs à supporter le courant assigné de crête de non rupture de boîtier I_{CNR} , sans provoquer de rupture ("explosion") du boîtier ni une émission de faisceaux de plasma ou sans rejeter de particules massives. Il s'agit d'un essai destructif.

NOTE 1 Une rupture de boîtier est provoquée par un arc intérieur ou une pression de vapeur, lorsque l'énergie ou le courant délivré par une source extérieure dépasse la limite spécifiée. L'arc ou la pression de vapeur est induit dans un boîtier (encapsulation) de dispositifs de puissance défaillants en étant alimentés par l'énergie ou le courant stocké d'une source de puissance de circuit extérieure. Il convient que le courant ou l'énergie critique pour les boîtiers après la défaillance du dispositif soit fourni comme un élément des propriétés environnementales du boîtier, et de plus, il convient que le semi-conducteur mais également les autres parties électriques évite toute explosion provoquée par un accident.

– Schéma de circuit

Voir la Figure A.1 ci-dessous.

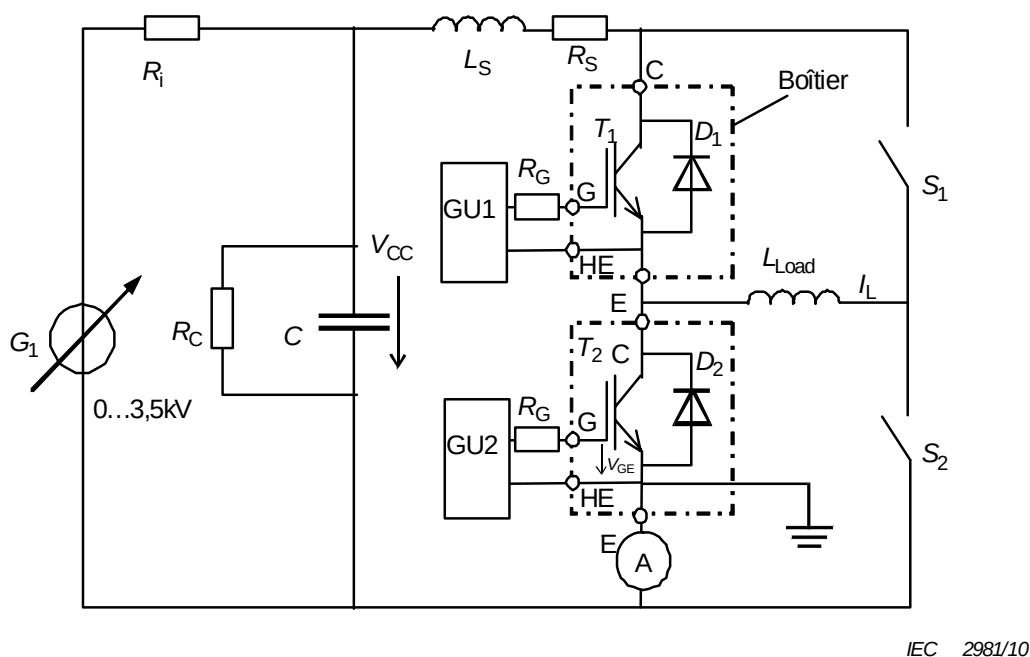


Figure A.1 – Schéma du circuit pour l'essai du courant de crête de non rupture du boîtier I_{CNR}

– Description et exigences du circuit

- A = ampèremètre pour mesurer le courant du dispositif, qui peut être I_{CNR} , si le boîtier n'a pas simplement éclaté, surveillé par une sonde de courant de faible inductance
- C = batterie de condensateurs, chargeable à la tension maximum
- D_1 = diode inverse de T_1 , côté haut
- D_2 = diode inverse de T_2 , côté bas

² encore en deliberation.

G_1	=	source de tension d'alimentation continue V_{CC} , qui peut être déconnectée du réseau d'alimentation dans toutes conditions
GU1	=	unité de commande de grille de T_1
GU2	=	unité de commande de grille de T_2
L_{Load}	=	inductance de charge
L_s	=	inductance parasite du circuit (40 nH à 250 nH)
R_c	=	résistance de décharge en vue de la protection
R_G	=	résistance de grille
R_i	=	résistance de source interne
R_s	=	résistance fusible, le plus souvent réglée sur zéro
S_1	=	interrupteur auxiliaire (IGBT) côté haut
S_2	=	interrupteur auxiliaire (IGBT) côté bas
T_1	=	interrupteur IGBT côté haut = dispositif en essai (DUT)
T_2	=	interrupteur IGBT côté bas
I_L	=	courant de charge
V_{GE}	=	tension de grille

Le montage est constitué d'un convertisseur à quatre quadrants avec deux dispositifs IGBT isolés identiques. S_1 et S_2 sont des dispositifs auxiliaires, par exemple des dispositifs IGBT, utilisés pour établir le courant de charge désiré et pour induire une défaillance de court-circuit. T_1 et T_2 sont des dispositifs IGBT isolés identiques (interrupteur SIMPLE ou bien les deux interrupteurs dans un circuit en demi-pont en tant qu'interrupteur DOUBLE).

– Procédure d'essai

Essai A:

D'abord, fermer l'interrupteur S_2 , rendre T_1 passant, le courant de charge augmente tel que défini par l'inductance de charge L_{Load} . Dès que I_L a dépassé la zone de fonctionnement en sécurité (SOA) pour la coupure de T_1 , on tente de couper T_1 . La partie initiale du processus de coupure a lieu, le courant du dispositif est réduit et une partie du courant est commutée vers la diode D_2 . Le dispositif T_1 subit alors une défaillance à la coupure. La diode dans le dispositif côté bas D_2 est parcourue par un courant substantiel à cet instant. La défaillance de T_1 force la diode D_2 à la coupure, à un di/dt pratiquement illimité, tiré par L_{Load} . Il s'agit de l'extérieur de la SOA de la diode et la diode D_2 est également défaillante.

Essai B:

T_1 est rendu passant jusqu'à atteindre un courant de charge substantiel. A ce moment-là, le dispositif T_2 est rendu passant. Ceci provoque sa défaillance parce qu'il est soumis à la tension complète avec le courant total. Le dispositif T_1 entre alors en désaturation et subit également une défaillance (avalanche de haut en bas - ce qui crée un court circuit entre la barre omnibus positive et la barre omnibus négative, en déchargeant la batterie de condensateurs, provoquant un arc dans les dispositifs. Ceci conduit à une vaporisation du gel plastique situé autour, etc. jusqu'à ce que l'énergie de la batterie de condensateurs soit utilisée). En réalité, une telle défaillance pourrait être due à des rayons cosmiques ou à une surcharge thermique. La manipulation du dispositif peut l'induire artificiellement.

Essais C et autres essais:

Ces essais sont exécutés jusqu'à ce que l'on trouve la valeur de l'énergie stockée de la batterie de condensateurs et du courant de crête, qui n'est pas suffisamment élevée pour rompre ou briser le boîtier. Les valeurs du courant de crête obtenu $I_C = I_{CNR}$, V_{CC} , C_{max} et de $E_C = \frac{1}{2} CV_{CC}^2$ font l'objet d'une surveillance. La valeur I_{CNR} est la valeur d'un pourcentage

(10 % = 2/20) d'une population soumise à l'essai (minimum 10 pièces) de dispositifs, au niveau de laquelle le boîtier n'a pas éclaté, ou ne s'est pas fendu, mais n'a pas rejeté de particules internes.

– Mesures après essais et critères

Le dispositif en essai (DUT) est soumis à un examen visuel pour détecter si des fissures et des signes de plasma dus à des arcs à l'intérieur sont visibles de l'extérieur ou non. Il ne doit y avoir aucun signe des particules rejetées ni aucun indice prouvant que le dispositif a fondu extérieurement ou a éclaté par la chaleur des flammes.

NOTE 2 Le rejet de particules est inévitable pour des énergies supérieures à environ 10 kJ. Une bonne conception peut permettre l'absence d'éjection de parties massives, qui peuvent avoir pour conséquence des dommages sévères.

– Conditions spécifiées

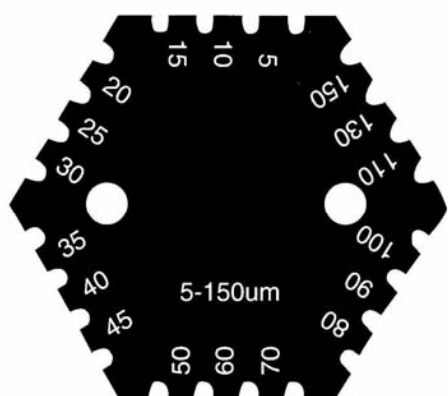
- Température de boîtier ou de jonction virtuelle ($T_c = 25\text{ °C}$, $T_{vj} = 25\text{ °C}$ ou 25 °C)
- Tension d'alimentation V_{CC}
- Capacité de la batterie de condensateurs C
- Energie stockée de la batterie de condensateurs E_C
- Inductance parasite de court circuit L_{SC}
- Courant de charge I_L
- Tension de grille V_{GEon} et V_{GEoff}
- Résistance de grille R_{Gon} et R_{Goff}
- Pourcentage de dispositifs soumis à l'essai non éclatés sur le nombre total de dispositifs soumis à l'essai

NOTE 3 Lit.: S. Gekenides, et al.: Explosion Tests on IGBT High voltage Modules, ISPSD '99 Toronto .

Annexe B (informative)

Méthode de mesure de l'épaisseur d'une pâte thermique isolante

Le calibre de mesure est un peigne en acier inoxydable ou en plastique approprié, non soluble dans le matériau fluide dont l'épaisseur de couche doit être mesurée. Les dents des extrémités du peigne celles situées aux bords de l'hexagone de la Figure B.1 délimitent une ligne de référence. Les dents intérieures (situées entre les dents des extrémités) se raccourcissent progressivement, de sorte qu'un espace est obtenu entre les dents et la ligne de référence. La mesure de cet espace peut être lue grâce aux marquages sur l'instrument. Un calibre de mesure typique est présenté à la Figure B.1.



IEC 2982/10

**Figure B.1 – Exemple d'un calibre de mesure pour couche
de pâte thermique isolante d'une épaisseur entre 5 μm et 150 μm**

Méthode de mesure

Immédiatement après avoir appliqué la couche, le peigne de mesure est pressé sur le substrat, de sorte que les dents soient verticales sur la surface et que le peigne de mesure ne glisse pas. Retirer le peigne et regarder les dents pour déterminer la plus courte dent qui touchait la couche fluide. L'épaisseur de la couche correspond, en moyenne, à la valeur médiane de la dernière dent qui touchait et de la première dent qui ne touchait pas. Au moins deux autres mesures en différentes parties de la surface doivent être réalisées de la même manière, pour obtenir des valeurs représentatives sur la surface couverte.

Bibliographie

CEI 60112, *Méthode de détermination des indices de résistance et de tenue au cheminement des matériaux isolants solides*

CEI 61287-1:2005, *Applications ferroviaires – Convertisseurs de puissance embarqués sur le matériel roulant – Partie 1: Caractéristiques et méthodes d'essais*

Lit.: S. Gekenides, et al.: *Explosion Tests on IGBT High voltage Modules*, ISPSD '99 Toronto

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

3, rue de Varembé
PO Box 131
CH-1211 Geneva 20
Switzerland

Tel: + 41 22 919 02 11
Fax: + 41 22 919 03 00
info@iec.ch
www.iec.ch