

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60640

Première édition
First edition
1979-01

**Système CAMAC – Interface pour Interconnexion
de Branche Série**

CAMAC – Serial Highway Interface System



Numéro de référence
Reference number
CEI/IEC 60640: 1979

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement
(Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International (VEI)*.

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates
(On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary (IEV)*.

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60640

Première édition
First edition
1979-01

**Système CAMAC – Interface pour Interconnexion
de Branche Série**

CAMAC – Serial Highway Interface System

© IEC 1979 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembé Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE **XE**

*For price, voir catalogue en vigueur
For price, see current catalogue*

SOMMAIRE

	Pages
PRÉAMBULE	10
PRÉFACE	10
Articles	
SECTION UN — GÉNÉRALITÉS	
1. Domaine d'application	12
2. Objet	14
3. Terminologie; interprétation de la présente norme	14
4. Abréviations et symboles	14
SECTION DEUX — PRINCIPES DE L'INTERCONNEXION DE BRANCHE SÉRIE	
5. Configuration	18
6. Messages	18
7. Transmission des caractères	20
8. Signaux d'horloge du système	22
9. Portes de l'Interconnexion de Branche Série	22
10. Le Pilote Série	24
11. Extension des utilisations de l'Interconnexion de Branche Série	24
12. Contrôleur de Châssis Série	26
SECTION TROIS — STRUCTURE DE MESSAGE POUR LES CONTRÔLEURS DE CHÂSSIS SÉRIE	
13. Messages d'Ordre	32
14. Message de Réponse	32
15. Message de Demande	34
16. Parties de message	34
17. Caractères relatifs au format	36
SECTION QUATRE — SÉQUENCES DE MESSAGES D'ORDRE ET DE RÉPONSE	
18. Prescriptions générales	50
19. Opération de Lecture	56
20. Opération d'Écriture	56
21. Opération de Commande ou de Contrôle	56
22. Message d'Ordre tronqué	56
23. Zone RÉPONSE	58
SECTION CINQ — ÉLABORATION DU MESSAGE DE DEMANDE	
24. Commande de l'Initialisation des Messages de Demande	72
25. Mémoire tampon de retard	74
26. Identification des Demandes	76
SECTION SIX — IDENTIFICATION DU TYPE DE MESSAGE	
27. Message d'Ordre complet	82
28. Message d'Ordre tronqué	84
29. Message de Réponse	84
30. Message de Demande	84
SECTION SEPT — PORTES D DE L'INTERCONNEXION DE BRANCHE SÉRIE	
31. Connecteurs de portes D	86
32. Signaux de Données et d'Horloge	88
33. Signaux de Commande	90

Articles	SECTION HUIT — CHRONOLOGIE	Pages
34. Fréquence de l'horloge du système		102
35. Flux de caractères		104
36. Séquence de signaux		104
37. Retards de transmission		108
SECTION NEUF — MODE BIT-SÉRIE ET MODE SÉQUENTIEL		
38. Mode séquentiel		112
39. Mode bit-série		112
SECTION DIX — SYNCHRONISATION		
40. Synchronisation des messages		116
41. Synchronisation des caractères		118
42. Perte de synchronisme: Actions du Contrôleur de Châssis Série		120
SECTION ONZE — ACCÈS AUX REGISTRES DANS LE CONTRÔLEUR DE CHÂSSIS SÉRIE		
43. Registre d'Etat		122
44. Autres registres		122
SECTION DOUZE — ÉLÉMENTS DU CONTRÔLEUR DE CHÂSSIS SÉRIE ACCESSIBLES PAR LE REGISTRE D'ÉTAT		
45. Commandes générales de l'Interconnexion		128
46. Etat de l'Echange Ordre. Réponse		130
47. Traitement des Demandes		130
48. Options de reconfiguration du système		132
SECTION TREIZE — CONTRÔLEUR DE CHÂSSIS SÉRIE: ÉLÉMENTS DU PANNEAU AVANT		
49. Commandos manuelles		138
50. Indicateurs		140
51. Connecteurs		142
52. Autres éléments du panneau avant		142
SECTION QUATORZE — CONNECTEUR D'APPELS CODÉS SGL		
53. Prescriptions mécaniques		144
54. Signaux sur le connecteur d'Appels Codés SGL		144
55. Normes de signaux pour le connecteur d'Appels Codés SGL		148
56. Fin de temporisation des demandes en attente		150
57. Options du Codeur SGL		152
58. Accès aux contrôleurs auxiliaires		154
SECTION QUINZE — REDRESSEMENT DES ERREURS		
59. Pannes de circuit de transmission		168
60. Perte de synchronisme		172
61. Erreurs de transmission		172
62. Message de Réponse ERREUR		178
63. Indications d'erreur dans les Messages de Réponse		178
64. Redressement des erreurs par l'Ordre de Relecture		180
SECTION SEIZE — RÉSUMÉ: SÉQUENCE DES ACTIONS DANS LE CONTRÔLEUR DE CHÂSSIS SÉRIE (CCS)		
65. Recherche d'En-tête		190
66. Etat Réception d'Ordre		190
67. Etat Ordre Exécutable		192
68. Etat Emission de la Réponse		194
69. Etat Recherche de Fin		194
70. Etat Transparent aux messages		196

Clause	SECTION EIGHT — TIMING	Page
34.	Frequency of system clock	103
35.	Byte stream	105
36.	Signal timing	105
37.	Propagation delays	109
SECTION NINE — BIT-SERIAL AND BYTE-SERIAL MODES		
38.	Byte-Serial mode	113
39.	Bit-Serial mode	113
SECTION TEN — SYNCHRONIZATION		
40.	Message synchronization	117
41.	Byte synchronization	119
42.	Lost synchronism: Actions by SCC	121
SECTION ELEVEN — ACCESS TO REGISTERS IN THE SCC		
43.	Status Register	123
44.	Other registers	123
SECTION TWELVE — FEATURES OF THE SCC ACCESSED VIA THE STATUS REGISTER		
45.	Dataway common controls	129
46.	Command/Reply transaction status	131
47.	Demand handling	131
48.	Reconfiguration options	133
SECTION THIRTEEN — SERIAL CRATE CONTROLLER — FRONT PANEL FEATURES		
49.	Manual controls	139
50.	Indicators	141
51.	Connectors	143
52.	Other front panel features	143
SECTION FOURTEEN — SGL-ENCODER CONNECTOR		
53.	Mechanical requirements	145
54.	Signals at the SGL-Encoder connector	145
55.	Signal standards for the SGL-Encoder connector	149
56.	Hung Demand time-out	151
57.	SGL-Encoder options	153
58.	Access for auxiliary controllers	155
SECTION FIFTEEN — RECOVERY FROM ERRORS		
59.	Transmission-path failures	169
60.	Loss of synchronism	173
61.	Transmission errors	173
62.	The Error-reply message	179
63.	Error indications in Reply messages	179
64.	Error recovery using the Re-read command	181
SECTION SIXTEEN — SUMMARY: SEQUENCE OF ACTIONS IN SCC		
65.	Find Header	191
66.	Receive Command	191
67.	Execute command State	193
68.	Send Reply	195
69.	Find End	195
70.	Pass Message	197

Articles	Pages
71. Etat Emission de Demande	196
72. Perte du Synchronisme des Caractères	196
73. Perte du Synchronisme des Messages	198

Tableaux :

I. Longueur des échanges Ordre-Réponse	48
II. Contenu de la partie IDENTIFICATION DU MESSAGE	50
III. Affectation des contacts pour Connecteurs de Porte D	98
IV. Résumé des caractéristiques du transmetteur de signaux symétriques	100
V. Résumé des caractéristiques du récepteur de signaux symétriques	100
VI. Norme pour les signaux de commande aux portes D	102
VII. Ordres exécutés par le Contrôleur de Châssis Série	124
VIII. Affectation des bits du Registre d'Etat	126
IX. Etat initial des bits du Registre d'Etat après mise sous tension	126
X. Commande de l'Etat Interconnexion de Châssis Hors-ligne	138
XI. Affectation des contacts du connecteur d'Appels Codés SGL	164
XII. Connecteur d'Appels Codés SGL: normes de courant et sources de courant de polarisation pour tous les signaux autres que ceux de code N	166
XIII. Indications d'erreurs dans le Message de Réponse	188

Figures :

1. Configuration d'une boucle d'Interconnexion de Branche Série CAMAC	26
2. Format de base du message	26
3. Enveloppe d'un caractère en mode bit-série	28
4. Interconnexion directe entre portes D	28
5. Connexion indirecte au moyen de normes «non définies»	30
6. Appareils compatibles	30
7. Message d'Ordre: Affectation des bits	44
8. Message d'Ordre: Affectation des parties	44
9. Message d'Ordre tronqué: Affectation des bits	46
10. Message d'Ordre tronqué: Affectation des parties	46
11. Message de Réponse: Affectation des bits	46
12. Message de Réponse: Affectation des parties	46
13. Message de Demande: Affectation des bits	48
14. Message de Demande: Affectation des parties	48
15. Séquence Ordre-Réponse: Opération de Lecture — mode bit série	62
16. Séquence Ordre-Réponse: Opération de Lecture — mode séquentiel	64
17. Séquence Ordre-Réponse: Opération d'Ecriture — mode bit série	66
18. Séquence Ordre-Réponse: Opération d'Ecriture — mode séquentiel	68
19. Séquence Ordre-Réponse: Opération de Commande — mode bit série	70
20. Séquence Ordre-Réponse: Opération de Commande — mode séquentiel	70
21. Exemple de séquence de messages dans une boucle à trois Contrôleurs de Châssis Série	78
22. Elaboration du message de demande	80
23. Exemple d'utilisation des contacts Bus 1 et Bus 2 aux portes D	92
24. Exemple provisoire de Transmetteur de signaux symétriques	92
25. Exemple provisoire de Récepteur de signaux symétriques	94
26. Exemples de circuits pour Emetteurs et Récepteurs de signaux de Commande	96
27. Séquence des signaux d'horloge et de données aux portes D	100
28. Exemple de parties du Contrôleur de Châssis Série et du codeur SGL associées à l'Interconnexion	158
29. Relations entre les signaux de l'horloge-caractère sur le connecteur d'Appels Codés SGL et les signaux reçus de l'horloge-bit ou de l'horloge-caractère	160
30. Relations entre les signaux du codeur SGL relatifs à l'émission de Messages de Demande	162
31. Exemple de commutateur de By-pass pour un signal de porte D	182
32. Exemple de commutateur de Raccourcissement de Boucle pour un signal de porte D	184
33. Code de détection géométrique d'erreur: Principes de base	186
34. Code de détection géométrique d'erreur — appliqué à l'Interconnexion de Branche Série	186

Clause	Page
71. Send Demand	197
72. Lost Byte Sync	197
73. Lost Message Sync	199

Tables:

I. Length of Command/Reply Transactions	49
II. Contents of Message Identification Field	51
III. Contact assignments for D-port connectors	99
IV. Summary of characteristics of balanced transmitter	101
V. Summary of characteristics of balanced receiver	101
VI. Standards for control signals at D-ports	103
VII. Commands implemented by the SCC	125
VIII. Assignment of Status Register bits	127
IX. Initial state of Status Register bits after power-up	127
X. Control of Dataway off-line state	139
XI. Contact assignments at SGL-Encoder connector	165
XII. SGL-Encoder connector: Signal standards and pull-up current sources for all signals other than coded-N	167
XIII. Error indications in Reply message	189

Figures:

1. CAMAC Serial Highway loop configuration	27
2. Basic message format	27
3. Bit-serial byte-frame	29
4. Direct D-port interconnection	29
5. Indirect connection via "undefined" standards	31
6. Compatible devices	31
7. Command message: Bit assignments	45
8. Command message: Field assignments	45
9. Truncated command message: Bit assignments	47
10. Truncated command message: Field assignments	47
11. Reply message: Bit assignments	47
12. Reply message: Field assignments	47
13. Demand message: Bit assignments	49
14. Demand message: Field assignments	49
15. Command/Reply sequence: Read operation, bit-serial mode	63
16. Command/Reply sequence: Read operation, byte-serial mode	65
17. Command/Reply sequence: Write operation, bit-serial mode	67
18. Command/Reply sequence: Write operation, byte-serial mode	69
19. Command/Reply sequence: Control operation, bit-serial mode	71
20. Command/Reply sequence: Control operation, byte-serial mode	71
21. Example of message sequence in a loop having three SCCs	79
22. Demand message generation	81
23. Example of the use of Bus 1 and Bus 2 contacts at D-ports	93
24. Interim example of balanced transmitter	93
25. Interim example of balanced receiver	95
26. Examples of circuits for Control Signal Sources and Receivers	97
27. Timing of clock and data signals at D-ports	111
28. Example of associated parts of SCC and SGL Encoder	159
29. Relationship between Byte Clock signals at SGL-Encoder connector and received Bit/Byte Clock signals	161
30. Relationship between signals at SGL-Encoder Connector concerned with Demand Message Generation	163
31. Example of Bypass switching for one D-port signal	183
32. Example of Loop Collapse switching for one D-port signal	185
33. Geometric error detection basic principle	187
34. Geometric error detection as applied to the Serial Highway	187

<i>Figures:</i>	Pages
35. Séquence des états principaux du Contrôleur de Châssis Série	200
36. Séquence des états principaux du Contrôleur de Châssis Série — en omettant toutes les conditions d'erreurs	202
ANNEXE A — Spécifications du Contrôleur de Châssis Série CAMAC type L2 (CCS-L2)	
A1 Interprétation	204
A2 Caractéristiques générales du CCS-L2	204
A3 Messages pour le CCS-L2	207
A4 Porte D d'Interconnexion de Branche Série sur le CCS-L2	207
A5 Structure interne du CCS-L2	207
A6 Eléments du panneau avant du CCS-L2	208
A7 Connecteur d'Appels Codés SGL sur le CCS-L2	210
ANNEXE B — Informations complémentaires	
B1 Diagramme des transitions	212
B2 Ordinogramme de fonctionnement	212
B3 Schéma synoptique	212
Figure B.1 Diagramme des transitions pour le Contrôleur de Châssis Série type L2	218
INDEX ALPHABÉTIQUE	221
Figure B.2 Ordinogramme de fonctionnement	237
Figure B.3 Schéma synoptique du Contrôleur de Châssis Série type L2	239

Figures:

	Page
35. Major-State Sequence in SCC	201
36. Major-State Sequence in SCC — Omitting All Error Conditions	203
APPENDIX A — Specification of CAMAC Serial Crate Controller Type-L2 (SCC-L2)	
A1 Interpretation	205
A2 General features of SCC-L2	205
A3 Messages for SCC-L2	207
A4 Serial Highway D-ports on SCC-L2	207
A5 Internal structure of SCC-L2	207
A6 Front Panel features of SCC-L2	209
A7 SGL-Encoder connector on SCC-L2	211
APPENDIX B — Supplementary Information	
B1 Transition diagram	213
B2 Flow chart	213
B3 Block diagram	213
Figure B.1 Transition diagram for Serial Crate Controller Type L2	219
Figure B.2 Implementation Independent Flow Chart of SCC-L2	238
Figure B.3 Serial Crate Controller SCC-L2 — Block Diagram	240
ALPHABETICAL INDEX	229

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**SYSTÈME CAMAC — INTERFACE POUR INTERCONNEXION
DE BRANCHE SÉRIE**

PRÉAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.
- 4) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

PRÉFACE

La présente norme a été établie par le Comité d'Etudes N° 45 de la CEI: Instrumentation nucléaire.

Le Comité consultatif de l'électronique et télécommunications (ACET) a recommandé que le Comité d'Etudes N° 45 soit responsable de l'introduction de normes CEI fondées sur les caractéristiques d'interface du système CAMAC.

La présente norme définit un système d'interface pour Interconnexion de Branche Série destiné à être utilisé avec des ensembles de châssis CAMAC conformes à la Publication 516 de la CEI et avec d'autres dispositifs contrôlés. Il se fonde sur les normes IEEE 595 du Comité NIM et EUR 6100e du Comité ESONE. Un système d'interface pour interconnexion parallèle, également destiné à être utilisé avec la Publication 516 de la CEI, est défini dans la Publication 552 de la CEI. D'autres dispositifs ou lignes de signaux, comme ceux de la Publication 625-1 de la CEI, peuvent être aisément incorporés dans le système CAMAC, grâce à un module d'interface.

Un premier projet fut discuté lors de la réunion tenue à Milan en 1974. A la suite de la réunion de Baden-Baden en 1977, un projet, document 45(Bureau Central)111, fut soumis à l'approbation des Comités nationaux suivant la Règle des Six Mois en novembre 1977.

Les Comités nationaux des pays suivants se sont prononcés explicitement en faveur de la publication:

Afrique du Sud (République d')	Finlande	Royaume-Uni
Allemagne	France	Suède
Belgique	Italie	Suisse
Canada	Japon	Turquie
Egypte	Pays-Bas	Union des Républiques Socialistes Soviétiques
Espagne	Pologne	
Etats-Unis d'Amérique	Roumanie	

Aucune licence ou autre autorisation n'est nécessaire pour utiliser cette norme.

Note. — Les symboles normaux de la CEI seront introduits, si possible, dans toutes les figures lors de rééditions ultérieures.

Autres publications de la CEI citées dans la présente norme:

- Publications nos 516: Système modulaire d'instrumentation pour le traitement de l'information: système CAMAC.
552: Système CAMAC — Organisation de systèmes multichâssis. Spécification de l'Interconnexion de branche et du contrôleur de châssis type A1.
625-1: Un système d'interface pour instruments de mesurage programmables (bits parallèles, octets série), Première partie: Spécifications fonctionnelles, spécifications électriques, spécifications mécaniques, application du système et règles pour le constructeur et l'utilisateur.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

CAMAC — SERIAL HIGHWAY INTERFACE SYSTEM

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.
- 4) The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

PREFACE

This standard has been prepared by IEC Technical Committee No. 45, Nuclear Instrumentation.

The Advisory Committee on Electronics and Telecommunications (ACET) has recommended that Technical Committee No. 45 should be responsible for the introduction of IEC standards based on features of the CAMAC standard interface.

This standard defines a serial highway interface system for use with CAMAC crate-assemblies in accordance with IEC Standard 516 and with other controlled devices. It is based on the Standards IEEE 595 and EUR 6100e, as developed by the NIM Committee of the U.S. Energy Research and Development Administration and the ESONE Committee of European Laboratories. A parallel highway interface system, also intended for use with IEC Publication 516, is defined in IEC Publication 552. Other devices and buses, such as that of IEC Publication 625-1, can be readily incorporated into the CAMAC system through an interfacing module.

A first draft was discussed at the meeting held in Milan in 1974. As a result of the meeting held in Baden-Baden in 1977, a draft, Document 45(Central Office)111, was submitted to the National Committees for approval under the Six Months' Rule in November 1977.

The National Committees of the following countries voted explicitly in favour of publication:

Belgium	Japan	Switzerland
Canada	Netherlands	Turkey
Egypt	Poland	Union of Soviet
Finland	Romania	Socialist Republics
France	South Africa (Republic of)	United Kingdom
Germany	Spain	United States of America
Italy	Sweden	

No license or other permission is needed in order to use this standard.

Note. — Standard IEC symbols will be introduced systematically in all figures in later editions, as feasible.

Other IEC publications quoted in this standard:

- Publications Nos. 516: A Modular Instrumentation System for Data Handling; CAMAC System.
552: CAMAC — Organization of Multi-crate Systems. Specification of the Branch-Highway and CAMAC Crate Controller Type A1.
625-1: An Interface System for Programmable Measuring Instruments (Byte serial, Bit parallel), Part 1: Functional Specifications, Electrical Specifications, Mechanical Specifications, System Applications and Requirements for the Designer and User.

SYSTÈME CAMAC — INTERFACE POUR INTERCONNEXION DE BRANCHE SÉRIE

SECTION UN — GÉNÉRALITÉS

1. Domaine d'application

La présente norme est applicable, à un certain système d'interface, désigné par l'expression Interconnexion de Branche Série CAMAC, conçu pour assurer l'interconnexion de manière normalisée entre un certain nombre d'appareils de mesure, d'unités d'affichage, d'unités de commande, d'actionneurs, d'unités de traitement de l'information et de calcul et de matériel de télécommunications, tous ces éléments appartenant à la famille CAMAC.

L'Interconnexion de Branche Série est essentiellement constituée d'une boucle unidirectionnelle servant à véhiculer des messages formés de caractères*, et à laquelle sont connectés un contrôleur de système et jusqu'à 62 châssis CAMAC conformes à la Publication 516 de la CEI: Système modulaire d'instrumentation pour le traitement de l'information: système CAMAC, ou d'autres dispositifs contrôlés. L'Interconnexion transmet les données et l'information de commande soit suivant un mode «bits-série» (utilisant un seul signal de donnée et le signal d'une horloge-bit), soit suivant un mode «séquentiel» (utilisant huit signaux de données et le signal d'une horloge-caractère). Des fréquences d'horloge allant jusqu'à 5 MHz peuvent être utilisées selon les caractéristiques du système considéré.

Dans l'application initiale, les dispositifs contrôlés sont des châssis CAMAC avec des Contrôleurs de Châssis Série conformes à une composition de message définie. Pour cette application, l'Interconnexion de Branche Série est destinée à compléter l'Interconnexion Parallèle définie dans la Publication 552 de la CEI: Système CAMAC — Organisation de système multichâssis: Spécification de l'Interconnexion de Branche et de Contrôleur de Châssis type A1.

Elle sera intéressante pour certaines applications que l'Interconnexion Parallèle n'était pas destinée à couvrir, par exemple lorsqu'il y a de longues distances entre châssis ou lorsque la simplicité des interconnexions est souhaitable. Toutefois, le temps nécessaire pour effectuer une opération complète, y compris un cycle d'Interconnexion, sera généralement plus long dans un système série que dans un système parallèle.

L'Interconnexion de Branche Série est définie essentiellement en fonction du format du message et des normes de signaux aux points de raccordement (Portes) d'entrée et de sortie des dispositifs reliés à l'Interconnexion. Les liaisons entre dispositifs peuvent être soit directes, utilisant les normes de signaux définies, soit indirectes, utilisant des canaux de communication ayant d'autres normes de signaux et d'autres types de modulation.

Cette norme est aussi applicable partiellement à des éléments raccordés à l'Interconnexion de Branche Série, mais non nécessairement conformes aux spécifications complètes de la famille CAMAC, ni répondant nécessairement à tous les signaux de commande normaux du système CAMAC.

Les Contrôleurs de Châssis Série conformes à la spécification complète et les dispositifs conformes à une certaine partie de la spécification complète peuvent coexister dans l'Interconnexion sans interférence mutuelle.

* Dans cette norme, le terme français «caractère» et le terme anglais *byte* sont équivalents. La définition de ce terme est celle de la Norme ISO 2382/IV, terme 04-02-01.

CAMAC — SERIAL HIGHWAY INTERFACE SYSTEM

SECTION ONE — GENERAL

1. Scope

This standard is applicable to a certain interface system called CAMAC Serial Highway System, designed to be used as a standard interface between a number of CAMAC measuring instruments, display units, control units, actuators, data processing equipment (computers) and communication equipment.

The Serial Highway System is essentially a unidirectional loop used to circulate byte-organized* messages, and to which are connected a System Controller and up to 62 CAMAC crate-assemblies, in accordance with IEC Publication 516: A Modular Instrumentation System for Data Handling: CAMAC System, or other controlled devices. The highway transfers data and control information in either bit-serial mode (using one data signal and a bit-clock signal) or byte-serial mode (using eight data signals and a byte-clock signal). Clock rates up to 5 MHz may be used, depending on individual system characteristics.

In the primary application, the controlled devices are CAMAC crate assemblies, with Serial Crate Controllers which conform to a defined message structure. In this application the Serial Highway is intended to complement the Parallel Highway defined in IEC Publication 552, CAMAC Organization of Multi-crate Systems. Specification of the Branch Highway and CAMAC Crate Controller Type A1.

This system will be attractive in certain applications that the Parallel Highway was not designed to cover, for example, where there are long distances between crates, or where simplicity of interconnections is desirable. However, the time required to perform a complete operation, including a Dataway cycle, will generally be longer in a serial system than on the Parallel Highway.

The Serial Highway System is defined primarily in terms of the message format and signal standards at the input and output ports of devices connected to the highway. Interconnections between devices may be made directly, using the defined signal standards, or indirectly through communications channels with other signal standards and types of modulation.

This standard also applies partly to controlled devices connected to the Serial Highway, not necessarily constructed in CAMAC format or controlled by CAMAC commands.

Serial Crate Controllers conforming to the full specification and devices conforming to a certain subset of the full specification can co-exist on the highway without mutual interference.

* In this standard, the French term *caractère* and the English word "byte" are equivalent. The definition is that of ISO 2382/IV, term 04-02-01.

2. Objet

Description et spécification de l'Interconnexion de Branche Série CAMAC. Définition des formats des messages et des normes relatives aux signaux.

La présente norme complète la Publication 516 de la CEI; il convient de l'utiliser en même temps que celle-ci. Aucune partie de cette norme n'est destinée à remplacer ou à modifier la Publication 516 de la CEI.

Cette norme:

- a) établit des prescriptions obligatoires;
- b) définit des règles pratiques recommandées, à suivre sauf si de sérieux motifs s'y opposent;
- c) donne des exemples de techniques autorisées.

Les Contrôleurs de Châssis Série spécifiés dans cette norme ne sont pas nécessairement interchangeables. Cependant, l'annexe A définit un Contrôleur de Châssis Série de type L2, de manière plus restrictive, ce qui a pour effet que des éléments fabriqués par des constructeurs différents, conformément à cette spécification, sont interchangeables quant à leur opération.

Pour être conforme à cette norme, un équipement ou un système doit satisfaire à toutes les prescriptions obligatoires de cette publication, sauf les annexes. S'il est construit comme un tiroir CAMAC, l'équipement doit également satisfaire aux prescriptions obligatoires de la Publication 516 de la CEI.

Pour être conforme à la spécification normale du Contrôleur de Châssis Série CAMAC de type L2, un équipement doit satisfaire à toutes les prescriptions obligatoires de l'annexe A.

Pour être compatible avec cette norme, un équipement n'a pas besoin de satisfaire à toutes les prescriptions obligatoires, à condition de ne pas interférer avec le fonctionnement intégral de tous les éléments de l'Interconnexion de Branche Série et du Contrôleur de Châssis Série (y compris le type L2) définis dans cette norme.

Cette norme n'est pas destinée à exclure l'emploi d'un équipement compatible (au sens défini ci-dessus) même s'il n'est pas conforme à toutes les spécifications ou s'il n'est pas construit comme les tiroirs CAMAC.

3. Terminologie: Interprétation de la présente norme

La présente norme comprend des prescriptions obligatoires, des recommandations et des exemples de technique autorisée.

Les prescriptions obligatoires de la norme sont écrites en caractères gras comme ici et contiennent en général le mot *doit*.

Les règles pratiques recommandées (à suivre sauf si de sérieux motifs s'y opposent) sont généralement indiquées par la locution «il convient de» ou par «il est recommandé» ou encore par l'emploi des mots «en principe» ou de toute autre forme analogue.

Les exemples de technique autorisée sont indiqués par le mot *peut* et laissent la liberté de choix au constructeur ou à l'utilisateur.

4. Abréviations et symboles

Les abréviations et symboles suivants sont utilisés dans la présente norme (voir liste, page 16).

2. Object

To describe and specify the CAMAC Serial Highway System. To define the message formats and signal standards.

This standard is supplementary to the standards laid down in IEC Publication 516 and should be read in conjunction with that publication. No part of this standard is intended to supersede or modify IEC Publication 516.

This standard:

- a) lays down mandatory requirements;
- b) defines recommended or preferred practices, to be followed unless there are sound reasons to the contrary;
- c) gives examples of permitted practices.

The Serial Crate Controllers referred to in this standard are not necessarily interchangeable. Appendix A, however, defines a Serial Crate Controller, Type L2, in a more restrictive way, so that units produced by different manufacturers to this specification are operationally interchangeable.

In order to *conform* with this standard, an equipment or a system shall satisfy all the mandatory requirements included in this publication, except the appendices. If constructed as a CAMAC plug-in unit, the equipment shall also satisfy the mandatory requirements of IEC Publication 516.

In order to *conform* with the standard specification of the CAMAC Serial Crate Controller, Type L2, equipment shall satisfy all the mandatory requirements of Appendix A.

In order to be *compatible* with this standard, equipment need not satisfy all the mandatory requirements, provided it does not interfere with the full operation of all the features of the Serial Highway and of the Serial Crate Controller (including Type L2) as defined in this standard.

This standard is not intended to exclude the use of compatible equipment (in the above sense), even if it does not conform fully to this standard or is not constructed as CAMAC plug-in units.

3. Terminology: Interpretation of this standard

In this standard there are mandatory requirements, recommendations and examples of permitted practice.

Mandatory clauses of the standard are written in bold type as here, and usually include the word *shall*.

Definitions of recommended or preferred practice (to be followed unless there are sound reasons to the contrary) include the word *should*.

Examples of permitted practice generally include the word *may*, and leave freedom of choice to the designer or user.

4. Abbreviations and symbols

The following abbreviations and symbols are used in this standard (list, page 17).

Les désignations par une lettre isolée, L, M, N, P et R (précédée dans certains cas de «CC») sont réservées pour des utilisations futures en rapport avec cette norme et ne doivent pas être utilisées, sauf en conformité avec une assignation ultérieure.

Abréviations et symboles

A	SOUS-ADRESSE (signal de l'Interconnexion)*
B	OCCUPATION (signal de l'Interconnexion)*
BMS	Bit le moins significatif
BPS	Bit le plus significatif
C	REMISE À 0 (signal de l'Interconnexion)*
CCS	Contrôleur de Châssis Série
CCS-L2	Contrôleur de Châssis Série, type L2
COC	CONTRÔLEUR OCCUPÉ
DERR	Bit différé d'erreur
DETEM	Départ du temporisateur
DOC	DEMANDE OCCUPÉE
DSQ	RÉPONSE Q DIFFÉRÉE
DSX	RÉPONSE D'ORDRE ACCEPTÉ DIFFÉRÉE
ERR	Bit erreur
FITEM	Fin de temporisation
HC	Horloge-caractère
I	INHIBITION (signal de l'Interconnexion)*
IBP	Interconnexion de Branche Parallèle (Publication 552 de la CEI)
IBS	Interconnexion de Branche Série de la présente norme
IM	Identification du message
IMD	Initialisation du message de demande
L	Lancement d'appels par le module (signal de l'Interconnexion)*
LAM	Lancement d'appels par le module (demande)
N	Numéro de station (signal de l'Interconnexion)*
NRZ	Non-retour à zéro
PAS	Présence d'un appel sélectionné
PS	Pilote Série
Q	Réponse, Etat (signal de l'Interconnexion)*
REPEX	Répétition externe
S	Préfixe pour parties et bits de l'Interconnexion de Branche Série
S1	ÉCHANTILLONNAGE (signal de l'Interconnexion)*
S2	ÉCHANTILLONNAGE (signal de l'Interconnexion)*
SA	Bit de sous-adresse
SC	Bit d'adresse de châssis
SF	Bit de fonction
SGL	Appels traités série (demande)
SGLE	Bits de MESSAGE DE DEMANDE DU CODEUR SGL
SN	Bit de NUMÉRO DE STATION
SQ	Bit de réponse Q
SR	Bit de lecture
SW	Bit d'écriture
SX	Bit d'ORDRE ACCEPTÉ
T	Période d'horloge
VCA	Verrouillage du contrôleur auxiliaire
X	Ordre accepté (signal de l'Interconnexion)*
Z	Initialisation (signal de l'Interconnexion)*

* Voir la Publication 516 de la CEI.

The single letter designations L, M, N, P and R (prefixed in some cases by "CC") are reserved for future use in connection with this standard and shall not be used, except as later assigned.

Abbreviations and Symbols

A	SUB-ADDRESS (Dataway signal)*
ACL	Auxiliary Controller Lockout
B	BUSY (Dataway signal)*
BCK	Byte Clock
C	CLEAR (Dataway signal)*
CBY	CONTROLLER BUSY
DSBY	Demand Busy
DERR	Delayed Error
DMI	Demand Message Initiate
DSQ	DELAYED Q RESPONSE
DSX	DELAYED COMMAND ACCEPTED RESPONSE
ERPT	External Repeat
ERR	Error bit
I	INHIBIT (Dataway signal)*
L	Look-at-Me (Dataway signal)*
LAM	Look-at-Me (Demand)
LSB	Least Significant bit
MI	Message Identification
MSB	Most Significant bit
N	Station Number (Dataway signal)*
NRZL	Non-Return-to-Zero-Level
PH	Parallel Highway of IEC Publication 552
Q	Response, Status (Dataway signal)*
S	Prefix for Serial Highway fields and bits
S1	STROBE (Dataway signal)*
S2	STROBE (Dataway signal)*
SA	Sub-address bit
SC	Crate address bit
SCC	Serial Crate Controller
SCC-L2	Serial Crate Controller, Type L2
SD	Serial Driver
SF	Function bit
SGL	Serial Graded LAM (Demand)
SGLE	DEMAND MESSAGE bits from SGL Encoder
SH	Serial Highway of this standard
SLP	Selected-LAM Present
SN	STATION NUMBER bit
SQ	Q-Response bit
SR	Read bit
STIM	Start Timer
SW	Write bit
SX	COMMAND ACCEPTED bit
T	Clock period
TIMO	Time-out
X	Command accepted (Dataway signal)*
Z	Initialize (Dataway signal)*

* See IEC Publication 516.

SECTION DEUX — PRINCIPES DE L'INTERCONNEXION DE BRANCHE SÉRIE

Cette section résume les principes de base applicables à tous les dispositifs reliés à l'Interconnexion de Branche Série. Toutes les autres sections de cette norme concernent les applications initiales dans lesquelles les dispositifs connectés sont des châssis CAMAC équipés de Contrôleurs de Châssis Série.

5. Configuration

L'Interconnexion de Branche Série relie un dispositif de commande (le Pilote Série) à un maximum de 62 châssis CAMAC ou autres dispositifs contrôlés. A tout instant, il n'y a qu'un dispositif pilote en fonctionnement, mais la norme n'exclut pas les systèmes dans lesquels plus d'un dispositif est capable d'agir comme pilote. La figure 1, page 26 donne la configuration de base.

L'agencement de l'adressage permet un maximum de 62 dispositifs contrôlés dont l'affectation des adresses n'a pas besoin d'être liée à la succession réelle des dispositifs le long de l'Interconnexion de Branche.

L'Interconnexion de Branche Série forme une boucle unidirectionnelle depuis l'entrée du Pilote Série, en passant tour à tour à travers chaque dispositif contrôlé, et revenant jusqu'à la sortie du Pilote Série. (Lorsqu'on décrit un dispositif particulier, il est souvent commode d'utiliser le mot «amont» pour désigner la partie de l'Interconnexion de Branche Série entre la sortie du Pilote Série et le dispositif, et le mot «aval» pour désigner la partie entre le dispositif et l'entrée du Pilote Série.)

6. Messages

Tous les messages transmis sur l'Interconnexion de Branche Série sont constitués de séquences de caractères à 8 bits comme le montre la figure 2, page 26. Toute information relative au message est contenue dans ces caractères à 8 bits.

Les huit bits composant un caractère sont désignés bit 1 (le moins significatif) à bit 8 (le plus significatif). Dans tous les caractères, les bits 1 à 6 sont disponibles pour des informations.

Le bit 7 de chaque caractère est un bit SÉPARATEUR qui permet au dispositif de réception d'identifier le premier et le dernier caractère de chaque message.

Le bit 8 est utilisé comme bit d'imparité (ayant une valeur telle que le caractère contienne un nombre impair de bits à l'état «1»). Il est toujours utilisé de cette façon dans les premier et dernier caractères d'un message et dans tous les caractères des messages associés aux Contrôleurs de Châssis Série CAMAC.

Chaque message débute par un caractère EN-TÊTE. Celui-ci contient une adresse de dispositif (une Adresse de Châssis quand le dispositif est un Contrôleur de Chassis Série). Dans un message venant du Pilote Série, le caractère EN-TÊTE contient l'adresse du destinataire. Dans un message allant vers le Pilote Série, il contient l'adresse de l'émetteur. Le bit 7 du caractère EN-TÊTE est à l'état «0» et le bit 8 maintient l'imparité sur l'ensemble du caractère.

Chaque message se termine par un caractère SÉPARATEUR dans lequel le bit 7 est à l'état «1» et le bit 8 maintient l'imparité.

SECTION TWO — PRINCIPLES OF THE SERIAL HIGHWAY SYSTEM

This section summarizes the basic principles that apply to all devices connected to the Serial Highway (SH). All other sections of this standard are concerned with the primary applications, where the connected devices are CAMAC crate-assemblies with Serial Crate Controllers.

5. Configuration

The Serial Highway interconnects a master device (the Serial Driver) and up to 62 CAMAC crate-assemblies or other controlled devices. At any time there is only one active master device, but the standard does not exclude systems in which more than one device is capable of acting as master. Figure 1, page 27, shows the basic configuration.

The addressing scheme allows a maximum of 62 controlled devices, whose assigned addresses need not be related to the actual sequence of devices along the highway.

The Serial Highway (SH) forms a unidirectional loop from the output port of the Serial Driver (SD), through each controlled device in turn, and back to the input port of the Serial Driver. (When describing conditions with respect to a particular device, it is often convenient to use the term “upstream” to refer to the part of the SH between the output port of the SD and the device, and the term “downstream” to refer to the part between the device and the input port of the SD.)

6. Messages

All messages transmitted on the Serial Highway consist of sequences of 8-bit bytes as shown in Figure 2, page 27. All information related to the message is contained within these 8-bit bytes.

The eight bits constituting a byte are labelled Bit 1 (least significant) to Bit 8 (most significant). In all bytes, Bits 1 to 6 are available for information fields.

Bit 7 of every byte is a DELIMITER bit, which allows receiving devices to identify the first and last bytes of each message.

Bit 8 is available for use as an odd-parity bit (with appropriate value so that the byte contains an odd number of bits in the logic “1” state). It is always used in this way in the first and last bytes of a message, and in all bytes of messages associated with CAMAC Serial Crate Controllers.

Every message starts with a “HEADER” byte. This includes a device address (a Crate Address when the device is a Serial Crate Controller). In a message from the SD, the Header byte contains the address of the destination. In a message to the SD, it contains the address of the source. Bit 7 of the HEADER byte is at logic “0” and Bit 8 conserves odd parity over the whole byte.

Every message ends with a DELIMITER byte, in which Bit 7 is at logic “1” and Bit 8 conserves odd parity.

La longueur et le contenu du «texte» entre le caractère EN-TÊTE et le caractère SÉPARATEUR d'un message peuvent être choisis selon les besoins du dispositif individuel. En principe, il n'est pas nécessaire qu'ils soient uniformes pour tous les dispositifs d'un système. Dans chaque caractère entre le caractère EN-TÊTE et le caractère SÉPARATEUR, le bit 7 est à l'état «0».

S'il existe des caractères entre le caractère SÉPARATEUR d'un message et le caractère EN-TÊTE du suivant, ce sont aussi des caractères SÉPARATEURS ayant le bit 7 à l'état «1».

De cette façon, le caractère EN-TÊTE d'un message peut être identifié comme étant le premier caractère ayant le bit 7 à l'état «0» après un ou plusieurs caractères ayant le bit 7 à l'état «1». De même, le dernier caractère d'un message peut être identifié comme étant le premier caractère ayant le bit 7 à l'état «1» après un ou plusieurs caractères ayant le bit 7 à l'état «0».

La détection d'erreur dans un bloc de caractères constituant un message ou une partie de message peut être obtenue par la combinaison de la parité transversale dans le bit 8 de chaque caractère et par une série de bits de parité longitudinale dans les bits 1 à 6 du dernier caractère du bloc. Le «Code de détection géométrique d'erreur» détecte toutes les erreurs sur 1 bit, 2 bits et 3 bits, et la plupart des erreurs sur 4 bits ou plus. Cet agencement permet une bonne protection contre les séries d'erreurs et est facile à mettre en œuvre par le matériel ou le logiciel.

7. Transmission des caractères

Les caractères sont transmis soit dans le mode bit-série (utilisant un seul signal de donnée accompagné du signal d'horloge-bit) soit dans le mode séquentiel (utilisant 8 signaux de données accompagnés du signal d'horloge-caractère). Dans le mode bit-série, le caractère à 8 bits est transmis avec, en premier, le bit le moins significatif (bit 1). Il est précédé d'un bit DÉPART (à l'état «0») et suivi d'un bit ARRÊT et de bits PAUSE facultatifs (à l'état «1») comme indiqué dans la figure 3, page 28. Les bits DÉPART et ARRÊT forment une Enveloppe de caractère permettant aux dispositifs de réception de se recalculer sur un signal d'horloge-caractère.

Dans le texte de la présente norme, la configuration de bits d'un caractère à 8 bits ayant le bit le moins significatif «*l*» et le bit le plus significatif «*m*» est représenté par la chaîne de bits $(miiiiii/l)_2$. Le même caractère avec des bits DÉPART et ARRÊT est représenté par la chaîne de bits $(1,miiiiii,l,0)_2$.

La structure des messages et les procédures de l'Interconnexion de Branche Série sont identiques dans les deux modes de transmission.

Dans un système d'Interconnexion de Branche Série, les caractères sont transférés en synchronisme avec le signal d'horloge-caractère qui accompagne les données dans le mode séquentiel et qui se déduit de l'Enveloppe de caractère dans le mode bit-série.

Pendant chaque période de l'horloge-caractère, chaque dispositif reçoit un seul caractère et transmet un seul caractère, mais les contenus (bits 1 à 8) des caractères reçus et transmis ne sont pas toujours identiques. Les dispositifs retransmettent normalement les contenus de tous les caractères reçus, bien que le contenu d'un caractère reçu pendant une période d'horloge donnée puisse être retransmis pendant une période d'horloge ultérieure. Un dispositif peut émettre un message en interrompant le processus de retransmission. Le contenu du nombre de caractères nécessaires est émis par le dispositif et le contenu d'un nombre correspondant de caractères reçus n'est pas retransmis. Il convient que la procédure de traitement du message assure que les caractères reçus ne contiennent pas d'information importante. Par exemple, il peut exister des caractères ESPACE ou ATTENTE comme indiqué dans la section trois.

The length and content of the "text" between the HEADER byte and the DELIMITER byte of a message can be chosen to suit the needs of the individual device. In principle, it need not be uniform for all devices in a system. In each byte between the HEADER byte and the DELIMITER byte, Bit 7 is at logic "0".

If there are any bytes between the DELIMITER byte of one message and the HEADER byte of the next, they are also DELIMITER bytes with Bit 7 at logic "1".

Thus, the HEADER byte of a message can be identified because, after one or more bytes with Bit 7 at logic "1", it is the first byte with Bit 7 at logic "0". Similarly, the last byte of a message can be identified because, after one or more bytes with Bit 7 at logic "0", it is the first byte with Bit 7 at logic "1".

Error detection over a block of bytes constituting a message or part of a message can be provided by the combination of byte-parity in Bit 8 of each byte and a set of columns-parity bits in bits 1 to 6 of the last byte of the block. This "Geometric Error-Detection Code" detects all 1-bit, 2-bit and 3-bit errors, and most errors with 4 or more bits. The scheme offers good protection against bursts of errors and is easy to implement by hardware or software.

7. Transmission of bytes

Bytes are transmitted either in bit-serial mode (using one data signal and an accompanying bit-clock signal) or in byte-serial mode (using eight data signals and an accompanying byte-clock signal). In bit-serial mode, the 8-bit byte is transmitted with the least significant bit (bit 1) first. It is preceded by a START bit (logic "0") and followed by a STOP bit and optional PAUSE bits (logic "1") as shown in Figure 3, page 29. The START and STOP bits form a byte-frame from which receiving devices can recover a byte-clock.

In the text of this standard, the bit-pattern of an 8-bit byte with least significant bit "l" and most significant bit "m" is represented by the bit string $(m\text{iiiii}l)_2$. The same byte with START and STOP bits is represented by the bit string $(1,m\text{iiiii}l,0)_2$.

The message structure and protocol of the Serial Highway are identical in the two modes of transmission.

Throughout a Serial Highway System, bytes are transferred in synchronism with the byte-clock, which accompanies the data in byte-serial mode and is derived from the byte-framing in bit-serial mode.

In each byte-clock period, each device receives one byte and transmits one byte, but the contents (bits 1 to 8) of the received and transmitted bytes are not always identical. Devices normally retransmit the contents of all received bytes, although the contents of a byte received in one byte-period may be retransmitted in a later byte-period. A device can generate a message by interrupting this process of retransmission. The contents of the required number of bytes are generated by the device, and the contents of a corresponding number of received bytes are not retransmitted. The message protocol should ensure that these received bytes do not contain important information. For example, they may be SPACE or WAIT bytes as defined in Section Three.

8. Signaux d'horloge du système

Les signaux d'horloge du système, dont la cadence est celle des bits ou des caractères selon le cas, sont émis en un seul point du système (habituellement et sont retransmis par chaque dispositif connecté à l'Interconnexion de Branche Série.

La fréquence d'horloge est donc uniforme tout le long du système. La fréquence d'horloge maximale absolue est de 5,0 MHz, mais le fonctionnement des voies de communication ou des dispositifs connectés peut nécessiter une fréquence d'horloge plus faible dans des systèmes particuliers.

9. Portes de l'Interconnexion de Branche Série

Les caractéristiques de l'Interconnexion de Branche Série (telles que les normes de signaux, la chronologie, la structure du message et le type de connecteur) sont définies en fonction des portes* par lesquelles l'Interconnexion de Branche pénètre ou quitte chaque dispositif connecté.

Dans cette norme, rien n'exclut l'utilisation de normes différentes à l'intérieur des dispositifs connectés ou à l'intérieur de tout canal de communication entre dispositifs.

Tous les dispositifs reliés à l'Interconnexion de Branche ont deux portes, l'une pour l'entrée et l'autre pour la sortie. Ces portes sont soit conformes aux normes «de porte D» définies ci-après, soit apparentées à ces normes de façon que le dispositif puisse, en principe, être connecté aux portes D par un adaptateur approprié.

A chaque porte D, les signaux de données et d'horloge sont du type «Non-retour-à-zéro» (NRZ) compatible avec une norme existante (voir section sept) pour des circuits d'interface de transmission symétrique en tension. Chaque signal est véhiculé par une paire de fils distincte. Il est émis par un émetteur de signaux symétriques et reçu par un récepteur différentiel.

A chaque porte D, une paire de contacts est prévue pour l'horloge du système (à la cadence de bits ou de caractères) plus huit paires pour les données (dont une seule paire est utilisée en mode bit-série).

Une partie de l'Interconnexion de Branche Série peut être constituée par une liaison directe entre la porte D de sortie d'un dispositif et la porte D d'entrée du dispositif suivant, comme indiqué à la figure 4, page 28, utilisant habituellement à cet effet un câble constitué de paires torsadées de 100 Ω . En variante, toute partie de l'Interconnexion de Branche Série peut contenir une voie de communication dont les normes de signaux et la technique de modulation sont choisies conformément aux prescriptions du système particulier, comme indiqué à la figure 5, page 30. Dans ce cas, des éléments de conditionnement du signal sont nécessaires pour convertir les données et les signaux d'horloge de la norme de porte D à la norme de la voie de communication et pour revenir à la norme de porte D. Dans la présente norme, toutes les interconnexions qui n'utilisent pas la norme de porte D sont «non définies» et sont décrites comme des normes «de porte U». Bien que les signaux de données et d'horloge soient sur des paires de fils distinctes au niveau des portes D, ils peuvent être combinés en une même voie unidirectionnelle entre des portes U, par exemple en utilisant une technique de modulation appropriée.

Dans un système d'Interconnexion de Branche Série, certaines parties de l'Interconnexion peuvent utiliser des normes de portes D, tandis que d'autres utilisent diverses normes de portes U, toutes à la même fréquence d'horloge. Par exemple, un groupe de dispositifs adjacents peut avoir des connexions directes entre les portes D avec, le cas échéant, un élément de conditionnement du signal à l'entrée et un autre à la sortie du groupe.

* Le mot «porte» (accès) désigne une «entrée ou une sortie d'un réseau, etc.».

8. System clock signals

System clock signals, at bit-rate or byte-rate as appropriate, are generated at one point in the system (usually at or in the SD) and are retransmitted by each device connected to the SH.

The clock rate is therefore uniform throughout a system. The absolute maximum clock rate is 5.0 MHz, but the performance of the communications channels or of the connected devices may require a lower clock rate in particular systems.

9. Serial Highway ports

The characteristics of the Serial Highway (such as signal standards, timing, message structure and type of connector) are defined with respect to the ports* where the highway enters and leaves each connected device.

Nothing in this standard excludes the use of different standards within the connected devices or within any communications channel used between devices.

All devices connected to the Highway have two ports, one for input and one for output. These ports either conform to the defined "D-port" standards or are related to the standards in such a way that the device could, in principle, be connected to D-ports through an appropriate adaptor.

At each D-port, the data and clock signals are of balanced non-return-to-zero-level (NRZ1) type, compatible with an existing standard (see Section Seven) for balanced voltage digital interface circuits. Each signal is carried by a separate pair of wires, and is generated by a balanced transmitter and received by a differential receiver.

At each D-port there is one pair of contacts for the system clock (at bit-rate or byte-rate), plus eight pairs for data (only one pair of which is used in bit-serial mode).

A section of the Serial Highway can be formed by a direct connection between the output D-port of one device and the input D-port of the next device, as shown in Figure 4, page 29, typically using dedicated 100 Ω twisted-pair cable. Alternatively, any section of the SH can include a communications channel whose signal standards and modulation technique are chosen to suit the particular overall system requirements, as shown in Figure 5, page 31. In this case, signal conditioning units are needed to convert the data and clock signals from the D-port standard to the communications-channel standard, and back to D-port standard. In the context of this standard, any interconnections that do not use the D-port standard are "undefined" and are described as U-port standards. Although the data and clock signals are on separate wire-pairs at the D-ports, they may be combined into one unidirectional channel between U-ports – for example, by using a suitable modulation technique.

Within a Serial Highway system, some sections of the highway may use D-port standards while others use various U-port standards, all at the same system-clock rate. For example, a cluster of adjacent devices can have direct interconnections between D-ports, with perhaps one signal conditioning unit at the input to the cluster and another at the output from the cluster.

* The term "port" implies "an entrance or exit of a network, etc."

10. Le Pilote Série

Le Pilote Série est le maillon entre l'Interconnexion de Branche Série et (directement ou indirectement) un ordinateur ou un autre contrôleur du système. Il consiste en une section d'émission associée à une porte D de sortie et en une section de réception associée à une porte D d'entrée.

La section d'émission accepte habituellement des ordres et des données venant du ordinateur et les rassemble en un format de message approprié ayant un caractère EN-TÊTE et un caractère SÉPARATEUR. Il transmet le flux de bits ou de caractères résultant à l'Interconnexion de Branche Série accompagné par les signaux d'horloge à la cadence de bits ou de caractères. Il peut insérer des signaux codés de détection d'erreur à l'intérieur des messages et interposer des caractères entre les messages successifs.

La section de réception accepte habituellement le flux de bits ou de caractères venant de l'Interconnexion de Branche Série en même temps que les signaux d'horloge. Elle identifie le caractère et le format des messages et transmet les données, les demandes et les informations d'état au ordinateur. Elle peut vérifier le Code de détection d'erreur, exécuter la Procédure de correction d'erreur et écarter tout caractère entre messages.

Le Pilote Série réagit à tous les messages reçus à sa porte D d'entrée, tandis que les autres dispositifs ne réagissent qu'aux messages qui leur sont adressés.

Cette norme définit le Pilote Série uniquement en fonction des signaux, des structures de message et des séquences de message à ses portes D. La plupart des activités concernant l'émission et la réception des messages peut être traitée soit par le matériel dans le Pilote Série, soit par le logiciel dans le ordinateur associé.

Des portes de communication série asynchrones sont prévues sur la plupart des mini-ordinateurs modernes pour servir d'interface aux téléimprimantes, aux dispositifs de visualisation, aux modems, etc. Ces portes peuvent piloter l'Interconnexion de Branche Série en mode bit-série au moyen d'un adaptateur simple, qui est ainsi un cas particulier de Pilote Série.

11. Extension des utilisations de l'Interconnexion de Branche Série

Chaque dispositif contrôlé relié à l'Interconnexion de Branche Série laisse passer les messages qui sont adressés à d'autres dispositifs, sans tenir compte de la structure interne ou de la longueur de ces messages. L'Interconnexion de Branche Série peut ainsi contenir de nombreux types différents de dispositifs compatibles pourvu qu'ils se conforment aux règles de base pour les normes de signaux et à l'utilisation de caractères EN-TÊTE et de bits SÉPARATEUR pour définir le commencement et la fin des messages.

Les dispositifs compatibles reliés à l'Interconnexion de Branche Série peuvent être, par exemple, ceux indiqués à la figure 6, page 30:

- a) châssis CAMAC avec Contrôleurs de Châssis Série de type L2 conforme à l'article A1 de l'annexe A de la présente norme et utilisant les structures de message CAMAC définies dans cette norme;
- b) châssis CAMAC avec d'autres Contrôleurs de Châssis Série se conformant à la partie principale de cette norme et utilisant des messages qui sont des variantes ou des extensions possibles des messages CAMAC normalisés;
- c) appareils de formats mécaniques différents ou utilisant d'autres structures de message.

10. The Serial Driver

The Serial Driver is the link between the Serial Highway and (directly or indirectly) a computer or other system controller. It consists of a transmitting section associated with a D-output port, and a receiving section associated with a D-input port.

The transmitting section typically accepts commands and data from the computer, and assembles them into the appropriate message format with HEADER byte and DELIMITER byte. It transmits the resulting bit or byte stream to the Serial Highway, accompanied by the system clock signals at bit or byte rate. It may generate an error-detection code within messages and interpose bytes between successive messages.

The receiving section typically accepts the bit or byte stream from the Serial Highway, together with the system clock signals. It identifies the byte and message format, and passes the data, demands and status information to the computer. It may check the error-detection code, implement error-recovery procedures, and discard any inter-message bytes.

The Serial Driver reacts to all messages received at its D-input port, whereas other devices react only to messages that are addressed to them.

This standard defines the SD only in terms of the signals, message structures and message sequences at its D ports. Many of the activities concerned with generating and receiving messages can be handled either by hardware in the SD or by software in the associated computer.

Asynchronous serial communications ports are available on most modern mini-computers for interfacing to teletypewriters, visual display units, modems, etc. These ports can drive the Serial Highway in bit-serial mode through a simple adaptor, which is thus a special case of the SD.

11. Extended uses of the Serial Highway

Every controlled device connected to the Serial Highway is transparent to messages that are addressed to other devices, irrespective of the internal structure or length of these messages. The SH can thus support many different types of compatible devices, provided these conform to the basic rules for signal standards and the use of HEADER bytes and DELIMITER bits to define the beginning and end of messages.

Compatible devices connected to the SH can consist, for example, of those shown in Figure 6, page 31:

- a) CAMAC crates with recommended Serial Crate Controllers Type L2, conforming to Clause A1 of Appendix A of this standard, and using the CAMAC message structures defined in this standard;
- b) CAMAC crates with other Serial Crate Controllers, conforming to the main body of this standard, and using messages that are possibly variants or extensions of the standard CAMAC messages;
- c) Devices in other mechanical formats, or using other message structures.

12. Contrôleur de Châssis Série

Quand un châssis CAMAC est relié au Pilote Série, un Contrôleur de Châssis Série est utilisé comme élément de liaison entre le Pilote Série et l'Interconnexion dans le châssis. Un Contrôleur de Châssis Série est un tiroir CAMAC à plusieurs largeurs occupant deux stations ou plus avec des connecteurs d'Interconnexion pour la station de Contrôle et pour au moins une station Normale. Il possède des connecteurs de panneau avant pour les deux portes D.

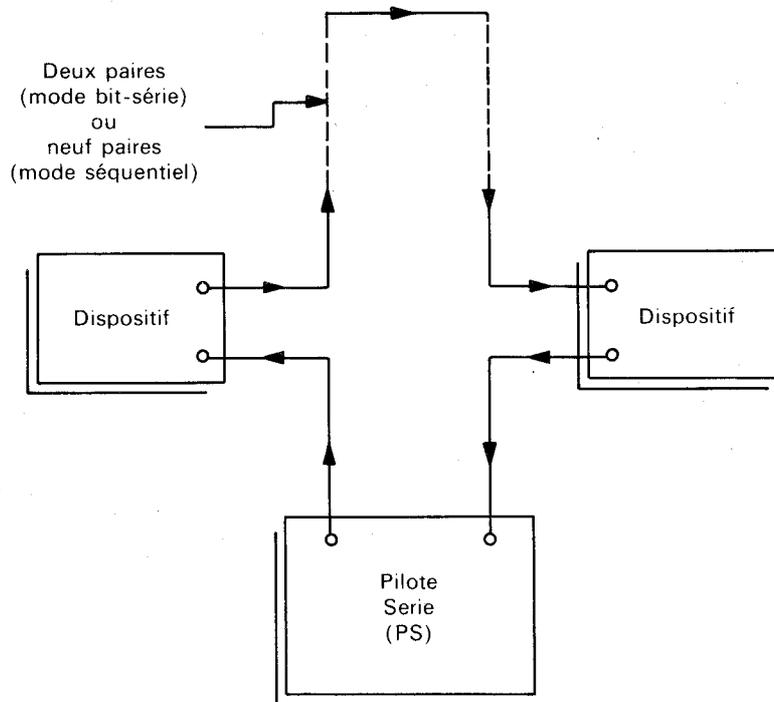


FIG. 1. — Configuration d'une boucle d'Interconnexion de Branche Série CAMAC (62 adresses possibles).

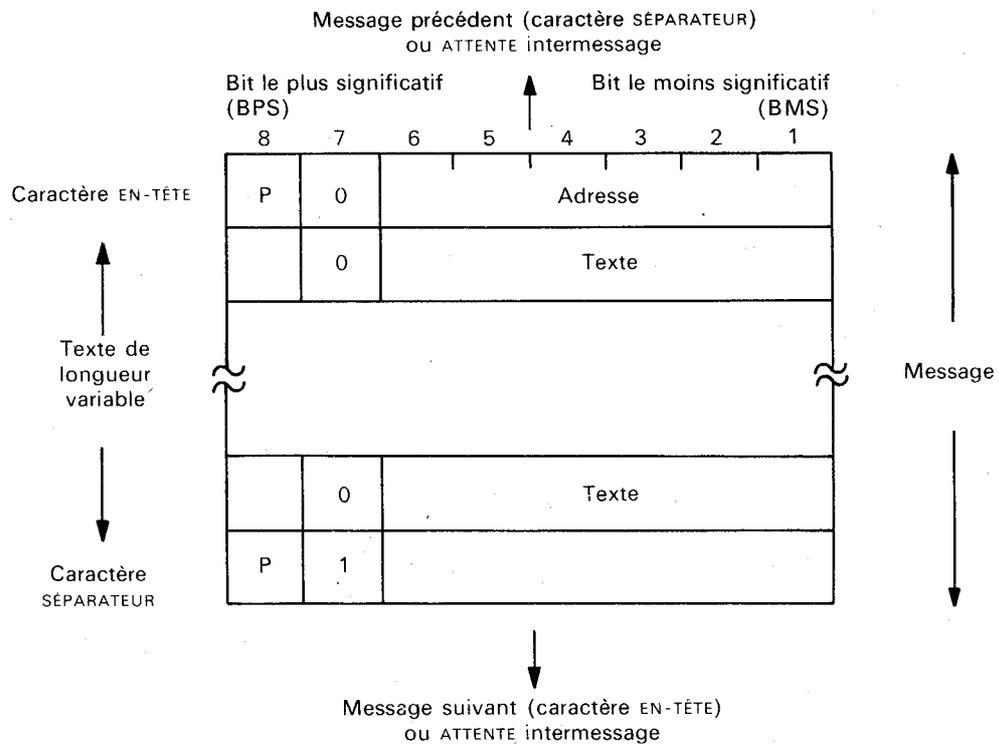


FIG. 2. — Format de base du message

12. Serial Crate Controller

When a CAMAC Crate assembly is connected to the SH, a Serial Crate Controller (SCC) is used as the link between the SH and the Dataway highway in the crate. A Serial Crate Controller is a multi-width CAMAC plug-in unit, occupying two or more stations, with Dataway connectors for the Control station and at least one Normal station. It has front-panel connectors for the two D-ports.

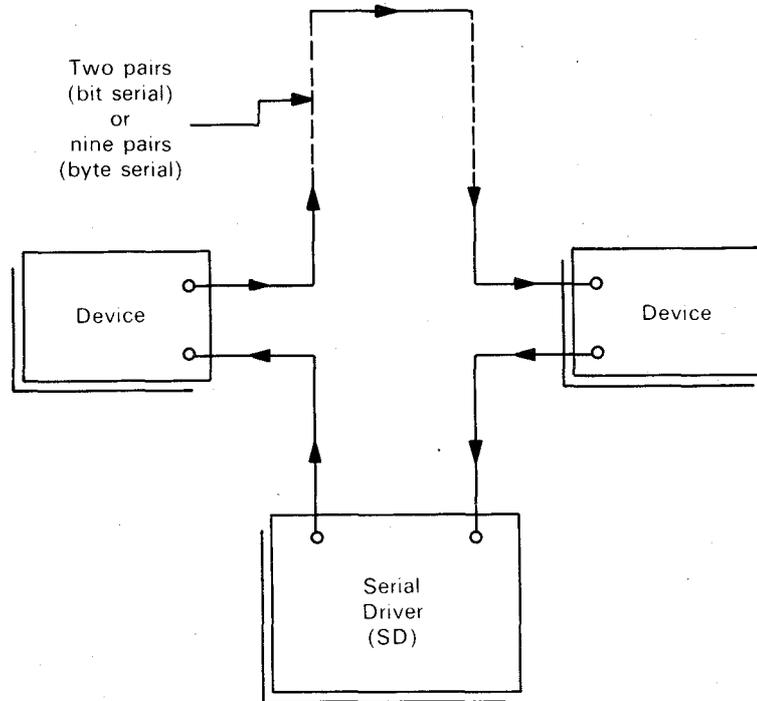


FIG. 1. — CAMAC Serial Highway loop configuration (62 addressable devices).

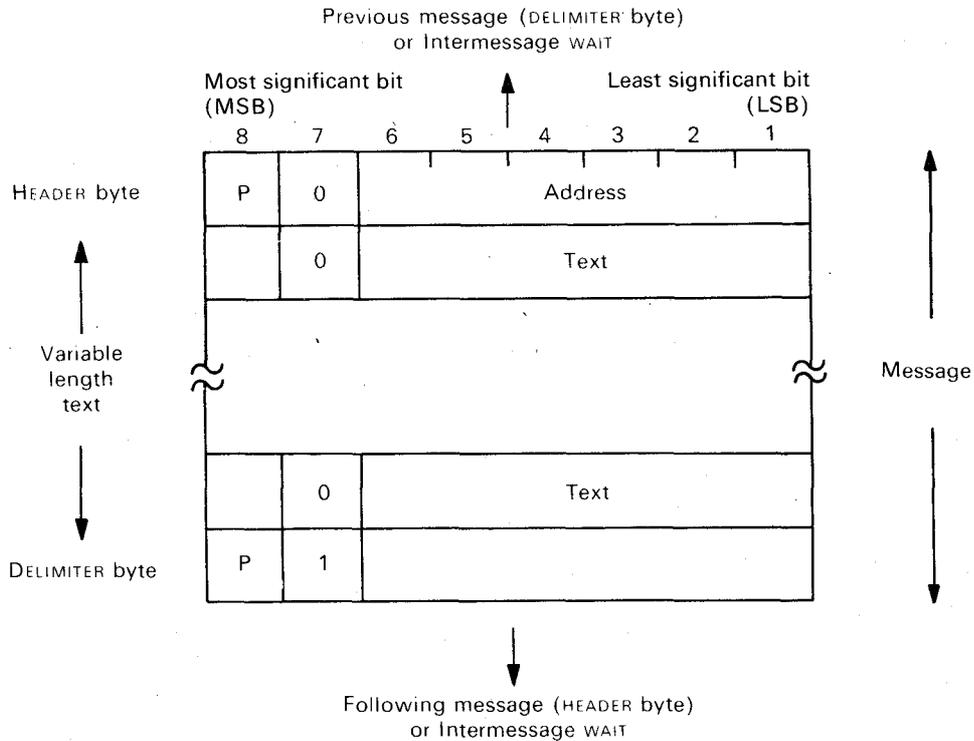


FIG. 2. — Basic Message format

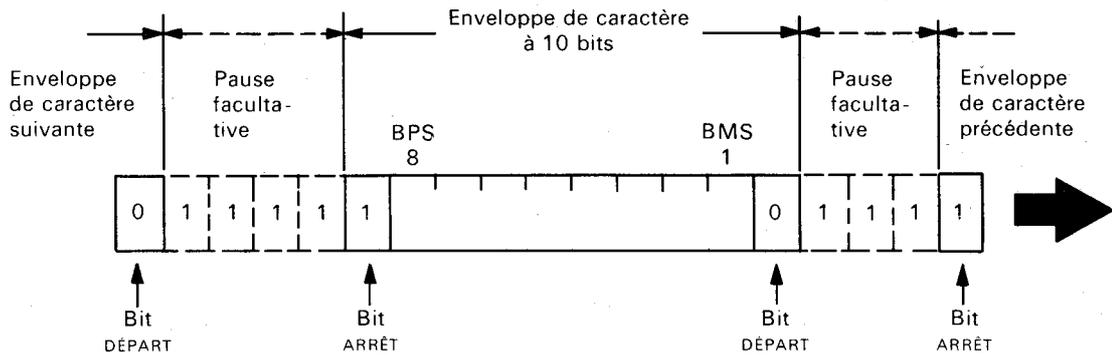


FIG. 3. — Enveloppe d'un caractère en mode bit-série.

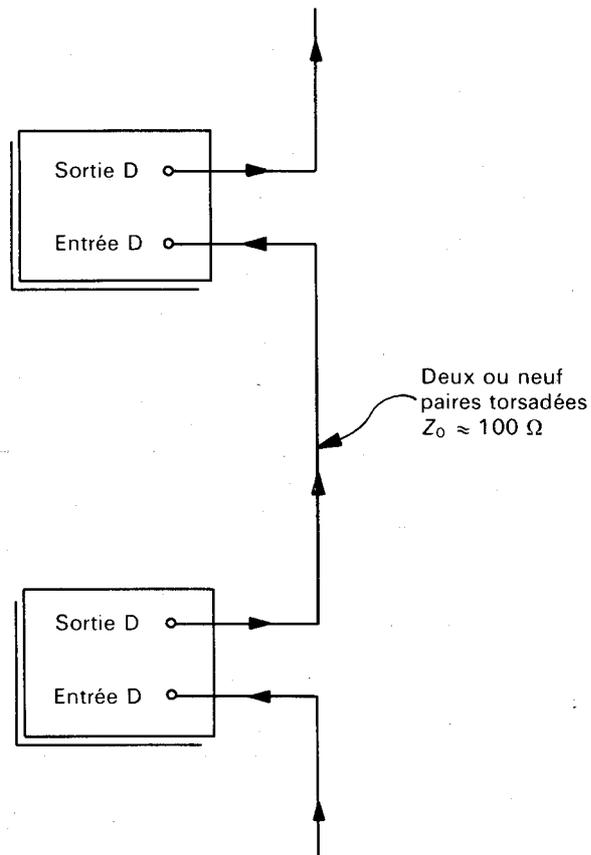


FIG. 4. — Interconnexion directe entre portes D.

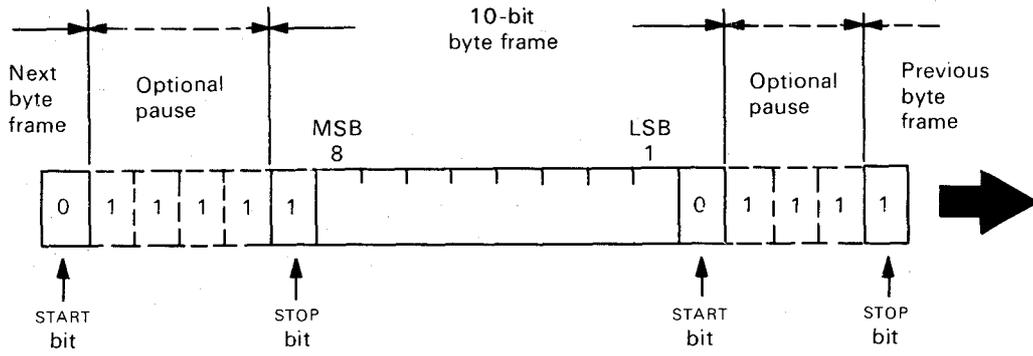


FIG. 3. — Bit-serial byte-frame.

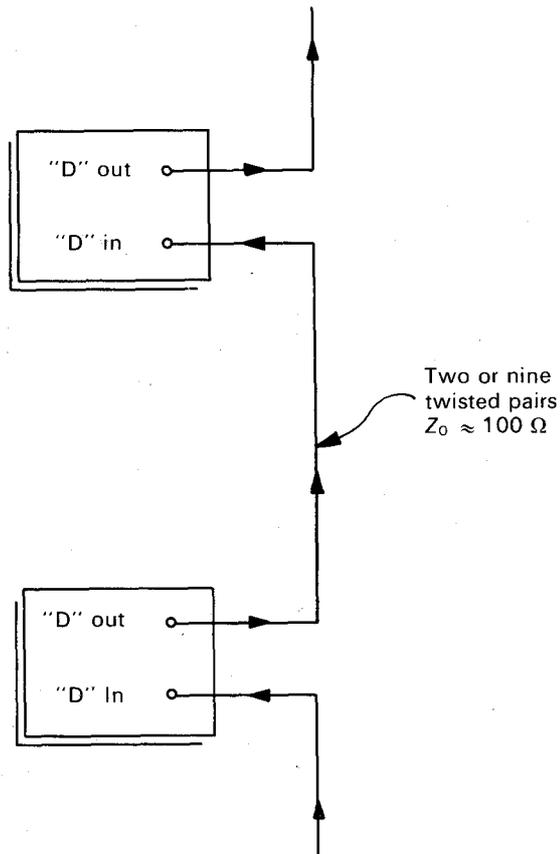


FIG. 4. — Direct D-port interconnection.

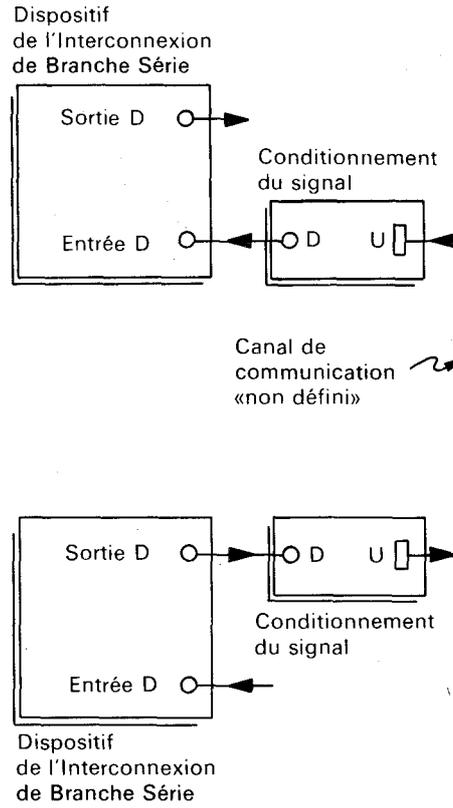


FIG. 5. — Connexion indirecte au moyen de normes «non définies».

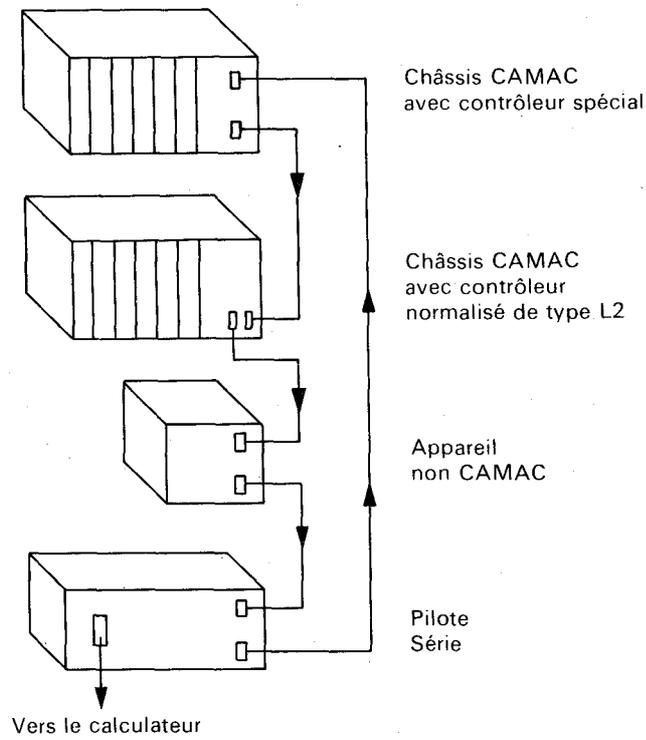


FIG. 6. — Appareils compatibles.

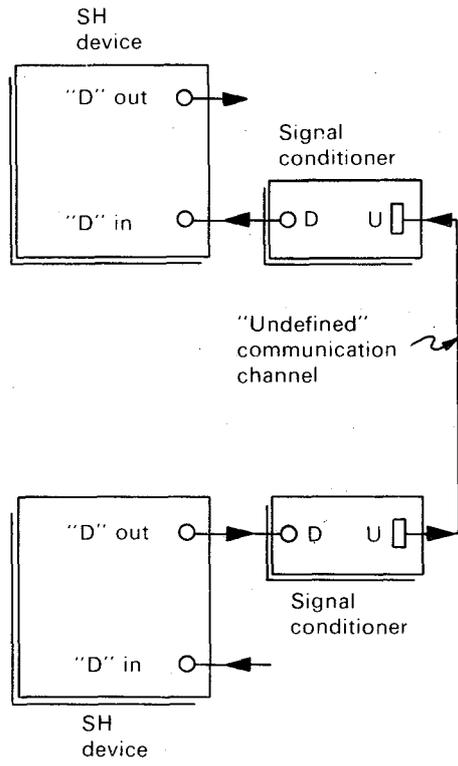


FIG. 5. — Indirect connection via "undefined" standards.

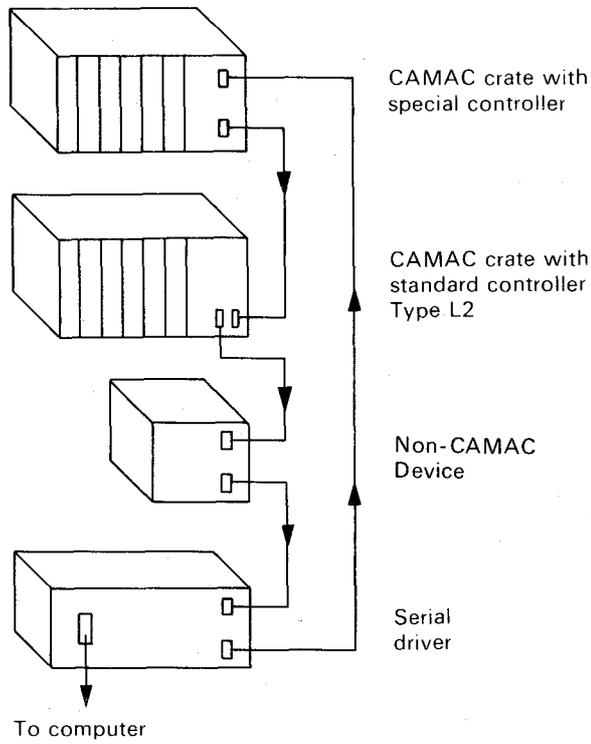


FIG. 6. — Compatible devices.

SECTION TROIS — STRUCTURE DE MESSAGE POUR LES CONTRÔLEURS DE CHÂSSIS SÉRIE

Quand un châssis CAMAC ou un Contrôleur de Châssis Série conforme à cette norme est relié à l'Interconnexion de Branche Série, la structure du message comprend les caractéristiques suivantes :

Trois types de messages sont utilisés par le Contrôleur de Châssis Série. Des «Messages d'Ordre» sont émis par le Pilote Série et ordonnent à un Contrôleur de Châssis Série désigné d'accomplir une opération CAMAC. Le contrôleur de châssis désigné doit pouvoir transmettre une forme tronquée du Message d'Ordre. En réponse à un Message d'Ordre, le contrôleur de châssis désigné envoie un «Message de Réponse» au Pilote Série. Le Message d'Ordre du Pilote Série au Contrôleur de Châssis Série et le Message de Réponse résultant du Contrôleur de Châssis Série au Pilote Série constituent un «Echange Ordre-Réponse». Tout Contrôleur de Châssis Série peut émettre un «Message de Demande» pour indiquer qu'il y a une demande de LANCEMENT D'APPEL par le Module (LAM) sur l'Interconnexion dans le châssis.

On distingue les bits du message de l'Interconnexion de Branche Série des signaux correspondants de l'Interconnexion de châssis par le préfixe «S». Par exemple, les bits SA 1 à SA 8 correspondent aux signaux A1 à A8 de l'Interconnexion de Châssis.

13. Messages d'Ordre

Les Messages d'Ordre peuvent être soit complets, soit tronqués.

13.1 *Message d'Ordre complet*

Le Message d'Ordre complet doit avoir la structure de la figure 7, page 44, dans laquelle le groupe de caractères 5 à 8 est présent pour des ordres d'écriture (SF 16 = 1 et SF 8 = 0) mais est omis pour les ordres de Lecture et de Contrôle Commande. Le message doit être transmis sous forme d'une suite de caractères commençant par le caractère EN-TÊTE (Adresse du Châssis) et finissant par le caractère FIN.

Le Message d'Ordre complet est constitué par les caractères suivants, comme le montre la figure 8, page 44: un caractère EN-TÊTE dans lequel la partie ADRESSE du CHÂSSIS indique la destination du message; trois caractères contenant les parties SOUS-ADRESSE, FONCTION et NUMÉRO DE STATION de l'Ordre CAMAC; quatre caractères contenant les 24 bits de données à écrire, omis quand ils ne sont pas nécessaires; et un caractère SOMME (voir paragraphe 17.6). Cette partie du message permet au châssis désigné d'assembler, de vérifier et d'exécuter l'ordre CAMAC. Le message continue par une série de caractères ESPACE (voir paragraphe 17.7) permettant au Contrôleur de Châssis Série d'émettre une réponse; le message se termine par un caractère SÉPARATEUR FIN (voir paragraphe 17.3)

13.2 *Message d'Ordre Tronqué*

Le Contrôleur de Châssis Série désigné transmet une forme tronquée du message d'Ordre composé du caractère EN-TÊTE suivi d'un caractère FIN (voir figures 9 et 10, page 46 et article 22).

14. Message de Réponse

Le Message de Réponse doit avoir la structure de la figure 11, page 46, dans laquelle le groupe des caractères 3 à 6 est inclus dans la réponse à un Ordre de lecture (SF 16 = 0 et SF 8 = 0)

SECTION THREE — MESSAGE STRUCTURE FOR SERIAL CRATE CONTROLLERS

When a CAMAC crate with Serial Crate Controller (SCC) conforming to this standard is connected to the Serial Highway, the message structure includes the following features:

Three types of messages are used by Serial Crate Controllers. "Command messages" are generated by the Serial Driver and instruct an addressed SCC to perform a CAMAC operation. The addressed crate controller should transmit a truncated form of the Command message. In response to a Command message, the addressed crate controller sends a "Reply message" to the SD. The Command message from the SD to an SCC, and the resulting Reply message from the SCC to the SD, constitute a "Command/Reply transaction". Any SCC may generate a "Demand message" to indicate that there is a LOOK-AT-ME (LAM) request on the Dataway in the crate.

Bits in SH messages are distinguished from corresponding Dataway signals by the prefix "S". For example, the bits SA 1 to SA 8 correspond to Dataway signals A1 to A8.

13. Command messages

Command messages can be either complete or truncated.

13.1 Complete Command message

The complete Command message shall have the structure shown in Figure 7, page 45, where the group of bytes 5 to 8 is included for Write Commands (SF 16 = 1 and SF 8 = 0), but is omitted for Read and Control commands. The message shall be transmitted as a consecutive sequence of bytes, starting with the HEADER byte (Crate Address) and finishing with the END byte.

The complete Command message consists of the following bytes, as shown in Figure 8, page 45: a HEADER byte, in which the CRATE ADDRESS field indicates the destination of the message; three bytes containing the SUB-ADDRESS, FUNCTION, and STATION NUMBER fields of the CAMAC command; four bytes containing the 24-bit Write data, which are omitted when not required; and a SUM byte (see Sub-clause 17.6). This part of the message allows the addressed crate to assemble, check and execute the CAMAC command. The message continues with a sequence of SPACE bytes (see Sub-clause 17.7) providing the opportunity for the SCC to transmit a reply; and concludes with an END DELIMITER-byte (see Sub-clause 17.3).

13.2 Truncated Command message

The addressed SCC should transmit a truncated form of the Command message, consisting of the HEADER byte followed by an END byte (see Figures 9 and 10, page 47 and Clause 22).

14. Reply message

The Reply message shall have the structure shown in Fig. 11, page 47, where the group of bytes 3 to 6 is included in the reply to a Read command (SF 16 = 0 and SF 8 = 0), but is

mais est omis dans la réponse aux autres ordres. Le message doit être transmis sous forme d'une suite de caractères commençant par le caractère EN-TÊTE (Adresse du Châssis) et finissant par le caractère SOMME FINALE.

Ainsi le Message de Réponse est constitué des caractères suivants, comme le montre la figure 12, page 46: un caractère EN-TÊTE dans lequel la partie ADRESSE DE CHÂSSIS indique l'origine du message, un caractère ÉTAT, quatre caractères contenant les 24 bits de données lues, omis quand ils ne sont pas nécessaires, et un caractère SÉPARATEUR SOMME-FINALE.

15. Message de Demande

Le Message de Demande doit avoir la structure indiquée à la figure 13, page 48. Le message doit être transmis sous forme d'une suite de caractères commençant par le caractère EN-TÊTE (Adresse du Châssis) et finissant par le caractère SOMME-FINALE.

Ainsi, le Message de Demande est constitué des caractères suivants comme le montre la figure 14, page 48: un caractère EN-TÊTE dans lequel la partie ADRESSE DU CHÂSSIS indique la source du message, un caractère identifiant ensuite la Demande, et un caractère SÉPARATEUR SOMME-FINALE.

16. Parties de message

L'information contenue dans les Messages d'Ordre, de Réponse et de Demande est divisée en parties de message comme suit:

16.1 *Partie ADRESSE DE CHÂSSIS* (6 bits; SC 1 à SC 32)

Cette partie définit l'adresse du destinataire des messages d'Ordre et l'adresse de l'émetteur des Messages de Réponse et de Demande.

Chaque Contrôleur de Châssis Série doit répondre aux messages envoyés à son adresse. L'adresse affectée à chaque contrôleur est prise dans la série 01₈ à 76₈. Aucun contrôleur ne doit répondre à 00 ni à 77₈.

L'adresse 00 est réservée pour utilisation dans le Pilote Série. Dans certaines conditions d'erreur, un caractère ESPACE peut être identifié de façon erronée comme caractère EN-TÊTE. Le caractère ESPACE recommandé a une configuration de bits correspondant à l'adresse 77₈. C'est pourquoi cette adresse n'est pas utilisée et qu'il y a 76₈ (62₁₀) adresses de châssis disponibles.

16.2 *Partie NUMÉRO DE STATION* (5 bits; SN 1 à SN 16)

Cette partie du Message d'Ordre définit le numéro de station à l'intérieur du châssis CAMAC (voir paragraphe 5.1.1 de la Publication 516 de la CEI).

En général, les codes N (1) à N (23) sont utilisés comme adresses de modules dans le châssis CAMAC. Les éléments internes du Contrôleur de Châssis Série sont désignés par N (30) (voir section onze).

16.3 *Partie SOUS-ADRESSE* (4 bits; SA 1 à SA 8)

Cette partie du Message d'Ordre définit une Sous-adresse dans la station choisie dans le châssis (voir paragraphe 5.1.2 de la Publication 516 de la CEI).

16.4 *Partie FONCTION* (5 bits; SF 1 à SF 16)

Cette partie du Message d'Ordre définit l'action à effectuer à la Station et à la Sous-adresse choisies dans le châssis (voir paragraphe 5.1.3 de la Publication 516 de la CEI).

omitted in the reply to other commands. The message shall be transmitted as a consecutive sequence of bytes, starting with the HEADER byte (Crate Address) and finishing with the ENDSUM byte.

Thus the Reply message consists of the following bytes, as shown in Figure 12, page 47: a HEADER byte, in which the CRATE ADDRESS field indicates the source of the message; a STATUS byte; four bytes containing 24-bit Read data, which are omitted when not required; and an ENDSUM Delimiter-byte.

15. Demand message

The Demand message shall have the structure shown in Figure 13, page 49. The message shall be transmitted as a consecutive sequence of bytes, starting with the HEADER byte (Crate Address) and finishing with the ENDSUM byte.

Thus the Demand message consists of the following bytes, as shown in Figure 14, page 49: a HEADER byte in which the CRATE ADDRESS field indicates the source of the message; a byte further identifying the demand; and an ENSUM DELIMITER-byte.

16. Message fields

The information in the Command, Reply and Demand messages is divided into message fields as follows:

16.1 CRATE ADDRESS Field (6 bits; SC 1 to SC 32)

This field defines the destination address in Command messages and the source address in Reply and Demand messages.

Each Serial Crate Controller shall respond to any address assigned to it from the set 01_8 to 76_8 , and shall not respond to either 00 or 77_8 .

The address 00 is reserved for use at the SD. Under certain error conditions a SPACE byte can be falsely identified as a HEADER byte. The recommended SPACE byte has a bit-pattern corresponding to address 77_8 . This address is therefore not used, and there are 76_8 (62_{10}) available crate addresses.

16.2 STATION NUMBER field (5 bits; SN 1 to SN 16)

This field in the Command message defines the Station Number within the CAMAC crate (see Sub-clause 5.1.1 of IEC Publication 516).

In general the codes N (1) to N (23) are used as addresses of modules in the CAMAC crate. Internal features of the Serial Crate Controller are addressed by N (30) (see Section Eleven)

16.3 SUB-ADDRESS field (4 bits; SA 1 to SA 8)

This field in the Command message defines a Sub-address at the selected station in the crate (see Sub-clause 5.1.2 of IEC Publication 516).

16.4 FUNCTION field (5 bits; SF 1 to SF 16)

This field in the Command message defines the action to be performed at the selected Station and Sub-address in the crate (see Sub-clause 5.1.3 of IEC Publication 516).

Les valeurs de SF 16 et de SF 8 dans cette partie font la distinction entre les ordres de Lecture, d'écriture de Contrôle et de Commande et, par suite, déterminent si une partie DONNÉES est incluse dans le Message d'Ordre ou de Réponse. Les longueurs des Messages d'Ordre et de Réponse correspondant aux diverses valeurs de SF 16 et de SF 8 sont résumées dans le tableau I.

16.5 *Partie DONNÉES À ÉCRIRE* (24 bits; SW 1 à SW 24)

Cette partie est présente dans le Message d'Ordre si SF 16 = 1 et SF 8 = 0. Elle contient les données associées à un ordre d'écriture.

16.6 *Partie DONNÉES LUES* (24 bits; SR 1 à SR 24)

Cette partie est comprise dans le Message de Réponse si la partie FONCTION du Message d'Ordre possède SF 16 = 0 et SF 8 = 0. Elle contient les données requises par un ordre de Lecture.

16.7 *Partie IDENTIFICATION DU MESSAGE* (2 bits; M 1 et M 2)

Cette partie des Messages de Commande et de Réponse (2 bits) et des Messages de Demande (seulement M 2) est utilisée pour identifier les trois types de messages.

La signification de la partie IDENTIFICATION DU MESSAGE doit être celle indiquée dans le tableau II.

Cette partie est nécessaire au Pilote Série pour distinguer les Messages de Réponse et de Demande d'égale longueur. Elle peut aussi être utilisée par le Contrôleur de Châssis Série pour identifier les Messages d'Ordre comme sécurité supplémentaire contre l'exécution d'ordres erronés.

16.8 *Partie ÉTAT* (4 bits; ERR, SX, SQ, DERR)

Cette partie du Message de Réponse indique comment le Contrôleur de Châssis Série a répondu à un Message d'Ordre. Le bit ERREUR (ERR) indique si le contrôle de détection d'erreur sur le Message d'Ordre a été satisfaisant (voir paragraphe 63.1). Le bit ERREUR DIFFÉRÉE (DERR) fournit une information similaire sur l'ordre précédent. Pour un ordre qui a été exécuté, les bits SQ et SX indiquent l'état de RÉPONSE (Q) et d'ORDRE ACCEPTÉ (X) de l'élément du module ou du contrôleur atteint par l'ordre.

Le contenu de la partie Etat du Message de Réponse doit être conforme aux prescriptions des articles 46 et 63.

16.9 *Partie APPELS TRAITÉS SÉRIE (SGL)* (5 bits; SGL 1 à SGL 5)

Cette partie du Message de Demande identifie le type de demande, l'origine de la demande ou l'action demandée. Elle peut provenir des signaux L sur l'Interconnexion du châssis par tout processus de sélection, de groupage, de code de priorité, etc., exécuté par le Contrôleur de Châssis Série ou par un codeur SGL séparé connecté au Contrôleur de Châssis Série (voir section quatorze).

La configuration des bits SGL 1111₂ doit être utilisée uniquement pour indiquer l'état de DEMANDE EN ATTENTE (voir section quatorze).

17. **Caractères relatifs au format**

Les caractères relatifs au format constituent une partie importante de la structure du message, mais ne contiennent pas les informations définies dans l'article 16. Ils indiquent la fin

The values of SF 16 and SF 8 in this field distinguish between Read, Write and Control commands, and hence determine whether a DATA field is included in the Command or Reply message. The lengths of the Command and Reply messages corresponding to the various values of SF 16 and SF 8 are summarised in Table I.

16.5 *WRITE-DATA field* (24 bits; SW 1 to SW 24)

This field is included in the Command message if SF 16 = 1 and SF 8 = 0. It contains the data associated with a Write command.

16.6 *READ-DATA field* (24 bits; SR 1 to SR 24)

This field is included in the Reply message if the FUNCTION field of the Command message had SF 16 = 0 and SF 8 = 0. It contains the data requested by a READ command.

16.7 *MESSAGE IDENTIFICATION field* (2 bits; M 1 and M 2)

This field in the Command and Reply messages (2 bits) and in the Demand message (only M 2) is used to identify the three types of message.

The significance of the MESSAGE IDENTIFICATION field shall be as shown in Table II.

This field is needed by the SD in order to distinguish between Reply and Demand messages of equal length. It may also be used by SCC to identify Command messages, as additional security against executing false commands.

16.8 *STATUS field* (4 bits; ERR, SX, SQ, DERR)

This field in the Reply message shows how the SCC has responded to the Command message. The ERROR (ERR) bit indicates whether the error detection checks on the Command message were satisfactory (see Sub-clause 63.1). The Delayed Error (DERR) bit provides similar information about the previous command. For a command that has been executed, the SQ and SX bits indicate the RESPONSE (Q) and COMMAND ACCEPTED (X) status of the feature of the module or controller that has been accessed by the command.

The contents of the Status field in the Reply message shall conform to the requirements of Clauses 46 and 63.

16.9 *SERIAL GRADED-L (SGL) field* (5 bits; SGL 1 to SGL 5)

This field of the Demand message identifies the type of demand, the source of the demand, or the action required by the demand. It may be derived from the L-signals on the Dataway of the crate by any process of selection, grouping, priority coding, etc., that is performed by the SCC or by a separate SGL-Encoder connected to the SCC (see Section Fourteen).

The SGL bit-pattern 11111, shall be used only to indicate the HUNG DEMAND state (see Section Fourteen).

17. **Formatting bytes**

The formatting bytes are an important part of the message structure, but do not contain information fields as defined in Clause 16. They indicate the end of each message (END and

de chaque message (FIN et SOMME FINALE), fournissent l'élément de parité longitudinale du système de détection géométrique d'erreur (SOMME et SOMME FINALE) et maintiennent le signal d'horloge-caractère pendant les intervalles à l'intérieur des messages (ESPACE) et entre messages (ATTENTE).

17.1 *Caractères SÉPARATEURS*

Un caractère SÉPARATEUR doit avoir le bit 7 à l'état «1» et le bit 8 à la valeur appropriée pour conserver l'imparité du caractère.

Tous les autres caractères qui ne répondent pas à ces conditions sont des caractères NON SÉPARATEURS. La classe des caractères SÉPARATEUR comprend les caractères FIN, SOMME FINALE et ATTENTE.

Les caractères SÉPARATEURS sont utilisés pour indiquer le dernier caractère de chaque message et tout caractère qui intervient entre messages. Chaque message est constitué d'une série de caractères NON SÉPARATEURS terminée par un caractère SÉPARATEUR. Il peut éventuellement être suivi par des caractères SÉPARATEURS ultérieurs (caractères ATTENTE). Les caractères SÉPARATEURS ne peuvent intervenir à aucun endroit à l'intérieur des messages.

Ainsi, le premier caractère d'un message (caractère EN-TÊTE) peut être reconnu à sa composition comme le premier caractère NON SÉPARATEUR suivant un ou plusieurs caractères SÉPARATEURS. Le dernier caractère d'un message peut être reconnu à sa composition comme le premier caractère SÉPARATEUR suivant un ou plusieurs caractères NON SÉPARATEURS.

17.2 *Partie Parité Longitudinale*

Les caractères SOMME et SOMME FINALE contiennent une partie Parité Longitudinale dans les bits 1 à 6. Cette partie indique l'élément de Parité Longitudinale du code de détection géométrique d'erreur (voir article 61). Chaque bit de la partie Parité Longitudinale maintient la parité sur la position de bit correspondante de chaque caractère, depuis le caractère EN-TÊTE jusqu'aux caractères SOMME et SOMME FINALE inclus.

Le contenu de la partie Parité Longitudinale est équivalent à la somme module-2 de tous les caractères précédents du message à l'exclusion des bits 7 et 8 de chaque caractère (d'où les termes SOMME et SOMME FINALE).

17.3 *Caractère FIN*

Le caractère FIN est un caractère SÉPARATEUR émis par le Pilote Série pour terminer les Messages d'Ordre complets et par les Contrôleurs de Châssis Série pour terminer les Messages d'Ordre Tronqués.

Dans le caractère FIN, le bit SÉPARATEUR (bit 7) est à l'état «1» et le bit 8 maintient l'imparité du caractère.

Un caractère FIN, ayant la configuration de bits 11100000₂, équivalant à 340₈, doit être émis par le Pilote Série comme dernier caractère de chaque Message d'Ordre.

Bien que le caractère FIN ait la même configuration binaire que le caractère ATTENTE (voir paragraphe 17.4), il diffère dans sa composition et dans les prescriptions concernant sa retransmission par les Contrôleurs de Châssis Série. Le caractère FIN est toujours précédé par un caractère NON SÉPARATEUR.

Tous les contrôleurs de châssis non désignés doivent retransmettre sans changement les caractères FIN reçus. Un contrôleur de châssis désigné doit, soit retransmettre le caractère FIN reçu du Message d'Ordre, soit le remplacer par un caractère SOMME FINALE (voir paragraphe 18.4).

ENDSUM), provide the column-parity component of the Geometric Error Detection Scheme (SUM and ENDSUM) and maintain the byte-clock during intervals within messages (SPACE) and between messages (WAIT).

17.1 *DELIMITER bytes*

A DELIMITER byte shall have bit 7 at logic "1", and bit 8 with the appropriate value to conserve odd byte-parity.

All other bytes that do not satisfy these conditions are NON-DELIMITER bytes. The class of DELIMITER bytes includes END, ENDSUM and WAIT bytes.

DELIMITER bytes are used to indicate the last byte of each message and any bytes that occur between messages. Each message consists of a sequence of NON-DELIMITER bytes terminated by a DELIMITER byte. It may possibly be followed by further DELIMITER bytes (WAIT bytes). DELIMITER bytes cannot occur legitimately elsewhere within messages.

Thus the first byte of a message (the HEADER byte) can be recognized by its context as the first NON-DELIMITER byte following one or more DELIMITER bytes. The last byte of a message can be recognised by its context as the first DELIMITER byte following one or more NON-DELIMITER bytes.

17.2 *Column-parity field*

The SUM and ENSUM bytes contain a column-parity field in bits 1 to 6. This field provides the column-parity component of the Geometric Error Detection Scheme (see Clause 61). Each bit of the column-parity field conserves even parity over the corresponding bit position in each byte, from the HEADER byte to the SUM or ENDSUM byte, inclusive.

The content of the column-parity field is equivalent to the sum modulo-2 of all preceding bytes of the message, excluding bits 7 and 8 in each byte (hence the terms SUM and ENDSUM).

17.3 *END byte*

The END byte is a DELIMITER byte generated by the SD to terminate complete Command messages and by SCCs to terminate truncated Command messages.

In the END byte, the DELIMITER bit (bit 7) is at logic "1", and bit 8 conserves the odd byte-parity.

An END byte, with bit-pattern 1110000₂, equivalent to 340₈, shall be generated by the Serial Driver as the last byte of every Command message.

Although the END byte has the same binary pattern as the WAIT (see Sub-clause 17.4), it differs in context and in the requirements concerning its retransmission by SCCs. The END byte is always preceded by a NON-DELIMITER byte.

All unaddressed crate controllers shall retransmit received END bytes unchanged. An addressed crate controller shall either retransmit the received END byte of the Command message or replace it by an ENDSUM byte (see Sub-clause 18.4).

17.4 Caractère ATTENTE

Le caractère ATTENTE est un caractère SÉPARATEUR émis par le Pilote Série et par les Contrôleurs de Châssis Série désignés. Le Pilote Série peut émettre des caractères ATTENTE entre des Messages d'Ordre successifs. Un Contrôleur de Châssis Série désigné émet des caractères ATTENTE, en réponse aux caractères reçus, entre le Message d'Ordre Tronqué (voir paragraphe 13.2) et le caractère EN-TÊTE du Message de Réponse et également, si besoin est, entre le caractère SOMME FINALE du Message de Réponse et l'achèvement de l'échange Ordre/Réponse.

Le caractère ATTENTE ne contient pas de partie information mais le signal de l'horloge-caractère associé permet la transmission des messages sur l'Interconnexion de Branche Série. Ainsi, bien qu'il ne soit pas obligatoire pour le Pilote Série d'émettre des caractères dans les intervalles entre les Messages d'Ordre, l'émission de caractères ATTENTE est recommandée de façon à permettre la diffusion des Messages d'Ordre et à permettre que la diffusion des Messages de Réponse puisse s'accomplir dans une Interconnexion de Branche Série classique contenant des retards logiques.

Tous les caractères émis par un Pilote Série ou un Contrôleur de Châssis Série pendant les intervalles entre messages doivent être des caractères ATTENTE, ayant la configuration de bits 1110000₂, équivalent à 340₈.

Dans cette configuration du caractère ATTENTE, le bit SÉPARATEUR (bit 7) est positionné à l'état «1» et le bit 8 est à l'état «1» pour maintenir l'imparité transversale sur l'ensemble du caractère.

C'est pourquoi le caractère ATTENTE a la même configuration de bits que le caractère FIN (voir paragraphe 17.3) mais diffère par le contexte et les prescriptions concernant sa retransmission par les Contrôleurs de Châssis Série. Un caractère ATTENTE suit toujours un autre caractère SÉPARATEUR. Sous certaines conditions liées à l'émission des Messages de Demande, un Contrôleur de Châssis Série peut émettre un autre caractère à la place d'un caractère ATTENTE reçu (voir section cinq).

Une configuration type de bits a été définie pour le caractère ATTENTE de façon à aider le processus d'établissement du synchronisme des messages (voir paragraphe 40.3) qui se produit normalement lorsque le Pilote Série est en train d'émettre une série de caractères ATTENTE. La configuration de bits choisie est l'une de celles qui ont la propriété, en émission répétitive dans le mode bit-série, que chaque caractère, y compris ses bits DÉPART et ARRÊT associés, ait seulement une transition de «0» à «1» et une transition de «1» à «0» aidant ainsi à établir le synchronisme des caractères.

17.5 Caractère SOMME FINALE

Le caractère SOMME FINALE est un caractère SÉPARATEUR et est émis par le Contrôleur de Châssis Série pour terminer chaque Message de Réponse ou de Demande. La partie Parité Longitudinale (bits 1 à 6) maintient la parité longitudinale sur tous les caractères entre le caractère EN-TÊTE et le caractère SOMME FINALE inclusivement. Le bit SÉPARATEUR (bit 7) est à l'état «1» et le bit 8 maintient l'imparité transversale.

17.6 Caractère SOMME

Le caractère SOMME est un caractère NON SÉPARATEUR et est émis par le Pilote Série dans le Message d'Ordre (voir figures 7 et 8, page 44). La partie Parité Longitudinale (bits 1 à 6) de ce caractère maintient la Parité Longitudinale sur tous les caractères du message entre le caractère EN-TÊTE et le caractère SOMME inclus. Le bit SÉPARATEUR (bit 7) est à l'état «0» et le bit 8 maintient l'imparité transversale sur la totalité du caractère SOMME.

Le Contrôleur de Châssis Série désigné utilise le caractère SOMME dans le Contrôle de détection géométrique d'erreur sur le Message d'Ordre avant de décider s'il exécute l'ordre.

17.4 *WAIT* byte

The *WAIT* byte is a *DELIMITER* byte generated by the SD and by addressed SCCs. The SD may generate *WAIT* bytes between successive Command messages. An addressed SCC generates *WAIT* bytes, in response to received bytes, between the truncated Command message (see Sub-clause 13.2) and the Header byte of the Reply message and also, if required, between the *ENDSUM* byte of the Reply message and the completion of the Command/Reply transaction.

The *WAIT* byte has no information field, but the associated byte-clock allows messages to propagate around the SH. Thus, although it is not mandatory for the SD to generate bytes during intervals between Command messages, the generation of *WAIT* bytes is recommended in order to permit the propagation of Demand messages, and to allow the propagation of Reply messages to be completed in a typical SH which includes logical delays.

Any bytes generated by a Serial Driver or Serial Crate Controller during intervals between messages shall be *WAIT* bytes with the bit-pattern 1110000₂, equivalent to 340₈.

In this *WAIT* byte pattern, the *DELIMITER* bit (bit 7) is set to logic “1”, and bit 8 is at logic “1” to conserve odd byte-parity over the whole byte.

The *WAIT* byte therefore has the same bit-pattern as the *END* byte (see Sub-clause 17.3) but differs in context and in the requirements concerning its retransmission by SCCs. A *WAIT* byte always follows another *DELIMITER* byte. Under certain conditions, connected with the generation of Demand messages, an SCC is permitted to transmit another byte in place of a received *WAIT* byte (see Section Five).

A specific bit-pattern has been defined for the *WAIT* byte in order to assist the process of establishing message synchronism (see Sub-clause 40.3), which normally takes place while the SD is generating a sequence of *WAIT* bytes. The chosen bit-pattern is one of several that have the useful property, when they are transmitted repetitively in bit-serial mode, that each byte, including its associated *START* and *STOP* bits, has only one transition from “0” to “1”, and one transition from “1” to “0”, thus assisting the establishment of byte-synchronism.

17.5 *ENDSUM* byte

The *ENDSUM* byte is a *DELIMITER* byte, and is generated by SCC to terminate each Reply or Demand message. The *COLUMN-PARITY* field (bits 1 to 6) conserves even column-parity over all bytes between the *HEADER* byte and the *ENDSUM* byte, inclusive. The *DELIMITER* bit (bit 7) is at logic “1”, and bit 8 conserves odd byte-parity.

17.6 *SUM* byte

The *SUM* byte is a *NON-DELIMITER* byte, and is generated by the SD in the Command message (see Figures 7 and 8, page 45). The column-parity field (bits 1 to 6) of this byte conserves even column-parity over all bytes of the message between the *HEADER* byte and *SUM* byte, inclusive. The *DELIMITER* bit (bit 7) is at logic “0” and bit 8 conserves odd byte-parity over the whole of the *SUM* byte.

The addressed SCC uses the *SUM* byte in the Geometric Error Detection test on the Command message, before deciding whether to execute the command.

17.7 Caractère ESPACE

Le caractère ESPACE est un caractère NON SÉPARATEUR. Une série de caractères ESPACE émis par le Pilote Série entre les caractères SOMME et FIN du Message d'Ordre constituent la Zone RÉPONSE. Le Contrôleur de Châssis Série désigné émet son Message de Réponse à la place de certains ou de tous les caractères ESPACE dans la Zone RÉPONSE.

Dans le caractère ESPACE émis par le Pilote Série, le bit SÉPARATEUR (bit 7) doit être à l'état «0» et le bit 8 doit maintenir l'imparité transversale.

La configuration de bits du caractère ESPACE émis par le Pilote Série doit être, en principe, 10111111_2 , équivalent à 277_8 .

Un Contrôleur de Châssis Série qui s'attend à recevoir des caractères ESPACE dans la Zone RÉPONSE d'un Message d'Ordre doit accepter tout caractère NON SÉPARATEUR en remplacement d'un caractère ESPACE.

Les caractères de remplacement acceptables pour les caractères ESPACE n'ont pas besoin d'avoir la configuration de bits recommandée, ni de maintenir l'imparité transversale.

17.7 *SPACE byte*

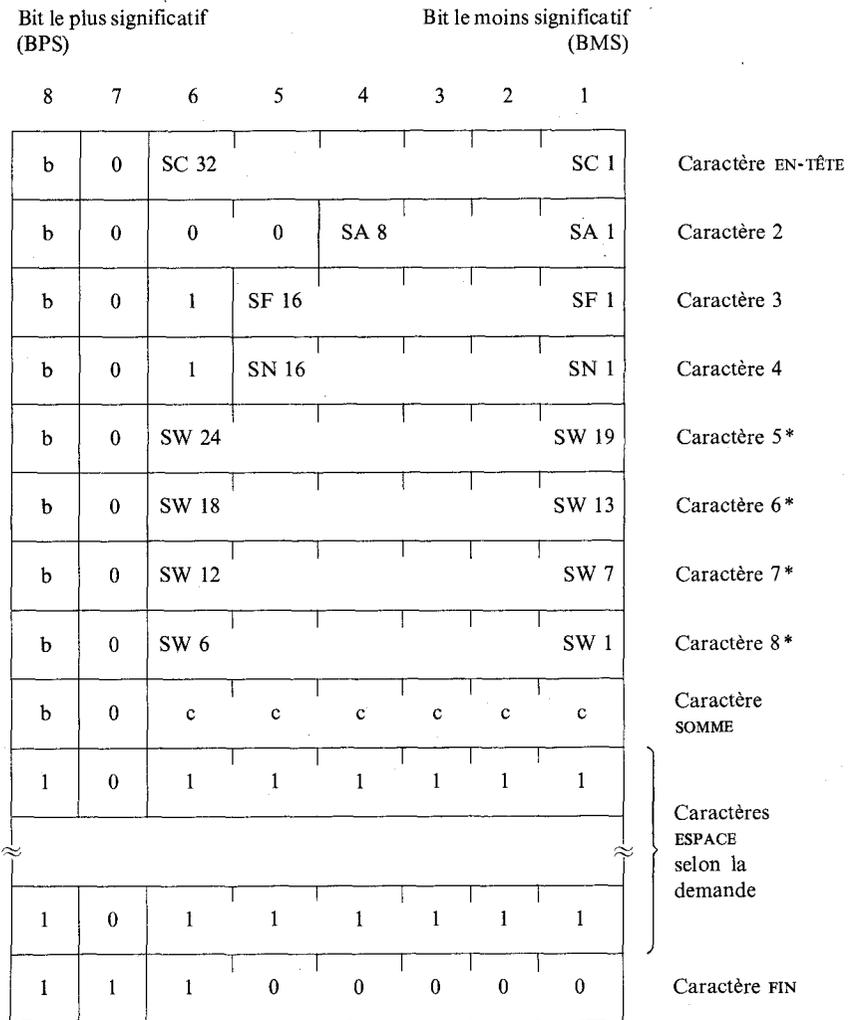
The SPACE byte is a NON-DELIMITER BYTE. A sequence of SPACE bytes generated by the SD between the SUM and END bytes of the Command message forms the REPLY space. The addressed SCC generates its Reply message in place of some or all of the SPACE bytes in the REPLY SPACE.

In the SPACE byte generated by the Serial Driver, the DELIMITER bit (bit 7) shall be at logic "0", and bit 8 shall conserve odd byte-parity.

The bit-pattern of SPACE bytes generated by the SD should be 10111111_2 , equivalent to 277_8 .

A Serial Crate Controller that is expecting to receive SPACE bytes in the REPLY space of a Command message shall accept any NON-DELIMITER BYTE as a substitute for a SPACE byte.

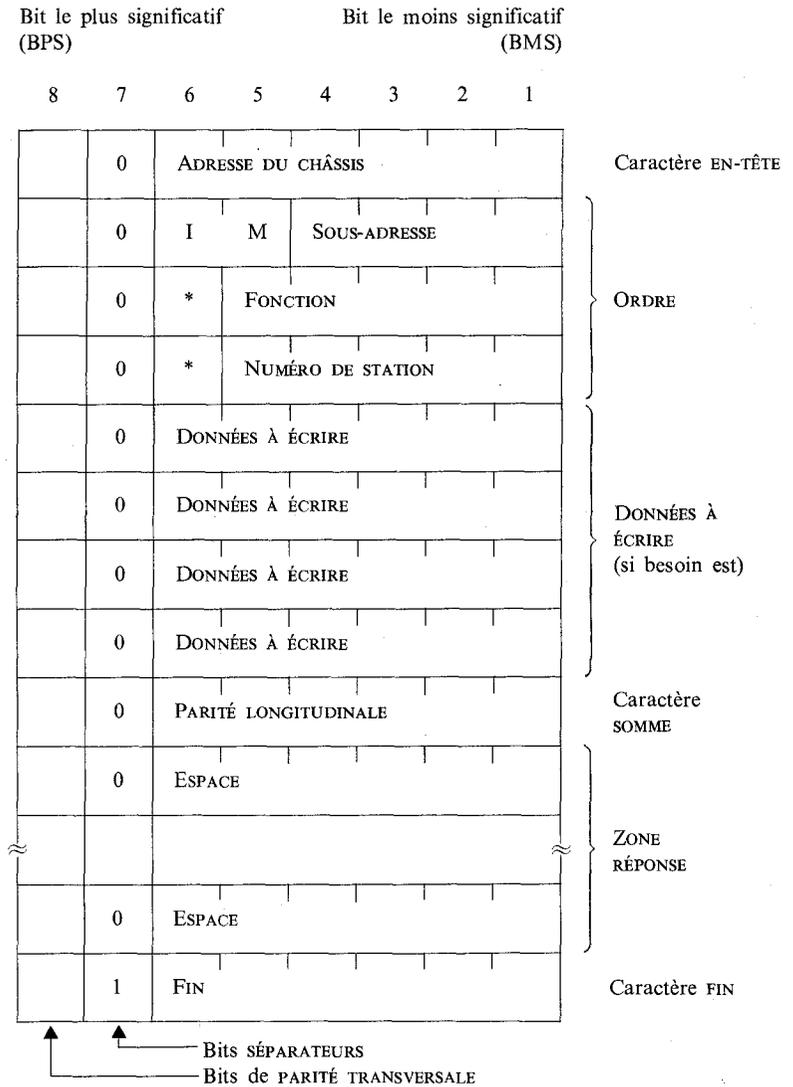
Acceptable substitutes for SPACE bytes need not have the recommended bit-pattern or conserve odd byte-parity.



b = bits d'imparité transversale
c = bits de parité longitudinale

* caractères 5, 6, 7, 8 présents si SF 16 = 1 et SF 8 = 0

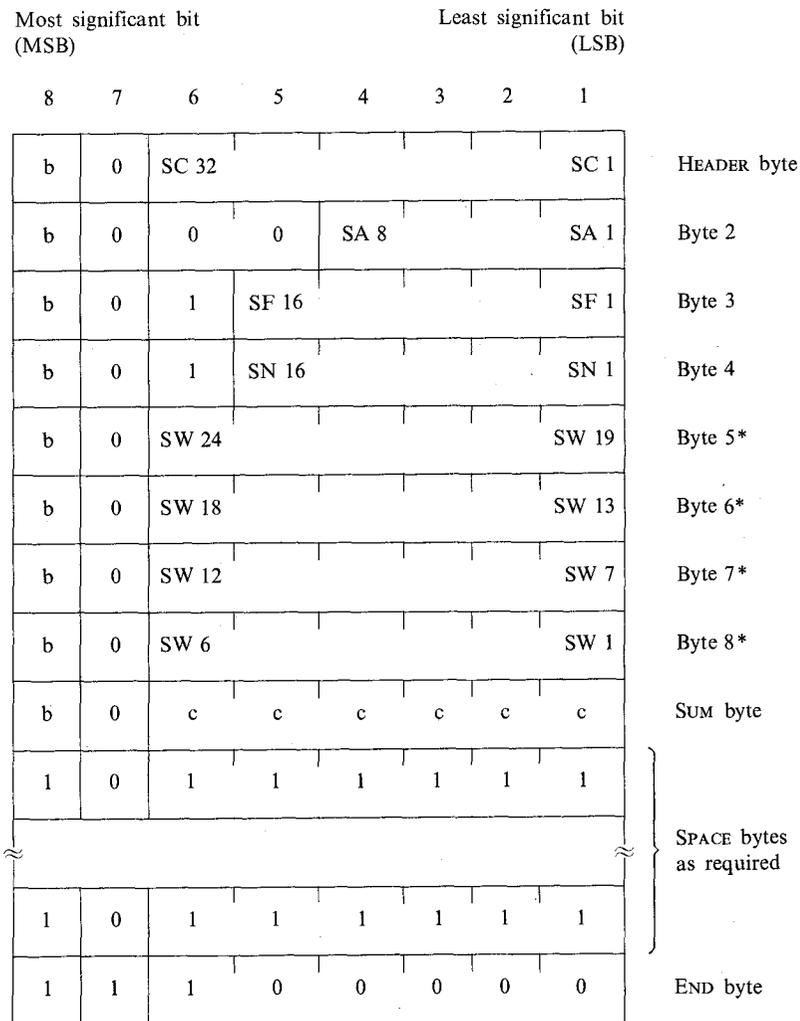
FIG. 7. — Message d'ordre: Affectation des bits.



Bits SÉPARATEURS
Bits de PARITÉ TRANSVERSALE

* bits réservés
I M = partie IDENTIFICATION DU MESSAGE

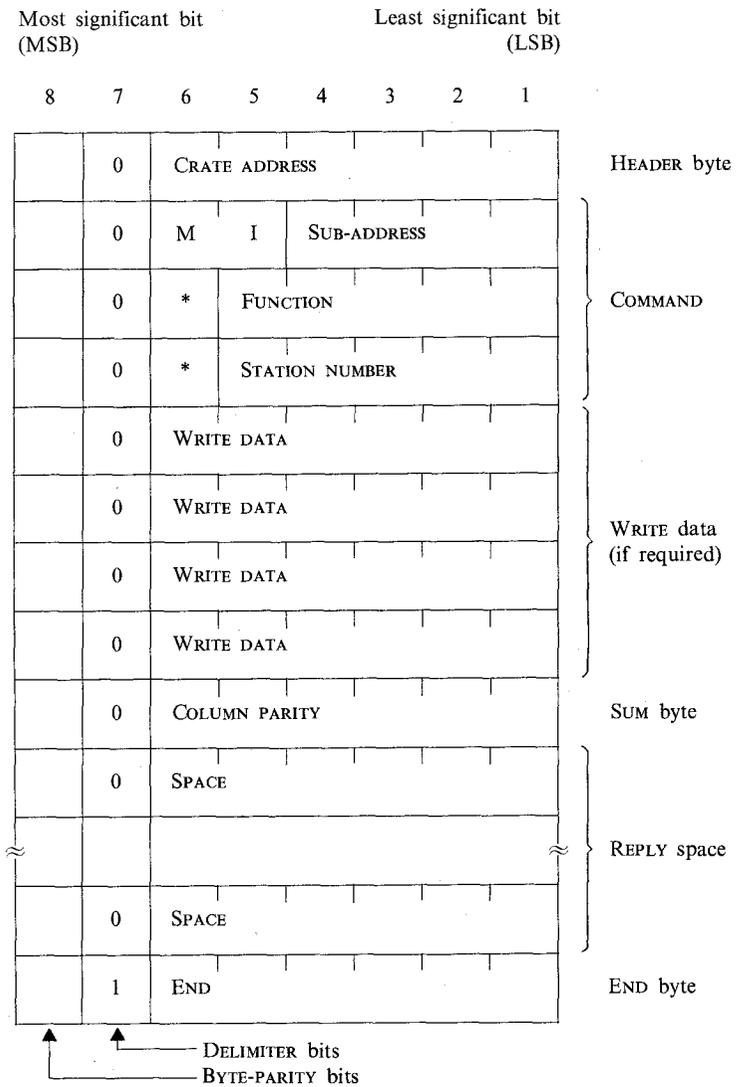
FIG. 8. — Message d'ordre: Affectation des parties.



b = odd byte-parity bits
 c = even column-parity bits

* bytes 5, 6, 7, 8 included if SF 16 = 1 and SF 8 = 0

FIG. 7. — Command message: Bit assignments.



↑ DELIMITER bits
 ↑ BYTE-PARITY bits

* reserved bits
 M I = MESSAGE IDENTIFIER field

FIG. 8. — Command message: Field assignments.

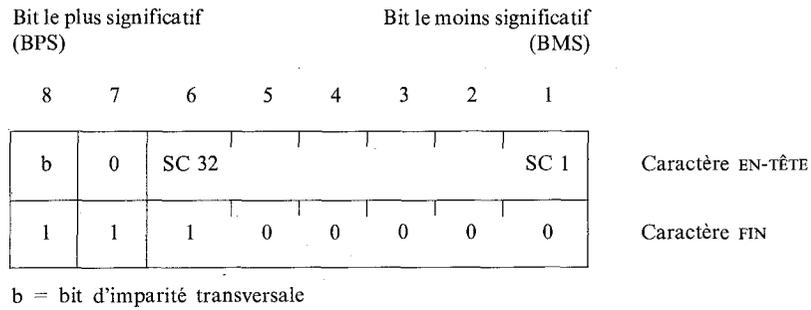
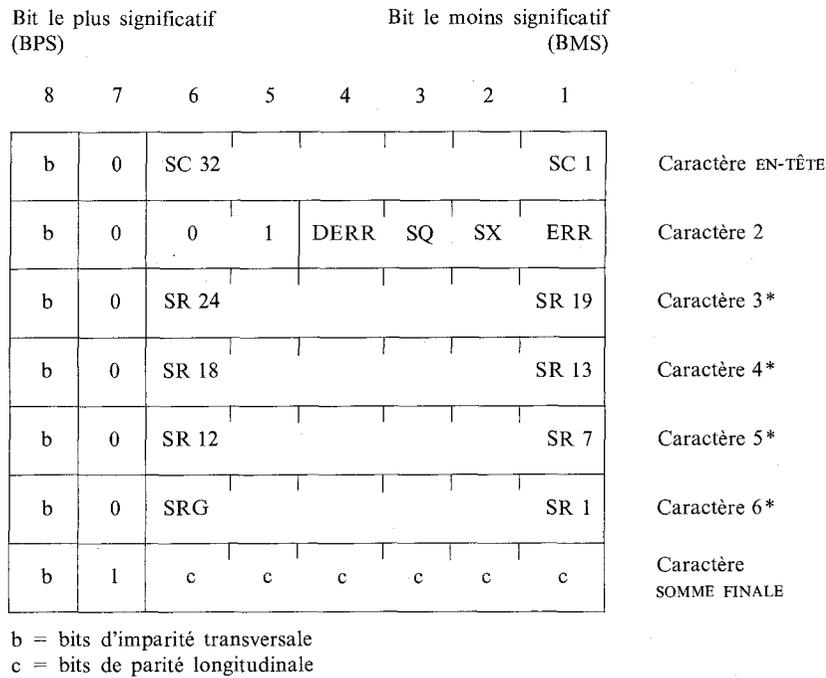


FIG. 9. — Message d'Ordre Tronqué: Affectation des bits.



* caractères 3, 4, 5, 6 présents si SF 16 = 0 et SF 8 = 0

FIG. 11. — Message de Réponse: Affectation des bits.

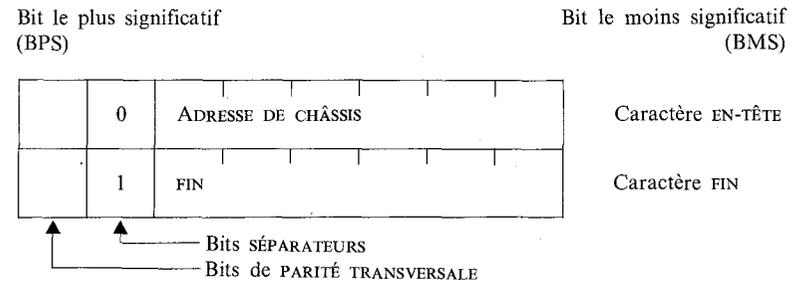
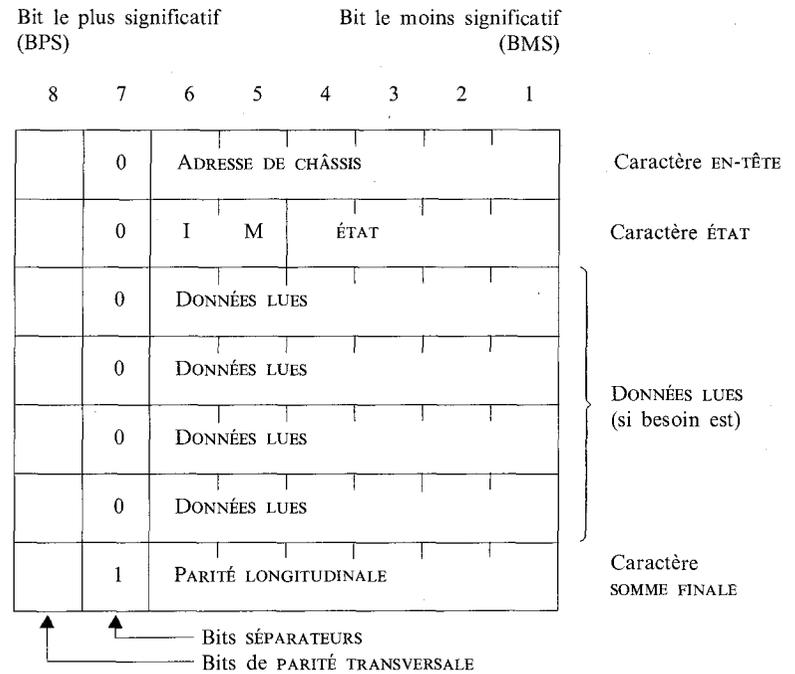
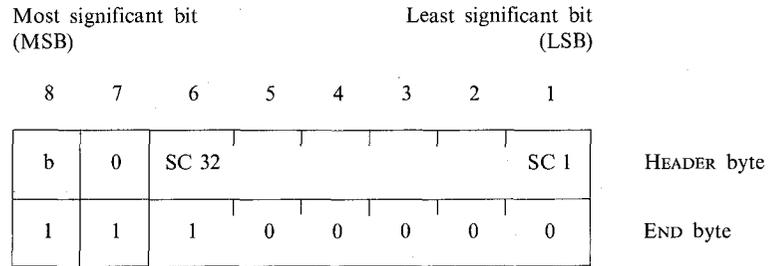


FIG. 10. — Message d'Ordre Tronqué: Affectation des parties.



I M = partie IDENTIFICATION DU MESSAGE

FIG. 12. — Message Réponse: Affectation des parties.



b = odd byte-parity bit

FIG. 9. — Truncated command message: Bit assignments

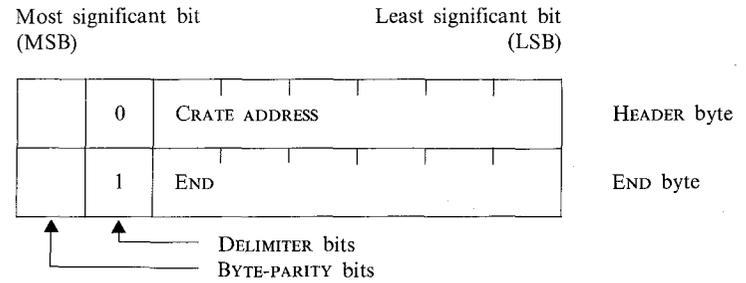
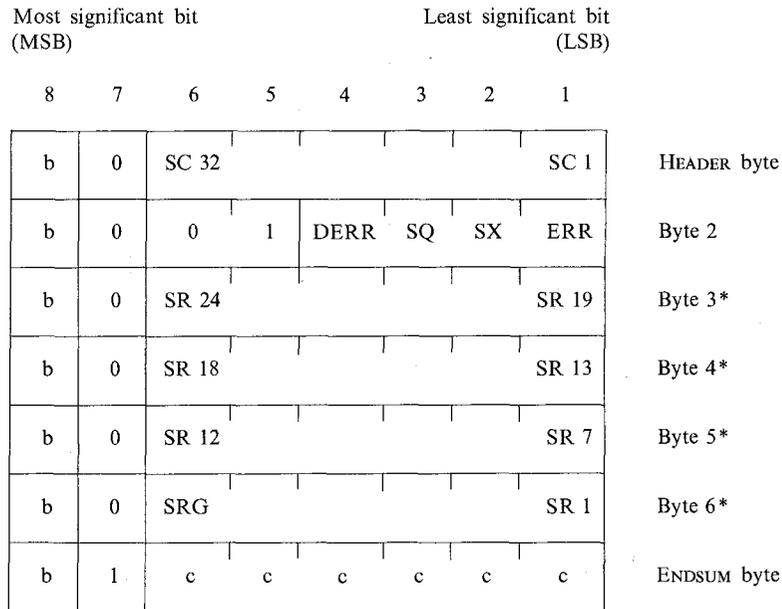


FIG. 10. — Truncated command message: Field assignments.



b = odd byte-parity bits
c = even column-parity bits

* bytes 3, 4, 5, 6 included if SF 16 = and SF 8 = 0

FIG. 11. — Reply message: Bit assignments.

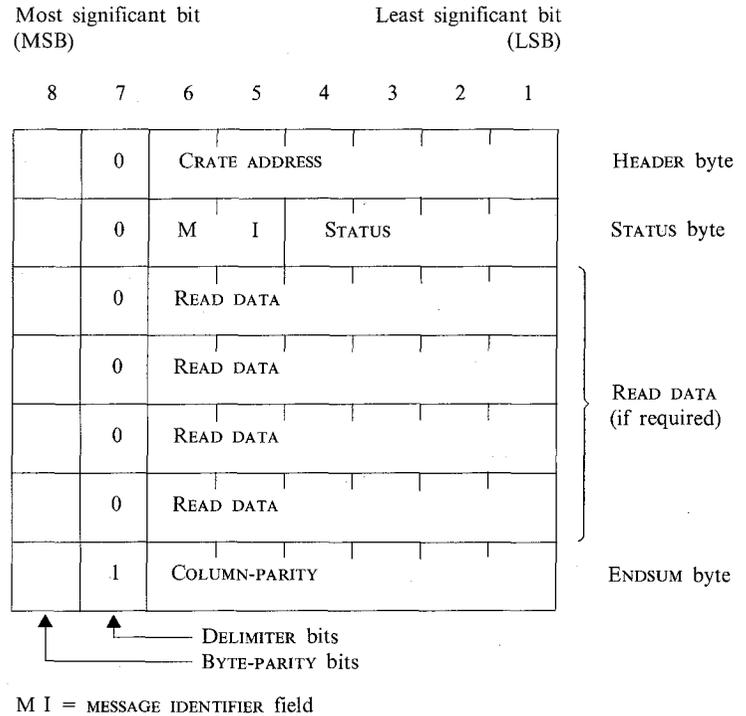
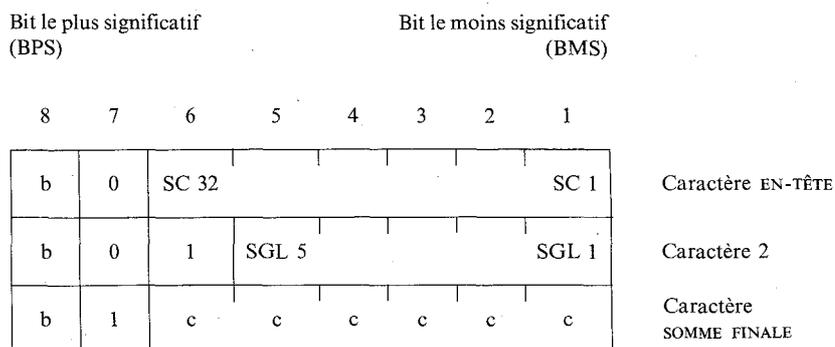
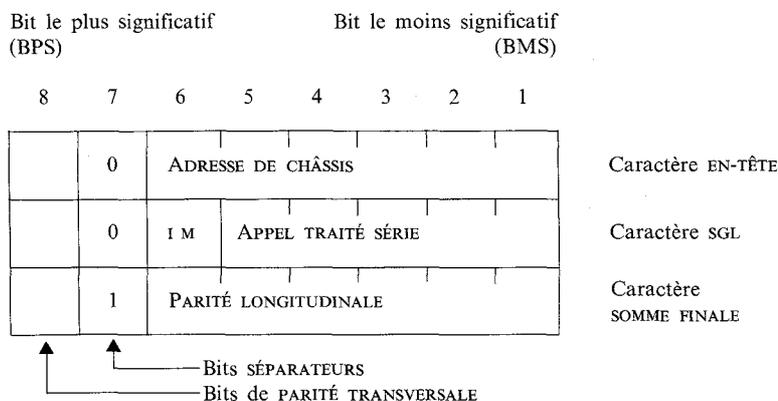


FIG. 12. — Reply message: Field assignments.



b = bits d'imparité transversale
 c = bits de parité longitudinale

FIG. 13. — Message de Demande: Affectation des bits.



I M = partie IDENTIFICATION DU MESSAGE

FIG. 14. — Message de Demande: Affectation de parties.

TABLEAU I
Longueur des Echanges Ordre-Réponse

Opération	Partie Fonction		Nombre de caractères		
			ORDRE de EN-TÊTE à SOMME compris	RÉPONSE de EN-TÊTE à SOMME compris	ÉCHANGE Ordre-Réponse
	F 16	F 8			
Lecture	0	0	5	7	12*
Commande	0	1	5	3	8*
	1	1			
Ecriture	1	0	9	3	12*

* Longueur minimale, en supposant qu'«EN-TÊTE DE LA RÉPONSE» est émis par le Contrôleur de Châssis Série dès réception du premier caractère ESPACE et que «SOMME FINALE» est émis dès réception du caractère FIN.

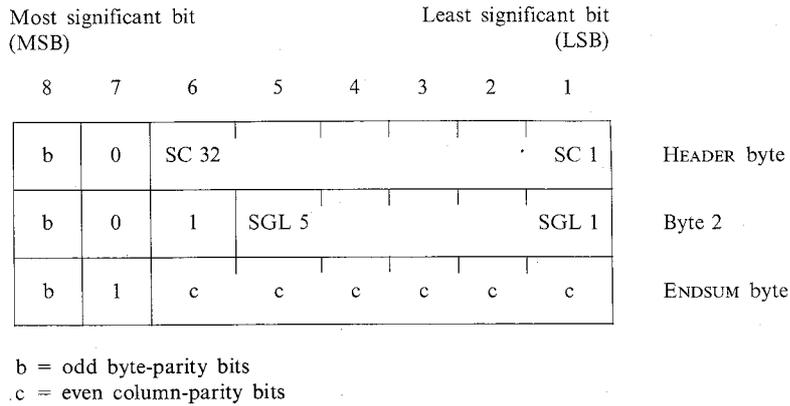
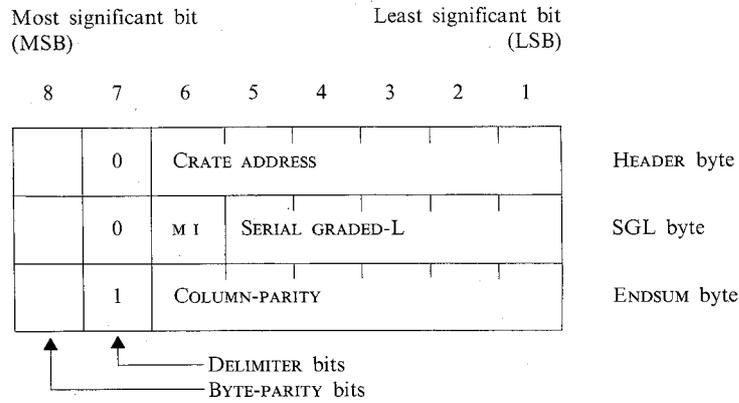


FIG. 13. — Demand message: Bit assignments.



M I = MESSAGE IDENTIFICATION field

FIG. 14. — Demand message: Field assignments.

TABLE I
Length of Command/Reply Transactions

Operation	Function Field		Number of bytes		
	F 16	F 8	COMMAND from HEADER to SUM inclusive	REPLY from HEADER to ENDSUM inclusive	COMMAND/REPLY TRANSACTION
Read	0	0	5	7	12*
Control	0 1	1 1	5	3	8*
Write	1	0	9	3	12*

* Minimum length, assuming that Reply HEADER is transmitted by SCC as first SPACE byte is received and ENDSUM is transmitted as END byte is received.

TABLEAU II
Contenu de la Partie Identification du Message

Message	Partie I M	
	M 2	M 1
ORDRE	0	0
RÉPONSE	0	1
DEMANDE	1	—

SECTION QUATRE — SÉQUENCES DE MESSAGES D'ORDRE ET DE RÉPONSE

Cette section définit les séquences de caractères qui interviennent à l'entrée et à la sortie quand un Contrôleur de Châssis Série reçoit un Message d'ordre, exécute une opération CAMAC de Lecture, d'écriture de Contrôle ou de Commande et transmet un Message de Réponse. Certaines caractéristiques de la Zone RÉPONSE à l'intérieur du Message d'Ordre sont examinées plus en détail.

Les séquences de messages pour les opérations de Lecture, d'écriture de Contrôle et de Commande en mode bit-série sont représentées respectivement aux figures 15, 17 et 19, pages 62, 66 et 70. Les séquences correspondantes dans le mode séquentiel sont représentées aux figures 16, 18 et 20, pages 64, 68 et 70. Toutes ces figures représentent des conditions normales sans erreur et sans commutation d'une Mémoire tampon de retard sur le circuit de message dans le Contrôleur de Châssis Série (voir article 25).

Pour un mode donné, les séquences des opérations de Lecture, d'écriture de Contrôle et de Commande diffèrent seulement par la présence ou l'absence de partie données. Pour un type donné d'opération, les séquences des modes bit-série et séquentiel diffèrent seulement par la chronologie relative de réception et de retransmission des caractères au commencement et à la fin de la séquence. Dans le mode bit-série, la retransmission des caractères (indiquée par des flèches dans les figures) entraîne normalement un retard d'une seule période de l'horloge-bit, tandis que dans le mode séquentiel il y a normalement un retard d'une période de l'horloge-caractère.

Ces figures indiquent que des caractères ESPACE supplémentaires peuvent être ajoutés dans la Zone RÉPONSE du Message d'Ordre pour deux raisons. Les caractères ESPACE nécessaires, indiqués par *, donnent du temps pour l'exécution de l'Ordre. Le nombre minimal de ces caractères est en principe zéro, mais un minimum d'un caractère peut être préférable en pratique. Des caractères ESPACE éventuels en excédent, indiqués par **, sont utilisés dans une méthode de contrôle de la longueur de la Zone RÉPONSE (voir paragraphe 23.2). Le nombre minimal de ces caractères est zéro.

18. Prescriptions générales

Le Contrôleur de Châssis Série attend normalement un caractère EN-TÊTE. Le Pilote Série envoie un Message d'Ordre (voir article 13) comprenant un caractère EN-TÊTE, les caractères de l'ordre et des données, le caractère SOMME, une suite de caractères ESPACE et le caractère FIN. Le Contrôleur de Châssis Série reconnaît le caractère EN-TÊTE qui lui est adressé, reçoit et vérifie l'ordre et les données, exécute l'ordre, envoie une réponse pendant la Zone RÉPONSE puis met fin à l'échange quand il reçoit le caractère FIN.

TABLE II
Contents of Message Identification Field

Message	M I - Field	
	M 2	M 1
COMMAND	0	0
REPLY	0	1
DEMAND	1	—

SECTION FOUR — COMMAND/REPLY MESSAGE SEQUENCES

This section defines the sequences of input and output bytes that occur when an SCC receives a Command message, performs a CAMAC Read, Write or Control operation, and transmits a Reply message. Some features of the REPLY space within the Command message are examined in more detail.

The message sequences for Read, Write and Control operations in bit-serial mode are shown in Figures 15, 17 and 19, pages 63, 67 and 71, respectively. The corresponding sequences in byte-serial mode are shown in Figures 16, 18 and 20, pages 65, 69 and 71. All these figures show the normal conditions, with no errors and no Delay buffer switched into the message path in the SCC (see Clause 25).

For a given mode, the sequences for Read, Write and Control operations differ only in the presence or absence of data fields. For a given type of operation, the sequences for bit-serial and byte-serial modes differ only in the relative timing of received and retransmitted bytes at the beginning and end of the sequence. In bit-serial mode, the retransmission of bytes (indicated by arrows in the figures) typically involves a delay of only one bit-period, whereas in byte-serial mode there is typically a delay of one byte-period.

These figures indicate that extra SPACE bytes can be added to the REPLY space of the Command message for two reasons. Essential SPACE bytes, indicated by *, allow time for the execution of the command. The minimum number of these bytes is, in principle, zero, but a minimum of one byte may be more convenient to implement. Optional excess SPACE bytes, indicated by **, are used in one method of controlling the length of the REPLY space (see Sub-clause 23.2). The minimum number of these bytes is zero.

18. General requirements

The SCC is normally awaiting a HEADER byte. The SD sends a Command message (see Clause 13) consisting of a HEADER byte, the command and data bytes, the SUM byte, a sequence of SPACE bytes, and the END byte. The SCC recognizes the HEADER byte addressed to itself, receives and checks the command and data, executes the command and sends a reply during the REPLY space and, finally, terminates the transaction when it receives the END byte.

18.1 *Etat RECHERCHE D'EN-TÊTE*

Ces séquences supposent que le Contrôleur de Châssis Série a reçu préalablement un ou plusieurs caractères SÉPARATEURS (le caractère FIN ou SOMME FINALE d'un message précédent, suivi éventuellement par un ou plusieurs caractères ATTENTE) et qu'il attend le caractère EN-TÊTE placé au commencement d'un nouveau message.

Quand un Contrôleur de Châssis Série attend un caractère EN-TÊTE, il doit réémettre chaque caractère qu'il reçoit. Il doit aussi examiner le contenu de chaque caractère de façon à effectuer l'action appropriée, comme suit:

Si le Contrôleur de Châssis Série reçoit un caractère SÉPARATEUR (avec *bit 7 = 1* et une Parité transversale correcte), il doit continuer à attendre un caractère EN-TÊTE et à permettre la création de Messages de Demande.

Si le Contrôleur de Châssis Série reçoit un caractère NON SÉPARATEUR (avec *bit 7 = 0*, Parité transversale correcte, et partie ADRESSE DE CHÂSSIS conforme à l'adresse à 6 bits qui lui est affectée), il doit alors traiter cela comme le caractère EN-TÊTE d'un Message d'Ordre qui lui est adressé. Il doit inhiber la création de Messages de Demande et se préparer à accepter le reste du Message d'Ordre.

Si le Contrôleur de Châssis Série reçoit un caractère autre qu'un caractère SÉPARATEUR ou que le caractère EN-TÊTE d'un message qui lui est adressé, il doit alors traiter cela comme le caractère EN-TÊTE d'un message en direction ou en provenance d'un autre Contrôleur de Châssis Série. Il doit inhiber la création de Messages de Demande et transmettre le message sans changement.

18.2 *Etat RÉCEPTION D'ORDRE*

En recevant le Message d'Ordre, il convient que le Contrôleur de Châssis Série désigné transmette une forme tronquée de Message d'Ordre (voir paragraphe 13.2) constitué seulement du caractère EN-TÊTE et du caractère FIN suivis par une série de caractères ATTENTE jusqu'à ce qu'il soit prêt à transmettre le Message Réponse (voir article 14).

Le Contrôleur de Châssis Série désigné doit utiliser l'état des bits SF 16 et SF 8 dans la partie FONCTION du Message d'Ordre (voir paragraphe 16.4) pour déterminer si le caractère SOMME est attendu comme cinquième caractère (si *SF 16 = 0* ou *SF 8 = 1*) ou comme neuvième caractère (si *SF 16 = 1* et *SF 8 = 0*).

Le Contrôleur de Châssis Série désigné doit vérifier la Parité longitudinale du Message d'Ordre reçu depuis le caractère EN-TÊTE jusqu'au caractère SOMME compris. Il doit également vérifier individuellement l'Imparité transversale de chaque caractère.

Le Contrôleur de Châssis Série peut vérifier facultativement que le contenu de la partie IDENTIFICATION DU MESSAGE (voir paragraphe 16.7) du message reçu est «00».

18.3 *Etat ORDRE EXÉCUTABLE*

Le Contrôleur de Châssis Série désigné doit exécuter l'ordre et envoyer la réponse appropriée si les conditions suivantes sont remplies:

- a) Les Parités transversale et longitudinale sont correctes.
- b) La partie IDENTIFICATION DU MESSAGE (si elle a été vérifiée) est correcte.
- c) Le Contrôleur de Châssis Série est dans l'état INTERCONNEXION EN LIGNE (voir paragraphe 48.1) ou, si ce n'est pas le cas, l'ordre est adressé à un élément interne du Contrôleur de Châssis Série.

18.1 *FIND HEADER state*

These sequences assume that the SCC has previously received one or more DELIMITER bytes (the END or ENDSUM byte of a previous message, possibly followed by one or more WAIT bytes) and is awaiting the HEADER byte at the beginning of a new message.

When a Serial Crate Controller is awaiting a HEADER byte, it shall retransmit each byte that it receives, and shall also examine the content of each byte in order to take appropriate action as follows:

If the SCC receives any DELIMITER byte (with *bit 7* = 1 and correct byte-parity) it shall continue to await a HEADER byte and to permit the initiation of Demand messages.

If the SCC receives a NON-DELIMITER byte (with *bit 7* = 0, correct byte-parity, and CRATE ADDRESS field matching the 6-bit assigned address), then it shall treat this as the HEADER byte of a Command message addressed to it. It shall inhibit the initiation of Demand messages and prepare to accept the remainder of the Command message.

If the SCC receives any byte other than a DELIMITER byte or the HEADER byte of a message addressed to it, then it shall treat this as the HEADER byte of a message to or from another SCC. It shall inhibit the initiation of Demand messages and pass the message unchanged.

18.2 *RECEIVE COMMAND state*

While receiving the Command message, the addressed SCC should transmit a truncated form of the Command message (see Sub-clause 13.2), consisting only of the HEADER byte and an END byte, followed by a sequence of WAIT bytes until it is ready to transmit the Reply message (see Clause 14).

The addressed Serial Crate Controller shall use the state of the SF 16 and SF 8 bits in the FUNCTION field of the Command message (see Sub-clause 16.4) to determine whether the SUM byte is expected as the fifth byte (if *SF 16* = 0 or *SF 8* = 1) or as the ninth byte (if *SF 16* = 1 and *SF 8* = 0).

The addressed SCC shall check the even column-parity of the received Command message from the HEADER byte to the SUM byte, inclusive. It shall also check the odd byte-parity over each byte individually.

The addressed SCC may optionally check that the content of the MESSAGE IDENTIFICATION field (see Sub-clause 16.7) of the received message is "00".

18.3 *EXECUTE COMMAND state*

The addressed Serial Crate Controller shall execute the command and send the appropriate reply if the following conditions are satisfied:

- a) the byte and column parity are correct,
- b) the MI-field (if tested) is correct,
- c) the SCC is in the DATAWAY ON-LINE condition (see Sub-clause 48.1) or, if it is Off-line, the command is addressed to an internal feature of the SCC;

d) Le Contrôleur de Châssis Série n'est pas dans l'état de BY-PASS (voir paragraphe 48.2) ou, s'il l'est, l'ordre est un de ceux qui remettent à zéro l'état de BY-PASS.

Sinon, le Contrôleur de Châssis Série ne doit pas exécuter l'ordre.

18.4 Etat ÉMISSION DE LA RÉPONSE

Si le Contrôleur de Châssis Série désigné reste en synchronisme des messages (et en synchronisme de caractères s'il y a lieu) pendant l'échange Ordre-réponse, il doit envoyer un Message de Réponse.

Si le Contrôleur de Châssis Série exécute l'ordre, il doit envoyer un Message de Réponse, de format approprié au code de Fonctions, dont le contenu est élaboré à partir des résultats de l'opération. La transmission du Message de Réponse ne doit pas commencer avant l'établissement des réponses Q et X (et des données lues, s'il y a lieu). Si l'exécution de l'Ordre implique une opération sur l'Interconnexion, la transmission du Message de Réponse ne doit pas commencer avant le temps t_3 de la figure 9, de la Publication 516 de la CEI.

Si le Contrôleur de Châssis Série n'exécute pas l'Ordre parce que la parité ou le contrôle de la partie IDENTIFICATION DU MESSAGE n'est pas correcte (voir les conditions a) et b) du paragraphe 18.3), il doit envoyer un Message de Réponse ERREUR à trois caractères (voir article 62).

Si le Contrôleur de Châssis Série n'exécute pas l'ordre parce que les conditions d'INTERCONNEXION Hors ligne ou de BY-PASS ne sont pas satisfaites (voir conditions c) et d) du paragraphe 18.3), il doit envoyer un Message de Réponse avec le format approprié au Code de Fonctions et dont le bit SX de la partie Etat est à l'état «0» pour indiquer que l'ordre n'a pas été accepté par le Contrôleur de Châssis Série (voir le paragraphe 63.2).

Si l'ordre n'a pas été exécuté, la transmission du Message de Réponse peut commencer dès que le caractère SOMME présumé a été reçu.

Pour certaines opérations associées aux signaux de commande des dispositifs de By-Pass et de Raccourcissement de Boucle, le commencement du Message de Réponse est retardé en fonction de l'exécution de l'ordre (voir paragraphe 48.2 et 48.3).

A la suite du caractère SOMME, le Pilote Série transmet et le Contrôleur de Châssis Série reçoit une série de caractères ESPACE constituant la Zone RÉPONSE. Dans de nombreuses conditions classiques de chronologie du cycle d'interconnexion et de fréquence d'émission de l'Interconnexion de Branche Série, l'exécution de l'ordre peut être terminée avant réception par le Contrôleur de Châssis Série du premier caractère ESPACE. S'il en est ainsi, le Contrôleur de Châssis Série peut transmettre le caractère EN-TÊTE du message de Réponse lorsqu'il reçoit le premier caractère ESPACE, puis transmettre le caractère ÉTAT de la réponse lorsqu'il reçoit le deuxième caractère ESPACE, et ainsi de suite.

Chaque caractère du Message de Réponse doit être transmis par le Contrôleur de Châssis Série désigné en réponse à un caractère reçu. Après réception du caractère SOMME et avant envoi du caractère EN-TÊTE du message de Réponse, le Contrôleur de Châssis Série doit accepter tous les caractères SÉPARATEURS reçus et émettre des caractères ATTENTE.

Le Contrôleur de Châssis Série doit accepter tous les caractères NON SÉPARATEURS reçus pendant la transmission de chaque caractère du message de Réponse jusqu'au caractère SOMME FINALE exclu. Pendant la transmission du caractère SOMME FINALE, le Contrôleur de Châssis Série doit accepter tout caractère reçu, y compris un caractère SÉPARATEUR.

Si le Contrôleur de Châssis Série désigné reçoit un caractère SÉPARATEUR après avoir reconnu le caractère EN-TÊTE du Message d'Ordre et avant d'avoir commencé la transmission du caractère SOMME FINALE du Message de Réponse, il doit abandonner l'échange Ordre/Réponse et se porter à l'état PERTE DU SYNCHRONISME DE MESSAGES (voir paragraphe 40.2).

d) the SCC is not in the BYPASSED condition (see Sub-clause 48.2), or, if it is bypassed, the command is one that resets the BYPASSED state.

Otherwise, the SCC shall not execute the command.

18.4 SEND REPLY state

If the addressed Serial Crate Controller remains in message synchronism (and in byte-synchronism, if appropriate) during the Command/Reply transaction, it shall send a Reply message.

If the SCC executes the command, it shall send a Reply message with format appropriate to the Function code, and with contents derived from the results of the operation. Transmission of the Reply message shall not start until the Q and X responses (and Read data, if appropriate) are established. If execution of the command involves a Dataway operation transmission of the Reply message shall not start earlier than time t_3 in Figure 9, of I E C Publication 516.

If the SCC does not execute the command because the parity or MI-field test is not correct (see conditions *a)* and *b)* of Sub-clause 18.3), it shall send a 3-byte ERROR reply message (see Clause 62).

If the SCC does not execute the command because the DATAWAY OFF-LINE or BYPASS conditions are not satisfied (see conditions *c)* and *d)* of Sub-clause 18.3), it shall send a Reply message with format appropriate to the Function code and with Status field bit SX at logic "0" to indicate that the command has not been accepted by the SCC (see Sub-clause 63.2).

If the command has not been executed, transmission of the Reply message may start as soon as the presumed SUM byte has been received.

For certain operations, associated with the control signals for Bypass and Loop Collapse devices, the initiation of the Reply message is delayed with respect to the execution of the command (see Sub-clauses 48.2 and 48.3).

Following the SUM byte, the SD transmits, and the SCC receives, a sequence of SPACE bytes constituting the REPLY space. Under many typical conditions of Dataway-cycle timing and SH transmission rate, execution of the command can be completed before the first SPACE byte is received by the SCC. If so, the SCC may transmit the HEADER byte of the Reply message as it receives the first SPACE byte, then transmit the STATUS byte of the reply as it receives the second SPACE byte, and so on.

Each byte of the Reply message shall be transmitted by the addressed Serial Crate Controller in response to a received byte. After receiving the SUM byte, and before sending the HEADER byte of the Reply message, the SCC shall accept any received DELIMITER bytes and shall transmit WAIT bytes.

The SCC shall accept any received NON-DELIMITER byte while it is transmitting each byte of the Reply message up to, but excluding, the ENDSUM byte. When transmitting the ENDSUM byte, the SCC shall accept any received byte, including a DELIMITER byte.

If the addressed SCC receives a DELIMITER byte after it has recognized the HEADER byte of the Command message and before it begins to transmit the ENDSUM byte of the Reply message, it shall abandon the Command/Reply transaction and go into LOST MESSAGE SYNC state (see Sub-clause 40.2).

Dans les trois articles suivants, on suppose, pour simplifier, que le Contrôleur de Châssis Série commence à émettre le Message de Réponse lorsqu'il reçoit le premier caractère ESPACE et qu'il émet le caractère SOMME FINALE lorsqu'il reçoit le caractère FIN du Message d'Ordre. L'article 23 concerne d'autres conditions autorisées dans lesquelles le Contrôleur de Châssis Série reçoit des caractères ESPACE avant d'avoir terminé l'exécution de l'Ordre, pendant la transmission du caractère SOMME FINALE et après cette transmission.

19. Opération de Lecture

La série de caractères émise par le Pilote Série et le Contrôleur de Châssis Série est représentée pour le mode bit-série et pour le mode séquentiel respectivement par les figures 15 et 16, pages 62 et 64. Le Message d'Ordre ne comprend pas de partie DONNÉES À ÉCRIRE. Le Message de Réponse comprend une partie DONNÉES LUES à 24 bits.

Dans la partie FONCTION du Message d'Ordre, les bits SF 16 = 0 et SF 8 = 0 indiquent une opération de LECTURE. C'est pourquoi le Contrôleur de Châssis Série s'attend à trouver le caractère SOMME comme cinquième caractère du message reçu, et effectue le contrôle de Parité longitudinale sur les cinq premiers caractères du message.

20. Opération d'Écriture

La série de caractères émise par le Pilote Série et le Contrôleur de Châssis Série est représentée pour le mode bit-série et pour le mode séquentiel aux figures 17 et 18, pages 66 et 68, respectivement. Le Message d'Ordre comprend une partie DONNÉES À ÉCRIRE à 24 bits. Le Message de Réponse ne comprend pas de partie DONNÉES LUES.

Dans la partie FONCTION du Message d'Ordre, les bits SF 16 = 1 et SF 8 = 0 indiquent une opération d'Écriture. C'est pourquoi le Contrôleur de Châssis Série s'attend à trouver le caractère SOMME comme neuvième caractère du message reçu, et effectue le Contrôle de Parité longitudinale sur les neuf premiers caractères du message.

21. Opération de Commande ou de Contrôle

La suite de caractères émise par le Pilote Série et le Contrôleur de Châssis Série est représentée pour le mode bit-série et le mode séquentiel aux figures 19 et 20, page 70, respectivement. Ni le Message Ordre ni le Message de Réponse ne comprennent de partie DONNÉES.

Dans la partie FONCTION du Message d'Ordre, le bit SF 8 = 1 indique une opération de Commande ou de Contrôle (ni lecture, ni écriture) et le Contrôleur de Châssis Série s'attend donc à trouver le caractère SOMME comme cinquième caractère du message reçu et effectue le Contrôle de Parité longitudinale sur les cinq premiers caractères du message.

22. Message d'Ordre tronqué

Il convient que le Contrôleur de Châssis Série désigné émette une forme tronquée du Message d'Ordre reçu comprenant uniquement le caractère EN-TÊTE (contenant la partie Adresse de Châssis) et un caractère FIN.

Cette pratique recommandée est suivie dans la séquence Ordre / Réponse représentée aux figures 15 à 20, pages 62 à 70, et c'est une caractéristique obligatoire du Contrôleur de Châssis de type L2 (voir annexe A, paragraphe A3.2). Elle est recommandée pour tous les autres Contrôleurs de Châssis Série pour les raisons suivantes: un seul châssis a le droit de répondre

In the following three clauses, it is assumed, for clarity, that the SCC starts to generate the Reply message as it receives the first SPACE byte, and that it generates the ENDSUM byte as it receives the END byte of the Command message. Clause 23 deals with other permitted conditions, where SCC receives SPACE bytes before it has finished executing the Command, while it is transmitting the ENDSUM byte, and after it has transmitted the ENDSUM byte.

19. Read operation

The sequence of bytes transmitted by the SD and SCC is shown in Figures 15 and 16, pages 63 and 65, for bit-serial and byte-serial modes, respectively. The Command message does not include a WRITE data field. The Reply message includes a 24-bit READ data field.

In the FUNCTION field of the Command message, bits SF 16 = 0 and SF 8 = 0 indicate a READ operation. The SCC therefore expects to find the SUM byte as the fifth byte in the received message, and performs the column-parity check over the first five bytes of the message.

20. Write operation

The sequence of bytes transmitted by the SD and SCC is shown in Figures 17 and 18, pages 67 and 69, for bit-serial and byte-serial modes, respectively. The Command message includes a 24-bit WRITE data field. The Reply message does not include a READ-DATA field.

In the FUNCTION field of the Command message, bits SF 16 = 1 and SF 8 = 0 indicate a Write operation. The SCC therefore expects to find the SUM byte as the ninth byte of the received message, and performs the column-parity check over the first nine bytes of the message.

21. Control operation

The sequence of bytes transmitted by the SD and SCC is shown in Figures 19 and 20, page 71, for bit-serial and byte-serial modes, respectively. Neither the Command message nor the Reply message includes a DATA field.

In the FUNCTION field of the Command message, bit SF 8 = 1 indicates a Control operation (neither Read nor Write), and the SCC therefore expects the SUM byte as the fifth byte in the received message and performs the column-parity check over the first five bytes of the message.

22. Truncation of the Command message

The addressed SCC should transmit a truncated form of the received Command message, consisting only of the HEADER byte (containing the Crate Address field) and an END byte.

This recommended practice is followed in the Command-Reply sequence shown in Figures 15 to 20, pages 63 to 71, and it is a mandatory feature of the Crate Controller Type L2 (see Appendix A, Sub-clause A3.2). It is recommended for all other SCCs for the following reasons. Only one crate can respond to the Command message even if, for example,

au Message d'Ordre, même si, par exemple, la même Adresse de Châssis a été assignée à plusieurs châssis. La série de caractères SÉPARATEURS suivant le Message d'Ordre tronqué donne une indication positive du commencement du Message de Réponse et donne également la possibilité aux Contrôleurs de Châssis situés en aval d'émettre des Messages de Demande (voir article 24) et de retrouver le synchronisme des caractères (voir paragraphe 41.3).

Toutefois, pour quelques applications spéciales, il peut être nécessaire que le Contrôleur de Châssis Série désigné retransmette le Message d'Ordre (jusqu'au caractère SOMME compris).

De telles applications nécessitent des Contrôleurs de Châssis Série et des Pilotes Série appropriés, mais il est possible que ceux-ci coexistent, sur la même Interconnexion de Branche Série, avec d'autres Contrôleurs de Châssis Série qui émettent le Message d'Ordre tronqué recommandé.

Si le Contrôleur de Châssis Série ne transmet pas une forme tronquée du Message d'Ordre, il doit transmettre au moins un caractère SÉPARATEUR en réponse à un caractère reçu, immédiatement avant de transmettre le caractère EN-TÊTE du Message de Réponse.

23. Zone RÉPONSE

Cet article couvre quelques aspects complémentaires des caractères ESPACE émis par le Pilote Série pendant un Message d'Ordre qui sont partiellement ou totalement remplacés par le Message de Réponse provenant du Contrôleur de Châssis Série désigné.

23.1 *Achèvement de l'opération sur l'interconnexion*

Si la période de l'horloge-caractère est longue comparée au temps d'exécution de l'ordre, le Contrôleur de Châssis Série désigné peut être prêt à envoyer la réponse avant de recevoir le premier caractère ESPACE. Dans ces conditions, le premier caractère du Message de Réponse peut être émis par le Contrôleur de Châssis Série à la place du premier caractère ESPACE.

Dans le cas contraire, le Contrôleur de Châssis Série reçoit un ou plusieurs caractères ESPACE avant d'être prêt à envoyer la réponse, et le nombre de caractères ESPACE en excédent, indiqué par le symbole * dans les figures 15 à 20, pages 62 à 70, n'est pas nul. Le Contrôleur de Châssis Série émet des caractères ATTENTE à la place des caractères ESPACE reçus jusqu'à ce qu'il ait exécuté l'ordre. Ensuite, il émet le premier caractère du Message de Réponse à la place du caractère ESPACE suivant.

23.2 *Fin de l'échange Ordre/Réponse*

Selon un premier mode de fonctionnement, le Pilote Série continue à émettre des caractères ESPACE en excédent jusqu'à réception du Message de Réponse. Il émet alors le caractère FIN pour terminer l'échange. Ce mode a l'avantage d'éviter au Pilote Série d'avoir à contrôler avec précision le nombre de caractères ESPACE. Mais il a l'inconvénient de réduire la possibilité d'émission de Messages de Demande en amont du Contrôleur de Châssis Série désigné, et il exige des précautions pour éviter le blocage si l'ordre est adressé à un châssis inexistant. Le nombre de caractères ESPACE en excédent indiqué par le symbole ** dans les figures 15 à 20 n'est pas nul et le Contrôleur de Châssis Série émet des caractères ATTENTE à la place des caractères ESPACE reçus.

Dans un autre mode, le Pilote Série émet un nombre calculé de caractères ESPACE et termine ensuite l'échange en envoyant le caractère FIN. Il continue alors à émettre des caractères ATTENTE jusqu'à réception du Message de Réponse. Dans ce mode, il y a peu de caractères ESPACE en excédent, ou pas du tout.

Ces deux modes de terminaison de l'échange Ordre/Réponse entraînent un traitement d'erreur simple (voir article 64) parce que chaque échange est terminé avant le commencement du suivant.

the same Crate Address has been assigned to more than one crate. The sequence of DELIMITER bytes following the truncated Command message gives a positive indication of the beginning of the Reply message and also provides opportunities for downstream crate controllers to generate Demand messages (see Clause 24) and to regain byte-synchronism (see Sub-clause 41.3).

However, for some special applications it may be necessary for the addressed SCC to retransmit the Command message (up to and including the SUM byte).

Such applications require appropriate SCCs and SDs, but it is possible for these to co-exist on the same Serial Highway with other SCCs that generate the recommended truncated Command message.

If the Serial Crate Controller does not transmit a truncated form of the Command message, it shall transmit at least one DELIMITER byte, in response to a received byte, immediately before transmitting the HEADER byte of the Reply message.

23. Reply SPACE

This clause covers some additional aspects of the SPACE bytes generated by SD during the Command message, which are partially or wholly replaced by the Reply message from the addressed SCC.

23.1 Completion of dataway operation

If the byte-period is long compared with the command-execution time, the addressed SCC can be ready to send the reply before it receives the first SPACE byte. Under these conditions the first byte of the Reply message can be transmitted by the SCC in place of the first SPACE byte.

Otherwise, the SCC receives one or more SPACE bytes before it is ready to send the reply, and the number of extra SPACE bytes indicated by the symbol * in Figures 15 to 20, pages 63 to 71, is non-zero. The SCC transmits WAIT bytes in place of the received SPACE bytes, until it has executed the command. Then it transmits the first byte of the Reply message in place of the next SPACE byte.

23.2 Termination of Command/Reply transaction

In one mode of operation, the SD continues to generate excess SPACE bytes until it has received the Reply message. It then generates the END byte to terminate the transaction. This mode has the advantage that it avoids the need for SD to control the number of SPACE bytes precisely. It has also the disadvantages that it reduces the opportunities for Demand message generation upstream from the addressed SCC, and needs precautions to avoid locking-up if the command is addressed to a non-existent crate. The number of extra SPACE bytes indicated by the symbol ** in Figures 15 to 20 is non-zero, and the SCC transmits WAIT bytes in place of the received SPACE bytes.

In another mode, the SD generates a calculated number of SPACE bytes and then terminates the transaction by sending the END byte. It then continues to generate WAIT bytes until it has received the reply message. In this mode there are few excess SPACE bytes, or none.

Both of these modes of terminating the Command/Reply transaction lead to simple recovery from errors (see Clause 64) because each transaction is completed before the next is started.

Dans un autre mode, approprié aux systèmes à haute performance et à taux d'erreur faible, le Pilote Série n'attend pas de recevoir la réponse à un Message d'Ordre pour commencer à émettre le suivant. Dans ce mode, le Pilote Série émet de préférence le nombre minimal exact de caractères ESPACE de façon que le Contrôleur de Châssis Série désigné émette le caractère SOMME FINALE du Message de Réponse lorsqu'il reçoit le caractère FIN du message d'ordre. Dans ces conditions exemptes d'erreurs, un Pilote Série fonctionnant dans ce mode émet une série de Messages d'Ordre et reçoit une série correspondante de Messages de Réponse dans le même ordre relatif, mais avec un retard possible important et avec interposition de Messages de Demande. On ne peut pas compter dans ce mode sur le dispositif de Relecture (voir article 64) pour faciliter le redressement d'erreurs d'émission.

23.3 Longueur de la Zone RÉPONSE

Le Pilote Série doit inclure dans le Message d'Ordre assez de caractères ESPACE pour laisser le temps au Contrôleur de Châssis Série d'exécuter l'ordre et de transmettre le Message de Réponse.

Une formule simple pour estimer la longueur de la Zone RÉPONSE est donnée ci-dessous. Cette formule s'applique au mode d'opération recommandé dans lequel le Contrôleur de Châssis Série désigné transmet un Message d'Ordre Tronqué (voir paragraphe 13.2). Elle couvre également la condition la plus mauvaise dans laquelle le Contrôleur de Châssis Série termine l'opération complète sur l'Interconnexion avant d'émettre le caractère EN-TÊTE du Message de Réponse. Une valeur de travail sûre pour le nombre S de caractères ESPACE dans la Zone RÉPONSE est:

$$S = N_{op} + N_{rep} + 1$$

où N_{op} et N_{rep} sont les nombres de caractères ESPACE reçus, nécessaires pour ajuster respectivement l'exécution de l'ordre et la transmission du Message de réponse.

N_{op} est le nombre entier immédiatement supérieur au rapport T_{op}/T_c où T_{op} est la durée maximale du cycle sur l'Interconnexion du Contrôleur de Châssis Série et T_c est la période minimale de l'horloge-caractère du système d'Interconnexion de Branche Série particulier.

N_{rep} est égal à deux caractères pour les ordres d'ÉCRITURE et de CONTRÔLE et à six caractères pour les ordres de LECTURE.

En tenant compte du détail des relations de temps entre les caractères reçus et l'opération sur l'Interconnexion dans un Contrôleur de Châssis Série particulier, il peut être possible de fonctionner avec une valeur de S plus petite que celle donnée par cette formule. Par exemple, si la durée de caractère T_c est très longue comparée au temps T_{op} de l'opération sur l'Interconnexion, la valeur de N_{op} peut être remplacée par zéro.

Dans d'autres systèmes, la valeur de N_{op} peut être réduite en commençant la transmission du Message de Réponse avant l'achèvement de l'opération totale sur l'Interconnexion (voir paragraphe 18.4). Dans ce dernier cas, il est nécessaire de s'assurer que, si deux ordres successifs d'écriture ou de Commande sont envoyés au même Contrôleur de Châssis Série, le nombre de caractères entre le caractère SOMME d'un ordre et le caractère SOUS-ADRESSE du suivant convient bien pour maintenir les signaux d'ordre sur l'Interconnexion pendant la durée totale de l'opération sur l'Interconnexion.

In another mode, appropriate to high-performance systems with low error rates, the SD does not wait to receive the reply to one Command message before starting to generate the next. In this mode, the SD preferably generates the exact minimum number of SPACE bytes, so that the addressed SCC generates the ENDSUM byte of the Reply message when it receives the END byte of the Command message. Under error-free conditions, an SD operating in this mode transmits a sequence of Command messages and receives a corresponding sequence of Reply messages in the same relative order, but possibly considerably delayed and with interposed Demand messages. The Re-read feature (see Clause 64) cannot be relied upon to assist recovery from transmission errors in this mode.

23.3 Length of the REPLY space

The Serial Driver shall include within the Command message enough SPACE bytes to provide time for the Serial Crate Controller to execute the command and to transmit the Reply message.

A simple formula for estimating the length of the REPLY space is given below. This formula applies to the recommended mode of operation, in which the addressed SCC transmits a truncated Command message (see Sub-clause 13.2). It also covers the worst-case condition where the SCC completes the full Dataway operation before transmitting the HEADER byte of the Reply message. A safe working value for the number of SPACE bytes S in the Reply space is:

$$S = N_{op} + N_{rep} + 1$$

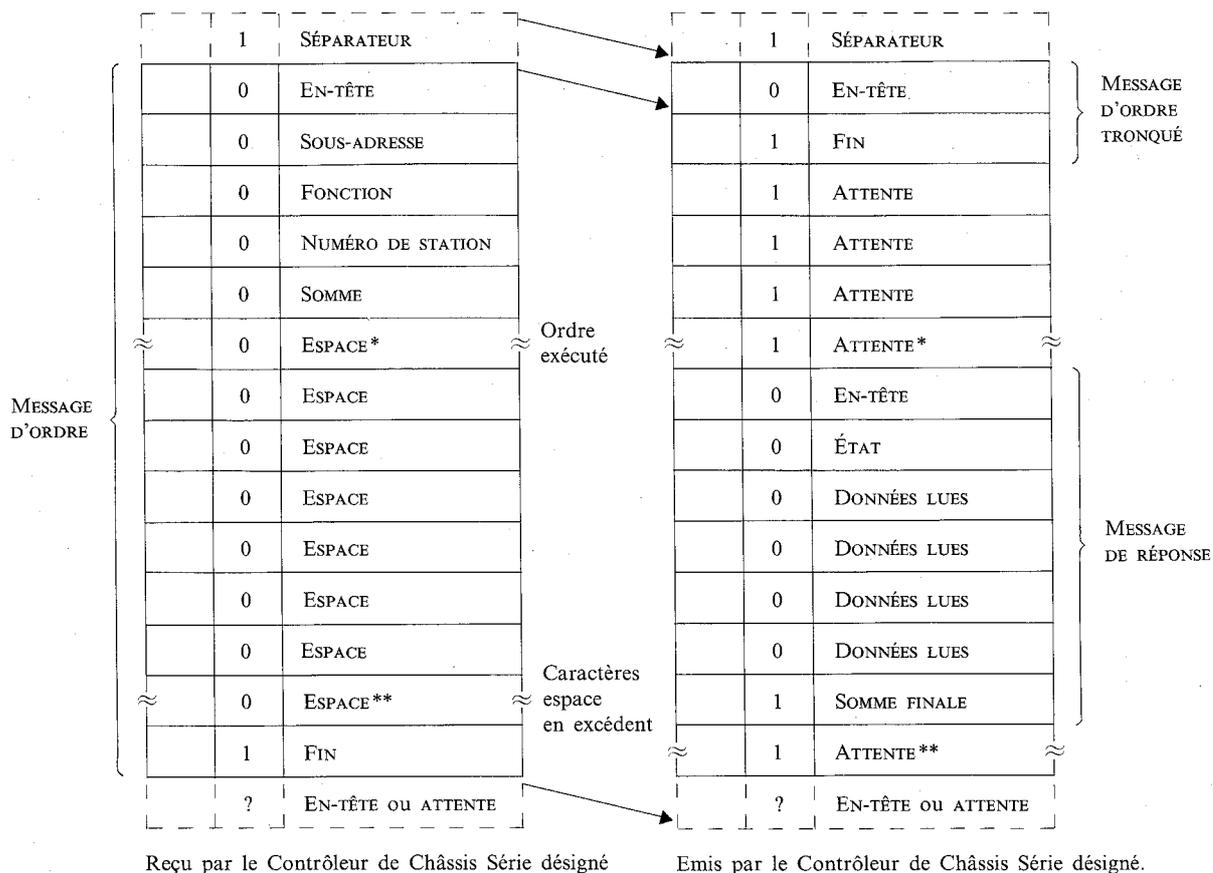
where N_{op} and N_{rep} are the numbers of received SPACE bytes needed to accommodate the execution of the command and the transmission of the Reply message, respectively.

N_{op} is the next greater integer above T_{op}/T_c , where T_{op} is the maximum Dataway cycle time of the SCC and T_c is the minimum byte-period of the particular SH system.

N_{rep} is 2 bytes for WRITE and CONTROL commands, and 6 bytes for READ commands.

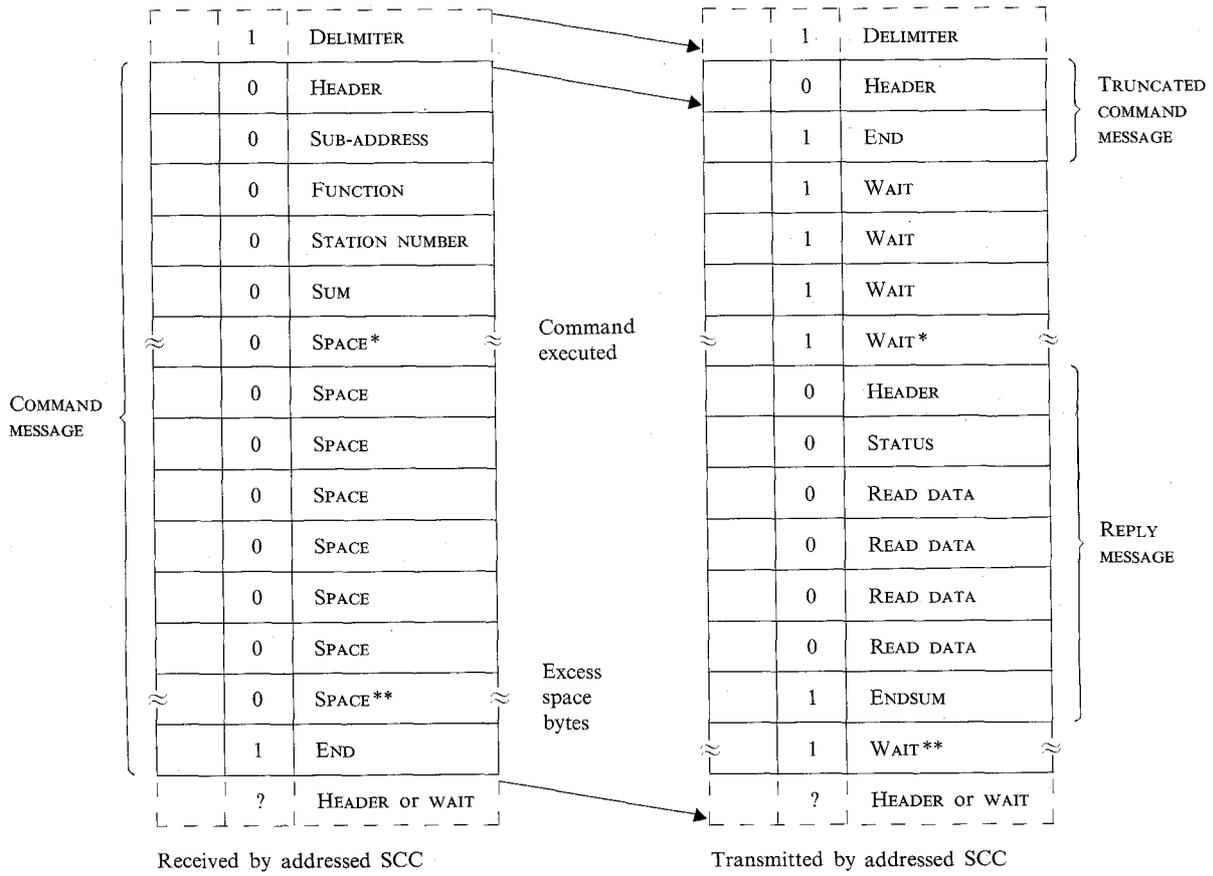
By taking into account the detailed timing relationship between received bytes and the Dataway operation, in a particular SCC, it may be possible to operate with a smaller value of S than that given by this formula. For example, if the byte-period T_c is very long compared with the Dataway operation time T_{op} , the value of N_{op} can be replaced by zero.

In other systems, the value of N_{op} can be reduced by starting to transmit the Reply message before the full Dataway operation has been completed (see Sub-clause 18.4). In this latter case, it is necessary to ensure that, if two successive Write or Control commands are sent to the same SCC, the number of bytes between the SUM byte of one command and the SUB-ADDRESS byte of the next is adequate to maintain the Dataway command signals for the full duration of the Dataway operation.



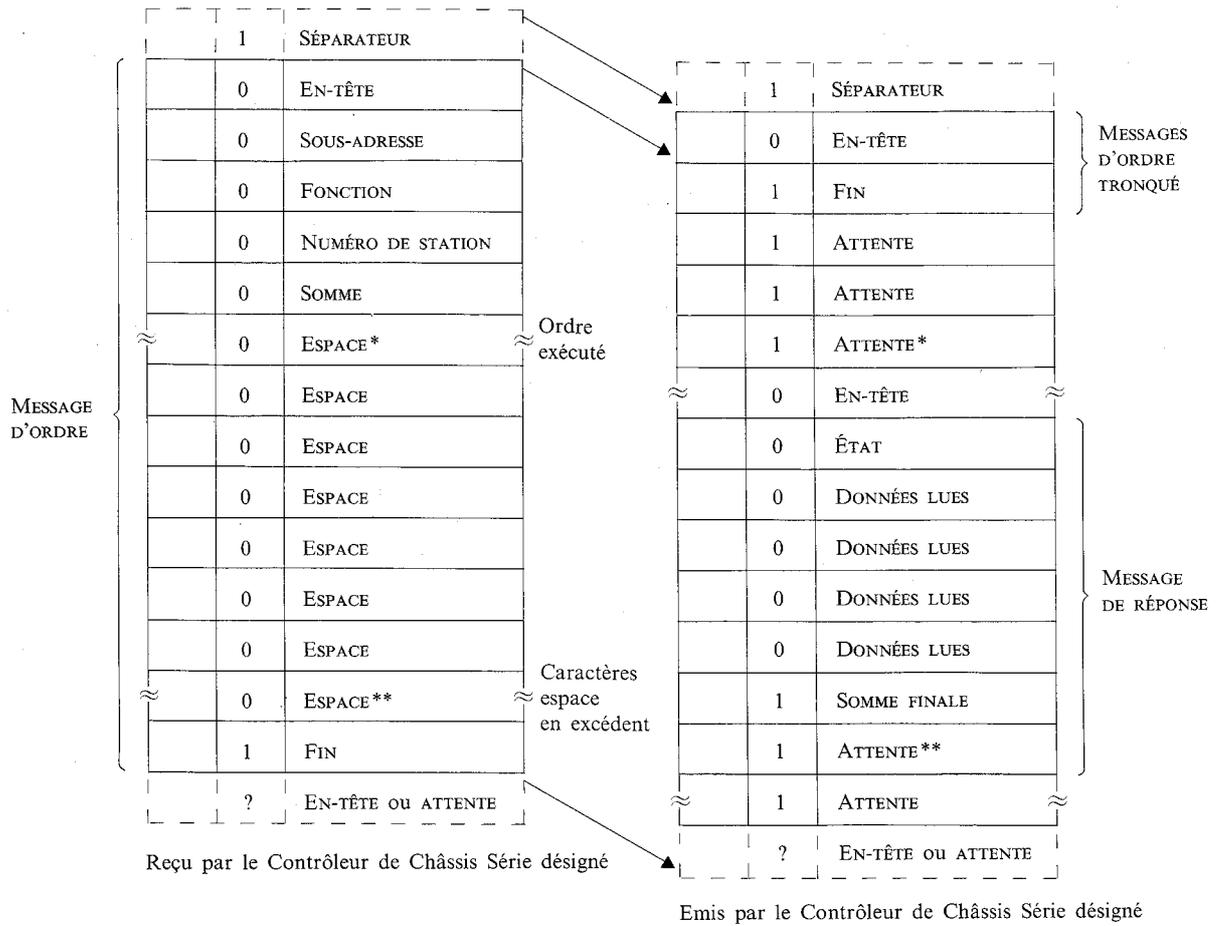
* Nombre de caractères nécessaire pour l'exécution de l'ordre — Au minimum 0.
 ** Nombre de caractères nécessaire pour les caractères ESPACE en excédent — Au minimum 0.

FIG. 15. — Séquence Ordre-Réponse: Opération de Lecture, Mode bit-série.



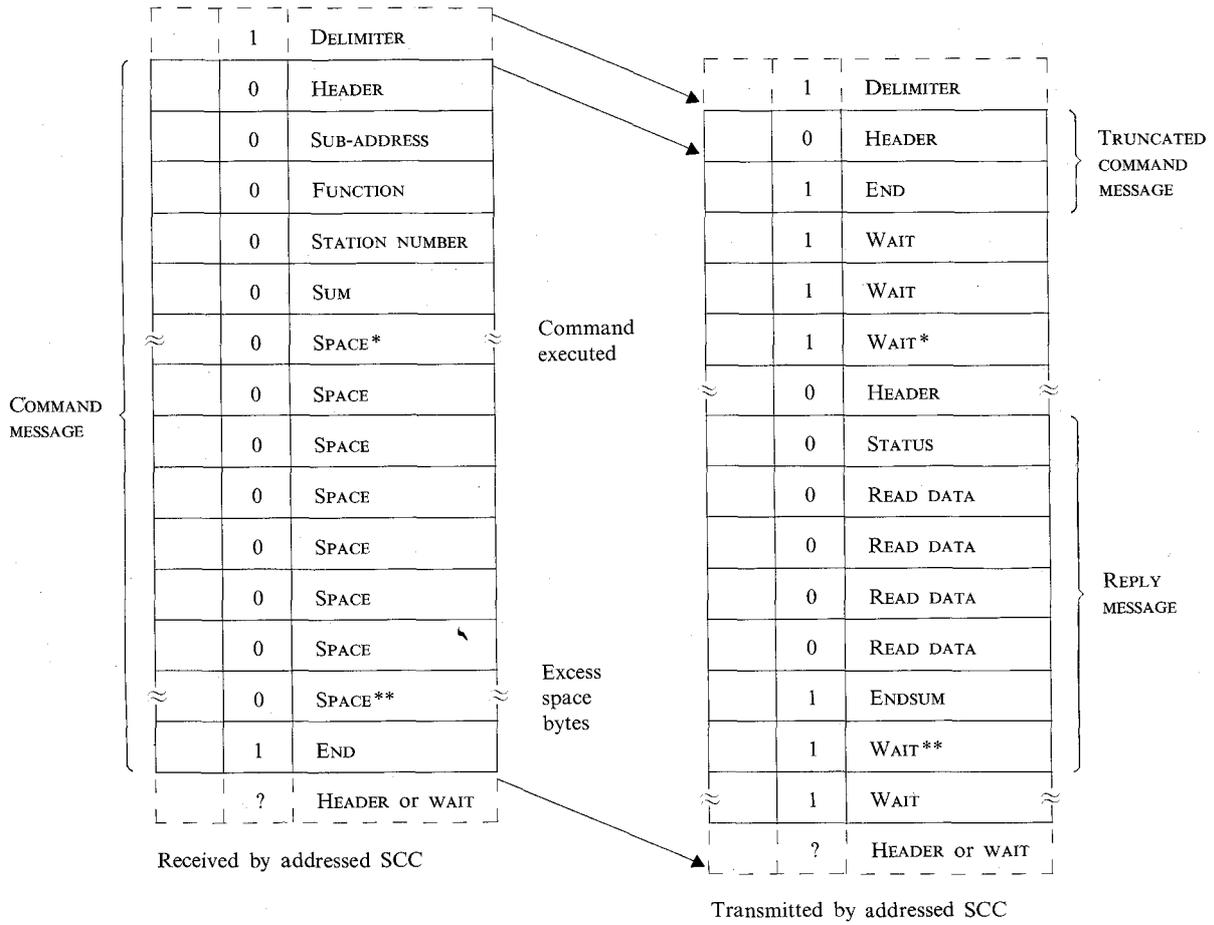
* Number of bytes as required to accommodate execution of command — Minimum number 0.
 ** Number of bytes as required to accommodate excess SPACE bytes — Minimum number 0.

FIG. 15. — Command/Reply sequence: Read operation, bit-serial mode.



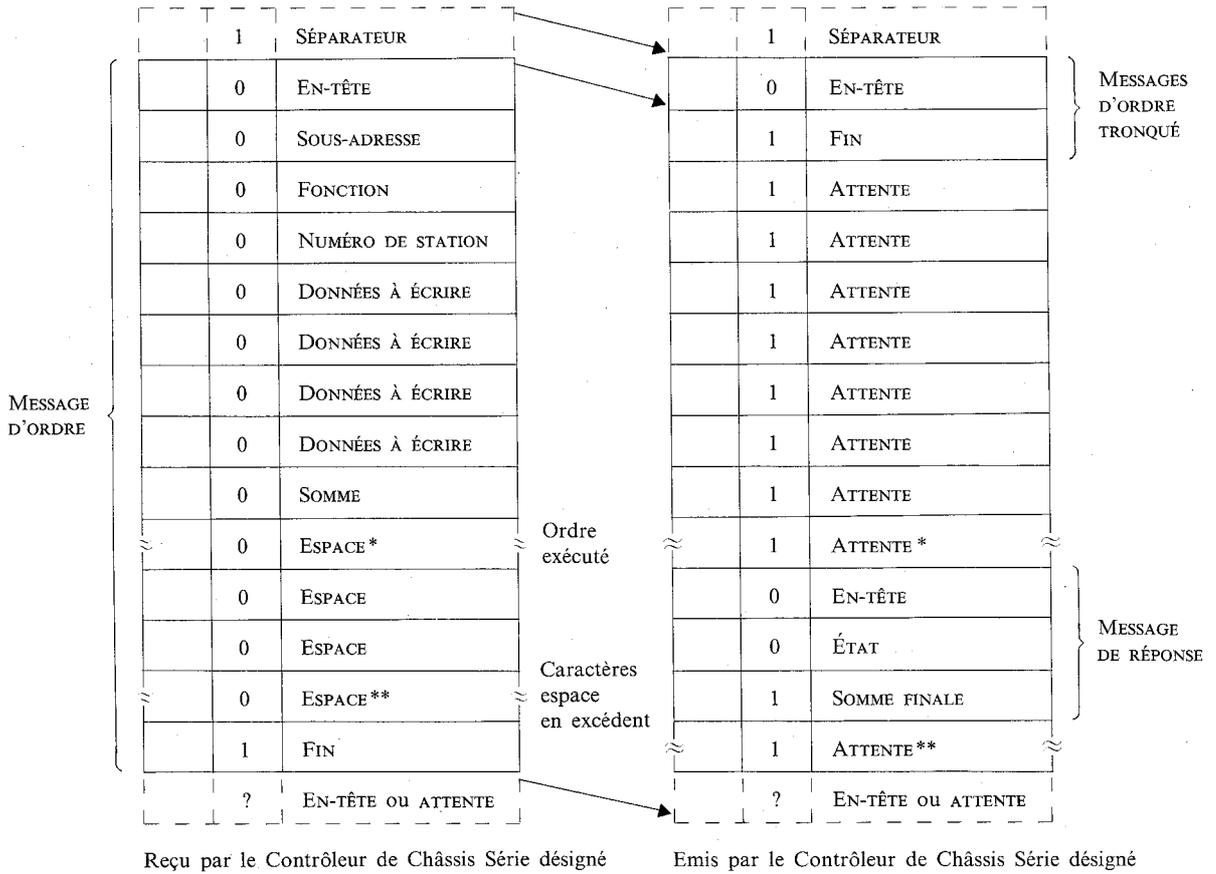
* Nombre de caractères nécessaire pour l'exécution de l'ordre — Au minimum 0.
 ** Nombre de caractères nécessaire pour les caractères ESPACE en excédent — Au minimum 0.

FIG. 16. — Séquence Ordre-Réponse: Opération de Lecture, Mode séquentiel.



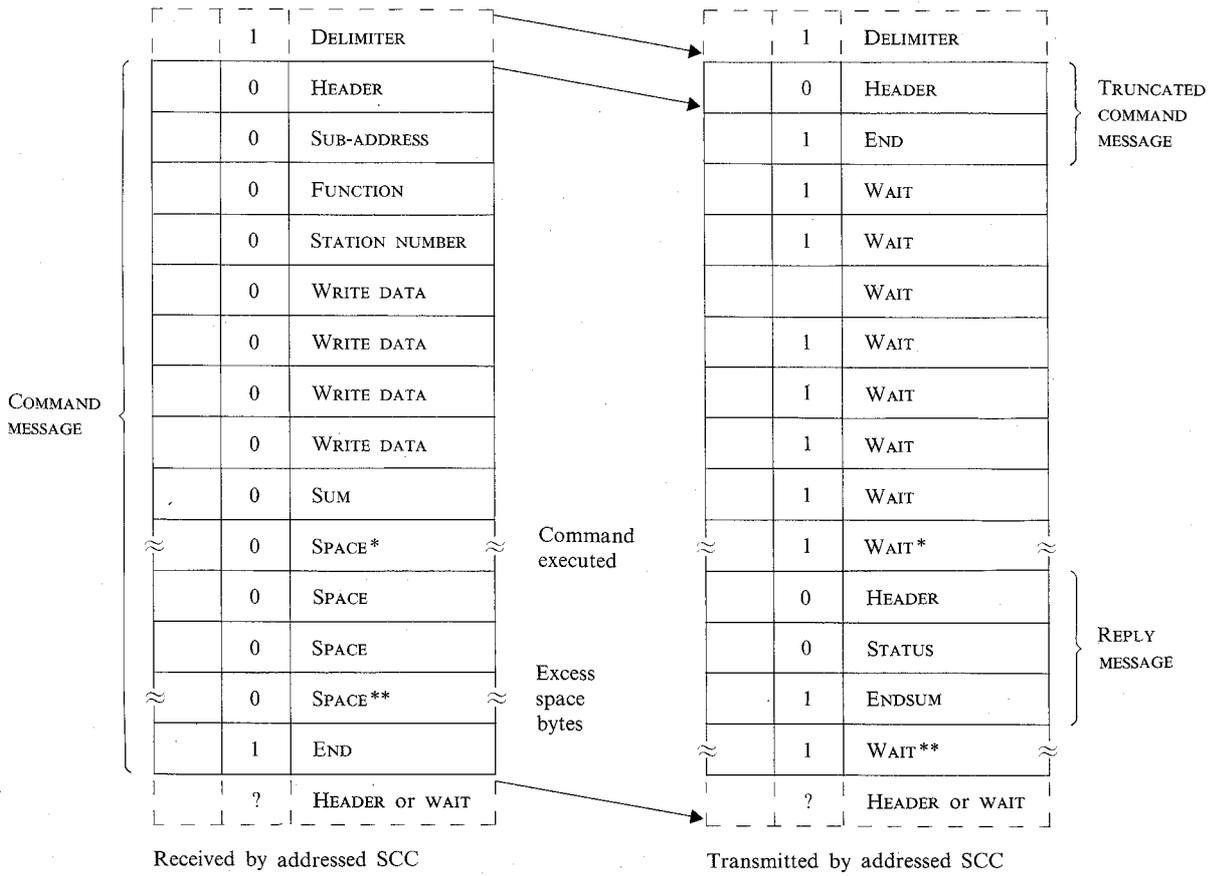
* Number of bytes as required to accommodate execution of command — Minimum number 0.
 ** Number of bytes as required to accommodate excess SPACE bytes — Minimum number 0.

FIG. 16. — Command/Reply sequence: Read operation, byte-serial mode.



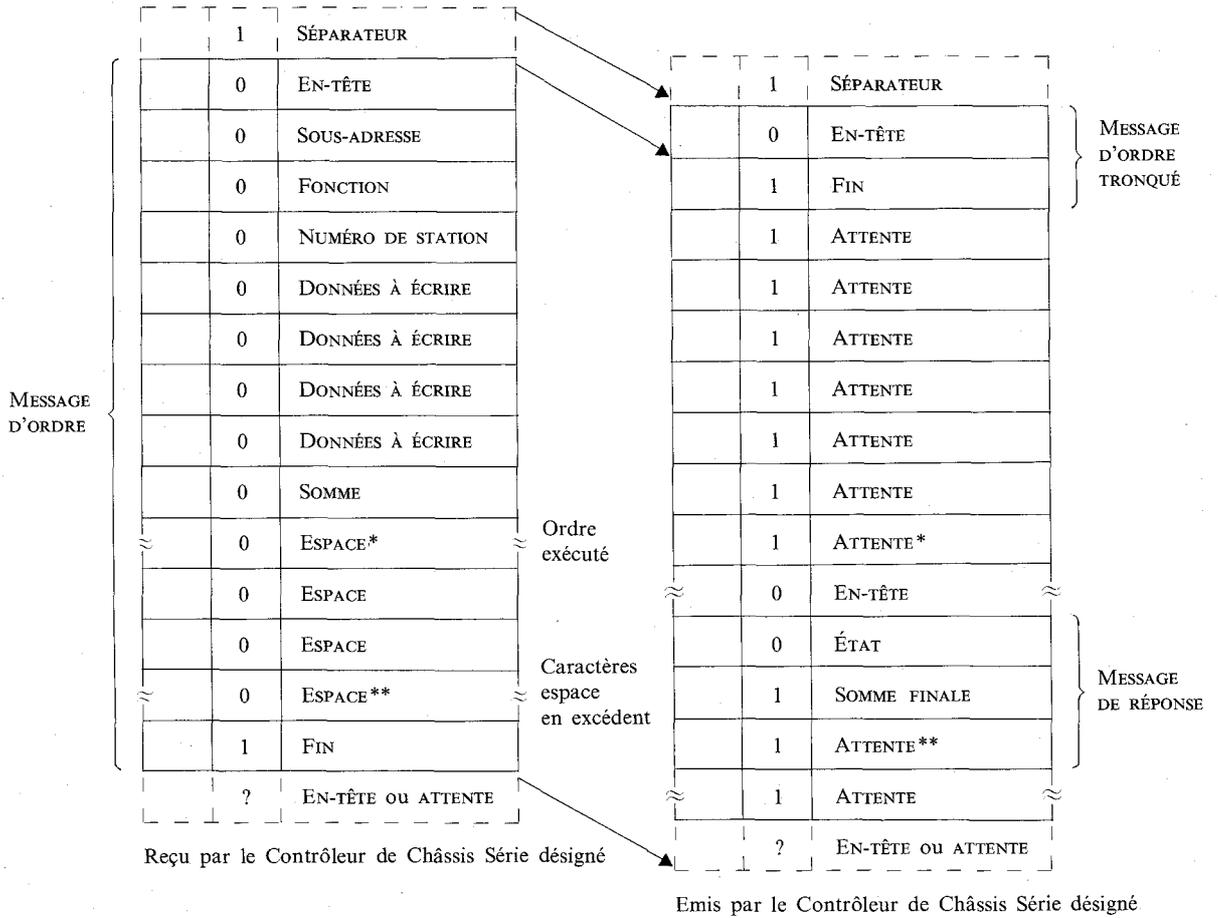
* Nombre de caractères nécessaire pour l'exécution de l'ordre — Au minimum 0.
 ** Nombre de caractères nécessaire pour les caractères ESPACE en excédent — Au minimum 0.

FIG. 17. — Séquence Ordre-Réponse: Opération d'écriture, Mode bit-série.



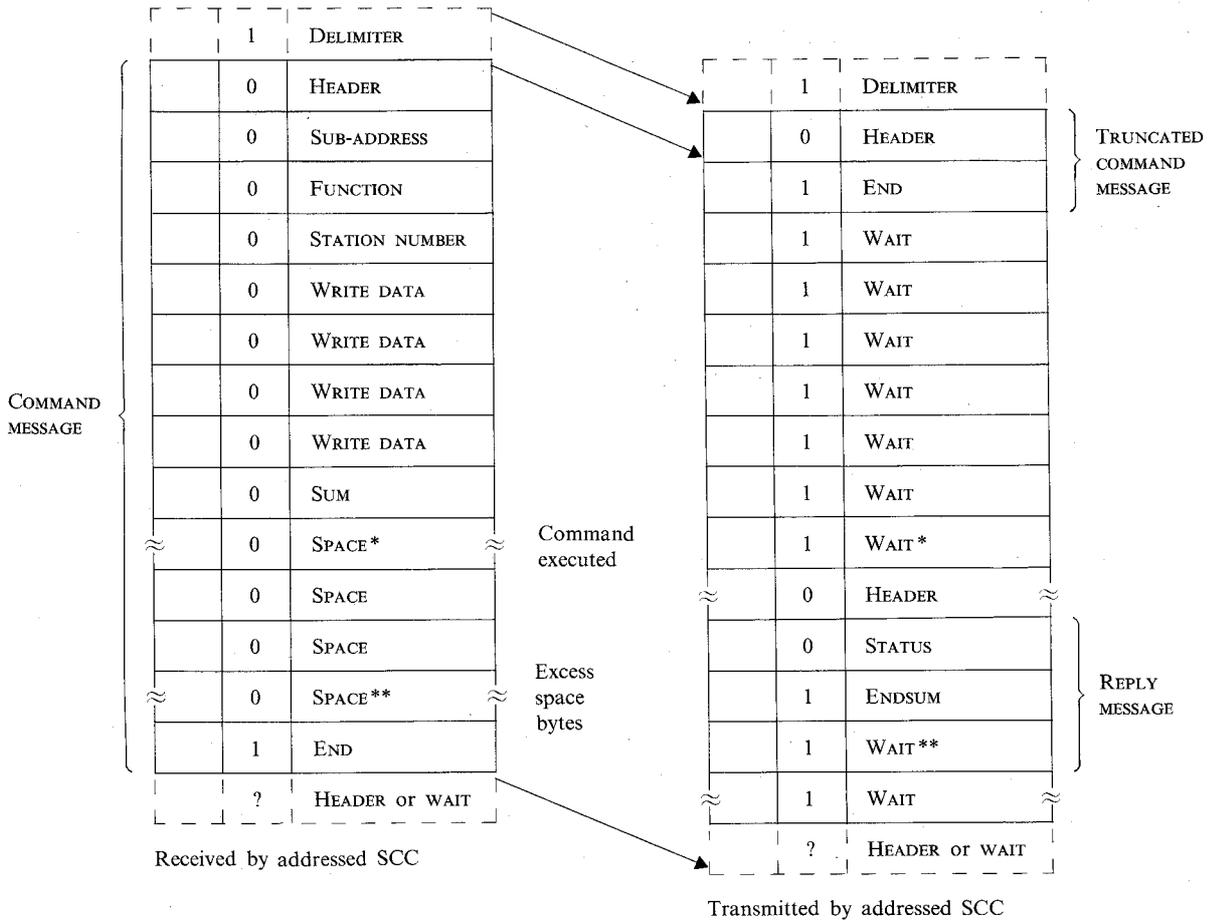
* Number of bytes as required to accommodate execution of command — Minimum number 0.
 ** Number of bytes as required to accommodate excess SPACE bytes — Minimum number 0.

FIG. 17. — Command/Reply sequence: Write operation, bit-serial mode.



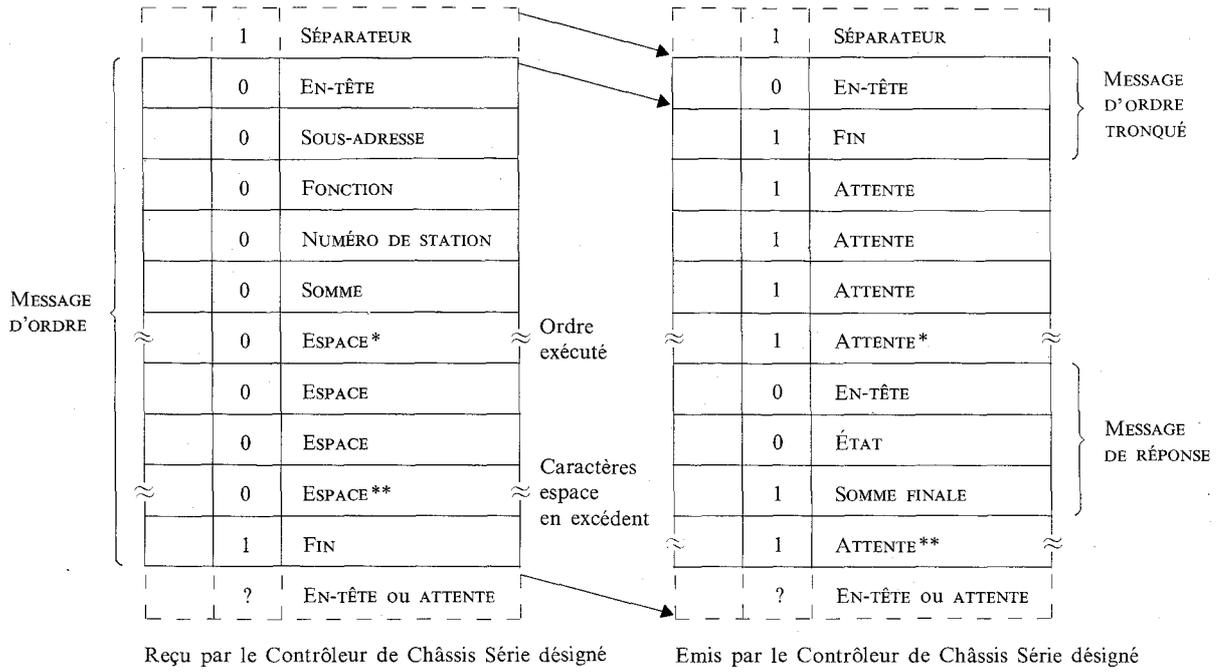
* Nombre de caractères nécessaire pour l'exécution de l'ordre — Au minimum 0.
 ** Nombre de caractères nécessaire pour les caractères ESPACE en excédent — Au minimum 0.

FIG. 18. — Séquence Ordre-Réponse: Opération d'écriture, Mode séquentiel.



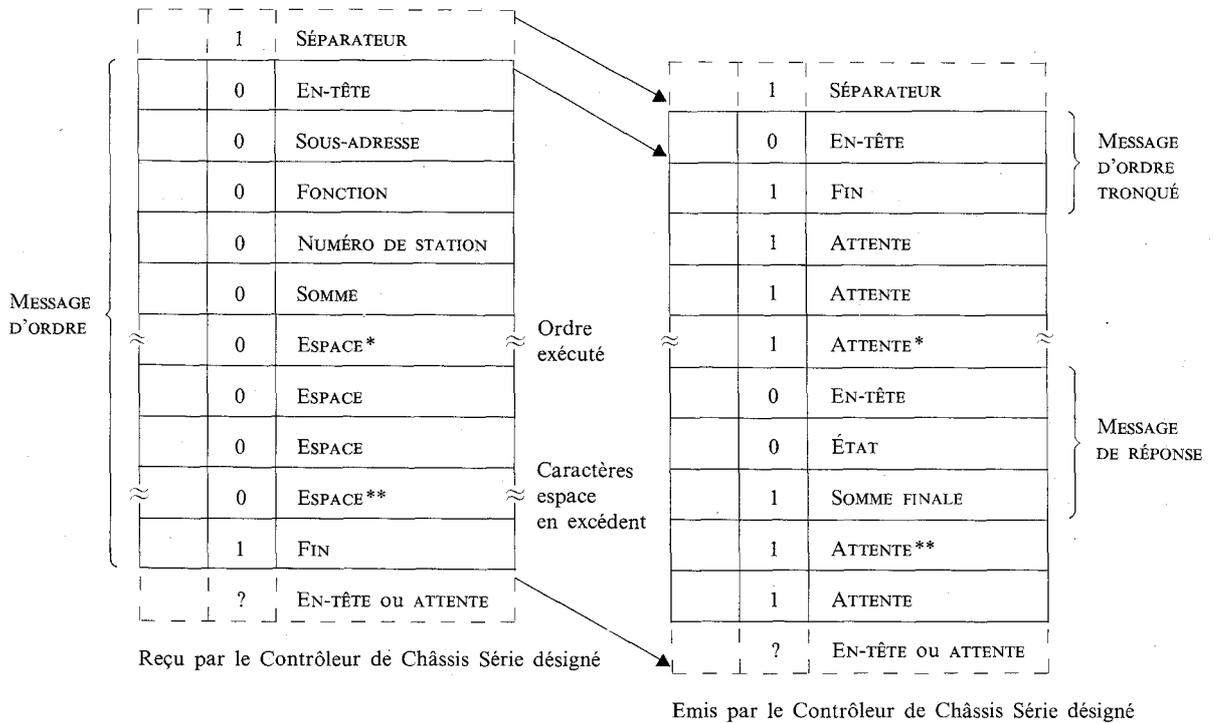
* Number of bytes as required to accommodate execution of command — Minimum number 0.
 ** Number of bytes as required to accommodate excess SPACE bytes — Minimum number 0.

FIG. 18. — Command/Reply sequence: Write operation, byte-serial mode.



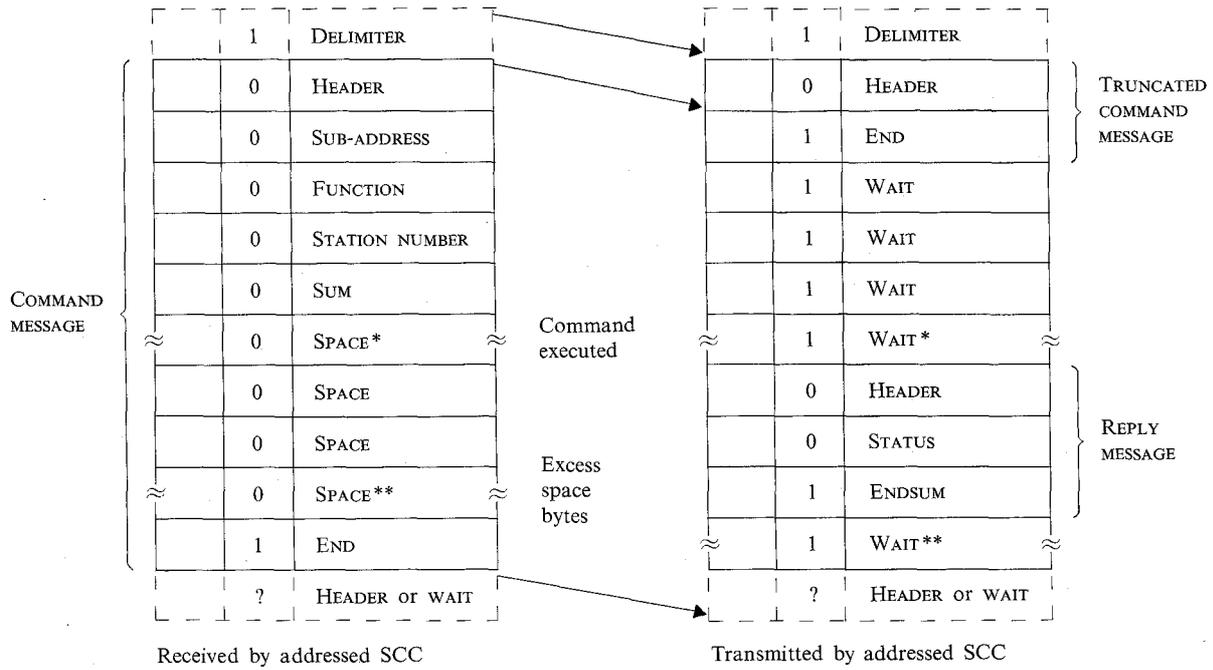
* Nombre de caractères nécessaire pour l'exécution de l'ordre — Au minimum 0.
 ** Nombre de caractères nécessaire pour les caractères ESPACE en excédent, — Au minimum 0.

FIG. 19. — Séquence Ordre-Réponse: Opération de Commande — Mode bit-série.



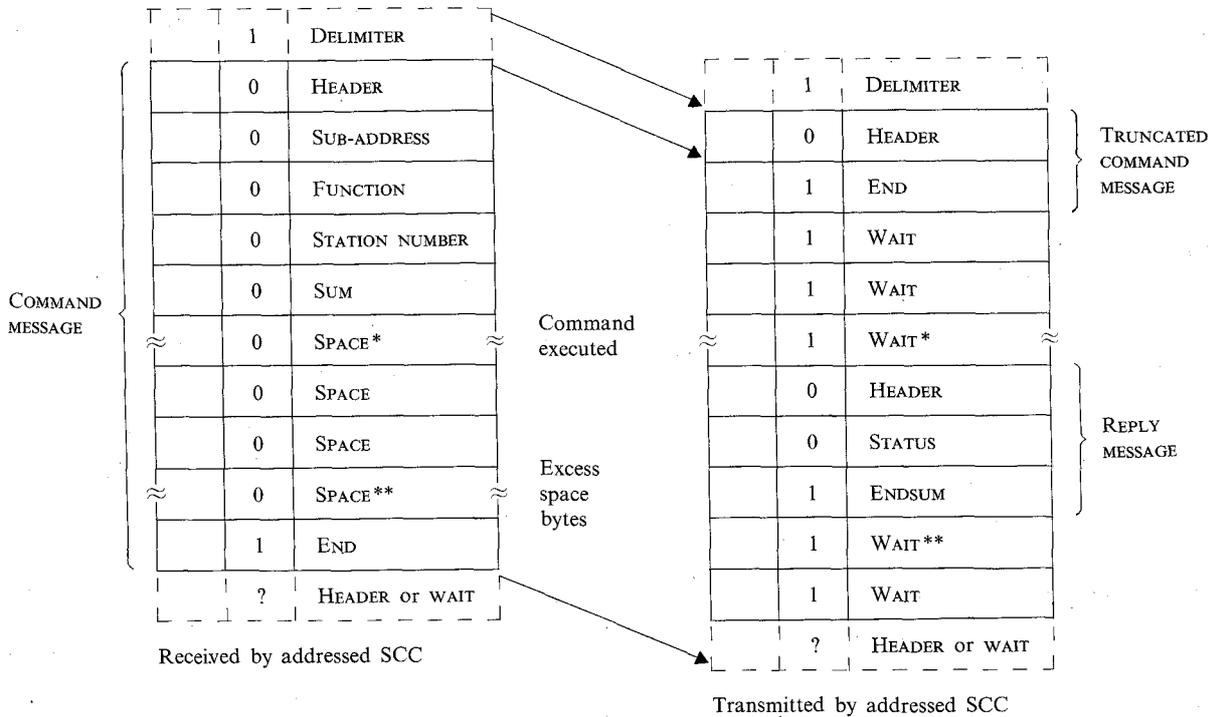
* Nombre de caractères nécessaire pour l'exécution de l'ordre — Au minimum 0.
 ** Nombre de caractères nécessaire pour les caractères ESPACE en excédent — Au minimum 0.

FIG. 20. — Séquence Ordre-Réponse: Opération de Commande — Mode séquentiel.



* Number of bytes as required to accommodate execution of command — Minimum number 0.
 ** Number of bytes as required to accommodate excess SPACE byte — Minimum number 0.

FIG. 19. — Command/Reply sequence: Control operation, bit-serial mode.



* Number of bytes as required to accommodate execution of command — Minimum number 0.
 ** Number of bytes as required to accommodate excess SPACE bytes — Minimum number 0.

FIG. 20. — Command/Reply sequence: Control operation, byte-serial mode.

SECTION CINQ — ÉLABORATION DU MESSAGE DE DEMANDE

Le format des Messages de Demande est défini à l'article 15. Tout Contrôleur de Châssis Série peut émettre un Message de Demande, habituellement en réponse à un signal-L sur l'Interconnexion de châssis, en l'intercalant entre deux messages quelconques de la séquence de messages incidents de l'Interconnexion de Branche Série.

L'élaboration du Message de Demande est commandée par des bits dans le Registre d'Etat du Contrôleur de Châssis Série (voir article 47) et par les bits SÉPARATEURS des caractères reçus par le Contrôleur de Châssis Série. Chaque caractère ayant le bit SÉPARATEUR à l'état «1» autorise le lancement de Messages de Demande et chaque caractère dont le bit SÉPARATEUR est à l'état «0» empêche le lancement de Messages de Demande. C'est pourquoi un Contrôleur de Châssis Série ne peut émettre de Message de Demande pendant la réception du Message d'Ordre qui lui est adressé, ou pendant la retransmission d'un Message d'Ordre adressé à un autre châssis ou d'un Message de Réponse ou de Demande émis par un châssis situé en amont.

Un caractère SÉPARATEUR qui permet au Contrôleur de Châssis Série de commencer à émettre un Message de Demande à 3 caractères peut être suivi par des caractères NON SÉPARATEURS d'un nouveau message incident. C'est pourquoi le Contrôleur de Châssis Série a besoin d'une Mémoire tampon de façon à pouvoir préserver les caractères incidents pendant l'émission des Messages de Demande.

Si le Contrôleur de Châssis Série désigné par un Message d'Ordre utilise la méthode préférée consistant à émettre un Message d'Ordre Tronqué (voir paragraphe 13.2), les possibilités d'élaborer un Message de Demande vers les châssis situés en amont et en aval du châssis désigné sont différentes. L'élaboration des Messages de Demande est inhibée dans les châssis amont pendant la durée complète de l'échange Ordre/Réponse depuis le caractère EN-TÊTE jusqu'au caractère FIN du Message d'Ordre. Pour les châssis en aval, l'élaboration des Messages de Demande est inhibée pendant le Message d'Ordre Tronqué à 2 caractères. Le caractère FIN de ce message et les caractères ATTENTE suivants permettent l'élaboration de Demandes dans l'intervalle entre le Message d'Ordre Tronqué et le Message de Réponse. L'élaboration des Messages de Demande est à nouveau inhibée par le caractère EN-TÊTE du message de Réponse et est autorisée par le caractère SOMME FINALE de ce message.

Une séquence caractéristique de messages comprenant des Messages de Demande est donnée à la figure 21, page 78. Dans cette figure, une demande arrive au Contrôleur de Châssis Série 1 peu après le passage du Message d'Ordre au Contrôleur de Châssis Série 2. Une demande arrive au Contrôleur de Châssis Série 2 pendant l'échange Ordre/Réponse et le Message de Demande est élaboré immédiatement après, de sorte que le Message de Demande provenant du Contrôleur de Châssis Série 2 est intercalé en avant du Message de Demande provenant du Contrôleur de Châssis Série 1 et le retarde. Un Message de Demande est élaboré par le Contrôleur de Châssis Série 3 dans l'intervalle entre le Message d'Ordre Tronqué et le Message de Réponse provenant du Contrôleur de Châssis Série 2.

24. Commande de l'Initialisation des Messages de Demande

Les conditions suivantes doivent être satisfaites avant qu'un Contrôleur de Châssis Série soit en état d'élaborer un Message de Demande:

- a) L'élaboration du Message de Demande a été mise en service par le bit approprié du registre d'Etat du Contrôleur de Châssis Série (voir paragraphe 47.1).
- b) Une demande est présente qui, ou bien est apparue depuis que le dernier Message de Demande a été émis par le Contrôleur de Châssis Série, ou bien était déjà présente quand le Contrôleur de Châssis Série a changé d'état pour la Mise en service de la Demande.

SECTION FIVE — DEMAND MESSAGE GENERATION

The format of Demand messages is defined in Clause 15. Any SCC may transmit a Demand message, typically in response to a Dataway L-signal, by interposing it between any two messages in the incoming SH message sequence.

Demand message generation is controlled by bits in the Status Register of the SCC (see Clause 47) and by the DELIMITER bits in the bytes received by the SCC. Each byte with the DELIMITER bit at logic "1" permits the initiation of Demand messages, and each byte with the DELIMITER bit at logic "0" inhibits the initiation of Demand messages. An SCC is therefore unable to generate a Demand message while it is receiving a Command message addressed to itself, or while it is retransmitting either a Command message addressed to another crate or a Reply or Demand message generated by an upstream crate.

A DELIMITER byte that allows the SCC to start generating a 3-byte Demand message may be followed by NON-DELIMITER bytes of a new incoming message. The SCC therefore needs a buffer memory, so that it can preserve incoming bytes while the Demand message is being transmitted.

If the SCC addressed by a Command message follows the preferred practice of transmitting a truncated Command message (see Sub-clause 13.2), there are differences in the opportunities available for Demand message generation at crates upstream and downstream of the addressed crate. Demand message generation is inhibited at upstream crates for the complete duration of the Command/Reply transaction, from the HEADER byte to the END byte of the Command message. At downstream crates, the generation of Demand messages is inhibited during the 2-byte truncated Command message. The END byte of this message, and the following WAIT bytes, permit Demand generation in the interval between the truncated Command message and the Reply message. Demand message generation is again inhibited by the HEADER byte of the Reply message, and is permitted by the ENDSUM byte of this message.

A typical message sequence including Demand messages is shown in Figure 21, page 79. Here a demand occurs in SCC 1 shortly after the Command message to SCC 2 has passed. A demand occurs in SCC 2 during the Command/Reply transaction, and the Demand message is generated immediately afterwards, so that the Demand message from SCC 2 is interposed ahead of the Demand message from SCC 1, and delays it. A Demand message is generated by SCC 3 in the interval between the truncated Command message and the Reply message from SCC 2.

24. Control of Demand message Initiation

The following conditions shall be satisfied before a Serial Crate Controller initiates the generation of a Demand message:

- a) Demand message generation has been enabled by the appropriate bit of the Status register of the SCC (see Sub-clause 47.1).
- b) A demand is present, which has either appeared since the last Demand message was transmitted by the SCC, or was present when the SCC changed to the Demand Enabled state.

c) Le Contrôleur de Châssis Série a la possibilité d'accepter trois caractères incidents pendant l'élaboration d'un Message de Demande (voir article 25).

d) Le caractère précédemment émis à la porte de sortie était un caractère SÉPARATEUR (voir paragraphe 17.1).

Il convient qu'un Contrôleur de Châssis Série possédant un connecteur d'Appels Codés SGL (voir article 53) interprète la condition b) comme une demande d'un état «1» du signal «INITIALISER UN MESSAGE DE DEMANDE» (IMD), la transition 0→1 ayant été produite après que le Contrôleur de Châssis Série a assemblé et émis le dernier Message de DEMANDE.

25. Mémoire tampon de retard

Un Contrôleur de Châssis Série ne peut transmettre plus de caractères qu'il n'en reçoit (voir article 35). C'est pourquoi, quand un Contrôleur de Châssis Série émet un Message de Demande à trois caractères, il doit déplacer trois caractères ATTENTE du flux de caractères passant sur l'Interconnexion de Branche Série.

Dans le cas où le flux de caractères contient trois caractères ATTENTE au moment voulu, chaque caractère du Message de Demande remplace directement un caractère ATTENTE.

Dans les autres cas, le Contrôleur de Châssis Série transmet un Message de Demande et déplace alors 3 caractères ATTENTE arrivant ultérieurement dans le flux de caractères. Entre-temps, le flux de caractères traversant le Contrôleur de Châssis Série doit être retardé d'une durée pouvant aller jusqu'à 3 caractères (voir figure 22, page 80).

Lorsqu'un Contrôleur de Châssis Série émet un Message de Demande à 3 caractères, il doit continuer à accepter les caractères venant de l'Interconnexion de Branche Série à sa porte d'entrée.

Le Message de Demande doit déplacer 3 caractères ATTENTE du flux de caractères traversant le Contrôleur de Châssis Série et tous les autres caractères doivent être transmis dans l'ordre correct après l'émission du Message de Demande.

Pour être conforme à ces prescriptions, tout Contrôleur de Châssis Série pouvant émettre des Messages de Demande à 3 caractères doit avoir la possibilité de retarder le flux de caractères de l'Interconnexion de Branche Série d'un nombre approprié de caractères. Ce retard ne doit pas être inférieur au nombre réel de caractères autres que «ATTENTE» reçus pendant l'émission du Message de Demande. Le retard doit être appliqué au flux de caractères de l'Interconnexion de Branche Série lorsque le Contrôleur de Châssis Série commence à émettre le Message de Demande et doit continuer jusqu'à ce qu'un total de 3 caractères ATTENTE aient été déplacés du flux de caractères de l'Interconnexion de Branche Série (à moins qu'une perte de synchronisme des caractères n'intervienne, voir article 42). Le retard doit être inséré et déconnecté entre les messages et en synchronisme avec le signal d'horloge-caractère.

Il est recommandé de satisfaire à cette prescription au moyen d'une Mémoire tampon à retard de trois caractères. Quand le Contrôleur de Châssis Série commence à émettre un Message de Demande, les caractères incidents sont retardés en les faisant passer dans cette Mémoire tampon. Le Contrôleur de Châssis Série de type L2 recommandé, défini à l'article A1 de l'annexe A, introduit un retard fixe de 3 caractères, sans se soucier du contenu du flux de caractères. Dans une autre réalisation autorisée, plus compliquée mais donnant un fonctionnement du système un peu meilleur, un Contrôleur de Châssis Série qui émet un Message de Demande introduit un retard de 1 caractère chaque fois qu'il reçoit un caractère autre que ATTENTE.

- c) The SCC is able to accept three incoming bytes while generating a Demand message (see Clause 25).
- d) The previous byte transmitted at the output port was a DELIMITER byte (see Sub-clause 17.1).

An SCC with an SGL-Encoder connector (see Clause 53) should interpret condition *b*) as requiring that the DEMAND MESSAGE INITIATE (DMI) signal is at logic “1”, and has changed from logic “0” to “1” since the SCC assembled and transmitted the last DEMAND message.

25. Delay buffer

An SCC is not permitted to transmit more bytes than it receives (see Clause 35). Therefore, when an SCC generates a 3-byte Demand message this has to displace three WAIT bytes from the stream of bytes passing along the SH.

If the byte stream happens to contain three WAIT bytes at the appropriate time, each byte of the Demand message directly replaces one WAIT byte.

Otherwise, the SCC transmits the Demand message and then displaces three WAIT bytes that occur later in the byte stream. In the meantime, the byte-stream passing through the SCC has to be delayed by up to three byte periods (see Figure 22, page 81).

While a Serial Crate Controller generates a 3-byte Demand message, it shall continue to accept bytes from the Serial Highway at its input port.

The Demand message shall displace three WAIT bytes from the byte stream passing through the SCC, and all other bytes shall be transmitted in the correct sequence after the Demand message has been transmitted.

In order to meet these requirements, any SCC that can generate 3-byte Demand messages shall be able to delay the SH byte-stream by an appropriate number of byte periods. This delay shall be not less than the actual number of NON-WAIT bytes received while the Demand message is being transmitted. The delay shall be applied to the SH byte stream when the SCC begins to transmit the Demand message, and shall continue until a total of three WAIT bytes have been displaced from the SH byte-stream (unless loss of byte-synchronism occurs, see Clause 42). The delay shall be switched in and out between messages, and in synchronism with the byte clock.

The recommended implementation of this requirement is a 3-byte Delay buffer. When the SCC begins to generate a Demand message, incoming bytes are delayed by being passed through this buffer. The recommended SCC Type L2 defined in Clause A1 of Appendix A, switches in a fixed delay of 3 bytes, regardless of the contents of the byte stream. In another permitted implementation, more complex but giving somewhat better system performance, an SCC that is transmitting a Demand message switches in one byte-unit of delay each time that it receives a NON-WAIT byte.

Après émission d'un Message de Demande à 3 caractères, le Contrôleur de Châssis Série continue à diriger le flux de caractères incidents vers la Mémoire tampon jusqu'au moment où il est capable de retirer 3 caractères ATTENTE du flux de caractères. La Mémoire tampon de retard est alors déconnectée du circuit des messages de l'Interconnexion de Branche Série.

Le Contrôleur de Châssis Série de type L2 recommandé, défini à l'article A1 de l'annexe A, supprime le retard fixe de 3 caractères quand la Mémoire tampon contient 3 caractères ATTENTE consécutifs (après qu'un caractère FIN ou SOMME FINALE est passé dans la Mémoire tampon). Dans une autre réalisation autorisée, plus compliquée, mais donnant un fonctionnement du système un peu meilleur, le Contrôleur de Châssis Série supprime un retard correspondant à un caractère chaque fois qu'un caractère ATTENTE est reçu (en distinguant un caractère ATTENTE véritable de tout caractère FIN précédent).

Après émission d'un Message de Demande, un Contrôleur de Châssis Série ne peut pas commencer un autre Message de Demande avant d'avoir reçu le nombre approprié de caractères ATTENTE pour lui permettre de supprimer la Mémoire tampon (voir conditions *c*) de l'article 24).

Quand un Contrôleur de Châssis Série fonctionne en mode bit-série et perd le synchronisme des caractères, le retard associé à l'élaboration d'un Message de Demande doit être retiré complètement du circuit par lequel le Contrôleur de Châssis Série retransmet le flux de caractères reçus (voir article 42).

Pour toute information complémentaire concernant les moyens de mettre en service et hors service l'élaboration des Messages de Demande et de vérifier l'état de DEMANDE, voir l'article 47.

Pour toute information concernant le codage de la partie SGL du Message de Demande et traitant des demandes non satisfaites, voir section quatorze.

26. Identification des Demandes

Le caractère EN-TÊTE du Message de Demande indique le châssis dans lequel la demande s'est produite. La partie SGL à 5 bits du second caractère du message peut être utilisée pour identifier la demande avec plus de détails, par exemple par un code indiquant, soit la station d'où provient le signal L, soit l'action demandée.

Cette information peut être complétée en utilisant l'ordre «LECTURE DE LA CONFIGURATION DES APPELS». Chaque bit du mot de donnée lu par cet ordre indique l'état de la ligne L de l'Interconnexion de châssis correspondante (voir paragraphe 44.1).

After generating a 3-byte Demand message, the SCC continues to route the incoming byte-stream through the Delay buffer until such time as it is able to remove three WAIT bytes from the byte-stream. The Delay buffer is then switched out of the SH message path.

The recommended SCC-L2, defined in Clause A1 of Appendix A, switches out the fixed delay of 3 bytes when the buffer contains three consecutive WAIT bytes (and a preceding END or ENDSUM byte has passed through the buffer). In another permitted implementation, more complex but giving somewhat better system performance, the SCC switches out one byte-unit of delay each time a WAIT byte is received (distinguishing between a genuine WAIT byte and any preceding END byte).

After an SCC has generated a Demand message, it cannot initiate another Demand message until it has received the appropriate number of WAIT bytes to allow it to switch out the Delay buffer (see condition *c*) in Clause 24).

When a Serial Crate Controller is operating in bit-serial mode and loses byte-synchronism, the delay associated with Demand message generation shall be removed completely from the path by which the SCC retransmits the received byte-stream (see Clause 42).

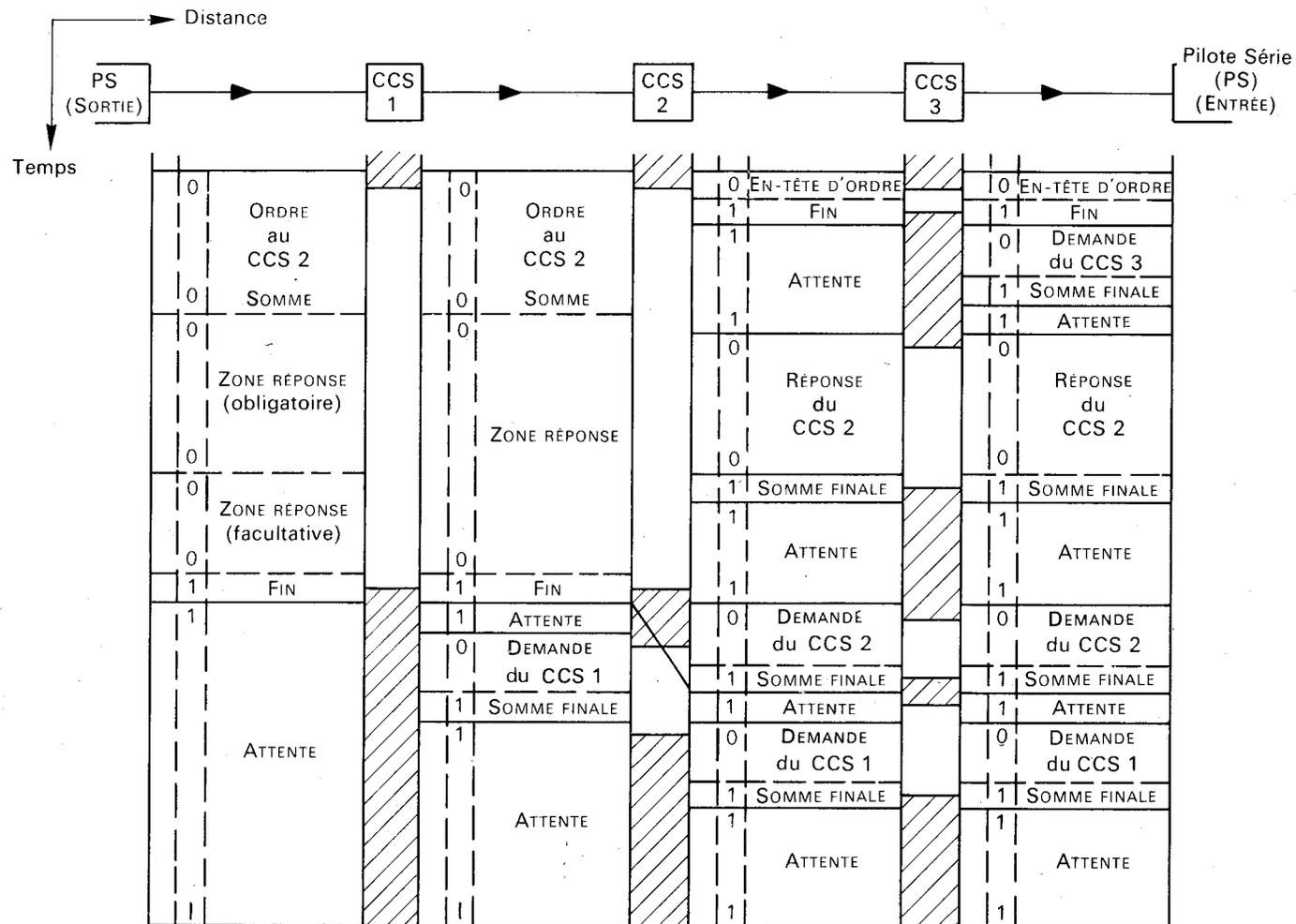
For further information concerning the means of enabling and disabling Demand message generation and of testing the Demand status, see Clause 47.

For information concerning coding the SGL-field of the Demand message and dealing with unserved demands, see Section Fourteen.

26. Identification of Demands

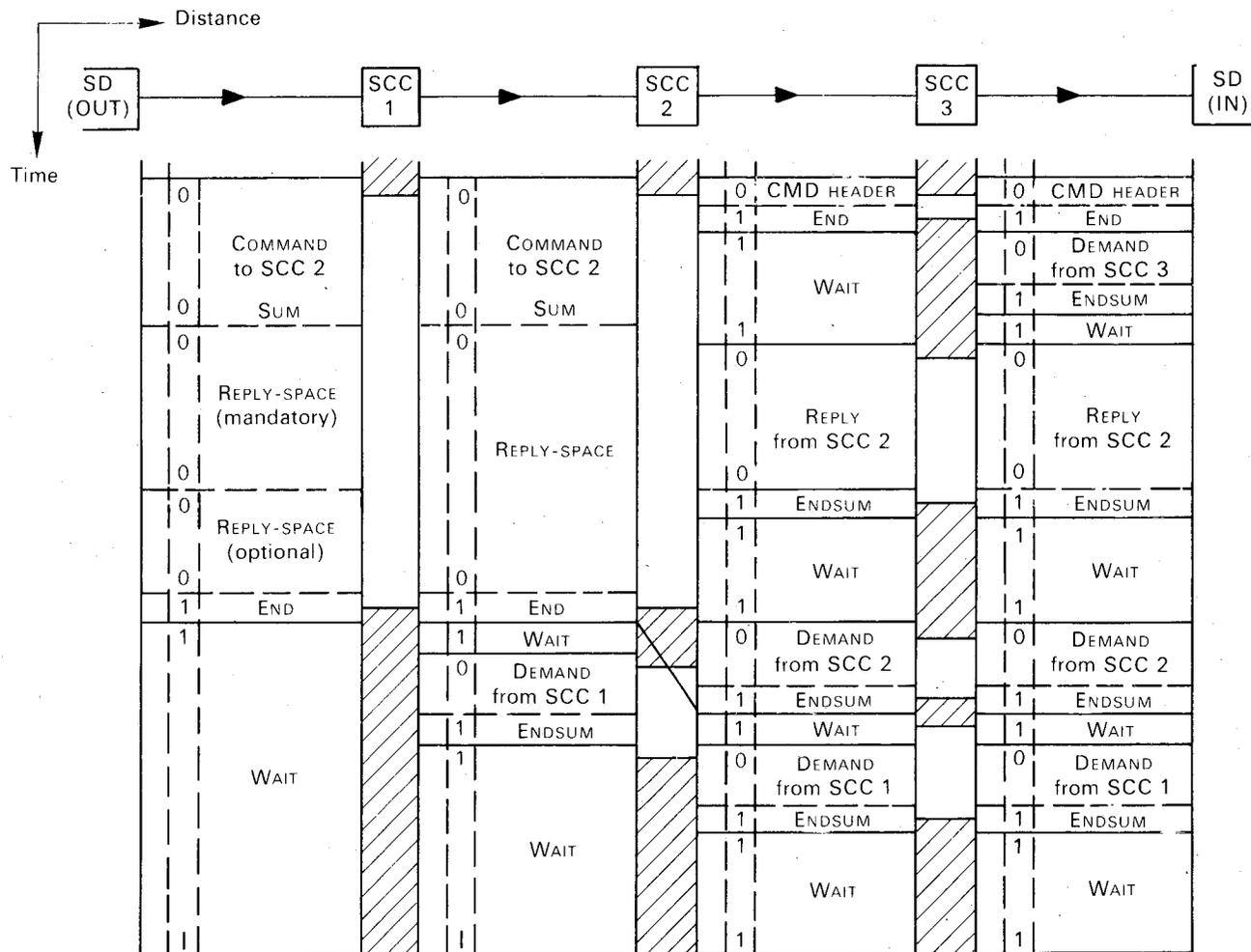
The HEADER byte of the Demand message indicates the crate in which the demand has occurred. The 5-bit SGL-field in the second byte of the message can be used to identify the demand in more detail, for example by a code indicating either the station from which the L-signal originated or the action that is required.

This information can be supplemented by using the READ LAM-PATTERN command. Each bit of the data word read by this command indicates the state of the corresponding Dataway L-line (see Sub-clause 44.1).



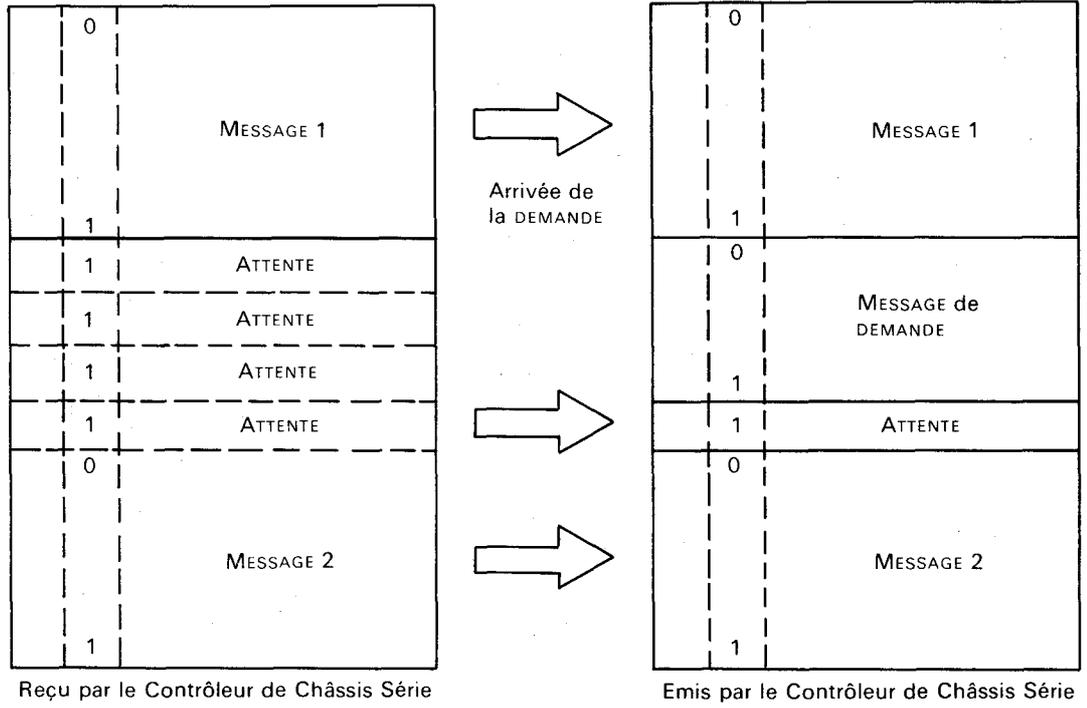
- Notes 1. — Les retards de transmission sont supposés nuls.
 2. — Les surfaces hachurées indiquent que la réponse à la demande et à l'ordre du Contrôleur de Châssis Série (CCS) est en service.
 3. — La demande du Contrôleur de Châssis Série (CCS) 1 est retardée de la durée de 3 caractères dans le Contrôleur de Châssis Série (CCS) 2.

FIG. 21. — Exemple de séquence de messages dans une boucle à trois Contrôleurs de Châssis Série (CCS), montrant les messages de demande dans trois cas (voir section cinq).

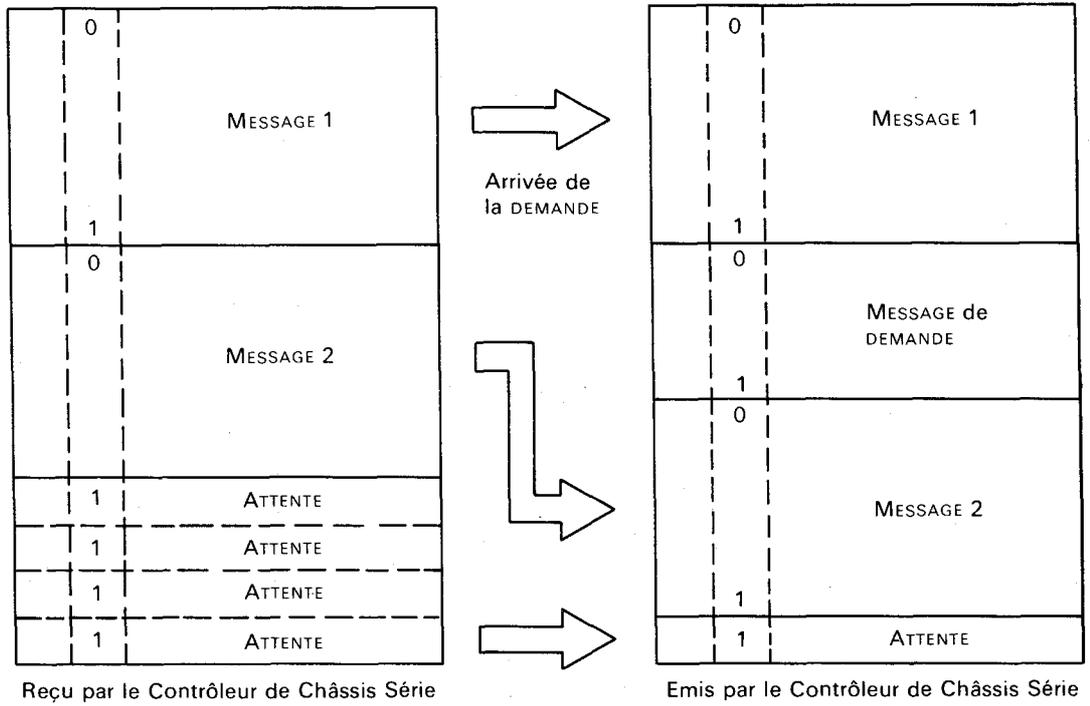


- Notes 1. — Propagation delays assumed to be zero.
 2. — Cross-hatched areas indicate SCC demand and command response enabled.
 3. — Demand from SCC 1 is delayed by 3-byte delay in SCC 2.

FIG. 21. — Example of message sequence in a loop having three SCCs, showing demand messages in three contexts (see Section Five).

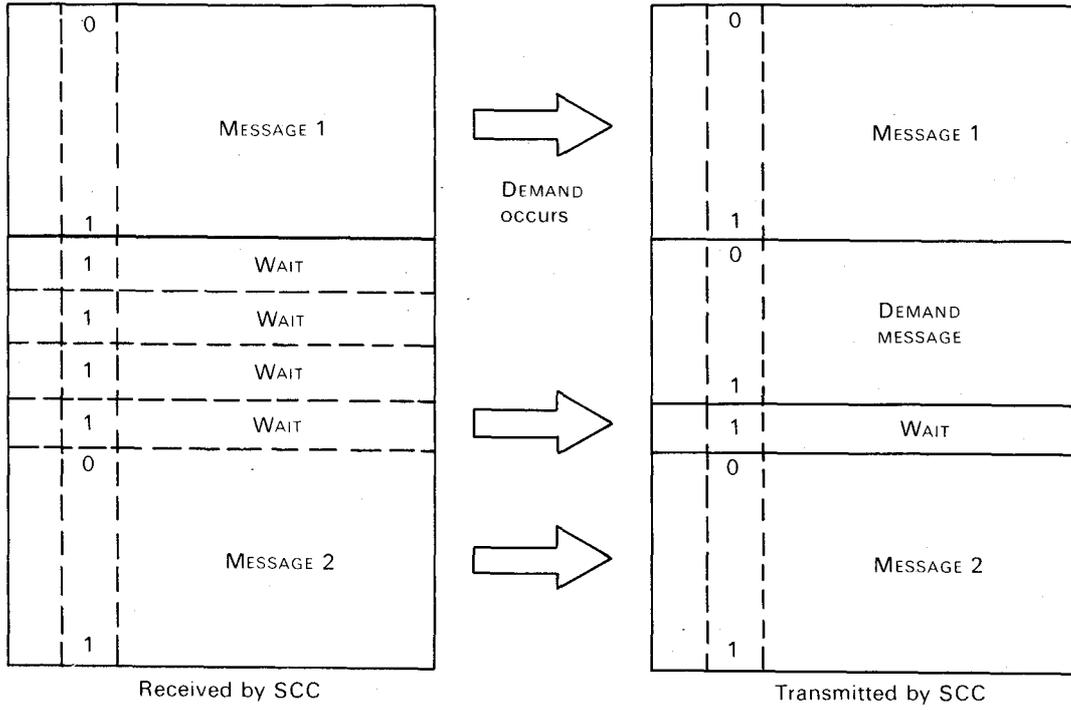


a) Le Message de Demande déplace directement les caractères ATTENTE.

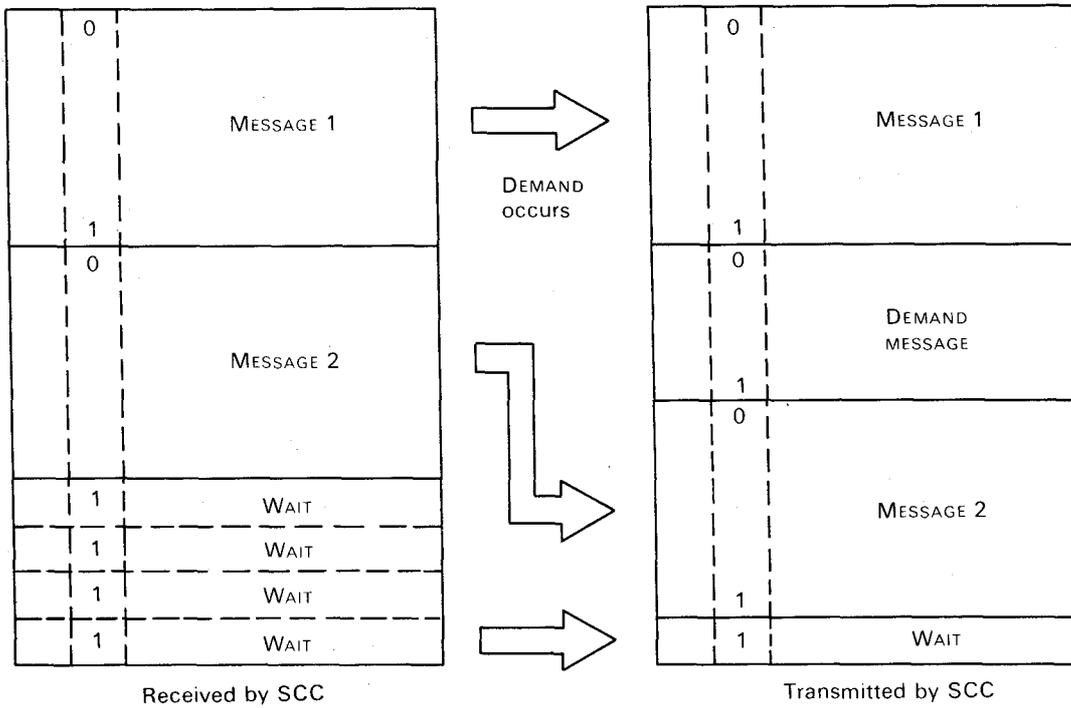


b) Le Message de Demande retarde le message incident.

FIG. 22. — Elaboration du message de demande.



a) Demand message directly displaces WAIT bytes.



b) Demand message delays incoming message.

FIG. 22. — Demand message generation.

SECTION SIX — IDENTIFICATION DU TYPE DE MESSAGE

Dans les conditions normales de fonctionnement, les messages sur l'Interconnexion de Branche Série consistent en Messages d'Ordre Complètes (avec ou sans partie DONNÉES À ÉCRIRE), en Messages d'Ordre Tronqués, en Messages de Réponse (avec ou sans partie DONNÉES LUES) et en Messages de Demande. Sous certaines conditions d'erreur, il peut également y avoir diverses formes de messages incomplets et faux dus, par exemple, à la perte de synchronisme ou à des opérations oubliées ou à la déformation de caractères ATTENTE. Cette section résume les informations disponibles dans un Contrôleur de Châssis Série ou un Pilote Série pour reconnaître ces types de messages et pour identifier le caractère contenant la partie PARITÉ LONGITUDINALE.

Les trois principales formes d'informations disponibles dans un Contrôleur de Châssis Série ou un Pilote Série sont la partie IDENTIFICATION du Message (IM), la partie FONCTION (SF) et la longueur du message. La partie IM (voir paragraphe 16.7) fournit le moyen essentiel de faire la distinction entre les Messages de Réponse, de Demande et d'Ordre Complet. La longueur du message (nombre de caractères compris entre le caractère EN-TÊTE et le premier caractère SÉPARATEUR inclus) fournit un moyen de faire la distinction entre les Messages d'Ordre Complètes et Tronqués ainsi qu'entre les Messages de Réponse avec ou sans parties Données. La partie SF du Message d'Ordre Complet permet de faire la distinction entre les Messages d'Ordre avec et sans parties DONNÉES.

Le Pilote Série peut aussi utiliser les informations concernant les types de message attendus à son entrée en réponse à des conditions diverses existant à sa sortie. Par exemple, quand aucun échange Ordre/Réponse n'est en cours, le Pilote Série s'attend à recevoir seulement des Messages de Demande. Quand des échanges Ordre/Réponse sont en cours, il attend les parties ADRESSES DE CHÂSSIS de chaque Message d'Ordre et de Réponse reçu pour les identifier à celles des Messages d'Ordre émis.

27. Message d'Ordre Complet (longueur minimale 8 caractères, $IM = 00$)

Dans les conditions normales, les Messages d'Ordre Complètes sont reçus uniquement par les Contrôleurs de Châssis Série (si le Contrôleur de Châssis Série désigné tronqué le message d'Ordre selon les recommandations du paragraphe 13.2) mais, dans certaines conditions d'erreur, des Messages d'Ordre Complètes peuvent aussi être reçus par le Pilote Série (par exemple si la partie ADRESSE DE CHÂSSIS n'est identifiée par aucun Contrôleur de Châssis Série du système).

Dans de nombreuses applications, une identification convenable des Messages d'Ordre Complètes peut être faite au niveau du Contrôleur de Châssis Série en comparant la partie Adresse de Châssis du message à l'adresse affectée au Contrôleur de Châssis Série. Si la partie Adresse de Châssis d'un message reçu correspond à l'adresse affectée au Contrôleur de Châssis Série, ce message est normalement un Message d'Ordre Complet. D'autres messages peuvent remplir cette condition de façon erronée, mais il convient finalement de les rejeter par des contrôles de parité longitudinale ou de longueur de message. Comme précaution supplémentaire, le Contrôleur de Châssis Série peut vérifier que le contenu de la partie IM du second caractère est $IM = 00$. (Le Contrôleur de Châssis Série type L2 recommandé défini à l'article A1 de l'annexe A ne vérifie pas la partie IM.)

Dans le Contrôleur de Châssis Série, la position du caractère SOMME est déterminée en se référant à la partie SF. Si $(\overline{SF\ 16} + SF\ 8) = 1$, ce qui indique un ordre de Lecture ou de Commande, ou de Contrôle, la partie PARITÉ LONGITUDINALE est dans le cinquième caractère. Si $SF\ 16 \cdot SF\ 8 = 1$, ce qui indique un ordre d'écriture, la partie PARITÉ LONGITUDINALE est dans le neuvième caractère.

SECTION SIX — IDENTIFICATION OF MESSAGE TYPE

Under normal operating conditions, the messages on the Serial Highway consist of complete Command messages (with or without WRITE-DATA field), truncated Command messages, Reply messages (with or without READ-DATA field), and Demand messages. Under error conditions there may also be various forms of incomplete and spurious messages due, for example, to loss of synchronism, or abandoned operations, or corruption of WAIT bytes. This section summarizes the information that is available to an SCC or SD in order to distinguish these types of messages, and to identify the byte containing the COLUMN-PARITY field.

The three main pieces of information available to an SCC or SD are the Message IDENTIFICATION field (MI), the FUNCTION field (SF), and the message length. The MI-field (see Sub-clause 16.7) provides the basic means of distinguishing between Reply, Demand, and complete Command messages. The message length (number of bytes from the HEADER byte to the first DELIMITER byte, inclusive) provides a means of distinguishing between complete and truncated Command messages, and between Reply messages with and without a DATA field. The SF-field of the complete Command message distinguishes between Command messages with and without a data field.

The SD may also use information about the types of messages that are expected at its input in response to various conditions existing at its output. For example, when no Command/Reply transaction is in progress, the SD expects to receive only Demand messages. When Command/Reply transactions are in progress, it expects the CRATE ADDRESS fields of any received Command and Reply messages to match those of the transmitted Command messages.

27. Complete Command message (Minimum length 8 bytes, MI = 00)

Under normal conditions, complete Command messages are received only by SCCs (if the addressed SCC truncates the Command message as recommended in Sub-clause 13.2), but under error conditions complete Command messages may also be received by the SD (for example, if the CRATE ADDRESS field is not recognized by any SCC in the system).

For most purposes, an adequate identification of complete Command messages can be made at the SCC by comparing the Crate Address field of the message with the assigned address of the SCC. If the Crate Address field of a received message matches the assigned address of the SCC, then this message is normally a complete Command message. Other messages might erroneously satisfy this condition, but should ultimately be rejected by tests on the column-parity field or message length. As an additional precaution, the SCC may check that the content of the MI field in the second byte is MI = 00. (The recommended SCC-L2 defined in Clause A1 of Appendix A does not check the MI-field.)

At the SCC, the location of the SUM byte is determined by reference to the SF-field. If $(SF\ 16 + SF\ 8) = 1$, indicating a Read or Control command, then the COLUMN-PARITY field is in the fifth byte. If $SF\ 16 \cdot SF\ 8 = 1$, indicating a Write command, then the COLUMN-PARITY field is in the ninth byte.

Dans le Pilote Série, ce message peut être différencié d'un Message d'Ordre Tronqué par sa longueur (plus de 2 caractères) et de tous les autres messages authentiques par sa partie IM. La partie PARITÉ LONGITUDINALE d'un Message d'Ordre non tronqué ne relève généralement pas du Pilote Série, mais pourrait être identifiée en se référant à la partie SF.

28. **Message d'Ordre Tronqué** (longueur 2 caractères; pas de IM)

Normalement un Contrôleur de Châssis Série ne peut pas recevoir un Message d'Ordre Tronqué qui lui est adressé. Si cela arrive par erreur, la longueur du message permettra au Contrôleur de Châssis Série de le rejeter (SÉPARATEUR dans le 2e caractère).

Dans le Pilote Série, ce message peut seulement être identifié par sa longueur. Cette identification peut être confirmée en comparant les parties ADRESSE DE CHÂSSIS dans le message reçu et dans le Message d'Ordre émis. Il n'y a pas de partie PARITÉ LONGITUDINALE dans le Message d'Ordre Tronqué.

29. **Message de Réponse** (longueur 3 ou 7 caractères; IM = 01)

Un Contrôleur de Châssis Série ne peut pas normalement recevoir un Message de Réponse dont la partie Adresse de Châssis correspond à l'adresse affectée au Contrôleur de Châssis Série. Si cela arrive par erreur, le Contrôleur de Châssis Série le traitera comme un Message d'Ordre et le rejettera finalement en raison de la partie PARITÉ LONGITUDINALE, de la longueur du message ou (si le contrôle est effectué) de la partie IM.

Dans le Pilote Série, un Message de Réponse sans partie Données lues a la même longueur qu'un Message de Demande dont il ne peut être distingué que par la partie IM; les Messages de Réponse avec et sans parties DONNÉES peuvent seulement être différenciés par leur longueur. Le caractère SOMME FINALE contenant la partie PARITÉ LONGITUDINALE ne peut donc être identifié que par le fait que c'est le premier caractère SÉPARATEUR du message.

30. **Message de Demande** (longueur 3 caractères; IM = 1—)

Un Contrôleur de Châssis Série ne peut pas normalement recevoir un Message de Demande dont la partie ADRESSE DE CHÂSSIS correspond à l'adresse affectée au Contrôleur de Châssis Série. Si cela arrive par erreur, le Contrôleur de Châssis Série le traitera comme un Message d'Ordre et le rejettera finalement en raison de la partie PARITÉ LONGITUDINALE, de la longueur du message ou (si le contrôle est effectué) de la partie IM.

Dans le Pilote Série, un Message de Demande peut être identifié par la partie IM. Il a la même longueur de message qu'un Message de Réponse sans partie DONNÉES. Le caractère SOMME FINALE contenant la partie PARITÉ LONGITUDINALE peut être identifié comme le premier caractère SÉPARATEUR ou comme le troisième caractère du message.

SECTION SEPT — PORTES D DE L'INTERCONNEXION DE BRANCHE SÉRIE

Tous les Contrôleurs de Châssis Série et les Pilotes Série doivent avoir des connecteurs de portes D à l'entrée et à la sortie et doivent fonctionner par ces connecteurs, soit en mode bit-série, soit en mode séquentiel, soit dans les deux modes.

Tout Contrôleur de Châssis Série qui fonctionne à la fois en mode bit-série et en mode séquentiel doit comporter un moyen de choisir le mode désiré.

At the SD, this message may be distinguished from a truncated Command message by its length (more than 2 bytes), and from all other genuine messages by its MI-field. The COLUMN-PARITY field of an untruncated Command message is generally irrelevant at the SD, but could be identified by reference to the SF-field.

28. **Truncated Command message** (Length 2 bytes; MI none)

An SCC cannot legitimately receive a truncated Command message addressed to itself. If this occurs erroneously, the message length will cause the SCC to reject the message (DELIMITER in 2nd byte).

At the SD this message can be distinguished only by its length. This identification may be supported by comparing the CRATE ADDRESS fields in the received message and the transmitted Command message. There is no COLUMN-PARITY field in the truncated Command message.

29. **Reply message** (Length, 3 or 7 bytes; MI = 01)

An SCC cannot legitimately receive a Reply message whose Crate Address field matches the assigned address of the SCC. If this occurs erroneously, the SCC will treat it as a Command message and ultimately reject it as a result of the COLUMN-PARITY field, message length, or (if the test is implemented) the MI-field.

At the SD, a Reply message without Read data field has the same length as a Demand message, from which it can be distinguished only by the MI field. Reply messages with and without Read data fields can be distinguished only by their message length. The ENDSUM byte containing the COLUMN-PARITY field can therefore be identified only by the fact that it is the first DELIMITER byte in the message.

30. **Demand message** (Length, 3 bytes; MI = 1—)

An SCC cannot legitimately receive a Demand message whose CRATE ADDRESS field matches the assigned address of the SCC. If this occurs erroneously the SCC will treat it as a Command message, and ultimately reject it as a result of the COLUMN-PARITY field, message length, or (if this test is implemented) the MI-field.

At the SD a Demand message can be distinguished by the MI-field. It has the same message length as a Reply message without data field. The ENDSUM byte containing the COLUMN-PARITY field can be identified as the first DELIMITER byte or as the third byte of the message.

SECTION SEVEN — SERIAL HIGHWAY D-PORTS

All Serial Crate Controllers and Serial Drivers shall have input and output D-port connectors, and shall implement via these connectors either the bit-serial mode, or the byte-serial mode, or both modes.

Any SCC that implements both bit-serial and byte-serial mode shall include a means of selecting the required mode.

Ce choix du mode peut être fait de façon interne. Il ne doit pas être accessible sur le panneau avant du Contrôleur de Châssis Série et n'y est pas nécessairement repéré.

Un Contrôleur de Châssis Série ou un Pilote Série peut également avoir des portes supplémentaires conformes à d'autres normes (portes U) à moins que celles-ci ne soient spécifiquement exclues comme dans le cas du Contrôleur de Châssis Série type L2 recommandé.

Les connecteurs de portes D véhiculent les signaux de données et d'horloge sur des paires de fils distincts, utilisant des signaux de NON-RETOUR-À-ZÉRO (NRZ). Ils acheminent également des signaux de commande pour les dispositifs externes de By-Pass et de Raccourcissement de Boucle (voir article 59).

31. Connecteurs de portes D

31.1 Prescriptions mécaniques

Tous les connecteurs de portes D d'entrée doivent être du type 130-XX CEI-325M à 25 contacts mâles, à embase fixe¹⁾. Tous les connecteurs de portes D de sortie doivent être du type 130-XX CEI-325F à 25 contacts femelles, à embase fixe¹⁾.

Les connecteurs de portes D doivent avoir, pour les embases fixes, des verrouillages²⁾.

Le montage des connecteurs des portes D sur le panneau avant du Contrôleur de Châssis Série est indiqué à l'article 51.

31.2 Affectation des contacts

Les contacts des connecteurs de portes D doivent être affectés comme indiqué dans le tableau III.

Les contacts 22 et 23 sont utilisés pour le signal d'horloge-bit dans le mode bit-série et pour le signal d'horloge-caractère dans le mode séquentiel.

Les contacts 4 et 5 sont utilisés pour le flux de bits-série dans le mode bit-série et pour le bit le moins significatif du caractère dans le mode séquentiel.

Sept paires de contacts, depuis les contacts 6 et 7 jusqu'aux contacts 18 et 19, sont utilisés dans le mode séquentiel seulement pour les bits 2 à 8 des caractères.

Le contact 24 de la porte D d'entrée est relié au contact correspondant de la porte D de sortie et aussi à la source de signaux de commande de By-Pass à l'intérieur du Contrôleur de Châssis Série.

Le contact 25 de la porte D de sortie est relié à la source de signaux de commande de Raccourcissement de Boucle à l'intérieur du Contrôleur de Châssis Série. Le contact 25 de la porte D d'entrée est réservé pour utilisation d'un troisième signal de commande si cela est nécessaire dans des cas particuliers.

Les contacts 2 et 3 sont affectés comme Bus 1 et les contacts 20 et 21 comme Bus 2. Ces contacts sur le connecteur de la porte D d'entrée du Contrôleur de Châssis Série sont reliés directement aux contacts correspondants du connecteur de la porte D de sortie. Les Bus 1 et Bus 2 sont des connexions à Utilisation libre sans usage défini ni direction de transfert du signal.

¹⁾ Voir la publication 130-XX de la CEI, non encore parue lors de l'impression de cette norme. Prière de se référer en attendant au document 48B(Bureau Central)106.

²⁾ Les normes IEEE 595-1976 et EUR 6100e indiquent des verrouillages qui conviennent.

This mode-selection may be made internally. It shall not be accessible (and need not be indicated) at the front panel of the SCC.

An SCC or SD may also have additional ports to other standards (U-ports), unless these are specifically excluded, as in the case of the recommended SCC Type L2.

The D-port connectors carry data and clock signals on separate wire-pairs, using NON-RETURN-TO-ZERO-LEVEL (NRZL) signals. They also carry control signal outputs for external Bypass and Loop Collapse devices (see Clause 59).

31. D-port connectors

31.1 *Mechanical requirements*

All D-port input connectors shall be 25-way IEC Type 130-XX IEC-325M fixed members with 25 pins¹⁾. All D-port output connectors shall be 25-way IEC Type 130-XX IEC-325F fixed members with sockets¹⁾.

The D-port connectors shall have screw-lock retainers (fixed members)²⁾.

The arrangement of D-port connectors on the front panel of SCC is defined in Clause 51.

31.2 *Contact assignments*

The contacts of the D-port connectors shall be assigned as shown in Table III.

Contacts 22 and 23 are used for the bit-clock in bit-serial mode, and for the byte-clock in byte-serial mode.

Contacts 4 and 5 are used for the serial bit-stream in bit-serial mode, and for the least-significant bit of the byte in byte-serial mode.

Seven pairs of contacts, from contacts 6 and 7 to contacts 18 and 19, are used in byte-serial mode only for Bits 2 to 8 of the byte.

Contact 24 of the D-input port is connected to the corresponding contact of the D-output port, and also to the Bypass Control signal source within SCC.

Contact 25 of the D-output port is connected to the Loop Collapse Control signal source within SCC. Contact 25 of the D-input port is reserved for use with a third control signal, if this is required in special cases.

Contacts 2 and 3 are assigned as Bus 1, and contacts 20 and 21 as Bus 2. These contacts on the D-input connector of SCC are linked directly to the corresponding contacts on the D-output connector. Bus 1 and Bus 2 are Free-use connections, with no defined use or direction of signal transfer.

¹⁾ See IEC publication 130-XX, not yet published at the time of printing. In the meantime, please refer to Document 48B(Central Office)106.

²⁾ Suitable retainers are referred to in IEEE Standard 595-1976 and in EUR 6100e.

Comme exemple d'utilisation des Bus 1 et 2, la figure 23, page 92 représente un montage dans lequel un Contrôleur de Châssis Série fonctionnant en mode bit-série peut être relié à l'Interconnexion de Branche Série par un seul ensemble de câbles à 25 conducteurs connectés à la porte D de sortie. Le Bus 1 et le Bus 2 sont utilisés pour apporter au Contrôleur de Châssis Série les signaux de données en bit-série et les signaux d'horloge-bit. Des connexions croisées de retour à la porte D d'entrée du Contrôleur de Châssis Série relient alors le Bus 1 à l'entrée des données et le Bus 2 à l'entrée du signal d'horloge. Le circuit vers le Pilote Série est bouclé de la manière habituelle à partir de la porte D de sortie.

32. Signaux de Données et d'Horloge

Note. — Les normes pour les signaux de données et d'horloge aux portes D sont basées sur la norme RS-422 de l'E.I.A.¹⁾. Cette norme est étroitement apparentée à la Recommandation V.11 du C.C.I.T.T. (Comité Consultatif International des Télégraphes et Téléphones): Caractéristiques électriques des circuits de jonction symétriques en double courant pour application générale aux équipements à circuits intégrés dans le domaine de transmissions de données²⁾.

32.1 Lignes de transmission

Toutes les portes D émettent ou reçoivent des signaux de données et d'horloge au moyen de lignes de transmission à deux conducteurs, bouclées au moins à l'extrémité réceptrice. Il est recommandé que chaque ligne de transmission soit du type symétrique (paire torsadée, par exemple). L'impédance nominale caractéristique recommandée est 100 Ω (pour les limitations de longueur de ligne, voir la Recommandation V.11 du C.C.I.T.T.).

L'un des conducteurs de chaque ligne de transmission est désigné par «SIGNAL» (correspondant à la borne A de la Recommandation V.11 du C.C.I.T.T. et occupe un contact de numéro pair aux portes D. L'autre conducteur est désigné par «SIGNAL» (correspondant à la borne B) et occupe un contact de numéro impair.

32.2 Etats logiques

Pour tous les signaux de données et d'horloge émis et reçus par l'intermédiaire des portes D, le niveau de tension du conducteur SIGNAL par rapport au conducteur SIGNAL doit être négatif dans l'état «1» et positif dans l'état «0».

32.3 Emetteur de signaux symétriques

L'émetteur de signaux symétriques doit être conforme à la spécification du générateur de la Recommandation V.11 du C.C.I.T.T.

Les caractéristiques de cet émetteur sont résumées dans le tableau IV pour faciliter la référence. Un exemple d'émetteur de signaux symétriques est donné dans la figure 24, page 92.

32.4 Récepteur de signaux symétriques

Le récepteur de signaux symétriques doit être conforme aux spécifications du récepteur de la Recommandation V.11 du C.C.I.T.T. et doit comporter une résistance d'adaptation du câble.

Les caractéristiques de ce récepteur sont résumées dans le tableau V pour faciliter la référence. Un exemple de récepteur de signaux symétriques est donné à la figure 25, page 94.

¹⁾ Electronic Industries Association (2001 Eye Street, Washington DC 20006, U.S.A.). Standard RS-422: Electrical Characteristics of Balanced Voltage Digital Interface Circuits, avril 1975.

²⁾ *Livre orange*, Genève 1977, tome VIII.1, p.38. Anciennement Projet de Recommandation X.27.

As an example of the use of Bus 1 and Bus 2, Figure 23, page 93, shows an arrangement by which an SCC operating in bit-serial mode can be linked to the SH by only one 25-way cable assembly, connected to the D-output port. Bus 1 and Bus 2 are used to bring the bit-serial data and bit-clock signals to the SCC. Turn-around cross-connections at the D-input port of the SCC then link Bus 1 to the data input and Bus 2 to the clock signal input. The loop to the SD is completed in the usual way from the D-output port.

32. Data and clock signals

Note.— The standards for data and clock signals at D-ports are based on Standard RS-422 of the Electronic Industries Association¹⁾. This standard is closely related to C.C.I.T.T. Recommendation V.11: Electrical Characteristics for Balanced Double-Current Interchange Circuits for General Use with Integrated Circuit Equipment in the Field of Data Communications²⁾.

32.1 Transmission lines

All D-ports transmit or receive data and clock signals over two-conductor transmission lines, terminated at least at the receiving end. Each transmission line should be of balanced construction, such as a twisted pair. The nominal characteristic impedance should be 100 Ω. (For conservative line-length limitations, see C.C.I.T.T. Recommendation V.11.)

One conductor of each transmission line is designated "SIGNAL" (corresponding to Terminal A in C.C.I.T.T. Recommendation V.11); and occupies an even-numbered contact at D-ports. The other conductor is designated "SIGNAL" (corresponding to Terminal B), and occupies an odd-numbered contact.

32.2 Logic states

For all data and clock signals transmitted and received through D-ports, the voltage level of the SIGNAL conductor with respect to the SIGNAL conductor shall be negative in the logic "1" state and positive in the logic "0" state.

32.3 Balanced transmitter

The balanced transmitter shall conform to the specification of the generator in C.C.I.T.T. Recommendation V.11.

The characteristics of this transmitter are summarized for easy reference in Table IV. An example of a balanced transmitter is given in Figure 24, page 93.

32.4 Balanced receiver

The balanced receiver shall conform to the specification of the receiver in C.C.I.T.T. Recommendation V.11 and shall include a cable termination resistance.

The characteristics of this receiver are summarized for easy reference in Table V. An example of a balanced receiver is given in Figure 25, page 95.

¹⁾ Electronic Industries Association (2001 Eye Street, Washington DC 20006, U.S.A.) Standard RS-422. Electrical Characteristics of Balanced Voltage Digital Interface Circuits, April 1975.

²⁾ Orange Book, Geneva 1977, vol. VIII. 1, p. 38. Formerly: Provisional Recommendation X.27.

33. Signaux de Commande

Les portes D d'entrée et de sortie véhiculent des signaux pour commander un dispositif de By-pass extérieur (voir paragraphe 59.1) et la porte D de sortie véhicule un signal pour commander un dispositif extérieur de Raccourcissement de Boucle (voir paragraphe 59.2). Un contact de la porte D d'entrée est réservé pour un troisième signal de commande, si nécessaire. Ces signaux conviennent pour actionner des relais électromécaniques dans des dispositifs extérieurs et permettent au dispositif extérieur d'assurer un état approprié de sécurité de fonctionnement en cas de défaillance de la source d'alimentation du Contrôleur de Châssis Série ou du dispositif extérieur.

Chaque signal de commande occupe un seul contact à la porte D. Les signaux partagent la connexion de retour à la masse du circuit.

33.1 Norme de signaux

Les émetteurs et récepteurs des signaux de commande de By-pass et de Raccourcissement de Boucle doivent être conformes aux normes de signaux du tableau VI.

33.2 Emetteurs et récepteurs de signaux de commande

Des exemples de circuits pour l'émission des signaux de commande de By-pass et de Raccourcissement de Boucle dans le Contrôleur de Châssis Série et pour leur réception dans les dispositifs extérieurs sont indiqués dans la figure 26, page 96.

Les circuits pour les signaux de commande de By-pass et de Raccourcissement de Boucle sont différents en raison des prescriptions faites aux dispositifs externes d'assurer respectivement les états de By-pass et de Non-raccourcissement s'il se produit un défaut d'alimentation dans le Contrôleur de Châssis Série ou le dispositif extérieur.

Si le dispositif commandé présente une charge inductive, il doit comprendre des dispositifs de suppression des transitoires pour empêcher la tension des lignes de commande de dépasser les limites du domaine de -5 V à $+30\text{ V}$.

33. Control signals

The D-input and D-output ports carry signals for controlling an external Bypass Device (see Sub-clause 59.1), and the D-output port carries a signal for controlling an external Loop Collapse device (see Sub-clause 59.2). A contact at the D-input port is reserved for a third control signal, if required. These signals are suitable for operating electromechanical relays in the external devices, and allow the external device to assume an appropriate fail-safe state if the power supply to the SCC or the external device fails.

Each control signal occupies only one contact at the D-port. The signals share the common Circuit Ground connection.

33.1 *Signal standards*

The sources and receivers for the Bypass and Loop Collapse control signals shall conform to the signal standards shown in Table VI.

33.2 *Control signal sources and receivers*

Examples of circuits for generating the Bypass and Loop Collapse Control signals in the SCC and for receiving them in the external devices are shown in Figure 26, page 97.

The circuits for the Bypass and Loop Collapse Control signals are different because of the requirements that the external devices assume the bypassed and not collapsed states, respectively, if there is a power failure in the SCC or the external device.

If the controlled device presents an inductive load, it shall include transient suppressors to prevent the voltage on the control line going outside the range -5 V to $+30\text{ V}$.

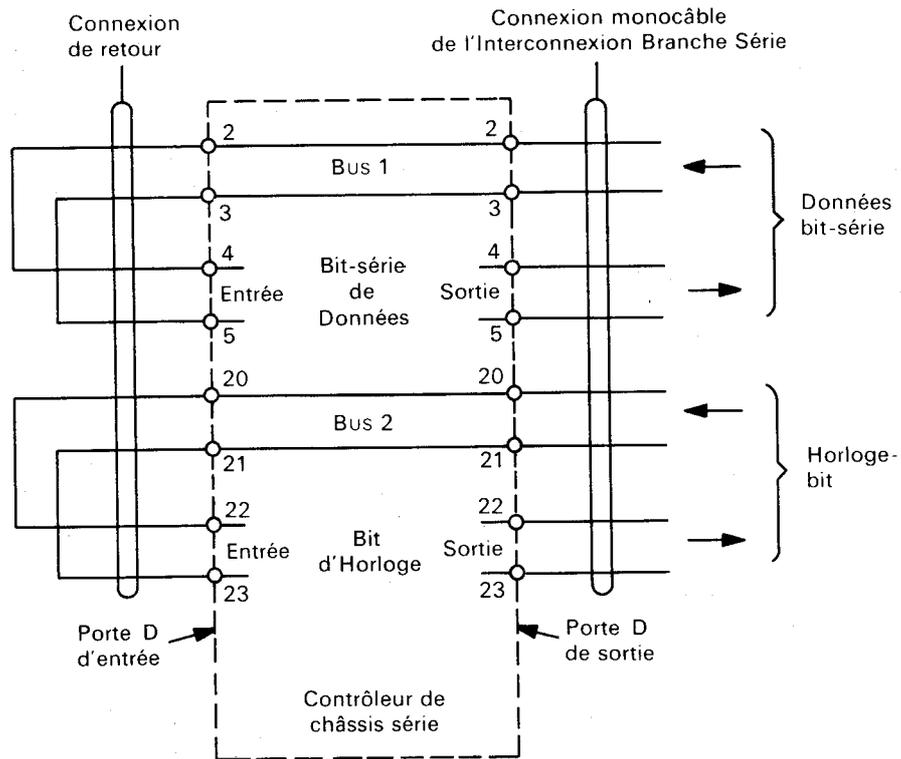


FIG. 23. — Exemple d'utilisation des contacts Bus 1 et Bus 2 aux portes D.

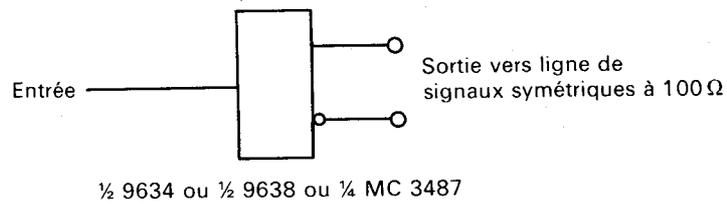


FIG. 24. — Exemple provisoire de transmetteur de signaux symétriques.

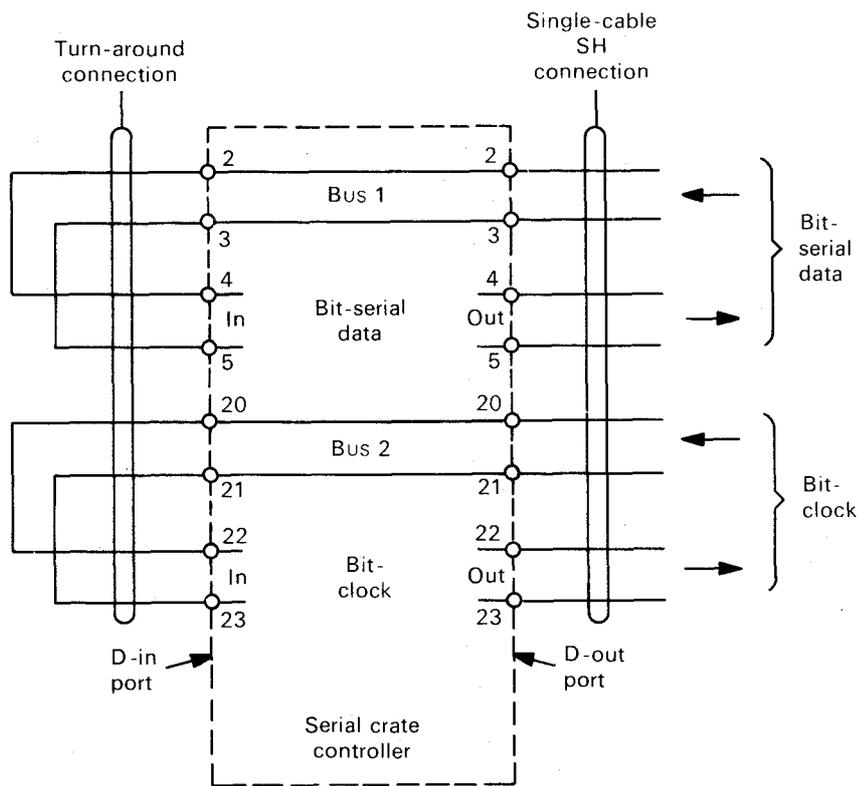


FIG. 23. — Example of the use of Bus 1 and Bus 2 contacts of D-ports.

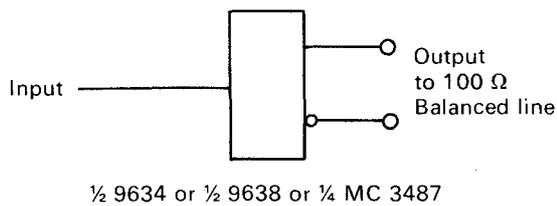


FIG. 24 — Interim example of balanced transmitter.

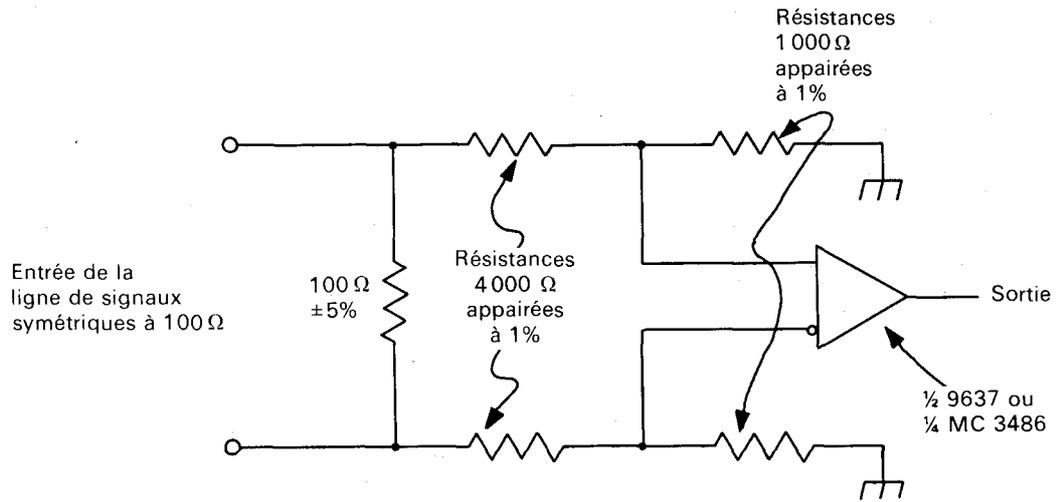


FIG. 25. — Exemple provisoire de récepteur de signaux symétriques.

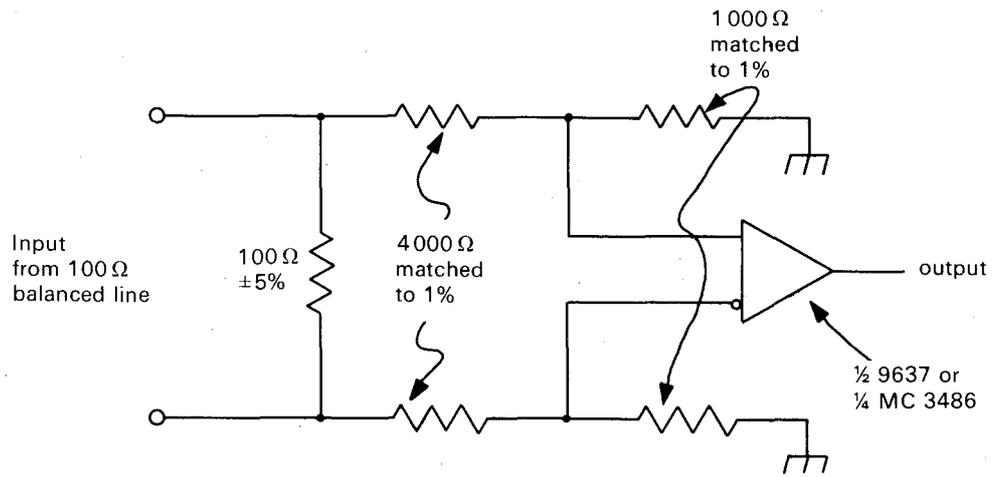


FIG. 25. — Interim example of balanced receiver.

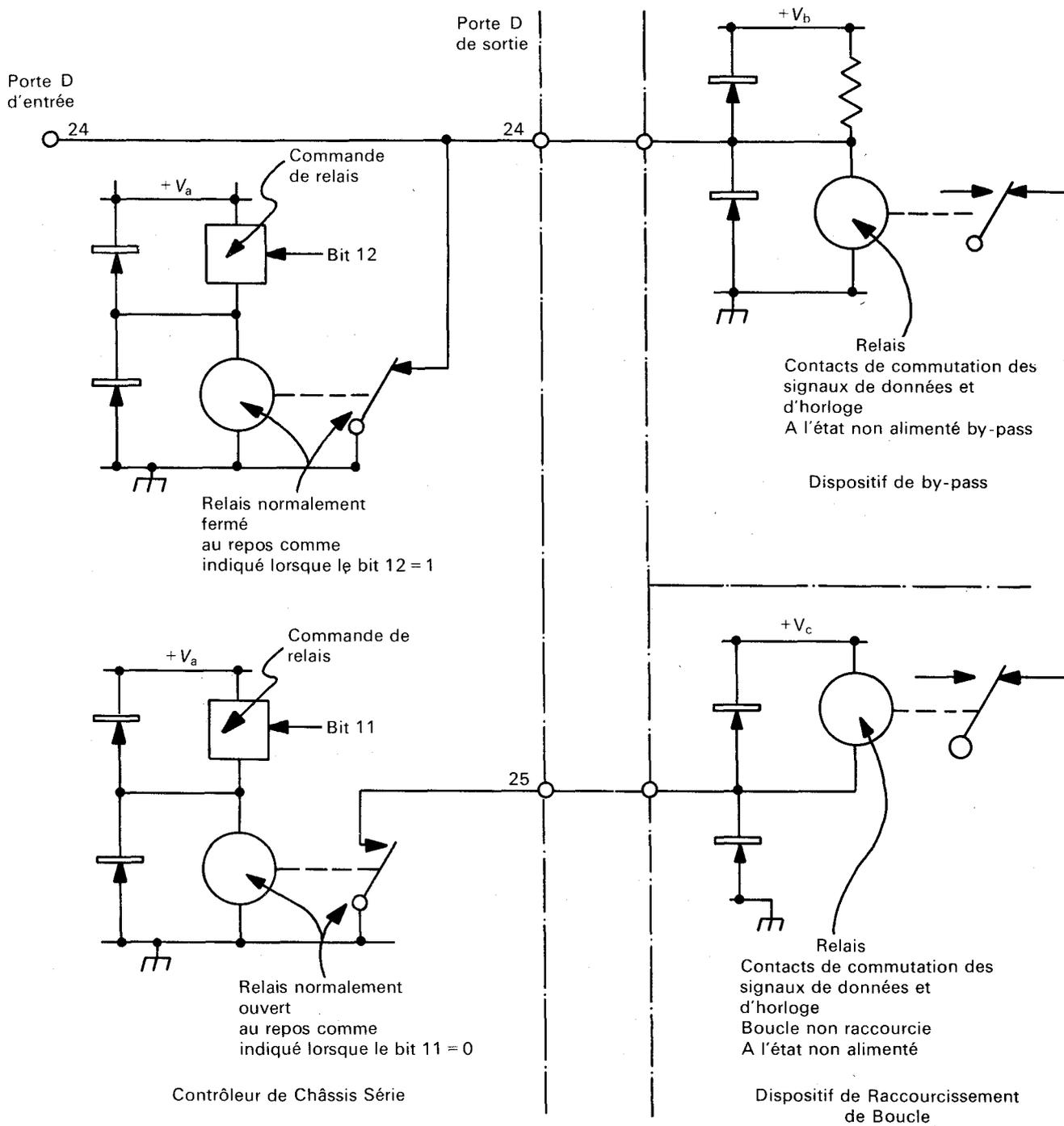


FIG. 26. — Exemples de circuits pour émetteurs et récepteurs de signaux de commande. (Les bits 11 et 12 sont des signaux provenant du Registre d'Etat du Contrôleur de Châssis Série.) (Voir aussi les figures 31 et 32, pages 182 et 184.)

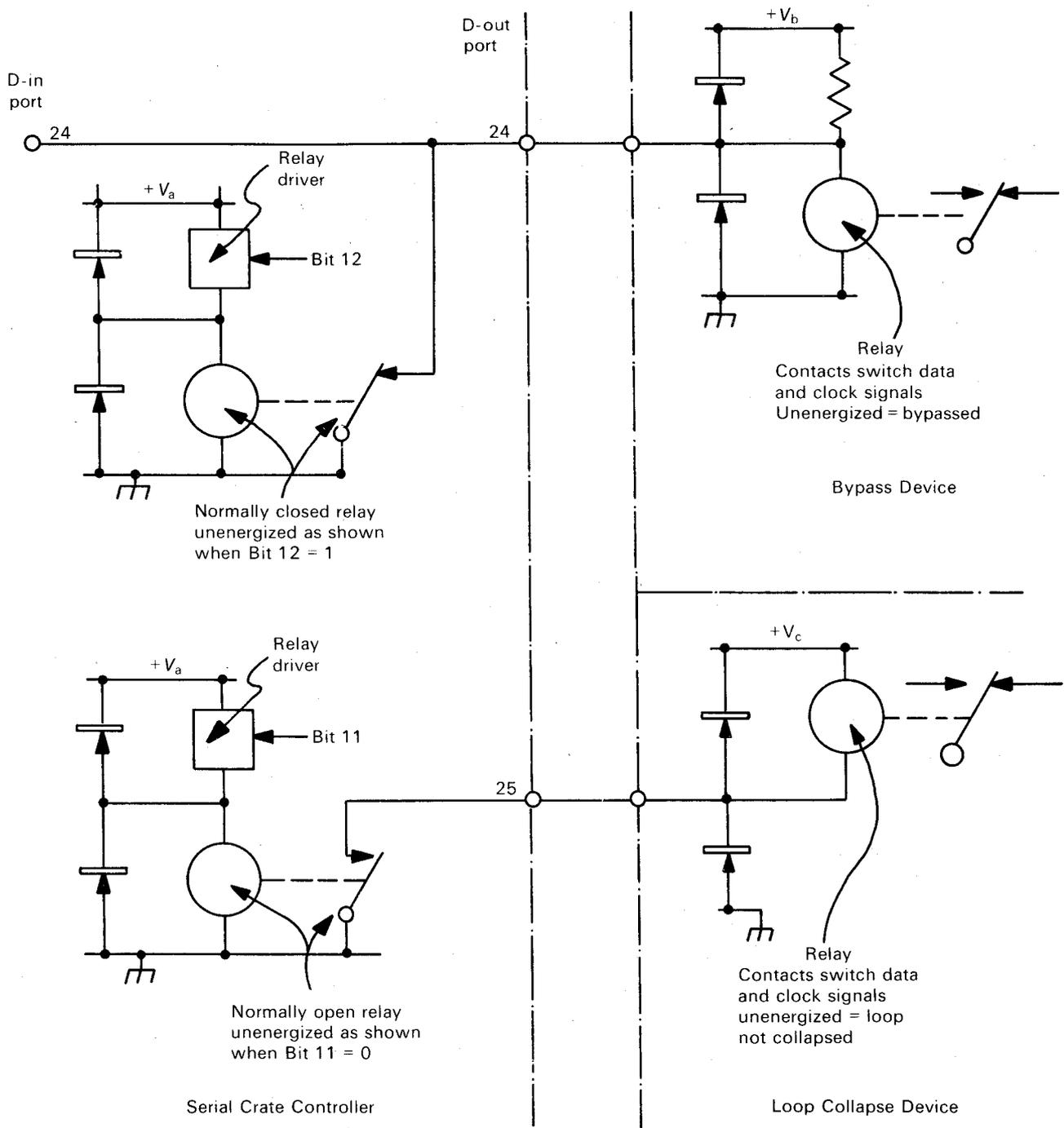


FIG. 26. — Examples of circuits for Control Signal Sources and Receivers. (Bit 11 and Bit 12 are signals from the Status Register of SCC.) (See also Figures 31 and 32, pages 183 and 185.)

TABLEAU III
Affectation des contacts pour connecteurs de porte D

Connecteur porte D d'entrée		Contact	Connecteur porte D de sortie	
Masse du circuit (terre)		1	Masse du Circuit (terre)	
Bus 1 (utilisation libre)		2	Bus 1 (utilisation libre)	
		3		
Données en bit-série ou BMS* en séquentiel	Entrée	4	Données en bit-série ou BMS* en séquentiel	Sortie
	Entrée	5		Sortie
Séquentiel-Bit 2	Entrée	6	Séquentiel-Bit 2	Sortie
		7		
Séquentiel-Bit 3	Entrée	8	Séquentiel-Bit 3	Sortie
		9		
Séquentiel-Bit 4	Entrée	10	Séquentiel-Bit 4	Sortie
		11		
Séquentiel-Bit 5	Entrée	12	Séquentiel-Bit 5	Sortie
		13		
Séquentiel-Bit 6	Entrée	14	Séquentiel-Bit 6	Sortie
		15		
Séquentiel-Bit 7	Entrée	16	Séquentiel-Bit 7	Sortie
		17		
Séquentiel-BPS**	Entrée	18	Séquentiel-BPS**	Sortie
		19		
Bus 2 (utilisation libre)		20	Bus 2 (utilisation libre)	
		21		
Horloge-bit ou-caractère	Entrée	22	Horloge-bit ou-caractère	Sortie
		23		
Commande de By-pass		24	Commande de By-pass	
Réservé pour Signal de Commande		25	Commande de Raccourcissement de Boucle	

* Bit le moins significatif

** Bit le plus significatif

Note. — Chaque entrée ou sortie de signaux symétriques occupe une paire de contacts.

Le contact de numéro pair est la borne A, véhiculant le SIGNAL.

Le contact de numéro impair est la borne B, véhiculant le SIGNAL.

TABLE III
Contact assignments for D-port connectors

D-input connector	Contact	D-output connector
Circuit Ground (Earth)	1	Circuit Ground (Earth)
Bus 1 (Free-Use)	2 3	Bus 1 (Free-Use)
Bit Serial Data or Byte Serial LSB*	In 4 In 5	Bit Serial Data or Byte Serial LSB* Out Out
Byte Serial Bit 2	In 6 7	Byte Serial Bit 2 Out
Byte Serial Bit 3	In 8 9	Byte Serial Bit 3 Out
Byte Serial Bit 4	In 10 11	Byte Serial Bit 4 Out
Byte Serial Bit 5	In 12 13	Byte Serial Bit 5 Out
Byte Serial Bit 6	In 14 15	Byte Serial Bit 6 Out
Byte Serial Bit 7	In 16 17	Byte Serial Bit 7 Out
Byte Serial MSB**	In 18 19	Byte Serial MSB** Out
Bus 2 (Free-Use)	20 21	Bus 2 (Free-Use)
Bit/Byte Clock	In 22 23	Bit/Byte Clock Out
Bypass Control	24	Bypass Control
Reserved for Control Signal	25	Loop Collapse Control

* Least significant bit.

** Most significant bit.

Note. — Each balanced-signal input or output occupies a pair of contacts.

The even-numbered contact is Terminal A, carrying SIGNAL.

The odd-numbered contact is Terminal B, carrying $\overline{\text{SIGNAL}}$.

TABLEAU IV

Résumé des caractéristiques de l'émetteur de signaux symétriques

Résistance de sortie entre lignes		$\leq 100 \Omega$	
Amplitude de tension en circuit ouvert entre lignes	V_o	$\leq 6 \text{ V}$	
Amplitude de tension en circuit ouvert entre lignes et terre	$V_{oa} \ V_{ob}$	$\leq 6 \text{ V}$	
Amplitude de tension de sortie entre lignes avec résistance d'adaptation de 100Ω	V_t	$\geq 2 \text{ V}$ $\geq 0,5 \ V_o$	} Simultanément
Amplitude de la tension de décalage (note 3)	V_{os}	$\leq 3 \text{ V}$	
Amplitude de la différence des V_t pour deux états logiques		$< 0,4 \text{ V}$	
Amplitude de la différence de V_{os} pour deux états logiques		$< 0,4 \text{ V}$	
Amplitude du courant de court-circuit entre ligne et terre		$\leq 150 \text{ mA}$	

Notes 1. — Les valeurs maximales des temps de montée et de descente entre 10% et 90% de la durée des signaux émis par le transmetteur sont les suivantes lorsqu'ils sont appliqués à une charge résistive de 100Ω :

- pour les signaux d'horloge, inférieurs à la plus grande des deux valeurs suivantes: 20 ns ou $0,05 T_{\min}$;
- pour les signaux de données, inférieurs à $0,1 T_{\min}$,

où T_{\min} est la durée d'un bit ou d'un caractère définie à l'article 36.

2. — Lorsque l'amplitude est seule définie, la valeur peut être positive ou négative.

3. — La tension de décalage est mesurée entre le point milieu d'une charge d'essai de 100Ω constituée de deux résistances de $50 \Omega \pm 1\%$ chacune, et la masse du circuit du générateur.

TABLEAU V

Résumé des caractéristiques du récepteur de signaux symétriques

Résistance d'entrée entre lignes (note 2)	R_t	$100 \Omega \pm 10\%$
Impédance d'entrée entre ligne et terre, la résistance d'adaptation de 100Ω étant supprimée		$\geq 4000 \Omega$
Amplitude de la tension d'entrée entre lignes, à laquelle le récepteur doit fonctionner correctement	V_i	$\geq 0,2 \text{ V}$ $\leq 6,0 \text{ V}$
Amplitude de la tension de mode commun à laquelle le récepteur doit fonctionner correctement (note 3)	V_{cm}	$\leq 7,0 \text{ V}$
Amplitude maximale de la tension d'entrée, entre ligne et terre		$\leq 10,0 \text{ V}$
Amplitude de la tension d'entrée entre lignes, pour ne pas endommager le récepteur (la résistance d'extrémité de 100Ω peut être supprimée pour cet essai)		$\leq 12,0 \text{ V}$

Notes 1. — Lorsqu'une amplitude est définie, le paramètre peut être positif ou négatif.

2. — Dans la Recommandation V.11 du C. C. I. T. T., l'utilisation d'une résistance d'adaptation du câble dans le récepteur de signaux symétriques est facultative, selon l'environnement particulier dans lequel le récepteur est utilisé, mais elle est indiquée ici comme une caractéristique obligatoire pour le récepteur de signaux symétriques utilisé à la porte D de l'Interconnexion de Branche Série.

3. — La tension en mode commun est définie comme la moyenne algébrique des deux tensions entre ligne et terre aux bornes d'entrée du récepteur.

TABLE IV
Summary of characteristics of balanced transmitter

Output resistance line-to-line		$\leq 100 \Omega$
Magnitude of open circuit voltage, line-to-line	V_o	$\leq 6 \text{ V}$
Magnitude of open circuit voltage, line-to-ground	$V_{oa} \ V_{ob}$	$\leq 6 \text{ V}$
Magnitude of output voltage, terminated in 100Ω , line-to-line	V_t	$\geq 2 \text{ V}$ $\geq 0.5 \ V_o$ } whichever is greater
Magnitude of offset voltage (Note 3)	V_{os}	$\leq 3 \text{ V}$
Magnitude of difference in V_t for two logic states		$< 0.4 \text{ V}$
Magnitude of difference in V_{os} for two logic states		$< 0.4 \text{ V}$
Magnitude of short-circuit current line-to-ground		$\leq 150 \text{ mA}$

Notes 1. — The maximum values of the 10% to 90% rise and fall times of signals generated by the transmitter, when applied to a 100Ω resistive load, are as follows:

- for clock signals, less than 20 ns or $0.05 T_{\min}$, whichever is greater;
- for data signals, less than $0.1 T_{\min}$.

(where T_{\min} is the bit or byte period, as defined in Clause 36).

2. — Where a magnitude is defined, the parameter may be positive or negative.

3. — The offset voltage is measured between the centre point of a 100Ω test load consisting of two resistors, $50 \Omega \pm 1\%$ each, and the generator circuit ground.

TABLE V
Summary of characteristics of balanced receiver

Input resistance line-to-line (Note 2)	R_t	$100 \Omega \pm 10\%$
Input impedance line-to-ground with 100Ω termination removed		$\geq 4000 \Omega$
Magnitude of input voltage, line-to-line, at which receiver must operate correctly	V_i	$\geq 0.2 \text{ V}$ } $\leq 6.0 \text{ V}$ }
Magnitude of common mode voltage at which receiver must operate correctly (Note 3)	V_{cm}	$\leq 7.0 \text{ V}$
Maximum magnitude of input voltage, line-to-ground		$\leq 10.0 \text{ V}$
Magnitude of input voltage, line-to-line, without damaging the receiver (the termination of 100Ω may be removed for this test)		$\leq 12.0 \text{ V}$

Notes 1. — Where a magnitude is defined, the parameter may be positive or negative.

2. — In C. C. I. T. T. Recommendation V. 11, the use of a cable termination at the balanced receiver is optional, depending on the specific environment in which the receiver is used, but is here specified as a mandatory feature for the balanced receiver used at the SH D-port.

3. — The common mode voltage is defined as the algebraic mean of the two voltages line-to-ground at the receiver input terminals.

TABLEAU VI
Normes pour les signaux de commande aux portes D

Etat logique	Etat de la ligne de commande	Courant tiré de la ligne de commande par l'émetteur	Le récepteur doit répondre correctement* au signal de commande dans le domaine suivant:
0	«Libre»	Amplitude du courant ne dépassant pas 100 μ A pour ligne de commande entre 0 V et 25 V	+ 10 V à + 24 V
1	«Mise à la masse»	Possibilité de débiter au moins 115 mA pour ligne de commande à 0,5 V	0 V à + 3 V

* Le dispositif récepteur doit répondre dans les 80 ms.

SECTION HUIT — CHRONOLOGIE

La chronologie des transferts de données sur tous les segments de l'Interconnexion de Branche Série est fixée par l'horloge du système située au Pilote Série. Dans un système série basé entièrement sur des connexions directes entre portes D, il y a deux circuits différents à travers l'Interconnexion de Branche Série pour les signaux de l'horloge des modes bit-série ou séquentiel. Dans un système ayant des connexions de norme U utilisant une émission synchrone, les convertisseurs qui émettent les signaux peuvent moduler les signaux de l'horloge du système sur le même canal de communication que les données. Les convertisseurs synchrones qui reçoivent les signaux reconstitueront alors le signal d'horloge séparé pour utilisation à la prochaine porte D. Dans un système ayant des connexions de norme U et utilisant une émission asynchrone, chaque convertisseur asynchrone qui reçoit des signaux reconstituera habituellement l'horloge du système en utilisant une horloge locale réglée à la fréquence nominale appropriée.

34. Fréquence de l'horloge du système

La conception d'ensemble de chaque système série implique le choix d'une fréquence d'horloge du système correspondant aux prescriptions de fonctionnement et située à l'intérieur des limites de fonctionnement des composants du système tels que canaux de communication et Contrôleurs de Châssis Série.

La fréquence maximale instantanée d'horloge du système dans tout système d'Interconnexion de Branche Série ne doit pas dépasser 5,0 MHz.

Chaque Contrôleur de Châssis Série et chaque Pilote Série doit pouvoir fonctionner par l'intermédiaire de ses portes D à toute fréquence d'horloge allant jusqu'à une fréquence maximale spécifiée (qui peut être inférieure à 5,0 MHz).

Pour les Contrôleurs de Châssis Série type L2 recommandés (annexe A, article A1) la fréquence maximale de l'horloge-bit ou de l'horloge-caractère est fixée à 5 MHz.

Ainsi, les Contrôleurs de Châssis Série, dans un système série, n'introduisent pas de restriction dans la fréquence ou la stabilité de l'horloge du système sauf pour fixer éventuellement une limite supérieure de la fréquence d'horloge inférieure au maximum absolu de 5 MHz. Toutefois, d'autres composants du système, tels que les canaux de communication et les convertisseurs de signaux, peuvent exiger une fréquence d'horloge particulière et fixer des limites au manque d'uniformité autorisé pour les fréquences d'horloge.

TABLE VI
Standards for control signals at D-ports

Logic state	State of control line	Current drawn from control line by the source	Receiver must respond* correctly to control signal in the range:
0	“Free”	Magnitude of current not more than 100 μ A for Control Line between 0 V and + 25 V	+ 10 V to + 24 V
1	“Grounded”	Minimum current sinking capability 115 mA for control line at 0.5 V	0 V to + 3 V

* The receiving device must respond within 80 ms.

SECTION EIGHT — TIMING

The timing of data transfers on all segments of the Serial Highway is determined by a system clock at the Serial Driver. In a serial system based entirely on direct interconnections between D-ports, there is a separate path throughout the SH for system clock signals at bit or byte rate. In a system with U-standard interconnections using synchronous transmission, the transmitting signal converters may modulate the system clock signals onto the same communications channel as the data. The synchronous receiving signal converters will then reconstitute the separate clock signal for use at the next D-port. In a system with U-standard interconnections using asynchronous transmission, each asynchronous receiving signal converter will usually reconstitute the system clock by using a local clock set to the appropriate nominal frequency.

34. Frequency of system clock

The overall design of each serial system involves choosing an appropriate system clock frequency that meets the operational requirements and is within the operating limits of system components such as the communications channels and SCCs.

The maximum instantaneous system clock rate in any Serial Highway system shall be not more than 5.0 MHz.

Each Serial Crate Controller and Serial Driver shall be capable of operating via its D-ports at any clock rate up to a stated maximum rate (which may be less than 5.0 MHz).

For the recommended SCC-L2 (Appendix A, Clause A1), the maximum bit or byte clock rate is defined as 5 MHz.

Thus the SCCs in a serial system place no restrictions on the frequency or regularity of the system clock, except perhaps to set an upper limit of clock rate less than the absolute maximum of 5 MHz. However, other components of the system, such as the communications channels and signal converters, may demand a particular clock rate and set limits on the permitted non-uniformity of the clock periods.

Dans tout système particulier, il est recommandé de choisir la fréquence d'horloge et les canaux de communication de façon que les signaux de données reçus aux entrées de portes D soient établis et stables pendant la période d'échantillonnage de données représentée à la figure 27, page 110.

35. Flux de caractères

Le Pilote Série émet à sa porte de sortie une série de caractères réglée dans le temps par l'horloge du système. Ce flux de caractères circule le long de l'Interconnexion de Branche Série.

Chaque fois qu'un Contrôleur de Châssis Série reçoit un caractère, il doit émettre un caractère et un seul.

Les caractères reçus et émis par un Contrôleur de Châssis Série au cours d'une période de l'horloge-caractère ne sont pas toujours identiques.

Les caractères ne peuvent circuler à travers un Contrôleur de Châssis Série en l'absence des signaux d'horloge du système. C'est pourquoi il convient que les signaux d'horloge du système soient émis sans interruption, en particulier dans les systèmes qui comptent sur l'émission de Messages de Demande.

Les messages et les caractères dans les messages ne sont pas nécessairement contigus, mais peuvent être séparés par des pauses de longueur variable. Pour une fréquence d'horloge donnée, le rendement optimal du système est obtenu quand le flux de caractères est une série de caractères contigus. Le fonctionnement des contrôleurs auxiliaires qui répondent au signal VERROUILLAGE DU CONTRÔLEUR AUXILIAIRE (voir paragraphe 58.2) peut au contraire être affecté par des pauses excessives dans les Messages d'Ordre.

36. Séquence de signaux

La relation de temps entre les signaux de données et les signaux d'horloge aux portes D est indiquée à la figure 27.

Les temps importants concernant les formes de signaux symétriques aux portes D d'entrée sont mesurés en fonction du passage final au niveau du signal différentiel ± 200 mV (selon le cas). Les temps aux portes D de sortie sont mesurés en fonction du passage final au niveau du signal différentiel $\pm V_i/2$ (selon le cas).

Chaque transition «1 à 0» de l'horloge définit le commencement d'une nouvelle période d'horloge. La transition «0 à 1» du signal d'horloge reçu est la référence pour un INTERVALLE D'EXTRACTION DE DONNÉES défini, pendant lequel les signaux de données reçus à la porte D d'entrée sont présumés rester stables. A la porte D de sortie les signaux de données sont établis aussitôt après la transition «1 à 0» du signal d'horloge émis et sont maintenus jusqu'à la transition «1 à 0» suivante.

Dans la figure 27, T est une caractéristique du système; c'est la durée réelle d'une période d'horloge déterminée, qui peut être la période d'horloge assignée prolongée par une pause. T_{\min} est une caractéristique du Contrôleur de Châssis Série ou du Pilote Série, qui est sa période d'horloge minimale assignée. Par exemple, $T_{\min} = 200$ ns pour le Contrôleur de Châssis Série type L2, défini à l'article A1 de l'annexe A. La relation entre ces caractéristiques est que T n'est pas inférieure à T_{\min} .

In any particular system, the clock frequency and communications channels should be chosen so that the data signals received at D-port inputs are established and stable during the data-sampling period shown in Figure 27, page 111.

35. Byte stream

The SD generates at its output port a series of bytes timed by the system clock. This byte-stream propagates along the SH.

Each time a Serial Crate Controller receives one byte, it shall transmit one, and only one, byte.

The contents of the bytes received and transmitted by an SCC in a particular byte-period are not always identical.

Bytes cannot propagate through an SCC in the absence of system clock signals. Therefore, the system-clock signals should be generated continuously, particularly in systems that rely on the generation of Demand messages.

Messages, and the bytes within messages are not necessarily contiguous, but may be separated by pauses of variable length. At a given clock rate, the maximum system performance is obtained when the byte stream is a contiguous series of bytes. The performance of auxiliary controllers that respond to AUXILIARY CONTROLLER LOCK-OUT signal (see Sub-clause 58.2) can be adversely affected by excessive pauses within Command messages.

36. Signal timing

The timing relationship between data signals and clock signals at D-ports is shown in Figure 27.

The significant times on the balanced-signal waveforms at the D-input ports are measured with respect to the final crossing of the plus or minus 200 mV differential signal level (whichever is applicable). Times at the D-output ports are measured with respect to the final crossing of the plus or minus $V_i/2$ differential signal level (whichever is applicable).

Each “1-to-0” transition of the clock defines the beginning of a new clock period. The “0-to-1” transition of the received clock is the reference for a defined DATA EXTRACTION INTERVAL during which the received data signals at the D-input port are assumed to be steady. At the D-output port the data signals are established soon after the “1-to-0” transition of the transmitted clock, and are maintained until the next “1-to-0” transition.

In Figure 27, T is a parameter of the system, and is the actual duration of a particular clock period, which may consist of the nominal clock period extended by a pause. T_{\min} is a parameter of the SCC or SD, and is its minimum rated clock period. For example, $T_{\min} = 200$ ns for the SCC Type L2 defined in Clause A1 of Appendix A. The relationship between these parameters is that T is not less than T_{\min} .

36.1 *Signaux d'horloge*

Chaque Contrôleur de Châssis Série ou chaque Pilote Série doit pouvoir fonctionner correctement quand la durée de l'état «0» ou «1» du signal d'horloge reçu a la valeur minimale indiquée à la figure 27, page 110.

Chaque Contrôleur de Châssis Série ou Pilote Série doit émettre à sa porte D de sortie un signal d'horloge dans lequel la durée de chaque état «0» ou «1» n'est pas inférieure à la valeur minimale indiquée à la figure 27.

La durée de chaque état «0» ou «1» du signal d'horloge émis par un Contrôleur de Châssis Série à la porte D de sortie doit reproduire la durée correspondante du signal d'horloge reçu à la porte D d'entrée, dans les limites de distorsion fixées par la condition de retard différentiel représentée à la figure 27, tout en restant conformes aux prescriptions absolues concernant la durée des états logiques.

Un dérèglement cumulé de la séquence des signaux d'horloge peut se produire lors du passage à travers des parties successives de l'Interconnexion de Branche Série (en particulier si la fréquence d'horloge est voisine de la limite fixée par la largeur de bande du moyen de transmission) et lors du passage à travers des Contrôleurs de Châssis Série successifs (en particulier si la fréquence d'horloge est voisine de la limite fixée par les circuits de réception, de mise en forme et de retransmission des signaux d'horloge). C'est pourquoi la définition des signaux d'horloge laisse une marge entre les temps d'émission et de réception des signaux de façon à s'adapter au dérèglement de chaque section de l'Interconnexion de Branche Série.

La distorsion du signal d'horloge à l'intérieur de chaque Contrôleur de Châssis Série est limitée par les caractéristiques prescrites pour le Retard Différentiel. Chaque Contrôleur de Châssis Série rétablit la chronologie du signal d'horloge si elle a été dérégulée au-delà des limites acceptables.

Ces propriétés du Contrôleur de Châssis Série sont définies en fonction de sa valeur propre de T_{\min} . Des problèmes de conception de système peuvent survenir si on utilise dans le même système des Contrôleurs de Châssis Série ayant des valeurs de T_{\min} très différentes. Par exemple, la valeur de $0,4 T_{\min}$ à la sortie d'un Contrôleur de Châssis Série peut devenir inférieure à $0,25 T_{\min}$ à l'entrée du Contrôleur de Châssis Série suivant.

36.2 *Signaux de données émis*

Les signaux de données émis depuis chaque porte D de sortie doivent être stables pendant la partie de la période d'horloge représentée à la figure 27, dans laquelle T_{\min} est la période qui correspond à la fréquence maximale d'horloge déclarée pour le dispositif émetteur.

36.3 *Signaux de données reçus*

Les signaux de données reçus à chaque porte D d'entrée doivent être échantillonnés à l'intérieur de la partie de la période d'horloge reçue indiquée comme Intervalle d'Extraction de Données dans la figure 27. Ici, T_{\min} est la période correspondant à la fréquence d'horloge maximale déclarée pour le dispositif récepteur. Les signaux de données situés en dehors de l'Intervalle d'Extraction de Données ne doivent pas être utilisés.

36.4 *Conditionnement des signaux de données*

Quand un Contrôleur de Châssis Série retransmet des données reçues, les prescriptions de temps représentées à la figure 27 impliquent que les données reçues sont échantillonnées au moment ou au voisinage de la transition «0 à 1» du signal d'horloge reçu, et que les données retransmises sont établies pendant la plus grande partie de la période entre les transitions successives «1 à 0» du signal d'horloge émis.

36.1 *Clock signals*

Each Serial Crate Controller or Serial Driver shall be capable of correct operation when the duration of the logic "0" or logic "1" state of the received clock signal has the minimum value shown in Figure 27, page 111.

Each SCC or SC shall generate at its D-output port a clock signal in which the duration of each logic "0" and logic "1" state is not less than the minimum value shown in Figure 27.

The duration of each logic "0" and logic "1" state of the clock signal transmitted by an SCC at the D-output port shall reproduce the corresponding duration of the received clock signal at the D-input port, within the limits of distortion set by the differential delay condition shown in Figure 27 whenever this is consistent with the absolute requirements for the duration of the logic states.

Cumulative deterioration of the clock-signal timing can occur in passing through successive sections of the SH (particularly if the clock rate is near the limit set by the bandwidth of the transmission medium), and in passing through successive SCCs (particularly if the clock rate is near the limit set by the circuits that receive, shape, and retransmit the clock signals). The definition of the clock signals therefore allows a margin between the timing of the transmitted and received signals in order to accommodate deterioration within each section of the SH.

Distortion of the clock signal within each SCC is limited by the Differential Delay requirement. Each SCC restores the timing of the clock signal if it has deteriorated beyond acceptable limits.

These properties of the SCC are defined with respect to its own value of T_{\min} . System design problems can arise if SCCs with differing values of T_{\min} are used in the same system. For example, $0.4 T_{\min}$ at the output of one SCC could be less than $0.25 T_{\min}$ at the input to the next SCC.

36.2 *Transmitted data signals*

The data signals transmitted from each D-output port shall be established for that portion of the clock period shown in Figure 27, where T_{\min} is the period corresponding to the stated maximum clock rate of the transmitting device.

36.3 *Received data signals*

The data signals received at each D-input port shall be sampled (strobed) within the portion of the received clock period shown as the Data Extraction Interval in Figure 27. Here T_{\min} is the period corresponding to the stated maximum clock rate for the receiving device. Data signals outside the Data Extraction Interval shall be ignored.

36.4 *Data signal conditioning*

When an SCC is retransmitting received data, the timing requirements shown in Figure 27 involve sampling the received data at or near the "0-to-1" transitions of the received clock signal, and establishing the retransmitted data for most of the period between successive "1-to-0" transitions of the transmitted clock.

Il faut pour cela une mémoire tampon temporaire dans le circuit des données entre les portes d'entrée et de sortie, et que les signaux de données soient retardés d'une durée pouvant aller jusqu'à une période d'horloge en traversant le Contrôleur de Châssis Série.

37. Retards de transmission

Le flux de messages sur l'Interconnexion de Branche Série est sujet à des retards dus à divers facteurs, parmi lesquels figurent :

- a) l'émission de signaux dans les canaux de communication et les convertisseurs de signaux;
- b) retards de transmission du signal à l'intérieur des Contrôleurs de Châssis Série;
- c) la remise en forme logique dans les Contrôleurs de Châssis Série, qui peut imposer un retard allant jusqu'à une période d'horloge. La durée de ce retard peut être soit de un bit dans le mode bit-série, soit de un caractère dans le mode séquentiel (voir paragraphe 36.4);
- d) l'émission de Messages de DEMANDE. En aval d'un Contrôleur de Châssis Série qui émet une DEMANDE, le message ou les messages suivants peuvent subir un retard allant jusqu'à trois caractères (voir article 25).

Ainsi le retard total rencontré dans la transmission des messages dans une boucle d'Interconnexion de Branche Série pour un petit système bit-série peut être d'un petit nombre de bits seulement. Pour un système séquentiel important, le retard normal, à l'exclusion des retards d'émission et de circulation, peut atteindre 62 caractères avec un retard maximal possible de 248 caractères dans le cas improbable de demandes simultanées de tous les châssis.

Une bonne gestion par le Pilote Série peut empêcher l'accumulation de retards de trois caractères due à l'émission de demandes, en émettant un nombre adéquat de caractères ATTENTE chaque fois qu'un Message de Demande est reçu par le Pilote Série.

This implies that there is a temporary buffer store in the data path between the input and output ports, and that the data signals are delayed by up to one clock period in passing through the SCC.

37. Propagation delays

The message stream on the SH is subject to delays due to various factors, including the following:

- a) Signal transmission in the communications channels and signal converters.
- b) Signal propagation delays within SCCs.
- c) Logical reshaping in SCCs. This can impose a delay of up to one clock period. This delay may be either one bit-period in bit-serial mode, or one byte-period in byte-serial mode (see Sub-clause 36.4).
- d) Generation of DEMAND messages. Downstream from an SCC that generates a DEMAND, the following message or messages may be delayed by up to three byte-periods (see Clause 25).

Thus the total delay encountered by messages propagating around the SH loop in a small bit-serial system may be only a few bit-periods. In a large byte-serial system, the normal delay, excluding the transmission and propagation delays, may be as much as 62 byte-periods, with a possible worst case of 248 byte-periods in the unlikely event of simultaneous demands from all crates.

Good management at the SD can prevent the accumulation of 3-byte delays, due to demand generation, by transmitting an adequate number of WAIT bytes whenever a Demand message is received by the SD.

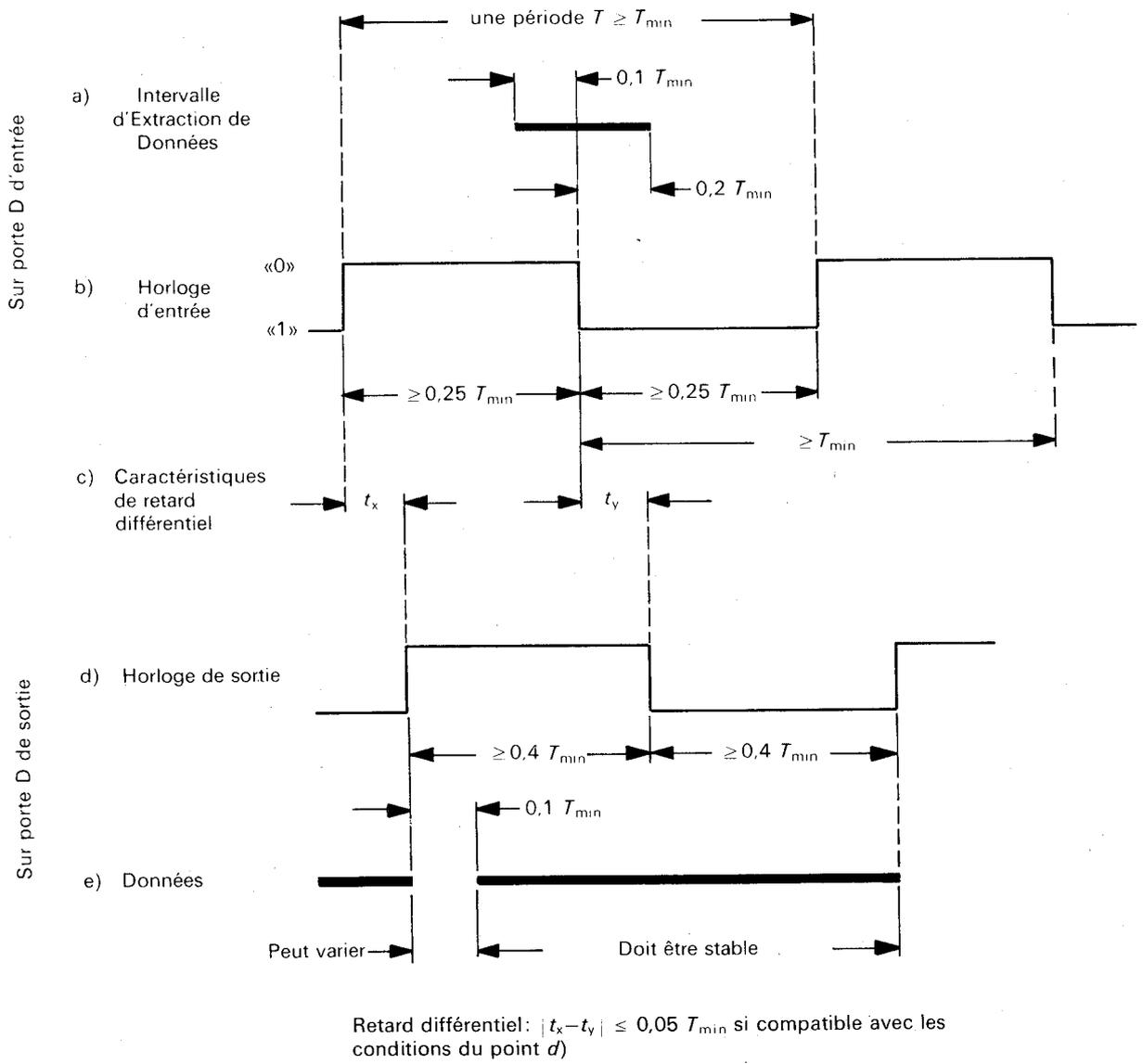


FIG. 27. — Séquence des signaux d'horloge et de données sur les portes D.

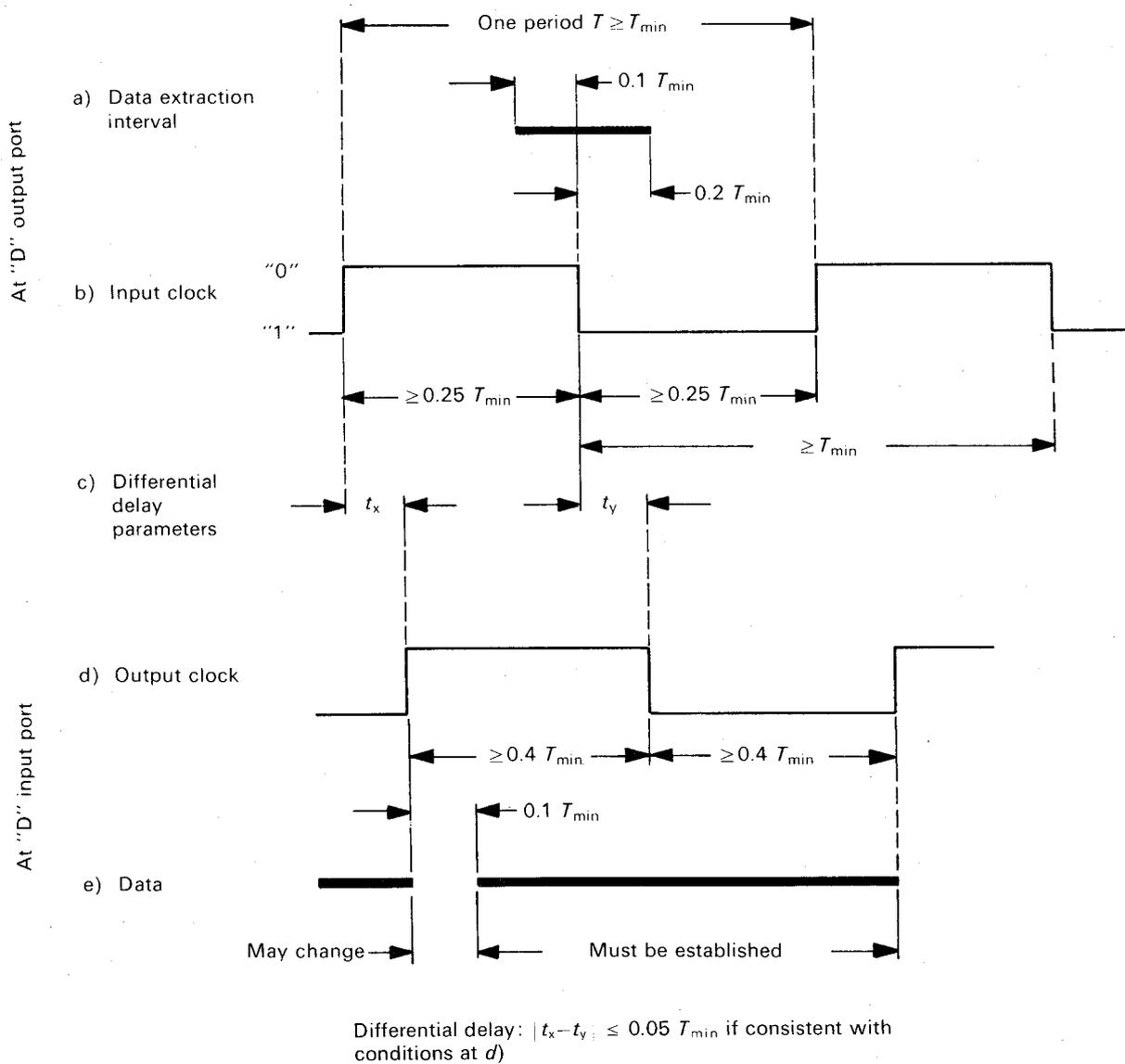


FIG. 27. — Timing of clock and data signals at D-ports.

SECTION NEUF — MODE BIT-SÉRIE ET MODE SÉQUENTIEL

Tous les messages sur l'Interconnexion de Branche Série ont une structure de caractères à 8 bits. Les caractères sont émis sur l'Interconnexion de Branche Série dans l'un des deux modes, soit bit-série, soit séquentiel. Tous les Contrôleurs de Châssis Série et les Pilotes Série ont des portes D capables de traiter les caractères dans l'un de ces modes ou dans les deux.

38. Mode séquentiel

Dans ce mode, les 8 bits d'un caractère sont transmis en parallèle à travers les portes D sur une paire de contacts distincte pour chaque bit. Un caractère est transmis pendant chaque période d'horloge du système comme indiqué à la figure 27, page 110. Les 8 bits sont établis par la porte D émettrice aussitôt après la transition «1 à 0» de l'horloge et sont maintenus jusqu'à la transition 1 à 0 suivante.

Le Pilote Série peut émettre des signaux d'horloge dans lesquels la période d'horloge nominale est suivie par un caractère-pause de longueur arbitraire. Pendant cette pause le signal d'horloge est maintenu dans l'état «1» et est prolongé jusqu'à une période d'horloge totale T . Le Pilote Série et tous les Contrôleurs de Châssis Série doivent accepter à leurs portes D un signal d'horloge-caractère de cette forme, ayant des périodes non uniformes.

Dans des systèmes particuliers, les caractéristiques des canaux de communication utilisés entre les portes D et les portes U peuvent nécessiter que l'horloge du système ait des périodes uniformes ou que la durée maximale des caractères-pauses soit limitée.

39. Mode bit-série

Dans ce mode, les 8 bits d'un caractère sont transmis en série à travers les portes D sur une seule paire de contacts. Les 8 bits sont précédés par un bit DÉPART et suivis par un bit ARRÊT formant ainsi une enveloppe de caractère de 10 bits. Un seul bit est transmis pendant chaque période d'horloge du système.

Dans chaque enveloppe de caractère à 10 bits, le bit DÉPART doit être transmis le premier et doit toujours être à l'état «0». Les 8 bits de données doivent suivre en commençant par le bit le moins significatif (bit 1) et finir par le bit le plus significatif (bit 8). Le bit ARRÊT doit être transmis le dernier et doit toujours être à l'état «1». Le bit DÉPART de chaque enveloppe de caractère doit toujours être précédé par un bit à l'état «1».

Un signal de données est établi sur la paire de contacts de données par la porte D émettrice aussitôt après la transition 1 à 0 de l'horloge et est maintenu jusqu'à la transition 1 à 0 suivante. L'état des sept paires de contacts de données restantes à la porte D n'a pas d'importance.

39.1 *Enveloppes de caractère non contiguës*

Les enveloppes de caractère successives peuvent être contiguës ou non contiguës. Si deux enveloppes de caractère sont contiguës, le bit ARRÊT de la première est suivi immédiatement par le bit DÉPART de la suivante. Si deux enveloppes ne sont pas contiguës, le bit ARRÊT de la première est suivi, comme indiqué à la figure 3, page 28, par une pause constituée d'un nombre arbitraire de périodes de l'horloge-bit pendant lesquelles le signal de données est maintenu à l'état «1». Ces bits-pauses sont suivis par le bit DÉPART de l'enveloppe suivante.

Par suite, le contexte du bit DÉPART est tel qu'il est toujours précédé par un bit à l'état «1», qui est soit le bit DÉPART d'une enveloppe contiguë précédente soit un bit-pause suivant une enveloppe non contiguë.

SECTION NINE — BIT-SERIAL AND BYTE-SERIAL MODES

All messages on the Serial Highway are structured as 8-bit bytes. The bytes are transmitted on the SH in one of the two modes, either bit-serial or byte-serial. All SCCs and SDs have D-ports that can handle bytes in one or both of these modes.

38. Byte-serial mode

In this mode, the 8 bits of a byte are transferred in parallel through the D-ports, with each bit on a separate contact-pair. One byte is transmitted during each period of the system clock, as defined in Figure 27, page 111. The eight bits are established by the transmitting D-port soon after the 1-to-0 transition of the clock and are maintained until the next 1-to-0 transition.

The Serial Driver is permitted to generate system clock signals in which the nominal clock period is followed by a byte-pause of arbitrary length. During this pause the clock signal is maintained in the "1" state, and is extended to a total clock period T . The SD and all SCCs shall accept at their D-ports a system clock of this form, with non-uniform byte periods.

In specific systems, the characteristics of communications channels used between D-ports or U-ports may require that the system clock has uniform periods, or that the maximum duration of byte-pauses is limited.

39. Bit-serial mode

In this mode, the eight bits of a byte are transmitted serially through the D-ports, on one contact-pair. The eight bits are preceded by a START bit and followed by a STOP bit, making up a byte-frame of ten bits. One bit is transmitted during each period of the system clock.

In each 10-bit byte-frame, the START bit shall be transferred first, and shall always be at logic "0". The eight data bits shall follow, with the least significant (bit 1) first, and the most significant (bit 8) last. The STOP bit shall be transferred last, and shall always be at logic "1". The START bit of each byte frame shall always be preceded by a bit at logic "1".

A data signal is established on the data contact-pair by the transmitting D-port soon after the 1 to 0 transition of the clock and is maintained until the next 1 to 0 transition. The state of the remaining seven data contact-pairs at the D-port is of no significance.

39.1 *Non-contiguous byte-frames*

Successive byte-frames may be contiguous or non-contiguous. If two byte-frames are contiguous, the STOP bit of the first frame is followed immediately by the START bit of the next frame. If two frames are non-contiguous, the STOP bit of the first is followed, as shown in Figure 3, page 29, by a pause consisting of an arbitrary number of bit-clock periods during which the data signal is held at logic "1". These pause bits are followed by the START bit of the next frame.

Hence the context of the START bit is such that it is always preceded by a bit at logic "1", which is either the STOP bit of a preceding contiguous frame or a pause bit following a non-contiguous frame.

Le Pilote Série peut émettre soit des enveloppes de caractère contiguës, soit des enveloppes non contiguës. Tous les Contrôleurs de Châssis Série doivent accepter des enveloppes de caractère contiguës ou non contiguës à leurs portes D.

Dans des systèmes particuliers, les caractéristiques des canaux de communication utilisés entre les portes D et les portes U peuvent exiger que le nombre de bits-pauses soit limité, en particulier si une émission asynchrone est utilisée.

A la porte D de sortie en bits-série d'un Contrôleur de Châssis Série, la durée d'une pause entre deux enveloppes de caractère quelconques doit reproduire la durée de la pause reçue au même moment à la porte D d'entrée.

Certains canaux de communication peuvent être basés sur des enveloppes à 11 bits (avec 2 bits ARRÊT), ce qui équivaut à une enveloppe à 10 bits suivie par au moins un bit-pause.

En raison des retards logiques à l'intérieur du Contrôleur de Châssis Série (voir article 25), la pause entre deux caractères particuliers du flux de messages n'est pas nécessairement reproduite entre la même paire de caractères à la sortie d'un Contrôleur de Châssis Série. Toutefois, la prescription est suffisante pour assurer que si, par exemple, le Pilote Série émet une enveloppe à 11 bits, ceux-ci seront correctement reproduits par tous les Contrôleurs de Châssis Série.

39.2 *Non-uniformité de la période du signal de l'horloge-bit*

Le Pilote Série peut émettre des signaux d'horloge du système dans lesquels, à un moment donné, les périodes de bits sont arbitrairement plus longues, d'une quantité quelconque, que les périodes correspondant à la fréquence de bits nominale. Le Pilote Série et tous les Contrôleurs de Châssis Série doivent accepter à leurs portes D un signal d'horloge-bit de cette forme, ayant des périodes de bits non uniformes.

39.3 *Extraction du signal d'horloge-caractère*

Chaque Contrôleur de Châssis Série ayant une porte D d'entrée en mode bit-série doit pouvoir élaborer un signal d'horloge-caractère à partir des enveloppes de caractère à 10 bits reçues, qu'elles soient contiguës ou séparées par des pauses d'un nombre quelconque de périodes de bits.

Pour obtenir le signal d'horloge-caractère, il est nécessaire d'identifier les enveloppes de caractère reçues soit par l'état «0» des bits DÉPART soit par leur contexte «0-après-1» (voir paragraphe 39.1). Le signal d'horloge-caractère qui en résulte au niveau du connecteur d'Appels codés SGL est défini au paragraphe 54.8.

Le bit ARRÊT d'une enveloppe de caractère reçue débute tout traitement du caractère à l'intérieur du Contrôleur de Châssis Série mais le bit DÉPART débute l'émission bit-série d'un caractère à la porte D de sortie. Ainsi sous certaines conditions (par exemple, réception d'un caractère EN-TÊTE) un caractère reçu est retransmis avant que son contenu ait été examiné par le Contrôleur de Châssis Série.

SECTION DIX — SYNCHRONISATION

Le Pilote Série et chaque Contrôleur de Châssis Série doivent se synchroniser sur le format de message du flux de caractères reçus provenant de l'Interconnexion de Branche Série. De plus, lorsqu'ils fonctionnent dans le mode bit-série, ils doivent se synchroniser sur le format de l'enveloppe de caractère du flux de bits. La présente section traite des moyens par lesquels ces deux niveaux de synchronisation sont établis, maintenus et vérifiés.

The Serial Driver is permitted to generate either contiguous or non-contiguous byte-frames. All Serial Crate Controllers shall accept contiguous or non-contiguous byte-frames at their D-ports.

In specific systems, the characteristics of communications channels used between D-ports or U-ports may require that the number of pause bits is limited, particularly if asynchronous transmission is used.

At the bit-serial D-output port of a Serial Crate Controller, the duration of the pause between any two byte-frames shall reproduce the duration of the pause received at the same time at the D-input port.

Some communications channels may be based on 11-bit frames (with two STOP bits). These are equivalent to a 10-bit frame followed by at least one pause bit.

Owing to logical delays within the SCC (see Clause 25), the pause between two particular bytes of the message stream is not necessarily reproduced between the same pair of bytes at the output of an SCC. However, the requirement is sufficient to ensure that if, for example, the SD generates 11-bit frames, these will be correctly reproduced by all SCCs.

39.2 *Non-uniform bit periods*

The Serial Driver is permitted to generate system clock signals in which the actual bit-periods are arbitrarily longer than the bit-period corresponding to the nominal bit-rate. The SD and all SCCs shall accept at their D-ports a system clock of this form, with non-uniform bit periods.

39.3 *Extraction of byte clock*

Every Serial Crate Controller with a bit-serial D-port input shall be capable of deriving a byte-clock signal from received 10-bit byte-frames that are either contiguous or separated by pauses of any arbitrary number of bit-periods.

In order to derive the byte-clock signal, it is necessary to identify the received byte-frames, either by the logic "0" state of the START bits, or by their 0-after-1 context (see Sub-clause 39.1). The derived byte-clock at the SGL-Encoder connector is defined in Sub-clause 54.8.

The STOP bit of a received byte-frame initiates any processing of the byte within the SCC, but the START bit initiates bit-serial transmission of a byte at the D-output port. Thus, under some conditions (for example, when receiving a HEADER byte) a received byte is re-transmitted before its contents have been examined by the SCC.

SECTION TEN — SYNCHRONIZATION

The SD and each SCC need to establish synchronism with the message format of the byte-stream received from the SH. In addition, when operating in bit-serial mode they need to establish synchronism with the byte-frame format of the bit-stream. This section deals with the means by which these two levels of synchronism are established, maintained and verified.

40. Synchronisation des messages

Dans les modes bit-série et séquentiel, chaque message est émis suivant une séquence définie de caractères SÉPARATEURS et NON SÉPARATEURS. Pour extraire le message du flux de caractères série, chaque dispositif récepteur doit identifier cette séquence correctement et ainsi réaliser et maintenir le synchronisme de messages.

40.1 *Maintien du synchronisme de messages*

Quand le synchronisme de messages a été établi, un dispositif récepteur doit, après réception du message terminé par un caractère SÉPARATEUR, traiter le caractère NON SÉPARATEUR suivant comme le caractère EN-TÊTE d'un nouveau message. Après identification du caractère EN-TÊTE d'un message, il doit traiter le caractère SÉPARATEUR suivant comme fin du message.

40.2 *Perte du synchronisme des messages*

La perte du synchronisme des messages intervient quand un dispositif récepteur est incapable d'identifier correctement les caractères EN-TÊTE et FIN de message. Ceci peut se produire si, par exemple, un caractère NON SÉPARATEUR est déformé en un caractère SÉPARATEUR ou si la partie information déterminant la longueur d'un Message d'Ordre ou de Réponse est déformée.

Dans le fonctionnement en mode bit-série, il est très probable que la perte du synchronisme des caractères entraînera également la perte du synchronisme des messages. C'est pourquoi le synchronisme des messages est toujours rétabli après que le synchronisme des caractères a été lui-même rétabli.

La détection de la perte de synchronisme des messages est basée sur la vérification de l'arrivée des caractères SÉPARATEURS dans des contextes appropriés. Le Contrôleur de Châssis Série doit vérifier le synchronisme des messages uniquement pendant les échanges ORDRE/RÉPONSE qui lui sont adressés. En général, la perte de synchronisme des messages résultera également de défauts de Parité longitudinale (voir paragraphe 61.2).

Un Contrôleur de Châssis Série doit prendre l'état «PERTE DU SYNCHRONISME DES MESSAGES» si l'une des conditions suivantes se produit:

- a) Le Contrôleur de Châssis Série vient de rétablir le synchronisme des caractères.
- b) Le Contrôleur de Châssis Série reçoit un caractère SÉPARATEUR à un moment quelconque après avoir accepté le caractère EN-TÊTE d'un Message d'Ordre à son adresse, et avant d'émettre le caractère SOMME FINALE du Message de Réponse.

40.3 *Etablissement du synchronisme de messages*

Un Contrôleur de Châssis Série dans l'état «Perte du synchronisme des Messages» et fonctionnant en mode bit-série doit être en synchronisme des caractères (voir paragraphe 41.3) avant d'essayer d'établir le synchronisme des messages.

Lorsque le synchronisme des caractères a été établi, le Contrôleur de Châssis Série doit rechercher dans le flux de caractères incidents au moins un caractère SÉPARATEUR (habituellement un caractère FIN, SOMME FINALE ou ATTENTE) avant d'être assuré du synchronisme des messages. Après quoi le caractère NON SÉPARATEUR suivant doit être traité comme le caractère EN-TÊTE d'un message.

On obtient une assurance plus grande d'un vrai synchronisme des messages en exigeant que plus d'un caractère SÉPARATEUR soit reconnu avant d'être assuré du synchronisme des messages.

40. Message synchronization

In bit-serial and byte-serial modes, each message is transmitted with a defined sequence of DELIMITER and NON-DELIMITER bytes. In order to extract the message from the serial byte-stream, each receiving device has to identify this sequence correctly, and thus achieve and maintain message synchronism.

40.1 Maintenance of message synchronism

When message synchronism has been established, a receiving device shall, after having received a message terminated by a DELIMITER byte, treat the next NON-DELIMITER byte as the HEADER byte of a new message. Having identified the HEADER byte of a message, it shall treat the next DELIMITER byte as the end of the message.

40.2 Loss of message synchronism

Loss of message synchronism occurs when a receiving device is unable to identify the HEADER and TERMINATING bytes of a message correctly. This can occur if, for example, any NON-DELIMITER byte is corrupted into a DELIMITER byte or if the information field determining the length of a Command or Reply message is corrupted.

When operating in bit-serial mode, it is very probable that loss of byte-synchronism will also result in loss of message synchronism. Message synchronism is therefore always re-established after byte-synchronism has been re-established.

Detection of loss of message synchronism is based on checking whether DELIMITER bytes occur in appropriate contexts. An SCC is only required to test message synchronism during COMMAND/REPLY transactions addressed to it. In general, loss of message synchronism will also result in failure of the column-parity (see Sub-clause 61.2).

A Serial Crate Controller shall assume the LOST MESSAGE SYNC state if either of the following conditions occurs:

- a) **The SCC has just re-established byte-synchronism.**
- b) **The SCC receives a DELIMITER byte at any time after accepting the HEADER byte of a Command message addressed to it, and before transmitting the ENDSUM byte of the Reply message.**

40.3 Establishing message synchronism

A Serial Crate Controller with Lost Message Sync status, and operating in bit-serial mode, shall be in byte-synchronism (see Sub-clause 41.3) before attempting to establish message synchronism.

When byte-synchronism has been established, the SCC shall search the incoming byte-stream for at least one DELIMITER byte (typically END, ENDSUM or WAIT bytes) before asserting message synchronism. Following this, the next NON-DELIMITER byte shall be treated as the HEADER byte of a message.

Increased assurance of true message synchronism is given by requiring that more than one DELIMITER byte is recognized before message synchronism is asserted.

41. Synchronisation des caractères

Dans le mode séquentiel, les signaux d'horloge du système indiquent l'arrivée de caractères successifs et sont utilisés par les Contrôleurs de Châssis Série et le Pilote Série comme un moyen direct de synchronisation des caractères.

Dans le mode bit-série, chaque caractère à 8 bits est émis à l'intérieur d'une enveloppe formée d'un bit DÉPART et d'un bit ARRÊT. Pour extraire le caractère à 8 bits du flux de bits-série, chaque appareil récepteur doit identifier correctement les bits de l'enveloppe et ainsi réaliser et maintenir le synchronisme des caractères.

41.1 *Maintien du synchronisme des caractères*

Quand le synchronisme des caractères a été établi, un Contrôleur de Châssis Série ou un Pilote Série fonctionnant en mode bit-série doit, après réception d'une enveloppe de caractère, traiter le prochain bit à l'état «0» dans le flux de bits reçus comme début d'une enveloppe de caractère à 10 bits.

Dans le contexte d'une suite de caractères à enveloppe correcte, cela revient à reconnaître la première séquence 0-après-1.

41.2 *Perte du synchronisme des caractères*

La perte du synchronisme des caractères se produit quand un Contrôleur de Châssis Série ou un Pilote Série est incapable d'identifier les bits de l'enveloppe (bit ARRÊT et bit DÉPART) dans le flux de bits reçus.

Quand le Contrôleur de Châssis Série ou le Pilote Série reçoit un bit à l'état «0» dans le contexte approprié, il doit présumer que c'est le commencement d'une enveloppe de caractère à 10 bits. La validité de cette présomption est vérifiée en examinant le 10^e bit du caractère.

En cas d'erreur, le Contrôleur de Châssis Série ou le Pilote Série peut identifier de façon erronée un autre bit à l'état «0» comme étant un bit DÉPART. Dans une enveloppe de caractère correcte, le 10^e bit est le bit ARRÊT et est à l'état «1». Le 10^e bit dans une enveloppe de caractère erronée peut être soit à l'état «0», soit à l'état «1».

S'il est à l'état «0», c'est une indication claire de la perte du synchronisme des caractères. S'il est à l'état «1», il n'y a pas d'indication claire de perte ou de maintien du synchronisme des caractères. Ainsi un certain nombre d'enveloppes de caractère incorrectes peut être reçu avant que la perte du synchronisme des caractères soit détectée.

Dans le fonctionnement en mode bit-série, un Contrôleur de Châssis Série doit effectuer un contrôle de l'enveloppe de caractère sur le 10^e bit de chaque enveloppe de caractère reçue. Si ce bit est à l'état «0», le Contrôleur de Châssis Série doit prendre l'état «PERTE DU SYNCHRONISME DES CARACTÈRES».

41.3 *Etablissement du synchronisme des caractères*

Un Contrôleur de Châssis Série dans l'état «PERTE DU SYNCHRONISME DES CARACTÈRES doit rechercher dans le flux de bits reçus la configuration de bits 1,1110000,0₂ correspondant à un caractère ATTENTE avec bits DÉPART et ARRÊT avant de réaffirmer l'état de synchronisme des caractères.

Le Contrôleur de Châssis Série doit effectuer cette recherche d'une configuration de caractères ATTENTE de l'une des façons suivantes:

- a) Dans chaque période de l'horloge-bit, en comparant les 10 derniers bits reçus et la configuration de bits recherchée. C'est la méthode préférée qui est obligatoire pour le Contrôle de Châssis Série type L2.

41. Byte synchronization.

In byte-serial mode, the system clock signals indicate the occurrence of successive bytes, and are used by SCCs and the SD as a direct means of byte synchronization.

In bit-serial mode, each 8-bit byte is transmitted within a frame of START and STOP bits. In order to extract the 8-bit byte from the serial bit stream, each receiving device has to identify the framing bits correctly and thus achieve and maintain byte synchronism.

41.1 *Maintenance of byte synchronism*

When byte synchronism has been established, a Serial Crate Controller or Serial Driver operating in bit-serial mode shall, after having received a byte frame, treat the next logic "0" bit in the received bit stream as the start of a 10-bit byte frame.

In the context of a correctly-framed sequence of bytes, this is equivalent to recognizing the first 0-after-1 sequence.

41.2 *Loss of byte synchronism*

Loss of byte-synchronism occurs when a Serial Crate Controller or Serial Driver is unable to identify the framing bits (STOP bit and START bit) in the received bit-stream.

When the SCC or SD receives a logic "0" bit in the appropriate context, this is assumed to be the beginning of a 10-bit framed byte. The validity of this assumption is tested by examining the tenth bit of the byte.

Under error conditions, the SCC or SC can falsely identify some other logic "0" bit as being a START bit. In a correctly-framed byte, the tenth bit is the STOP bit, and is logic "1". The tenth bit in a falsely-framed byte can be either logic "0" or logic "1".

If it is logic "0", this is a clear indication of loss of byte synchronism. If it is logic "1", there is no clear indication of either loss or maintenance of byte synchronism. Thus, a number of incorrectly-framed bytes can be received before loss of byte synchronism is detected.

When operating in bit-serial mode, a Serial Crate Controller shall perform a byte-framing test on the tenth bit of each received byte-frame. If this bit is in the logic "0" state, the SCC shall adopt LOST BYTE SYNC status.

41.3 *Establishing byte synchronism*

A Serial Crate Controller with LOST BYTE SYNC status shall search the received bit-stream for the bit-pattern 1,11100000,0₂, corresponding to a WAIT byte with START and STOP bits, before re-asserting byte-synchronism status.

The SCC shall perform this search for a WAIT-byte pattern by either:

- a) **In each bit-period, comparing the last 10 bits that have been received and the required bit-pattern. This is the preferred method, which is mandatory for Serial Crate Controller Type L2.**

- b) Dans chaque enveloppe de caractère reçue (identifiée par le contexte 0-après-1 du bit DÉPART et confirmée par l'état «1» du bit ARRÊT) en comparant les 8 bits contenus dans le caractère et les 8 bits de la configuration du caractère ATTENTE. C'est une autre méthode, non autorisée dans le Contrôleur de Châssis Série type L2.

Après l'établissement du synchronisme des caractères de cette façon, il est maintenu comme indiqué au paragraphe 41.1.

42. Perte de synchronisme: Actions du Contrôleur de Châssis Série

Un Contrôleur de Châssis Série qui a perdu le synchronisme des caractères ou des messages doit retransmettre à sa porte de sortie le flux de bits ou de caractères reçus à sa porte d'entrée.

Quand un Contrôleur de Châssis Série est en état «PERTE DU SYNCHRONISME DES CARACTÈRES» ou «PERTE DU SYNCHRONISME DES MESSAGES», il ne doit pas accepter de Messages d'Ordre à son adresse ni émettre de Message de RÉPONSE ou de DEMANDE. Si le Contrôleur de Châssis Série a déjà accepté le caractère EN-TÊTE d'un Message d'Ordre à son adresse et s'il perd le synchronisme il ne doit pas commencer l'émission d'un Message de Réponse, ni continuer l'émission d'un Message de Réponse déjà commencé.

Si un Contrôleur de Châssis Série perd le synchronisme des caractères, il doit mettre hors circuit la Mémoire tampon. D'autre part, un Contrôleur de Châssis Série qui a perdu le synchronisme des messages ne doit ni mettre en circuit, ni mettre hors circuit la Mémoire tampon.

Les réalisations courantes du Contrôleur de Châssis Série (y compris celle décrite dans l'article A2 de l'annexe A) possèdent deux types de trajets internes de données. L'un est un circuit bit-série direct qui transfère tous les bits de la porte d'entrée à la porte de sortie et qui est indépendant du synchronisme des caractères. L'autre est un circuit essentiellement séquentiel qui transfère les 8 bits contenus dans les enveloppes de caractère et qui dépend d'un synchronisme des caractères correct. La déformation du flux de bits-série est réduite en mettant hors circuit la Mémoire tampon quand le synchronisme des caractères est perdu de façon à utiliser le circuit bit-série direct intérieur.

SECTION ONZE — ACCÈS AUX REGISTRES DANS LE CONTRÔLEUR DE CHÂSSIS SÉRIE

Les ordres acceptés par un Contrôleur de Châssis Série sont adressés soit à des modules dans le châssis CAMAC soit à des éléments internes du Contrôleur de Châssis Série lui-même. Dans le premier cas, l'ordre est exécuté au moyen d'une opération adressée sur l'Interconnexion. Dans le second cas, l'exécution de l'ordre n'implique pas d'opération adressée sur l'Interconnexion.

Les registres intérieurs au Contrôleur de Châssis Série sont accessibles par les Sous-adresses à la station N(30). Les éléments internes à un seul bit, sans mot de données associé, sont commandés et interrogés en utilisant les bits appropriés d'un Registre d'Etat.

Chaque Contrôleur de Châssis Série doit accepter et exécuter tous les ordres adressés à ses registres intérieurs, sauf si le Contrôleur de Châssis Série est dans l'état de by-pass. La durée du cycle de l'opération pour exécuter ces ordres ne doit pas être supérieure à celle d'une opération sur l'Interconnexion, mais, pour certaines opérations déterminées (voir paragraphes 48.2 et 48.3), le lancement du Message de RÉPONSE doit être retardé. Lorsque les ordres figurant dans le tableau VII sont exécutés successivement, les bits SQ et SX dans la partie ÉTAT doivent être conformes au tableau.

b) In each received byte-frame (identified by the 0-after-1 context of the START bit and confirmed by the logic "1" state of the STOP bit) comparing the 8-bit contents of the byte and the 8 bits of the WAIT byte pattern. This is an alternative method, not permitted in SCC Type L2.

After byte-synchronism has been established in this way, it is maintained as defined in Sub-clause 41.1.

42. Lost synchronism: Actions by SCC

A Serial Crate Controller that has lost Byte Synchronism or Message Synchronism shall retransmit at its output port the bit or byte stream received at its input port.

While an SCC is in the LOST BYTE SYNC or LOST MESSAGE SYNC state, it shall not accept Command messages addressed to it, or generate REPLY or DEMAND messages. If the SCC has already accepted the HEADER byte of a Command message addressed to it and then loses synchronism, it shall neither start to generate a Reply message nor continue the transmission of a Reply message that it has already started.

If an SCC loses byte synchronism, it shall switch out the Delay buffer. Otherwise, an SCC that has lost message synchronism shall neither switch in nor switch out the Delay buffer.

Typical implementations of the SCC (including that described in Clause A2 of Appendix A) have two types of internal data path. One is a direct bit-serial path that transfers all bits from the input port to the output port, and is independent of byte-synchronism. The other is a basically byte-serial path that transfers the 8-bit contents of byte-frames, and is dependent on correct byte synchronism. Corruption of the serial bit-stream is minimized by switching out the Delay buffer when byte-synchronism is lost, so that the direct bit-serial internal path is used.

SECTION ELEVEN — ACCESS TO REGISTERS IN THE SCC

Commands accepted by a Serial Crate Controller are addressed either to modules in the CAMAC crate, or to internal features of the SCC itself. In the first case, the command is executed by means of a Dataway addressed-operation. In the second case, the execution of the command does not involve a Dataway addressed-operation.

Internal registers of the SCC are accessed through Sub-addresses at Station N(30). Single-bit internal features, without an associated data word, are controlled and interrogated by accessing the appropriate bits of a Status Register.

Each Serial Crate Controller shall accept and execute all commands addressed to its internal registers, except when the SCC is in the bypassed state. The operation cycle time for executing these commands shall be not more than that for a Dataway operation, but in certain specified operations (see Sub-clauses 48.2 and 48.3) the initiation of the REPLY message shall be delayed. When the commands shown in Table VII are executed successively, the SQ and SX bits in the STATUS field shall be as shown in the table.

Pour tous les autres ordres adressés au Contrôleur de Châssis Série (de N(24) à N(31) compris), le bit SX du Message de Réponse doit être à l'état «1» si l'ordre peut être exécuté par le Contrôleur de Châssis Série et à l'état «0» s'il ne peut pas être exécuté.

43. Registre d'Etat

Le Registre d'Etat comprend une collection d'éléments du Contrôleur de Châssis Série à un seul bit, ayant la propriété commune d'être accessibles à la station N(30), Sous-adresse A (0). Certains bits du registre contrôlent les éléments du Contrôleur de Châssis Série et d'autres bits indiquent leur état. Les éléments accessibles par l'intermédiaire du Registre d'Etat sont décrits en détail dans le secteur douze.

L'affectation des bits dans le Registre d'Etat est donnée dans le tableau VIII avec des colonnes séparées pour les commandes exercées au moyen d'opérations d'écriture et pour les indications auxquelles on a accès par des opérations de Lecture.

Si un Contrôleur de Châssis Série permet d'accéder à un élément quelconque indiqué dans le tableau VIII, il doit le faire en passant par le ou les bits appropriés d'un Registre d'Etat comme indiqué dans le tableau. Les positions de bits indiquées comme réservées ne doivent pas être utilisées.

Les bits libres du Registre d'Etat peuvent être utilisés pour commander et interroger tous autres éléments du Contrôleur de Châssis Série sauf en cas d'interdiction formelle (comme dans le cas du Contrôleur de Châssis Série type L2). Cette spécification ne définit pas et ne coordonne pas l'utilisation des bits libres.

Les bits qui commandent les dispositifs du Contrôleur de Châssis Série peuvent être positionnés à l'état «1» et, en général, remis à l'état «0» par des opérations telles que «ÉCRITURE F» (17), «METTRE À 1 SÉLECTIVEMENT F» (19) et «REMETTRE À 0 SÉLECTIVEMENT F» (23). Chaque bit de commande dans le Registre d'Etat est associé à un bit SW correspondant dans la partie DONNÉES À ÉCRIRE du Message d'Ordre.

Les bits qui indiquent l'état des éléments intérieurs peuvent faire l'objet d'interrogations par des opérations telles que «LECTURE F» (1). Chaque bit d'indication dans le Registre d'Etat est associé à un bit SR correspondant dans la partie DONNÉES LUES du Message de Réponse.

Quand un Contrôleur de Châssis Série est mis sous tension, certains bits du Registre d'Etat doivent prendre les états indiqués dans le tableau IX.

44. Autres registres

L'accessibilité à tous les autres registres adressables dans le Contrôleur de Châssis Série au moyen des sous-adresses, de préférence à la station N(30), est recommandée.

44.1 Configuration des appels

Les éléments de traitement des demandes du Contrôleur de Châssis Série comprennent la possibilité de demander l'état des 24 signaux d'APPELS L1 à L24 de l'Interconnexion de châssis, qui forment un registre virtuel accessible à la station N(30), Groupe 2, Sous-adresse A(12). Ainsi, certains systèmes peuvent répondre à un Message de Demande provenant d'un châssis particulier en lisant la Configuration des Appels provenant de ce châssis de façon à identifier les modules qui demandent un service.

En réponse à l'ordre LIRE LA CONFIGURATION DES APPELS défini dans le tableau VII, le Contrôleur de Châssis Série doit répondre par une partie DONNÉES LUES indiquant l'état logique

For any other commands addressed to the SCC (at N(24) to N(31), inclusive), the SX bit in the Reply message shall be at logic "1" if the command can be executed by the SCC and at logic "0" if it cannot be executed.

43. Status Register

The Status Register comprises a collection of single-bit features of the SCC, with the common property that they are accessed at Station N(30), Sub-address A(0). Some bits of the register control features of the SCC, and others indicate the status of features of the SCC. The features that are accessed via the Status Register are defined in detail in Section Twelve.

The assignment of bits in the Status Register is shown in Table VIII, with separate columns for the control exercised through Write operations and the indications accessed by Read operations.

If a Serial Crate Controller provides access to any feature shown in Table VIII, it shall do so via the appropriate bit or bits of a Status Register as shown in the table. The bit positions that are shown as Reserved shall not be used.

The Free bits of the Status Register may be used to control and interrogate any other features of the SCC, unless specifically prohibited (as in the case of SCC Type L2). This specification does not define or co-ordinate the use of the Free bits.

The bits that control features of the SCC can be set to logic "1" and, in general, reset to logic "0" by operations such as WRITE F (17), SELECTIVE SET F (19) and SELECTIVE CLEAR F (23). Each control bit in the Status Register is associated with a corresponding SW bit in the WRITE-DATA field of the Command message.

The bits that indicate the status of internal features can be interrogated by operations such as READ F (1). Each indicating bit in the Status Register is associated with a corresponding SR bit in the READ-DATA field of the Reply message.

When power is applied to a Serial Crate Controller, certain bits in the Status Register shall assume the states shown in Table IX.

44. Other registers

All other addressable registers in the SCC should be accessed through sub-addresses, preferably at Station N(30).

44.1 LAM pattern

The demand-handling features of SCC include the ability to interrogate the status of the 24 Dataway LOOK-AT-ME signals, L1 to L24, which form a virtual register accessed at Station N(30), Group 2, Sub-address A(12). Thus, some systems may respond to a Demand message from a particular crate by reading the LAM pattern from that crate in order to identify the modules that require servicing.

In response to the READ LAM PATTERN command defined in Table VII, the Serial Crate Controller shall reply with a READ-DATA field indicating the logic state of the Dataway L-lines L1

des lignes L1 à L24 de l'Interconnexion de châssis, y compris toute demande simulée équivalente à L24 (voir paragraphe 47.2). L'état logique de L1 doit être indiqué par le bit SR1, etc.

La lecture de la Configuration des Appels par cette opération doit être indépendante de l'état du bit de MISE EN SERVICE DE DEMANDE du Registre d'Etat ainsi que de tout choix ou tri effectué par un codeur SGL associé. Lorsqu'il exécute l'ordre LIRE LA CONFIGURATION DES APPELS, le Contrôleur de Châssis Série ne doit pas émettre le signal OCCUPATION B = 1 sur l'Interconnexion.

44.2 Relecture des données

Cet élément recommandé du Contrôleur de Châssis Série permet de reconstituer une opération de Lecture manquée, pendant laquelle les données ont été détruites par la lecture dans le module, mais n'ont pas été reçues correctement par le Pilote Série. Chaque fois qu'un Contrôleur de Châssis Série ayant cet élément exécute un ordre de Lecture, il stocke le contenu de la partie DONNÉES LUES et le bit d'Etat SQ qu'il a assemblé pour le Message de Réponse. Ainsi, si le Pilote Série ne reçoit pas correctement le Message de Réponse, il peut émettre un Ordre RELECTURE pour accéder à cette DONNÉE LUE stockée dans le Contrôleur de Châssis Série. Le bit DERR dans la partie ÉTAT DES MESSAGES DE RÉPONSE a un rôle important dans ce processus de reconstitution (voir paragraphe 63.3 et article 64).

Tous les Contrôleurs de Châssis Série doivent répondre à l'ordre de Relecture défini dans le tableau VII en émettant un Message de Réponse ayant une partie DONNÉES LUES. Le bit SX dans la partie ÉTAT de la Réponse doit être $SX = 1$ si l'ordre de RELECTURE est exécuté par le Contrôleur de Châssis Série, et $SX = 0$ s'il ne l'est pas.

Si le Contrôleur de Châssis Série met en œuvre l'élément de Relecture, le contenu de la partie DONNÉES LUES du Message de Réponse doit être le mot de DONNÉES LUES provenant de l'opération précédente adressée au Contrôleur de Châssis Série si celle-ci était une opération Lecture correctement exécutée. Le bit SQ de la partie ÉTAT de la Réponse doit correspondre au bit DSQ du Registre d'Etat ($SQ = DSQ$).

Si un Contrôleur de Châssis Série vient d'exécuter un ordre Lecture ou de CONTRÔLE ou de COMMANDE, ou s'il n'a pas exécuté l'ordre précédent, ou s'il n'exécute pas l'ordre de Relecture, alors le contenu de la partie DONNÉES LUES n'est pas défini.

Ainsi, les DONNÉES LUES provenant d'un ordre de Lecture exécuté peuvent être reconstituées même si l'émission du Message de Réponse était imparfaite. Cela s'applique également aux ordres Lecture ayant accès aux modules et aux éléments intérieurs du Contrôleur de Châssis Série.

TABLEAU VII
Ordres exécutés par le Contrôleur de Châssis Série

Opération	Ordre			Réponse	
	N	A	F	SQ	SX
<i>Registre d'Etat</i>					
LIRE	30	0	1	1	1
ÉCRIRE	30	0	17	1	1
METTRE À 1 SÉLECTIVEMENT	30	0	19	1	1
METTRE À ZÉRO SÉLECTIVEMENT	30	0	23	1	1
RELIRE LA PARTIE DONNÉES	30	1	0	DSQ	1
LIRE LA CONFIGURATION DES APPELS	30	12	1	1	1

to L24, including any simulated demand equivalent to L24 (see Sub-clause 47.2). The logic state of L1 shall be indicated by bit SR1, etc.

The LAM pattern read by this operation shall be independent of the status of the DEMAND ENABLE bit of the Status Register and of any selection or grading made by an associated SGL Encoder. While executing the READ LAM PATTERN command, the SCC shall not generate the DATAWAY BUSY signal $B = 1$.

44.2 Re-read data

This recommended feature of SCC allows recovery from an unsuccessful Read operation during which data has been read destructively from a module but not received correctly by the SD. Whenever an SCC with this feature executes a Read command, it stores the contents of the READ-DATA field and SQ status bit that it has assembled for the Reply message. Thus, if the SD fails to receive the Reply message correctly, it can generate a RE-READ command to access this stored READ DATA from the SCC. The DERR bit in the Status field of REPLY MESSAGES has an important role in this recovery process, see Sub-clause 63.3 and Clause 64.

All Serial Crate Controllers shall respond to the RE-READ command defined in Table VII by generating a Reply message with READ-DATA field. The SX bit in the STATUS field of the Reply shall be $SX = 1$ if the RE-READ command is implemented by the SCC, and $SX = 0$ if it is not.

If the SCC implements the RE-READ feature, the contents of the READ-DATA field in the Reply message shall consist of the READ-DATA word resulting from the previous operation addressed to the SCC, if this was a correctly executed Read operation. The SQ bit in the STATUS field of the reply shall correspond to the DSQ bit in the Status Register ($SQ = DSQ$).

If an SCC has just executed a Write or Control command, or has not executed the previous command, or does not implement the Re-read command, then the contents of the READ-DATA field are undefined.

Thus, the Read data resulting from an executed Read command can be recovered, even if transmission of the Reply message was not completed. This applies equally to Read commands accessing modules and internal features of the SCC.

TABLE VII
Commands implemented by the SCC

Operation	Command			Response	
	N	A	F	SQ	SX
<i>Status Register</i>					
READ	30	0	1	1	1
WRITE	30	0	17	1	1
SELECTIVE SET	30	0	19	1	1
SELECTIVE CLEAR	30	0	23	1	1
RE-READ DATA FIELD	30	1	0	DSQ	1
READ LAM PATTERN	30	12	1	1	1

TABLEAU VIII
Affectation des bits du Registre d'Etat

Bit du Registre d'Etat	Opérations d'écriture	Opérations de Lecture	Remarques
	L'état «1» dans le Registre commande:	L'état «1» dans le Registre indique:	
1	EMETTRE Z	(Toujours «0»)	} Remise à l'état «0» automatique
2	EMETTRE C	(Toujours «0»)	
3	POSITIONNER I = 1	$I_s = 1$	} Etat de la réponse précédente
4	-	$DERR = 1$	
5	-	$DSX = 1$	
6	-	$DSQ = 1$	
7	-	$I = 1$ sur l'Interconnexion	} Réservé
8	(Réservé)	(Toujours «0»)*	
9	METTRE EN SERVICE LES DEMANDES	DEMANDES MISES EN SERVICE	} Indique un signal de commande
10	POSITIONNER DEMANDE INTERNE L24	DEMANDE INTERNE $L24 = 1$	
11	RACCOURCIR LA BOUCLE	BOUCLE RACCOURCIE	
12	APPLIQUER LE BY-PASS	(Toujours «0»)	
13	INTERCONNEXION HORS-LIGNE	INTERCONNEXION HORS-LIGNE	} Réservé
14	-	COMMUTE HORS-LIGNE	
15	(Réservé)	(Toujours «0»)*	} Réservé
16	-	LAM CHOISIE PRÉSENTE	
17	(Réservé)	(Toujours «0»)*	} Réservé
18	(Réservé)	(Toujours «0»)*	
19	(Réservé)	(Toujours «0»)*	} Réservé
20	(Réservé)	(Toujours «0»)*	
21	A la demande	A la demande	} Utilisation libre
22	A la demande	A la demande	
23	A la demande	A la demande	
24	A la demande	A la demande	

* S'applique quand le bit est à l'état RÉSERVÉ.

TABLEAU IX
Etat initial des bits du Registre d'Etat après mise sous tension

Bit du Registre d'Etat	Etat après mise sous tension	Condition
3	1	Positionner l'inhibition ($I = 1$)
9	0	Demandes hors service
10	0	$L24$ interne = 0
11	0	Boucle non raccourcie
12	1	Contrôleur de Châssis Série en by-pass
13	1	Interconnexion de châssis hors-ligne

TABLE VIII
Assignment of Status Register bits

Status Register bit	Write operations	Read operations	Comment
	Logic "1" into Register controls:	Logic "1" from Register indicates:	
1	GENERATE Z	(Always 0)	} Automatic reset to logic "0"
2	GENERATE C	(Always 0)	
3	SET I = 1	$I_{out} = 1$	} Previous reply status
4	-	$DERR = 1$	
5	-	$DSX = 1$	
6	-	$DSQ = 1$	
7	-	Dataway I = 1	Reserved
8	(Reserved)	(Always 0)*	
9	ENABLE DEMANDS	DEMANDS ENABLED	Indicates Control Signal
10	SET INTERNAL DEMAND L24	INTERNAL DEMAND $L24 = 1$	
11	COLLAPSE LOOP	LOOP COLLAPSED	
12	APPLY BYPASS	(Always 0)	Reserved
13	DATAWAY OFF-LINE	DATAWAY OFF-LINE	
14	-	SWITCH "OFF-LINE"	Reserved
15	(Reserved)	(Always 0)*	
16	-	SELECTED LAM PRESENT	Reserved
17	(Reserved)	(Always 0)*	
18	(Reserved)	(Always 0)*	Reserved
19	(Reserved)	(Always 0)*	Reserved
20	(Reserved)	(Always 0)*	Reserved
21	As required	As required	Free use
22	As required	As required	Free use
23	As required	As required	Free use
24	As required	As required	Free use

* Applies while bit has RESERVED status

TABLE IX
Initial state of Status Register bits after power-up

Status Register bit	State after power-up	Condition
3	1	Inhibit set ($I = 1$)
9	0	Demands disabled
10	0	Internal $L 24 = 0$
11	0	Loop not collapsed
12	1	SCC bypassed
13	1	Dataway off-line

SECTION DOUZE — ÉLÉMENTS DU CONTRÔLEUR DE CHÂSSIS SÉRIE ACCESSIBLES PAR LE REGISTRE D'ÉTAT

Cette section décrit les éléments du Contrôleur de Châssis Série dont l'état peut être contrôlé ou demandé par des opérations adressées au Registre d'Etat.

45. Commandes générales de l'Interconnexion

L'émission des signaux de commande générale de l'Interconnexion, INITIALISATION (Z), REMISE À ZÉRO (C) et INHIBITION (I) est commandée par des bits déterminés du Registre d'Etat.

45.1 Initialisation et Remise à zéro

Le bit 1 du Registre d'Etat commande l'émission de l'INITIALISATION et le bit 2 commande la REMISE À ZÉRO, comme des opérations uniques.

Si le Contrôleur de Châssis Série est dans l'état Interconnexion en ligne (voir paragraphe 48.1) et n'est pas en By-pass (voir paragraphe 48.2), il doit répondre aux ordres qui mettent le bit 1 ou le bit 2 du Registre d'Etat à l'état «1» en émettant une opération non adressée sur l'Interconnexion (en conformité avec le paragraphe 7.1.3.2 de la Publication 516 de la CEI). L'opération doit être accompagnée par le signal Z si le bit 1 est dans l'état «1» ou par le signal C si le bit 2 est dans l'état «1». Le Contrôleur de Châssis Série doit remettre à l'état «0» le bit 1 ou le bit 2, selon le cas, avant la fin de l'opération sur l'Interconnexion.

Si le Contrôleur de Châssis Série est dans l'état Interconnexion en ligne et n'est pas en BY-PASS, il doit permettre la mise à l'état «1» des bits 1 et 2 du Registre d'Etat par des opérations d'écriture dans le Registre d'Etat ou de positionnement sélectif dont les bits SW1 ou SW2 de la partie DONNÉES À ÉCRIRE de Message d'Ordre ont les valeurs respectives appropriées.

Si le Contrôleur de Châssis Série est dans l'état INTERCONNEXION HORS LIGNE ou est en by-pass (bit 12 du Registre d'Etat dans l'état «1»), il doit maintenir les bits 1 et 2 du Registre d'Etat dans l'état «0». Il ne doit pas émettre une opération sur l'Interconnexion en réponse aux Ordres qui voudraient mettre ces bits à l'état «1».

Les bits SR1 et SR2 du mot de données lu à partir du Registre d'Etat doivent toujours être à l'état «0».

45.2 Inhibition

Le signal INHIBITION (I) SUR L'INTERCONNEXION, émis par le Contrôleur de Châssis Série, est commandé par le bit 3 du Registre d'Etat.

Si le Contrôleur de Châssis Série est dans l'état INTERCONNEXION EN LIGNE et n'est pas en by-pass (bit 12 du Registre d'Etat = 0) il doit émettre un signal de sortie sur la ligne INHIBITION DE L'INTERCONNEXION correspondant à l'état logique du bit 3 du Registre d'Etat ($I_s = \text{bit 3}$).

Si le Contrôleur de Châssis Série est soit dans l'état INTERCONNEXION HORS LIGNE (voir paragraphe 48.1) soit dans l'état de by-pass (bit 12 du Registre d'Etat = 1), il doit émettre un signal de sortie à l'état «0» sur la ligne INHIBITION DE L'INTERCONNEXION, indépendamment de l'état logique du bit 3 du Registre d'Etat ($I_s = 0$). La ligne INHIBITION est ainsi libre de prendre l'état «0» si aucun autre élément ne l'amène à l'état 1.

SECTION TWELVE — FEATURES OF THE SCC ACCESSED VIA THE STATUS REGISTER

This section defines the features of SCC whose status can be controlled and/or interrogated by operations addressed to the Status Register.

45. Dataway common controls

Generation of the Dataway common control signals INITIALIZE (Z), CLEAR (C), and INHIBIT (I) is controlled by assigned bits of the Status Register.

45.1 Initialize and Clear

Bit 1 of the Status Register controls the generation of INITIALIZE, and Bit 2 controls CLEAR, as single-shot operations.

If the Serial Crate Controller is in the Dataway on-line state (see Sub-clause 48.1) and is not bypassed (see Sub-clause 48.2), it shall respond to commands that set Bit 1 or Bit 2 of the Status Register to logic "1" by generating a Dataway unaddressed-operation (conforming to Section 7.1.3.2 of IEC Publication 516). The operation shall be accompanied by the Z signal if Bit 1 = 1 or by the C signal if Bit 2 = 1. The SCC shall reset Bit 1 or Bit 2, as appropriate, to logic "0" not later than the end of the Dataway operation.

If the SCC is in the Dataway on-line state and is not bypassed, it shall allow Bits 1 and 2 of the Status Register to be set to logic "1" by operations that write into or selectively set the Status Register and have the appropriate value of Bit SW1 or SW2, respectively, in the WRITE-DATA field of the Command message.

If the SCC is in the DATAWAY OFF-LINE state or is bypassed (Status Register Bit 12 in the "1" state), it shall maintain Bits 1 and 2 of the Status Register in the "0" state. It shall not generate a Dataway operation in response to Commands that attempt to set these bits to logic "1".

Bits SR1 and SR2 of the data word read from the Status Register shall always be logic "0".

45.2 Inhibit

The DATAWAY INHIBIT signal (I) generated by the SCC is controlled by Bit 3 of the Status Register.

If the Serial Crate Controller is in the DATAWAY ON-LINE state and is not bypassed (Status Register Bit 12 = 0), it shall generate an output to the DATAWAY INHIBIT line corresponding to the logic state of Bit 3 of the Status Register ($I_s = \text{Bit 3}$).

If the SCC is either in the DATAWAY OFF-LINE state (see Sub-clause 48.1) or is bypassed (Status Register Bit 12 = 1), it shall generate a logic "0" output to the DATAWAY INHIBIT line, irrespective of the logic state of Bit 3 of the Status Register ($I_s = 0$). The INHIBIT line is thus free to take up the "0" state if no other unit is driving it to the "1" state.

Dans toutes les conditions, le bit SR3 de la partie DONNÉES LUES de la réponse aux ordres qui lisent le Registre d'Etat doit indiquer l'état du bit 3 du Registre, et le bit SR 7 doit indiquer l'état de la ligne INHIBITION DE L'INTERCONNEXION (bit 7 dans l'état «1»).

S'il y a une autre source du signal INHIBITION, l'état du bit 7 n'est pas nécessairement le même que celui du bit 3.

Le Contrôleur de Châssis Série doit permettre au bit 3 du Registre d'Etat d'être mis à «1» ou d'être remis à zéro par des opérations d'écriture en utilisant la valeur appropriée du bit SW3 dans la partie DONNÉES À ÉCRIRE. Il ne doit pas permettre au bit 7 d'être mis à «1» ou remis à zéro par des opérations d'écriture.

Le bit 3 du Registre d'Etat doit être mis à l'état «1» quand le Contrôleur de Châssis Série accomplit une opération d'INITIALISATION SUR L'INTERCONNEXION.

46. Etat de l'Echange Ordre-Réponse

Trois bits du Registre d'Etat indiquent l'état de l'échange précédent traité par le Contrôleur de Châssis Série et sont particulièrement associés aux moyens de corriger certains types d'erreurs (voir article 64).

Le bit 4 est le bit DIFFÉRÉ D'ERREUR (DERR) indiquant l'état d'erreur de l'échange précédent.

Le bit 5 est le bit DIFFÉRÉ D'ORDRE ACCEPTÉ (DSX), indiquant la réponse X résultant de l'échange précédent.

Le bit 6 est le bit DIFFÉRÉ DE RÉPONSE (DSQ), indiquant la réponse Q résultant de l'échange précédent.

Dans la réponse aux ordres qui lisent le contenu du Registre d'Etat, les bits SR4, SR5 et SR6 de la partie DONNÉES DE LECTURE doivent indiquer l'état respectif des bits 4, 5 et 6 du Registre d'Etat. Il ne doit pas être possible d'écrire dans ces bits du registre.

Avant de terminer ou d'abandonner un échange Ordre-Réponse, un Contrôleur de Châssis Série qui accomplit ces opérations doit positionner les bits DERR, DSX et DSQ du Registre d'Etat comme suit:

Les bits DSX et DSQ doivent être positionnés pour correspondre à l'état respectif des réponses SX et SQ à la fin de l'opération.

Le bit DERR doit être mis à l'état «1» si l'échange est abandonné avant que le Contrôleur de Châssis Série n'ait accepté des réponses Q et X valables (et éventuellement des DONNÉES LUES), ou si le résultat de l'échange est la réponse d'erreur $ERR = 1$ ou la réponse de l'Interconnexion $X = 0$.

Si l'échange est abandonné avant l'exécution de l'ordre si bien qu'il n'y a pas de réponse X et Q de l'Interconnexion concernant cet échange, il convient que les bits DSX et DSQ soient mis à l'état «0».

47 Traitement des Demandes

Les bits 9, 10 et 16 du Registre d'Etat (voir article 43) sont concernés par la commande, les essais et la surveillance des activités relatives au traitement des demandes dans le Contrôleur de Châssis Série.

Under all conditions, Bit SR3 of the READ-DATA field of the reply to commands that read the Status Register shall indicate the state of Bit 3 of the Register, and Bit SR7 shall indicate the state of the DATAWAY INHIBIT line (Bit 7 = 1).

If there is another source of the INHIBIT signal, the state of Bit 7 is not necessarily the same as that of Bit 3.

The Serial Crate Controller shall allow Bit 3 of the Status Register to be set or reset by Write operations, using the appropriate value of Bit SW3 in the Write-data field. It shall not allow Bit 7 to be set or reset by Write operations.

Bit 3 of the Status Register shall be set to logic "1" when the SCC performs a DATAWAY INITIALIZE operation.

46. Command/Reply transaction status

Three bits of the Status Register indicate the status of the previous transaction handled by the SCC, and are particularly associated with the means of recovery from certain types of error (see Clause 64).

Bit 4 is the DELAYED ERROR bit (DERR), indicating the error status of the previous transaction.

Bit 5 is the DELAYED COMMAND-ACCEPTED bit (DSX), indicating the X-response resulting from the previous transaction.

Bit 6 is the DELAYED Q-RESPONSE bit (DSQ), indicating the Q-response resulting from the previous transaction.

In the reply to commands that read the contents of the Status Register, Bits SR4, SR5 and SR6 in the READ-DATA field shall indicate the current state of Bits 4, 5 and 6, respectively, of the Status Register. It shall not be possible to write into these bits of the register.

Before completing or abandoning a Command/Reply transaction, an SCC that implements these features shall set the DERR, DSX and DSQ bits of the Status Register as follows:

The DSX and DSQ bits shall be set to correspond with the current state of the SX and SQ responses, respectively, at the end of the operation.

The DERR bit shall be set to logic "1" if the transaction is abandoned before the SCC has accepted valid Q and X responses (and READ DATA, if appropriate), or if the transaction results in the error response ERR-1 or the Dataway response $X = 0$.

If the transaction is abandoned before executing the command, so that there are no Dataway X and Q responses related to the transaction, the DSX and DSQ bits should be set to logic "0".

47. Demand handling

Bits 9, 10 and 16 of the Status Register (see Clause 43) are concerned with the control, testing and monitoring of the Demand-handling activities in the SCC.

47.1 *Message de DEMANDE DE MISE EN SERVICE*

Le bit 9 du Registre d'Etat commande l'Initialisation des Messages de Demande par le Contrôleur de Châssis Série en réponse aux signaux L de l'Interconnexion ou à la demande simulée sur L24, ou à toute source de demande intérieure au Contrôleur de Châssis Série.

Toute Initialisation de Messages de Demande par le Contrôleur de Châssis Série doit être mise hors service quand le bit 9 du Registre d'Etat est dans l'état «0». Quand le bit 9 est dans l'état «1», les Messages de Demande peuvent être lancés sous réserve des conditions définies à l'article 24.

Le Contrôleur de Châssis Série doit permettre au bit 9 du Registre d'Etat d'être mis à «1» ou remis à zéro par des opérations d'écriture dans le Registre d'Etat, en utilisant les valeurs appropriées du bit SW9 dans la partie DONNÉES À ÉCRIRE. Le bit SR9 du mot de données lu à partir du Registre d'Etat doit indiquer l'état actuel du bit 9 du Registre.

47.2 *Demande L24*

Pour permettre son contrôle, le Contrôleur de Châssis Série contient un moyen de simuler un signal APPEL de (LAM) à partir de la ligne L24 de l'Interconnexion. L'émission d'un Message de Demande et le contenu de sa partie SGL dépendra des conditions appropriées présentes sur le connecteur d'Appels Codés SGL et de l'initialisation des Messages de Demande qui ont été mis en service (bit 9 du Registre d'Etat à l'état «1»).

Quand le bit 10 du Registre d'Etat est à l'Etat «1», le Contrôleur de Châssis Série doit simuler un signal d'entrée provenant de la ligne L24 de l'Interconnexion. La demande simulée doit être disponible sur le connecteur d'Appels Codés SGL pour sélection et codage.

Le Contrôleur de Châssis Série doit permettre au bit 10 du Registre d'Etat d'être mis à «1» ou remis à zéro par des opérations d'écriture, en utilisant la valeur appropriée du bit SW10 de la partie DONNÉES D'ÉCRITURE du Message d'Ordre. Le bit SR10 de la partie DONNÉES LUES de la réponse à des ordres de lecture du Registre d'Etat doit indiquer l'état présent du bit 10 du Registre.

47.3 *Présence d'un Appel Sélectionné*

Le bit 16 du Registre d'Etat indique si l'un des signaux-L de l'Interconnexion (y compris L24) sélectionné par le Codeur-SGL externe est présent. Un Codeur SGL simple peut déduire cette condition directement du signal SOMME (voir paragraphe 54.2) qui est la combinaison OU des 24 signaux L. Un codeur plus élaboré, ayant la possibilité de masquer les signaux L indésirables peut déduire la condition de la combinaison OU des signaux L sélectionnés.

Le bit SR16 de la partie DONNÉES LUES de la réponse aux ordres qui lisent le Registre d'Etat doit indiquer l'état présent du bit 16 du registre. Il ne doit pas être possible d'écrire dans le bit 16.

48. **Options de reconfiguration du système**

Trois bits du Registre d'Etat commandent l'état INTERCONNEXION HORS LIGNE du Contrôleur de Châssis Série ainsi que tout dispositif de commutation du BY-PASS ou de RACCOURCISSEMENT DE BOUCLE utilisé pour changer la configuration de l'Interconnexion de Branche Série.

47.1 *ENABLE DEMAND messages*

Bit 9 of the Status Register controls the initiation of Demand messages by the SCC in response to Dataway L-signals, or to the simulated demand on L24, or to any internal source of demands within the SCC.

All initiation of Demand messages by the Serial Crate Controller shall be disabled when Bit 9 of the Status Register is in the logic "0" state. When Bit 9 is in the logic "1" state, Demand messages can be initiated, subject to the conditions defined in Clause 24.

The Serial Crate Controller shall allow Bit 9 of the Status Register to be set or reset by Write Status Register operations, using the appropriate values of Bit SW9 in the WRITE-DATA field. Bit SR9 of the data-word read from the Status Register shall indicate the current state of Bit 9 of the register.

47.2 *Demand L24*

As a test facility, the SCC includes a means of simulating a LOOK-AT-ME signal from Dataway line L24. The generation of a Demand message, and the contents of its SGL-field, will depend on the appropriate conditions being present at the SGL-Encoder connector and on the initiation of Demand messages having been enabled (Status Register Bit 9 at logic "1").

When Bit 10 of the Status Register is in the "1" state, the Serial Crate Controller shall simulate an input from Dataway L24. The simulated demand shall be available at the SGL-Encoder connector for selection and encoding.

The Serial Crate Controller shall allow Bit 10 of the Status Register to be set or reset by Write Status Register operations, using the appropriate value of Bit SW10 in the WRITE-DATA field of the Command message. Bit SR10 of the READ-DATA field of the reply to commands that read the Status Register shall indicate the current state of Bit 10 of the register.

47.3 *Selected-LAM present*

Bit 16 of the Status Register indicates whether any Dataway L-signal (including L24) selected by the external SGL-Encoder unit is presenting an active demand. A simple SGL-Encoder may derive this condition directly from the L-SUM signal (see Sub-clause 54.2) which is the OR-combination of the 24 L-signals. A more complex encoder with facilities for masking out unwanted L-signals may derive the condition from the OR-combination of the selected L-signals.

Bit SR16 of the READ-DATA field in the reply to commands that read the Status Register shall indicate the current state of Bit 16 of the Register. It shall not be possible to write into Bit 16.

48. **Reconfiguration options**

Three bits in the Status Register control the DATAWAY OFF-LINE state of the SCC and any BYPASS or LOOP-COLLAPSE switching devices used to change the configuration of the Serial Highway.

48.1 *Etat INTERCONNEXION HORS LIGNE*

Ce dispositif d'essai et de maintenance du Contrôleur de Châssis Série est commandé à la fois par le bit 13 du Registre d'Etat et par une commande manuelle du panneau avant (voir paragraphe 49.2). L'état actuel de la commande manuelle est indiqué par le bit 14 du Registre d'Etat. Quand un Contrôleur de Châssis Série est dans l'état INTERCONNEXION HORS LIGNE, il convient d'isoler l'une de l'autre l'Interconnexion de châssis et l'Interconnexion de Branche Série de façon que les opérations puissent continuer indépendamment sur les deux. Par exemple, cette isolation permet à un contrôleur auxiliaire d'effectuer des opérations sur l'Interconnexion de châssis indépendamment des opérations sur l'Interconnexion de Branche Série. (Il convient donc que l'isolation n'empêche pas l'accès aux lignes N à partir du contrôleur auxiliaire, voir paragraphe 58.1.)

Quand un Contrôleur de Châssis Série est dans l'état INTERCONNEXION HORS LIGNE, il doit recevoir et transmettre tous les messages de l'Interconnexion de Branche Série. Il ne doit exécuter aucun ordre adressé à un module des stations N(1) à N(23), mais doit envoyer un message de RÉPONSE de format approprié au code de Fonction et avec SQ = 0 et SX = 0 dans la partie ETAT. Il doit exécuter les ordres adressés au Registre d'Etat mais ne doit pas mettre à l'état «1» le bit 1 ou le bit 2 du Registre d'Etat.

Lorsqu'il exécute des ordres adressés à un élément quelconque du Contrôleur de Châssis Série, un Contrôleur de Châssis Série hors ligne ne doit pas émettre les signaux ÉCHANTILLONNAGE S1 et S2 sur l'Interconnexion de châssis. Si l'isolation recommandée entre l'Interconnexion de châssis et l'Interconnexion de Branche Série n'est pas effectuée, le Contrôleur de Châssis Série doit émettre OCCUPATION = 1 sur l'Interconnexion de châssis lorsqu'il exécute les ordres adressés aux éléments du Contrôleur de Châssis Série à l'exception de l'ordre «LECTURE DE CONFIGURATION DES APPELS».

Un Contrôleur de Châssis Série Hors ligne ne doit pas émettre de Messages de DEMANDE en réponse aux signaux L de l'Interconnexion de châssis, mais doit le faire en réponse à des demandes internes.

Si le Contrôleur de Châssis Série a une source de demande interne autre que L24 susceptible d'émettre des Messages de Demande, il doit pouvoir exécuter l'ordre «LECTURE DE CONFIGURATION DES APPELS» (voir paragraphe 44.1) lorsqu'il est Hors ligne.

Le Contrôleur de Châssis Série doit prendre l'état HORS LIGNE soit lorsque la commande manuelle du panneau avant est dans la position HORS LIGNE soit lorsque le bit 13 du Registre d'Etat est à l'état «1». Il doit prendre l'état EN LIGNE uniquement lorsque simultanément la commande manuelle du panneau avant est dans la position EN LIGNE et le bit 13 du Registre d'Etat est à l'état «0» (voir tableau X).

Ainsi la commande manuelle du panneau avant peut imposer l'état HORS LIGNE mais a besoin du consentement du Contrôleur de Système (par l'intermédiaire du bit 13) pour prendre l'état EN LIGNE.

Un Contrôleur de Châssis Série doit différer la commutation de l'état EN LIGNE à l'état HORS LIGNE, ou vice versa, jusqu'à la fin de l'échange Ordre/Réponse qu'il est en train d'exécuter.

Un Contrôleur de Châssis Série qui accomplit cette opération doit permettre au bit 13 du Registre d'Etat d'être mis à l'état «1» ou remis à zéro par des opérations ÉCRITURE dans le Registre d'Etat avec la valeur appropriée du bit SW13 dans la partie DONNÉES À ÉCRIRE du Message d'Ordre.

48.1 DATAWAY OFF-LINE state

This test and maintenance feature of the SCC is controlled jointly by Bit 13 in the Status Register and a front-panel manual control (see Sub-clause 49.2). The current state of the manual control is indicated by Bit 14 of the Status Register. When an SCC is in the DATAWAY OFF-LINE state, the Dataway and Serial Highway should be isolated from each other, so that operations on both can continue independently. For example, this isolation allows an auxiliary controller to perform Dataway operations independently of any operations taking place on the SH. (The isolation should therefore not prevent access by the auxiliary controller to the N-lines; see Sub-clause 58.1.)

When a Serial Crate Controller is in the DATAWAY OFF-LINE state it shall receive and transmit all Serial Highway messages. It shall not execute any command addressed to a module at Stations N(1) to N(23), but shall send a REPLY message with format appropriate to the Function code and with SQ = 0 and SX = 0 in the STATUS field. It shall execute commands addressed to the Status Register, but shall not set Bit 1 or Bit 2 of the Status Register to the logic "1" state.

While executing commands addressed to any feature of the SCC, an Off-line SCC shall not generate DATAWAY STROBE signals S1 and S2. If the recommended isolation of the Dataway from the Serial Highway is not implemented, then the SCC shall generate BUSY = 1 on the Dataway while executing all commands addressed to features of the SCC, except the READ LAM-PATTERN command.

An Off-line SCC shall not generate DEMAND messages in response to Dataway L-signals, but may do so in response to internal demands.

If the SCC has any internal demand sources, other than L24, that can generate DEMAND messages, it shall be able to execute the READ LAM-PATTERN command (see Sub-clause 44.1) while it is off-line.

The SCC shall assume the OFF-LINE state when either the front panel manual control is in the OFF-LINE position or Bit 13 of the Status Register is at logic "1". It shall assume the ON-LINE state only when both the front panel manual control is ON-LINE and Bit 13 of the Status Register at logic "0" (see Table X).

Thus, the front panel manual control can force the OFF-LINE state, but requires the consent of the System Controller (via Bit 13) in order to select the ON-LINE state.

A Serial Crate Controller shall defer switching from ON-LINE to OFF-LINE, or from OFF-LINE to ON-LINE, until the completion of any Command/Reply transaction in which it is engaged.

An SCC that implements this feature shall allow Bit 13 of the Status Register to be set or reset by WRITE Status Register operations with the appropriate value of Bit SW13 in the WRITE-DATA field of the Command message.

Les bits SR13 et SR14 de la partie DONNÉES LUES de la réponse aux ordres de Lecture adressées au Registre d'Etat doivent indiquer les états présents respectifs du bit 13 du registre et de la commande manuelle HORS LIGNE.

L'état HORS-LIGNE du Contrôleur de Châssis Série est indiqué par la combinaison du bit SR13 et du bit SR14 de la partie DONNÉES DE LECTURE (voir tableau X).

48.2 *By-pass*

Cet élément du Contrôleur de Châssis Série est associé au bit 12 du Registre d'Etat et à un signal aux portes D pour commander un dispositif de By-pass externe éventuel (voir paragraphe 59.1).

Chaque Contrôleur de Châssis Série doit fournir à ses portes D de sortie et d'entrée un signal COMMANDE DE BY-PASS, conforme au paragraphe 33.1 Ce signal doit être commandé par le bit 12 du Registre d'Etat; et, en réponse à tout ordre qui met ce bit dans l'état «1», le signal de commande doit être amené à l'état «1» après l'émission du Message de Réponse. En réponse à tout ordre qui remet le bit 12 à l'état «0», la sortie du signal de commande doit être immédiatement libre pour passer à l'état «0» si aucun autre dispositif relié à la ligne COMMANDE DE BY-PASS n'est en train de le faire passer à l'état «1», mais l'Initialisation du Message de Réponse doit être différée de $100 \text{ ms} \pm 10\%$.

Le Pilote Série doit émettre une Zone RÉPONSE dans le Message d'Ordre (voir article 23) de longueur appropriée pour contenir la réponse différée.

Ainsi, la réponse à un ordre qui met en By-pass le châssis ou le groupe de châssis est transmise à l'Interconnexion de Branche Série avant l'intervention du dispositif de By-pass. La réponse aux ordres qui suppriment le By-pass du châssis ou du groupe de châssis est différée jusqu'à ce que le dispositif de By-pass ait rétabli la voie normale.

La sortie du signal de COMMANDE DE BY-PASS d'un Contrôleur de Châssis Série hors tension doit être dans l'état «1». Quand la tension est rétablie dans le Contrôleur de Châssis Série, le bit 12 du Registre d'Etat doit rester à l'état «1» jusqu'à la réception de l'ordre REMISE À ZÉRO.

Dans la partie DONNÉES LUES de la réponse aux ordres de lecture du contenu du Registre d'Etat, le bit SR12 doit toujours être à l'état «0».

Quand un Contrôleur de Châssis Série est en état de BY-PASS (bit 12 du Registre d'Etat à l'état «1»), il ne doit exécuter que les ordres qui agissent sur le Registre d'Etat pour supprimer l'état de BY-PASS en remettant le bit 12 à l'état «0». De tels ordres peuvent agir sur d'autres bits du Registre d'Etat.

Tout autre ordre reçu lorsque le Contrôleur de Châssis Série est dans l'état de BY-PASS ne doit pas être exécuté. Le Contrôleur de Châssis Série doit transmettre un message de Réponse correspondant à la partie FONCTION du message d'Ordre, et ayant les réponses $SX = 0$ et $SQ = 1$ dans la partie ETAT.

Si le Contrôleur de Châssis Série est mis en by-pass par un dispositif de By-pass externe, la réponse à un ordre non exécuté n'est pas diffusée au Pilote Série par les châssis en aval. Le By-pass externe dirige la totalité du Message d'Ordre reçu vers l'Interconnexion de Branche Série en aval.

48.3 *Raccourcissement de Boucle*

Ce dispositif du Contrôleur de Châssis Série est associé au bit 11 du Registre d'Etat et à un signal à la porte D de sortie pour commander un dispositif de comutation externe de Raccourcissement de Boucle (voir paragraphe 59.2).

Bits SR13 and SR14 in the READ-DATA field of the reply to commands that read the Status Register shall indicate the current states of Bit 13 of the register and the manual "OFF-LINE" control, respectively.

The OFF-LINE status of the SCC is indicated by the combination of Bit SR13 and Bit SR14 of the READ-DATA field (see Table X).

48.2 Bypass

This feature of the SCC is associated with Bit 12 of the Status Register, and with a signal at the D-ports to control an optional external Bypass device (see Sub-clause 59.1).

Each Serial Crate Controller shall provide at its output and input D-ports a BYPASS CONTROL signal conforming to Sub-clause 33.1. This signal shall be controlled by Bit 12 of the Status Register; and in response to any command that sets this bit to the "1" state, the control signal shall be driven to the "1" state after the Reply message has been transmitted. In response to any command that resets Bit 12 to the "0" state, the control signal output shall immediately be free to go to the "0" state if no other unit connected to the BYPASS CONTROL bus is driving it to the "1" state, but initiation of the Reply message shall be delayed for $100 \text{ ms} \pm 10\%$.

The Serial Driver shall generate a REPLY space in the Command message (see Clause 23) of appropriate length to accommodate the delayed reply.

Thus, the reply to a command that bypasses the crate or cluster is transmitted to the SH before the Bypass device operates and the reply to commands that unbypass the crate or cluster is delayed until the Bypass device has restored the normal route.

The BYPASS CONTROL signal output from an unpowered SCC shall be in the logic "1" state. When power is restored to the SCC, Bit 12 of the Status Register shall remain in the logic "1" state until it is specifically reset by command.

In the READ-DATA field of the reply to commands that read the contents of the Status Register, Bit SR12 shall always be logic "0".

While an SCC is in the BYPASSED state (Bit 12 of the Status Register in logic "1" state), it shall execute only commands that operate on the Status Register to restore the UNBYPASSED state by resetting Bit 12 to the logic "0" state. Such commands are permitted to operate on other bits of the Status Register.

Any other command received while SCC is in the BYPASSED state shall be not executed. The SCC shall transmit a Reply message appropriate to the FUNCTION field of the Command message, and with the responses $SX = 0$ and $SQ = 1$ in the STATUS field.

If the SCC is bypassed by an external Bypass device, the reply to an unexecuted command is not propagated through downstream crates to the SD. The external Bypass routes the full received Command message to the downstream Serial Highway.

48.3 Loop Collapse

This feature of the SCC is associated with Bit 11 of the Status Register and with a signal at the D-output port to control an optional external Loop Collapse switching device (see Sub-clause 59.2).

Chaque Contrôleur de Châssis Série doit fournir à sa porte D de sortir un signal de COMMANDE DE RACCOURCISSEMENT DE BOUCLE conforme au paragraphe 33.1. Ce signal doit être commandé par le bit 11 du Registre d'Etat. En réponse à tout ordre qui met le bit 11 à l'état «1», le signal de commande doit être amené à l'état «1» immédiatement et l'initialisation du Message de Réponse doit être différée de 100 ms \pm 10%. En réponse à toute opération qui remet le bit 11 à l'état «0» et après l'émission du Message de Réponse, la sortie du signal de commande doit devenir libre pour passer à l'état «0».

Le Pilote Série doit émettre une Zone RÉPONSE dans le Message d'Ordre de longueur appropriée pour contenir la réponse différée.

La sortie du signal de COMMANDE DE RACCOURCISSEMENT DE BOUCLE d'un Contrôleur de Châssis Série hors tension doit être à l'état «0». Quand la tension est rétablie dans le Contrôleur de Châssis Série, le bit 11 du Registre d'Etat doit rester à l'état «0» jusqu'à la réception d'un ordre de commande.

Il convient que les ordres pour commander un dispositif externe de Raccourcissement de Boucle soient adressés au dernier châssis d'un groupe. Ainsi, la réponse à un ordre qui raccourcit la boucle (par exemple pour couper un Contrôleur de Châssis Série ou une section d'Interconnexion de Branche Série en mauvais fonctionnement) est différée jusqu'à ce qu'elle puisse être transmise par dessus la boucle raccourcie. La réponse à un ordre qui élargit la boucle (rétablissant aussi l'utilisation des Contrôleurs de Châssis Série qui pouvaient avoir perdu le synchronisme) est émise par la boucle raccourcie avant son extension.

Dans la partie DONNÉES LUES de la réponse aux ordres de lecture du contenu du Registre d'Etat, le bit SR11 doit indiquer l'état du bit 11 du registre.

TABLEAU X

Commande de l'état Interconnexion de Châssis Hors ligne

Commutation manuelle	Bit 13 du Registre d'Etat	Etat de de l'Interconnexion de Châssis
EN LIGNE	0	EN LIGNE
HORS LIGNE	0	HORS LIGNE
EN LIGNE	1	HORS LIGNE
HORS LIGNE	1	HORS LIGNE

SECTION TREIZE — CONTRÔLEUR DE CHÂSSIS SÉRIE —
ÉLÉMENTS DU PANNEAU AVANT

49. Commandes manuelles

Il convient de faire figurer les commandes manuelles suivantes sur le panneau avant de chaque Contrôleur de Châssis Série.

49.1 Commutateur d'Adresse de Châssis

Il convient que chaque Contrôleur de Châssis Série ait un commutateur d'Adresse de Châssis permettant de désigner toute adresse de 01₈ à 76₈ (voir paragraphe 16.1), de préférence sans retirer le contrôleur du châssis. Des conditions particulières d'utilisation peuvent nécessiter d'autres moyens de désignation, un nombre réduit d'adresses ou la désignation de plus d'une adresse. Ces variantes sont permises sauf interdiction spécifiée (comme dans le cas du Contrôleur de Châssis Série type L2 recommandé).

Each Serial Crate Controller shall provide at its D-output port a LOOP COLLAPSE CONTROL signal conforming to Sub-clause 33.1. This signal shall be controlled by Bit 11 of the Status Register. In response to any command that sets Bit 11 to the “1” state, the control signal shall be driven to the “1” state immediately, and initiation of the Reply message shall be delayed for 100 ms ± 10%. In response to any operation that resets Bit 11 to the “0” state, after the Reply message has been transmitted, the control signal output shall become free to go to the “0” state.

The SD shall generate a REPLY space in the Command message of appropriate length to accommodate the delayed reply.

The LOOP COLLAPSE CONTROL signal output from an unpowered SCC shall be in the logic “0” state. When power is restored to the SCC, Bit 11 of the Status Register shall remain in the “0” state until it is specifically set by command.

Commands to control an external loop collapse device should be addressed to the last crate in a cluster. Thus, the reply to a command that collapses the loop (for example, to cut out a faulty SCC or section of SH) is delayed until it can be transmitted over the shortened loop. The reply to a command that extends the loop (thus bringing into use SCCs that may have lost synchronism) is transmitted over the shortened loop before the loop is extended.

In the READ-DATA field of the reply to commands that read the contents of the Status Register, Bit SR11 shall indicate the state of Bit 11 of the register.

TABLE X
Control of Dataway off-line state

Manual switch	Status Register Bit 13	Dataway state
ON-LINE	0	ON-LINE
OFF-LINE	0	OFF-LINE
ON-LINE	1	OFF-LINE
OFF-LINE	1	OFF-LINE

SECTION THIRTEEN — SERIAL CRATE CONTROLLER —
FRONT PANEL FEATURES

49. Manual controls

The following manual controls should be provided on the front panel of each SCC.

49.1 *Crate Address switch*

Each SCC should have a Crate Address switch, by which any address in the range 01₈ to 76₈ can be assigned (see Sub-clause 16.1), preferably without removing the controller from the crate. Special conditions of use may require other means of assignment, a restricted range of addresses, or the assignment of more than one address. These are permitted unless specifically excluded (as in the case of the recommended SCC type L2).

Il convient de prendre des précautions pour réduire le risque de changement accidentel de désignation d'adresse. Par exemple, le commutateur peut être prévu pour être manœuvré avec un tournevis à travers le panneau avant.

49.2 *Commutateur de mise Hors ligne de l'Interconnexion de châssis*

Ce commutateur (voir paragraphe 48.1) a deux positions identifiées, de préférence, *En ligne* et *Hors ligne*. Il est recommandé d'utiliser un commutateur dont le modèle et l'emplacement permettent de réduire le risque de changement accidentel de son état. Un inverseur à verrouillage est recommandé.

49.3 *Commutateurs d'Initialisation et de Remise à zéro*

Ces deux boutons poussoirs, ou commandes analogues à contacts temporaires, entraînent les opérations non adressées sur l'Interconnexion, avec les commandes d'INITIALISATION et de REMISE À ZÉRO respectivement. En principe, ils ne doivent fonctionner que lorsque le Contrôleur de Châssis Série est dans l'état INTERCONNEXION HORS LIGNE, ce qu'il convient d'indiquer sur le panneau avant par dessin ou marquage.

50. **Indicateurs**

Il est recommandé de faire figurer les indicateurs visuels suivants sur le panneau avant de chaque Contrôleur de Châssis Série.

50.1 *ADRESSE DE CHÂSSIS*

Indication de l'adresse choisie par le commutateur d'Adresse de châssis. Cette indication peut être une partie intégrante du mécanisme du commutateur, par exemple visible à travers une fenêtre du panneau avant.

50.2 *INTERCONNEXION EN LIGNE*

Indication que le Contrôleur de Châssis Série est dans l'état EN LIGNE. (Elle est déduite du commutateur de Mise hors ligne de l'Interconnexion et du bit 13 du Registre d'Etat.)

50.3 *INHIBITION DE L'INTERCONNEXION*

Indication de l'état du signal d'INHIBITION DE L'INTERCONNEXION.

50.4 *ETAT DÉSYNCHRONISÉ*

Indication monostable* que le Contrôleur de Châssis Série est dans l'état PERTE DU SYNCHRONISME DES MESSAGES ou PERTE DU SYNCHRONISME DES CARACTÈRES (voir figure 35, page 200, et section seize).

50.5 *CHÂSSIS DÉSIGNÉ*

Indication monostable* déduite du signal CONTRÔLEUR OCCUPÉ (voir paragraphe 54.11) et indiquant que le Contrôleur de Châssis Série a reçu un caractère EN-TÊTE à son adresse.

* Une indication monostable a un état EN SERVICE de durée minimale définie (choisie pour la visibilité) lorsque le signal d'entrée est de courte durée. Elle a un état EN SERVICE continu quand le signal d'entrée est maintenu. Elle est habituellement émise par un élément monostable à redéclenchement ayant une durée d'impulsion de sortie minimale de 10 ms.

Precautions should be taken to minimize the risk that the address assignment is changed accidentally. For example, the switch could be screwdriver-adjustable, with access through the front panel.

49.2 *Dataway off-line switch*

This switch (see Sub-clause 48.1) has two positions, preferably labelled *On-Line* and *Off-Line*. The construction or positioning of the switch should minimize the risk that its state can be changed accidentally. A locking-toggle switch is recommended.

49.3 *Initialize and clear switches*

These two pushbuttons, or similar momentary-contact controls, initiate Dataway unaddressed-operations with INITIALIZE and CLEAR, respectively. They should only be effective when the SCC is in the DATAWAY OFF-LINE state. The front panel layout or markings should indicate this.

50. Indicators

The following visual indicators should be provided on the front panel of each SCC.

50.1 *CRATE ADDRESS*

An indication of the address selected by the Crate Address switch. This indication may be an integral part of the switch mechanism, for example visible through a window in the front panel.

50.2 *DATAWAY ON-LINE*

An indication that the SCC is in the ON-LINE state. (This is derived from the Dataway off-line switch and Bit 13 of the Status Register.)

50.3 *DATAWAY INHIBIT*

An indication of the state of the DATAWAY INHIBIT signal (I).

50.4 *UNSYNCHRONIZED STATE*

A monostable* indication that the SCC is in the LOST MESSAGE SYNC or LOST BYTE SYNC state (see Figure 35, page 201, and Section Sixteen).

50.5 *CRATE ADDRESSED*

A monostable* indication derived from the CONTROLLER BUSY signal (see Sub-clause 54.11), and indicating that the SCC has received a HEADER byte addressed to it.

* A monostable indication has an ON state of defined minimum duration (chosen for visibility) when the input signal is of short duration, and a continuous ON state when the input signal is maintained. It is typically generated by a retriggerable monostable element with minimum output pulse length of 10 ms.

50.6 MESSAGE DE DEMANDE

Indication monostable* de l'état du signal INITIALISATION DU MESSAGE DE DEMANDE (voir paragraphe 54.4). Elle indique que le Contrôleur de Châssis Série a envoyé un Message de DEMANDE, ou est en train de l'envoyer ou attend l'occasion de l'envoyer.

50.7 MISE EN BY-PASS

Indication que le Contrôleur de Châssis Série est en état de BY-PASS déduite du bit 12 du Registre d'Etat. Cette indication est de préférence indépendante de la présence ou de l'état réel de tout dispositif externe de By-pass.

51. Connecteurs

Chaque Contrôleur de Châssis Série doit avoir sur son panneau avant deux connecteurs de porte D définis à l'article 31. Des marques d'identification doivent figurer sur le panneau avant, près de ces connecteurs.

Les connecteurs doivent être montés avec l'axe principal vertical et avec le contact 1 en position basse.

Les marquages préférés sont «ENTRÉE D» et «SORTIE D». Il est recommandé de monter le connecteur «ENTRÉE D» soit au-dessus, soit à gauche du connecteur «SORTIE D», quand on regarde de face.

52. Autres éléments du panneau avant

Les prescriptions de cet article n'excluent pas l'utilisation de commandes, d'indicateurs, de connecteurs, etc., supplémentaires sur le panneau avant du Contrôleur de Châssis Série, sauf lorsque cela est formellement interdit. (Par exemple, les éléments supplémentaires du panneau avant qui pourraient affecter l'interchangeabilité de fonctionnement sont interdits sur le Contrôleur de Châssis Série type L2 recommandé).

SECTION QUATORZE — CONNECTEUR D'APPELS CODÉS SGL

Les Messages de Demande sont déclenchés en réponse aux signaux (L) DE LANCEMENT D'APPEL provenant de l'Interconnexion de châssis. La partie ADRESSE DE CHÂSSIS du Message de Demande indique le châssis émetteur et la partie SGL est utilisable pour identification ultérieure des demandes, si besoin est. Ensemble, ces parties peuvent fournir un vecteur direct de branchement à un sous-programme de source d'appel ou de traitement logiciel.

Il est recommandé d'inclure, dans chaque Contrôleur de Châssis Série qui peut émettre des Messages de Demande, des dispositifs d'Initialisation de Message de Demande et de codage de la partie SGL. Une gamme importante de possibilités complémentaires peut être prévue, soit à l'intérieur du Contrôleur de Châssis Série (mais pas dans le Contrôleur de Châssis Série type L2

* Une indication monostable a un état EN SERVICE de durée minimale définie (choisie pour la visibilité) lorsque le signal d'entrée est de courte durée. Elle a un état EN SERVICE continu quand le signal d'entrée est maintenu. Elle est habituellement émise par un élément monostable à redémarrage ayant une durée d'impulsion de sortie minimale de 10 ms.

50.6 DEMAND MESSAGE

A monostable* indication of the state of the DEMAND MESSAGE INITIATE signal (see Sub-clause 54.4). This indicates that the SCC has sent a DEMAND message, or is actually sending it, or is awaiting an opportunity to send it.

50.7 BYPASSED

An indication that the SCC is in the BYPASSED state, derived from Bit 12 of the Status Register. This indication should be independent of the presence or actual condition of any external Bypass device.

51. Connectors

Each Serial Crate Controller shall have on its front panel two D-port connectors as defined in Clause 31. Identifying markings shall be provided on the front panel adjacent to the connectors.

The connectors shall be mounted with the major axis vertical, and with contact 1 lowermost.

The preferred markings are "D-INPUT" and "D-OUTPUT". The D-INPUT connector should be mounted either above or to the left of the D-OUTPUT connector when viewed from the front.

52. Other front panel features

The requirements in this clause do not exclude the use of additional controls, indicators, connectors, etc., on the front panel of SCC, except where this is specifically prohibited. (For example, additional front panel features that could affect operational interchangeability are prohibited on the recommended SCC-L2.)

SECTION FOURTEEN — SGL-ENCODER CONNECTOR

Demand messages are initiated in response to LOOK-AT-ME (L) signals from the Dataway. The CRATE ADDRESS field of the Demand message indicates the source crate, and the SGL field is available for further identification of demands, if required. Together, these fields can provide a direct vector to a LAM source or software routine.

Basic facilities for Demand message initiation and SGL-field encoding are recommended for inclusion in every SCC that can generate Demand messages. A wide range of additional facilities can be provided, either within the SCC (but not within the recommended SCC-L2) or in separate units coupled to the SCC via an SGL-Encoder connector. This arrangement is somewhat analogous

* A monostable indication has an ON state of defined minimum duration (chosen for visibility) when the input signal is of short duration, and a continuous ON state when the input signal is maintained. It is typically generated by a retriggerable monostable element with minimum output pulse length of 10 ms.

recommandé) soit dans des éléments séparés raccordés au Contrôleur de Châssis Série par un connecteur d'Appels Codés SGL. Cet arrangement est quelque peu analogue au Contrôleur de Châssis type A1 et au Tiroir de Conditionnement des Appels utilisés dans l'Interconnexion de Branche Parallèle (voir Publication 552 de la CEI).

Il existe un risque de ne pas transmettre sans erreur un Message de DEMANDE par suite de défauts dans la transmission entre le Contrôleur de Châssis Série émetteur et le Pilote Série, de sorte que la demande n'est pas satisfaite. Un élément de temporisation est décrit (voir article 56) en vue de détecter les demandes non satisfaites (DEMANDES EN ATTENTE) et de déclencher un Message de Demande ayant une partie SGL distincte. Pour d'autres aspects du traitement des Demandes, voir section cinq et article 47.

53. Prescriptions mécaniques

Il convient que chaque Contrôleur de Châssis Série soit muni d'un connecteur d'Appels Codés SGL.

Ce connecteur véhicule les signaux d'entrée et de sortie qui permettent à un Codeur SGL externe d'accéder aux signaux L de l'Interconnexion de châssis, de déduire de ceux-ci la partie SGL du Message de Demande, de détecter les demandes non satisfaites et déclencher l'émission de Messages de Demande dans les conditions normales et les conditions de DEMANDE EN ATTENTE. Le connecteur achemine également les signaux qui permettent à un contrôleur auxiliaire de fournir des informations sur le Numéro de Station codé.

Le connecteur d'Appels Codés SGL, s'il existe, doit être monté conformément à l'affectation des contacts du tableau XI. Le Contrôleur de Châssis Série doit émettre ou répondre aux signaux du connecteur d'Appels Codés SGL suivant les définitions de cette section.

Tout connecteur d'Appels Codés SGL utilisé sur un Contrôleur de Châssis Série doit être du type 130-XX CEI-325M à 52 contacts mâles, à embase fixe¹⁾. Il doit être monté à l'arrière du Contrôleur de Châssis Série au-dessus des connecteurs de l'Interconnexion de châssis, dans la surface indiquée comme libre d'accès dans la figure 3 de la Publication 516 de la CEI. Le contact 1 doit être le plus bas. Les connecteurs doivent avoir des verrouillages à vis (parties fixes)²⁾.

54. Signaux sur le connecteur d'Appels Codés SGL

La signification des signaux traversant le connecteur d'Appels Codés SGL est indiquée ci-dessous. Pour faciliter la compréhension, la figure 28, page 158, représente un schéma donnant un exemple des parties du Contrôleur de Châssis Série et du Codeur SGL étroitement associées à l'Interconnexion.

54.1 Les signaux L1 à L24 sont les signaux L de Lancement d'appels provenant des stations 1 à 24 respectivement. Le signal L24 peut être utilisé comme une demande de LAM émise à l'intérieur du Contrôleur de Châssis Série ou du Codeur SGL. En particulier, L24 peut être commandé par le bit 10 du Registre d'Etat (voir paragraphe 47.2) comme moyen de contrôle du procédé de traitement des demandes.

54.2 SOMME-L est un signal du Contrôleur de Châssis Série vers le Codeur SGL. C'est le OU INCLUSIF des signaux L1 à L24. Il indique la présence d'une ou de plusieurs demandes, indépendamment de tout processus de masquage subséquent.

¹⁾ Voir la publication 130-XX de la CEI, non encore parue à la date d'impression. Prière de se référer, en attendant, au document 48B(Bureau Central)106.

²⁾ Les normes IEEE 595-1976 et EUR 6100e indiquent des verrouillages qui conviennent.

to the Crate Controller Type A1 and separate LAM Grader used with the Parallel Highway (see IEC Publication 552).

There is a risk that a DEMAND message can be corrupted in transmission between the source SCC and the SD, so that the demand is not serviced. A time-out feature is specified (see Clause 56) in order to detect unserviced demands (HUNG DEMANDS), and to initiate a Demand message with a distinctive SGL field. For other aspects of demand-handling, see Section Five and Clause 47.

53. Mechanical requirements

Each SCC should have an SGL-Encoder connector.

This connector carries input and output signals that permit an external SGL-Encoder unit to access the Dataway L-signals, derive from them the SGL field of the Demand message, detect unserviced demands, and initiate the generation of Demand messages for normal and HUNG-DEMAND conditions. The connector also carries signals that allow an auxiliary controller to supply coded Station Number information.

The SGL-Encoder connector, if provided, shall be wired in accordance with the contact assignments shown in Table XI. The SCC shall generate, or respond to, signals at the SGL-Encoder connector as defined in this section.

Any SGL-Encoder connector used on a Serial Crate Controller shall be a 52-way IEC Type 130-XX IEC-325M fixed member with pins.¹⁾ It shall be mounted at the rear of the SCC above the Dataway connectors, within the area designated for free access in Figure 3 of IEC Publication 516. Contact 1 shall be lowermost. The connectors shall have screw-lock retainers (fixed members)²⁾.

54. Signals at the SGL-Encoder connector

The significance of the signals passing through the SGL-Encoder connector is indicated below. To assist this explanation, Figure 28 is a block diagram giving an example of parts of the SCC and SGL Encoder closely associated with the interconnection.

- 54.1 Signals L1 to L24 are the Look-at-Me (L) signals from Dataway stations 1 to 24, respectively. Signal L24 may be used as a Look-at-Me request generated within the SCC or the SGL Encoder. In particular, L24 may be controlled by Bit 10 of the Status Register (see Sub-clause 47.2) as a means of testing the demand-handling process.
- 54.2 L-SUM is a signal from SCC to the SGL Encoder. It is the INCLUSIVE OR of signals L1 to L24. It indicates the presence of one or more demands, independently of any subsequent masking process.

¹⁾ See IEC Publication 130-XX, not yet published at the time of printing. In the meantime, please refer to Document 48B(Central Office)106.

²⁾ Suitable retainers are referred to in IEEE Standard 595-1976 and in Standard EUR 6100e.

54.3 Les signaux SGLE1 à SGLE5 du Codeur SGL vers le Contrôleur de Châssis Série donnent le contenu de la partie SGL à 5 bits du Message DEMANDE.

54.4 DÉCLENCHEMENT DU MESSAGE DE DEMANDE (IMD) est un signal du Codeur SGL vers le Contrôleur de Châssis Série. Il indique la présence d'une ou de plusieurs demandes après tout processus de masquage dans le Codeur SGL. La transition «0 à 1» de ce signal commence l'émission du Message de Demande, après que toutes les conditions énumérées à l'article 24 ont été satisfaites.

54.5 PRÉSENCE D'UN APPEL SÉLECTIONNÉ (PAS) est un signal qui commande le bit 16 du Registre d'Etat (voir paragraphe 47.3). Il peut être obtenu simplement par une connexion croisée avec le signal SIGMA-L, auquel cas il indique simplement qu'un ou plusieurs signaux L de l'Interconnexion sont actifs. Un Codeur SGL plus élaboré peut dériver le signal PAS des signaux L après qu'ils ont été mis en service sélectivement par un masquage quelconque.

54.6 DEMANDE OCCUPÉE (DOC)

Ce signal venant du Contrôleur de Châssis Série indique qu'un Message DEMANDE est en cours d'assemblage. En principe, si $DOC = 1$ le Codeur SGL doit figer SGLE1 à SGLE5 de façon que le code SGLE ne change pas pendant l'émission de la partie SGL du Message de Demande.

54.7 RÉPÉTITION EXTERNE (REPEX)

Ce signal venant du Codeur SGL indique la présence d'une demande en attente. Si $REPEX = 1$ le Contrôleur de Châssis Série émet une partie SGL à 5 bits ayant la configuration de bits 11111_2 dans tout Message DEMANDE qu'il transmet.

54.8 Signal d'HORLOGE-CARACTÈRE (HC)

Ce signal du Contrôleur de Châssis Série au Codeur SGL est élaboré par le Contrôleur de Châssis Série à partir du flux de caractère incidents. Il est fourni essentiellement par un temporisateur externe de demandes non satisfaites pour utilisation dans le Codeur SGL (voir paragraphe 56.2).

Quand le Contrôleur de Châssis Série opère en mode séquentiel, les transitions «0 à 1» et «1 à 0» du signal d'HORLOGE-CARACTÈRE doivent être élaborées à partir des transitions correspondantes du signal d'horloge reçu à la porte D d'entrée (figure 29a, page 160).

Quand le Contrôleur de Châssis Série opère en mode bit-série, la transition 0 à 1 du signal d'HORLOGE-CARACTÈRE doit être élaborée à partir de la transition 0 à 1 du signal d'HORLOGE-BIT reçu à la porte D d'entrée pendant la période de bit dans laquelle le bit ARRÊT est échantillonné. La transition 1 à 0 du signal d'HORLOGE-CARACTÈRE doit être élaborée à partir de la transition 0 à 1 du signal d'HORLOGE-BIT au commencement de la période du bit ARRÊT (figure 29b, page 160).

Dans les deux modes, la durée de chaque état «0» et «1» du signal d'HORLOGE-CARACTÈRE ne doit pas être inférieure à $0,4 T_{\min}$ comme défini dans l'article 36.

54.9 DÉPART DU TEMPORISATEUR (DETEM)

Ce signal venant du Codeur SGL est utilisé pour commander le temporisateur interne dans le Contrôleur de Châssis Série.

54.3 Signals SGLE1 to SGLE5, from the SGL Encoder to the SCC, provide the content for the 5-bit SGL field of the Demand message.

54.4 DEMAND MESSAGE INITIATE (DMI) is a signal from the SGL Encoder to the SCC. It indicates the presence of one or more demands after any masking process in the SGL Encoder. The 0-to-1 transition of this signal initiates the generation of a Demand message, after all the conditions listed in Clause 24 have been satisfied.

54.5 *SELECTED-LAM PRESENT (SLP)*

This signal controls Bit 16 of the Status register (see Sub-clause 47.3). It may be derived simply by a cross-connection to the L-SUM signal, in which case it merely indicates that one or more of the Dataway L-signals are active. A more complex SGL Encoder may derive the SLP signal from the L-signals after they have been selectively enabled by some form of masking.

54.6 *DEMAND-BUSY (DBSY)*

This signal from the SCC indicates that a Demand message is being assembled. When DBSY = 1, the SGL Encoder should staticize SGLE1 to SGLE5 so that the SGLE code does not change while the SGL-field of the Demand message is being transmitted.

54.7 *EXTERNAL REPEAT (ERPT)*

This signal from the SGL Encoder indicates the present of a HUNG demand. When ERPT = 1, the SCC generates a 5-bit SGL field containing the bit-pattern 11111_2 in any Demand message that it transmits.

54.8 *BYTE CLOCK (BCK)*

This signal from SCC to the SGL Encoder is derived by the SCC from the incoming byte stream. It is provided primarily for use by an external unserved-demand timer in the SGL Encoder (see Sub-clause 56.2).

When the Serial Crate Controller is operating in byte-serial mode, the 0-to-1 and 1-to-0 transitions of the BYTE CLOCK signal shall be derived from the corresponding transitions of the clock signal received at the D-input port (Figure 29a, page 162).

When the SCC is operating in bit-serial mode, the 0-to-1 transition of the BYTE-CLOCK signal shall be derived from the 0-to-1 transition of the BIT-CLOCK signal received at the D-input port during the bit-period in which the STOP-bit is strobed. The 1-to-0 transition of the BYTE CLOCK signal shall be derived from the 1-to-0 transition of the BIT CLOCK signal at the beginning of the STOP-bit period (Figure 29b, page 162).

In both modes the duration of each logic "0" and logic "1" state of the BYTE CLOCK signal shall be not less than $0.4 T_{\min}$, as defined in Clause 36.

54.9 *START TIMER (STIM)*

This signal from the SGL Encoder is used to control the internal timer in the SCC.

54.10 *FIN DE TEMPORISATION (FITEM)*

Ce signal est la sortie du temporisateur interne dans le Contrôleur de Châssis Série (voir paragraphe 56.1). Le DETEM et le FITEM sont véhiculés par le connecteur d'appels Codés SGL de sorte qu'un choix peut être fait entre le temporisateur interne dans le Contrôleur de Châssis Série et un temporisateur externe dans le Codeur SGL. Un exemple de relation de temps entre ces signaux est donné à la figure 30, page 162.

54.11 *CONTRÔLEUR OCCUPÉ (COC)*

Ce signal indique que le Contrôleur de Châssis Série est occupé dans un échange Ordre-Réponse. Le Contrôleur de Châssis Série émet COC quand il reçoit un caractère EN-TÊTE à son adresse et maintient COC jusqu'à la fin de l'échange par le caractère FIN ou jusqu'à son abandon.

54.12 Les signaux N1, N2, N4, N8, N16 permettent à un contrôleur auxiliaire séparé de fournir la partie N d'un ordre sur l'Interconnexion (voir paragraphe 58.1).

54.13 *VERROUILLAGE DU CONTRÔLEUR AUXILIAIRE (VCA)*

Ce signal indique que le Contrôleur de Châssis Série demande l'utilisation de l'Interconnexion. Le Contrôleur de Châssis Série émet VCA quand il reçoit un caractère EN-TÊTE à son adresse, et maintient VCA jusqu'à terminaison de l'exécution de l'ordre ou jusqu'à son abandon. Ce signal est utilisé pour commander l'accès à l'Interconnexion de châssis par un contrôleur auxiliaire (voir article 58).

54.14 *INHIBITION DE DEMANDE*

La broche 17 du connecteur d'appels codés SGL du Contrôleur de Châssis Série (CCS) (tableau XI) doit être affectée à la fourniture d'un courant de polarisation d'Inhibition de Demande conforme aux spécifications pour «Signaux venant du Contrôleur de Châssis Série» indiquées dans le tableau XII.

La polarisation d'inhibition de demande utilise la ligne INHIBITION DE DEMANDE de la liaison Omnibus du Contrôleur Auxiliaire (BCA) requise pour les contrôleurs auxiliaires.

55. Normes de signaux pour le connecteur d'Appels Codés SGL

Tous les signaux sur le connecteur d'Appels Codés SGL d'un Contrôleur de Châssis Série doivent être conformes aux valeurs normales de tension des signaux du tableau V de la Publication 516 de la CEI et aux valeurs normales des sources de courant de polarisation du tableau XII.

Ces valeurs normales des signaux sont déduites de celles des signaux de LECTURE et ÉCRITURE sur l'Interconnexion, mais avec quelques caractères supplémentaires associés à certaines connexions passives permises au connecteur d'Appels Codés SGL (voir paragraphe 57.1).

Cette spécification permet des liaisons directes à l'intérieur du Contrôleur de Châssis Série entre les signaux L de l'Interconnexion (L1 à L24) qui arrivent à la station de Contrôle et les signaux L1 à L24 qui sortent du connecteur d'Appels Codés SGL. Elle permet également des connexions passives entre certaines sorties du Contrôleur de Châssis Série (y compris L1 à L24) et certaines entrées du connecteur d'Appels Codés SGL. Ces entrées peuvent donc être connectées soit à un signal L sur l'Interconnexion via la liaison à l'intérieur du Contrôleur de Châssis Série, soit à la sortie d'un élément logique dans le Codeur.

54.10 *TIME-OUT (TIMO)*

This signal is the output from the internal timer in the SCC (see Sub-clause 56.1). The STIM and TIMO signals are routed via the SGL-Encoder connector so that a choice can be made between the internal timer in the SCC and an external timer in the SGL Encoder. An example of the time relationship of these signals is shown in Figure 30, page 163.

54.11 *CONTROLLER BUSY (CBY)*

This signal indicates that the SCC is engaged in a Command/Reply transaction. The SCC generates CBY when it receives a HEADER byte addressed to it, and maintains CBY until the transaction is terminated by the END byte or is abandoned.

54.12 Signals N1, N2, N4, N8, N16 allow a separate auxiliary controller to provide the N-field of a Dataway command (see Sub-clause 58.1).

54.13 *AUXILIARY CONTROLLER LOCKOUT (ACL)*

This signal indicates that the SCC requires use of the Dataway. The SCC generates ACL when it receives a HEADER byte addressed to it, and maintains ACL until execution of the command is completed or is abandoned. This signal is used to control access to the Dataway by an auxiliary controller (see Clause 58).

54.14 *REQUEST INHIBIT*

A Request Inhibit pull-up, conforming to the specifications for "Signals from SCC" in Table XII, must be provided on pin 17 of the SGL-Encoder connector on the Serial Crate Controller (Table XI).

The Request Inhibit pull-up is for use with the REQUEST INHIBIT line of the Auxiliary Controller Bus (ACB) required for auxiliary controllers.

55. **Signal standards for the SGL-Encoder connector**

All signals at the SGL-Encoder connector on a Serial Crate Controller shall conform to the signal voltage standards shown in Table V of IEC Publication 516 and the standards for pull-up current sources in Table XII.

These signal standards are derived from those for Dataway READ and WRITE signals, but with some additional features associated with certain passive interconnections permitted at the SGL-Encoder connector (see Sub-clause 57.1).

This specification allows direct links within the SCC between the incoming Dataway L signals (L1 to L24) at the Control station and the outgoing signals L1 to L24 at the SGL-Encoder connector. It also allows passive interconnections between certain outputs from the SCC (including L1 to L24) and certain inputs at the SGL-Encoder connector. These inputs can therefore be connected to either a Dataway L-signal, via the link within the SCC, or the output from a logic element in the Encoder.

Pour être certain que chacune des connexions de ce genre possède une, et seulement une, source de courant de polarisation normalisée, les entrées intéressées du Contrôleur de Châssis Série ont des sources spéciales de polarisation à faible débit, et les sorties des éléments logiques dans le Codeur ont des sources de courant de polarisation normalisées.

56. Fin de temporisation des demandes en attente

Un temporisateur interne au Contrôleur de Châssis Série fournit un moyen essentiel de détecter les demandes non satisfaites. Comme autre possibilité, le Codeur SGL peut comprendre un temporisateur externe pour permettre par exemple des capacités plus importantes. Les connexions appropriées du connecteur d'Appels Codés SGL déterminent si on a utilisé le temporisateur interne, un temporisateur externe ou ni l'un d'eux.

Si un Message de Demande est déclenché et si la condition de demande persiste pendant plus d'une période prédéterminée de temporisation, le temporisateur interne ou externe certifie l'état de DEMANDE EN ATTENTE et lance un Message de Demande ayant une partie SGL unique. Si la demande est toujours présente après une nouvelle période de temporisation, le Message DEMANDE EN ATTENTE est répété et ainsi de suite. Il est recommandé de prendre une période de temporisation considérablement plus longue que le temps normalement nécessaire pour satisfaire une demande dans le système utilisé.

Le Message DEMANDE EN ATTENTE n'est pas une indication absolue que la demande initiale n'est pas encore satisfaite. Par exemple, un Codeur SGL simple peut être incapable de distinguer la demande initiale et une nouvelle demande arrivée dans le même châssis. De même, en raison des retards divers dans le circuit des messages de l'Interconnexion de Branche Série, le Pilote Série peut recevoir un Message DEMANDE EN ATTENTE après avoir déjà envoyé l'ordre ou les ordres pour satisfaire la demande.

56.1 Temporisateur interne

Chaque Contrôleur de Châssis Série pouvant émettre des Messages de Demande doit avoir un temporisateur interne fournissant un choix de périodes de temporisation de 1 ms à 10 s.

Le temporisateur interne doit commencer à fonctionner quand le signal DÉPART DU TEMPORISATEUR (DETEM) venant du connecteur d'Appels Codés SGL est à l'état «1» et quand les demandes sont en service.

Il doit continuer à fonctionner jusqu'à ce que DETEM et OCCUPATION sur l'Interconnexion soient tous deux à l'état «0» ou jusqu'à ce que les demandes soient hors service.

Il ne doit pas être affecté par un retrait temporaire du signal DETEM pendant les opérations sur l'Interconnexion, par exemple en raison du retrait du signal L d'un module émetteur lorsqu'il reçoit un ordre (voir la Publication 516 de la CEI, paragraphe 5.4.1.3).

Le temporisateur interne doit produire un signal FIN DE TEMPORISATION (FITEM) sur le connecteur d'Appels Codés SGL. La sortie de ce signal doit être à l'état «0» quand le temporisateur ne fonctionne pas. Quand le temporisateur commence à fonctionner, le signal FITEM doit passer à l'état «1» pendant la durée d'une période de temporisation. Il doit ensuite passer à l'état «0» pour une période au moins égale à 200 ns. Cette séquence d'un état «1» pendant une période de temporisation suivie par un état «0» pendant un temps court doit être répétée tant que le temporisateur continue à fonctionner (voir figure 30, page 162). Les temps de montée et de descente des signaux FIN DE TEMPORISATION et RÉPÉTITION INTERNE doivent être inférieurs à 100 ns.

In order to ensure that each such connection has one, and only one, standard pull-up current source, the relevant inputs to the SCC have special low-current pull-up sources, and the outputs from logic elements in the Encoder have standard pull-up current sources.

56. Hung Demand time-out

An internal timer in the SCC provides a basic means of detecting unserved demands. Alternatively, the SGL Encoder can include an external timer – for example, to provide more complex facilities. The appropriate connections via the SGL-Encoder connector determine whether the internal timer, an external timer, or neither, is used.

If a Demand message is initiated, and then the demand condition persists for more than a predetermined time-out period, the internal or external timer asserts the HUNG DEMAND state and initiates a Demand message with a unique SGL field. If the demand is still present after a further time-out period, the HUNG DEMAND message is repeated, and so on. The time-out period should be considerably longer than the time normally needed to service a demand in the particular system.

The HUNG DEMAND message is not an absolute indication that the original demand is still unserved. For example, a simple SGL Encoder may not be able to distinguish between the original demand and a new demand that has occurred in the same crate. Also, owing to various delays in the SH message path, the SD may receive a HUNG DEMAND message when it has already sent the command or commands to service the demand.

56.1 Internal timer

Each Serial Crate Controller that is capable of generating Demand messages shall have an internal timer that provides a choice of time-out periods between 1 ms and 10 s.

The internal timer shall start to operate when the START-TIMER (STIM) signal from the SGL-Encoder connector is a logic “1” and demands are enabled.

It shall continue to operate until both STIM and DATAWAY BUSY are at logic “0”, or until demands are disabled.

It shall be not affected by temporary removal of the STIM signal during Dataway operations for example, due to the source module removing its L-signal while addressed by a command (see IEC Publication 516, Sub-clause 5.4.1.3).

The internal timer shall produce a TIME-OUT (TIMO) signal at the SGL-Encoder connector. This signal output shall be at logic “0” when the timer is not operating. When the timer starts to operate, the TIMO signal shall go to logic “1” for the duration of the time-out period. It shall then go to logic “0” for a period of not less than 200 ns. This sequence of logic “1” for one time-out period, followed by logic “0” for a short time, shall be repeated while the timer continues to operate (see Figure 30, page I63. The rise and fall times of the TIME-OUT and INTERNAL REPEAT signals shall be less than 100 ns.

A la fin de la première période de temporisation, le temporisateur doit certifier l'état de DEMANDE EN ATTENTE, maintenir cet état tant que le temporisateur continue à fonctionner, et provoquer dans la partie SGL de tout message subséquent la configuration de bits 11111₂.

Pour permettre l'utilisation du temporisateur interne, des connexions appropriées sont effectuées entre les signaux DÉPART DU TEMPORISATEUR et FIN DE TEMPORISATION sur le connecteur d'Appels Codés SGL. L'entrée du DÉPART DU TEMPORISATEUR dans le Contrôleur de Châssis Série peut être obtenue à partir d'un dispositif quelconque de masquage de demande dans le Codeur SGL. Plus simplement, elle peut être obtenue en reliant la sortie SOMME-L du Contrôleur de Châssis Série à l'entrée Départ du temporisateur.

La sortie FIN DE TEMPORISATION du Contrôleur de Châssis Série peut être reliée à l'entrée DÉCLENCHEMENT DU MESSAGE DE DEMANDE. Les transitions 0 à 1 successives de ce signal (au commencement de chaque période de temporisation) déclenchent les Messages de Demande. Le contenu de la partie SGL du premier message est déterminé par le Codeur SGL. Par la suite, l'état DEMANDE EN ATTENTE étant certifié, le temporisateur fournit la partie SGL DEMANDE EN ATTENTE spéciale.

56.2 *Temporisateur externe*

Si un temporisateur externe, relié par le Codeur SGL, est utilisé au lieu du temporisateur interne, il doit alors émettre un signal DÉCLENCHEMENT DU MESSAGE DE DEMANDE avec transitions 0 à 1 aux moments appropriés pour déclencher le Message de DEMANDE initial et tout Message DEMANDE EN ATTENTE subséquent. Quand il identifie une demande non satisfaite, il doit soit émettre le signal RÉPÉTITION EXTERNE (REPEX) pour contrôler le contenu de la partie SGL ou mettre à l'état «1» les lignes SGLE 1 à 5.

Le temporisateur interne a une période de temporisation exprimée en temp réel (1 ms à 10 s) et doit donc être réglé de manière à correspondre à la fréquence d'horloge du système. Le signal d'HORLOGE-CARACTÈRE sur le connecteur d'Appels Codés SGL permet à la période de temporisation d'un temporisateur externe d'être exprimée en périodes de l'horloge-caractère et ainsi de moins dépendre de la fréquence d'horloge en temps réel du système.

57. Options du Codeur SGL

La forme la plus simple du Codeur SGL est un simple connecteur avec des connexions passives entre certains contacts. A l'inverse, un Codeur SGL peut fournir des possibilités accrues pour masquer les demandes L, pour coder la partie SGL, et pour détecter les demandes non satisfaites. Des exemples de ces possibilités supplémentaires sont donnés ci-dessous.

57.1 *Codeur SGL passif*

Des connexions simples entre la sortie SIGMA-L du Contrôleur de Châssis Série et l'entrée Départ du Temporisateur, et entre la sortie FIN DE TEMPORISATION et l'entrée DÉCLENCHEMENT DU MESSAGE DE DEMANDE sont nécessaires à l'utilisation du temporisateur interne (voir figure 28, page 158).

Avec ces seules connexions, la partie SGL est 00000₂ pour tous les Messages de Demande initiaux et 11111₂ pour les Messages de DEMANDE EN ATTENTE.

Des connexions passives, chacune constituée d'une liaison entre une sortie de signal L du Contrôleur de Châssis Série et une des cinq entrées SGLE du Contrôleur de Châssis Série, peuvent être utilisées pour fournir un moyen d'action limité sur le contenu de la partie SGL des Messages de Demande.

At the end of the first time-out period, the timer shall assert the HUNG DEMAND state, maintain this state while the timer continues to operate, and cause the SGL field of any subsequent messages to contain the bit-pattern 1111₂.

In order to bring the internal timer into use, appropriate connections are made to the START-TIMER and TIME-OUT signals at the SGL-Encoder connector. The START-TIMER input to the SCC may be derived from some demand-masking feature in an SGL Encoder. More simply it may be provided by connecting the L-SUM output from the SCC to the Start-Timer input.

The TIME-OUT output from the SCC may be connected to the DEMAND MESSAGE INITIATE input. Successive 0-to-1 transitions of this signal (at the beginning of each time-out period) initiate Demand messages. The contents of the SGL-field in the first message are determined by the SGL Encoder. Thereafter, with the HUNG DEMAND status asserted, the timer provides the special HUNG DEMAND SGL field.

56.2 External Timer

If an external timer, connected via the SGL Encoder, is used in place of the internal timer, then it shall generate a DEMAND MESSAGE initiate signal with 0-to-1 transitions at appropriate times to initiate the original DEMAND message and any subsequent HUNG DEMAND messages. When it detects an unserved demand, it shall either generate the EXTERNAL REPEAT signal (ERPT) to control the contents of the SGL field or generate logic "1" on the lines SGLE 1 to 5.

The internal timer has its time-out period expressed in real time (1 ms to 10 s), and therefore has to be adjusted to suit the clock rate of the system. The BYTE CLOCK signal at the SGL-Encoder connector allows the time-out period of an external timer to be expressed in byte-clock periods, and thus be less dependent on the real-time clock rate of the system.

57. SGL-Encoder options

The simplest form of SGL-Encoder is merely a free connector member with passive interconnections between certain contacts. At the other extreme, an SGL Encoder can provide enhanced facilities for masking the L demands, coding the SGL field, and detecting unserved demands. Examples of such additional facilities are given below.

57.1 Passive SGL Encoder

Simple interconnections between the L-SUM output from the SCC and the Start-Timer input, and between the TIME-OUT output and the DEMAND MESSAGE INITIATE input are needed in order to use the internal timer (see Figure 28, page 159).

With only these connections, the SGL field for all original demand messages is 0000₂, and for HUNG DEMAND messages is 1111₂.

Passive interconnections, each consisting of a link between one L-signal output from the SCC and one of the five SGLE inputs to the SCC, may be used to provide limited control over the contents of the SGL-field of Demand messages.

57.2 Masquage de demande

Une connexion simple entre SIGMA-L et DÉPART DU TEMPORISATEUR permet à tout signal L d'initialiser un Message de Demande. Des Codeurs SGL plus élaborés peuvent comporter un moyen de masquer les signaux L de façon que seuls les signaux L passés par le masque soient capables de déclencher les Messages de Demande. Le masque peut être modifié dynamiquement par des ordres envoyés au Codeur SGL par l'intermédiaire de l'Interconnexion.

57.3 Codage de la partie SGL

A titre d'exemple, le Codeur SGL peut assigner aux signaux L des priorités relatives, identifier les demandes ayant une haute priorité et coder en conséquence la partie SGL, par l'intermédiaire des lignes SGLE.

Lorsqu'un Codeur SGL simple a initialisé un Message de Demande, il peut être incapable d'émettre un autre Message de Demande (autre qu'un Message de DEMANDE EN ATTENTE), même si une nouvelle demande de haute priorité arrive. Un Codeur plus élaboré, ayant la possibilité d'assigner des priorités aux signaux L, peut être capable de déclencher un nouveau Message de Demande avant de satisfaire à une demande précédente de priorité moindre.

57.4 DEMANDE EN ATTENTE erronée

Un Codeur SGL simple peut indiquer un état de DEMANDE EN ATTENTE erroné lorsque la demande initiale a été satisfaite mais qu'une nouvelle demande est arrivée entre-temps et a maintenu ainsi le signal DÉPART DU TEMPORISATEUR. Un Codeur SGL plus élaboré peut toutefois associer la condition DÉPART DU TEMPORISATEUR à une demande particulière et ainsi être capable de remettre à zéro le temporisateur quand cette demande est satisfaite.

58. Accès aux contrôleurs auxiliaires

Un contrôleur auxiliaire placé à une ou plusieurs stations normales du châssis CAMAC, et demandant l'émission d'un ordre, a un accès direct aux lignes de Sous-adresses (A) et de Fonctions (F) de l'Interconnexion, mais pas aux lignes de Numéro de Station (N) qui ne sont accessibles qu'à la Station de Contrôle occupée par le Contrôleur de Châssis Série.

Deux éléments supplémentaires non associés au schéma de base de traitement des demandes sont donc prévus sur le connecteur d'Appels Codés SGL pour donner accès aux lignes N et garantir que le Contrôleur de Châssis Série et un contrôleur auxiliaire ne peuvent tous deux émettre des ordres sur l'Interconnexion au même moment.

58.1 Accès aux lignes N

Les lignes N1, N2, N4, N8, N16, via le connecteur d'Appels Codés SGL permettent à un contrôleur auxiliaire de désigner l'adresse codée d'un Numéro de Station. Celle-ci est décodée par le décodeur de N dans le Contrôleur de Châssis Série de façon à mettre à l'état «1» la ligne N appropriée de l'Interconnexion.

Chaque Contrôleur de Châssis Série pouvant être utilisé en conjonction avec un contrôleur auxiliaire de l'Interconnexion doit accepter les adresses codées de Numéro de Station sur les contacts appropriés du connecteur d'Appels Codés SGL (voir tableau XI).

Les adresses codées de Numéro de Station présentées au Contrôleur de Châssis Série via le connecteur d'Appels Codés SGL doivent être émises à partir de sources à collecteur ouvert.

57.2 *Demand masking*

A simple connection from L-SUM to START-TIMER allows any L-signal to initiate a Demand message. More complex SGL Encoders may include a means of masking the L-signals so that only those L-signals passed by the mask are able to initiate Demand messages. The mask may be varied dynamically by commands sent to the SGL Encoder via the Dataway.

57.3 *SGL-field encoding*

As an example, the SGL Encoder may assign relative priorities to the L-signals, identify the current demand that has highest priority, and encode the SGL field accordingly via the SGLE lines.

After a simple SGL Encoder has initiated a Demand message, it may not be able to generate another Demand message (other than a HUNG DEMAND message) even if a new demand with high priority occurs. A more complex encoder, with the ability to assign priorities to the L-signals, may be able to initiate a new Demand message before a previous demand of lower priority has been serviced.

57.4 *False HUNG DEMAND*

A simple SGL Encoder may indicate a false HUNG DEMAND state if the original demand has been serviced but a new demand has occurred in the meantime, and so maintained the START-TIMER signal. A more complex SGL Encoder may, however, associate the START-TIMER condition with a particular demand, and so be able to reset the timer when that demand is cleared.

58. **Access for auxiliary controllers**

An auxiliary controller situated at one or more normal stations of the CAMAC crate, and requiring to generate a command, has direct access to the Sub-address (A) and Function (F) lines of the Dataway, but not to the Station Number (N) lines, which are accessible only at the Control station occupied by the SCC.

Two additional features, not associated with the basic demand-handling scheme, are therefore provided at the SGL-Encoder connector in order to give access to the N-lines and ensure that the SCC and an auxiliary controller cannot both generate commands on the Dataway at the same time.

58.1 *Access to N-lines*

The lines N1, N2, N4, N8, N16 via the SGL-Encoder connector allow an auxiliary controller to present a coded Station Number address. This is decoded by the N-decoder in the SCC, in order to put the appropriate Dataway N-line into the logic "1" state.

Each Serial Crate Controller that can be used in conjunction with an auxiliary Dataway controller shall accept coded Station Number addresses at the appropriate contacts of the SGL-Encoder connector (see Table XI).

Coded Station Number addresses presented to the SCC via the SGL-Encoder connector shall be generated from open collector sources.

58.2 *Signal de Verrouillage du Contrôleur Auxiliaire*

Chaque Contrôleur de Châssis Série pouvant être utilisé en conjonction avec un contrôleur auxiliaire de l'Interconnexion doit émettre un signal VERROUILLAGE DU CONTRÔLEUR AUXILIAIRE (VCA) sur le contact approprié du Codeur SGL (voir tableau XI).

Le signal VCA doit passer à l'état «1» lorsque le Contrôleur de Châssis Série identifie un caractère EN-TÊTE à son adresse, et doit rester à l'état «1» jusqu'à terminaison du cycle d'opération sur l'Interconnexion (t_9 dans la figure 9 de la Publication 516 de la CEI) ou jusqu'à l'abandon de l'échange Ordre/Réponse s'il se produit auparavant.

58.3 *Couplage entre Contrôleur de Châssis Série et contrôleur auxiliaire*

Tant que le signal VERROUILLAGE DU CONTRÔLEUR AUXILIAIRE est à l'état «1», le contrôleur auxiliaire utilisé en conjonction avec un Contrôleur de Châssis Série doit achever ou abandonner toute opération en cours sur l'Interconnexion avant que le Contrôleur de Châssis Série ne demande l'utilisation de l'Interconnexion.

Pour satisfaire cette condition, il est recommandé de prévoir un contrôleur auxiliaire pour répondre au signal VERROUILLAGE DU CONTRÔLEUR AUXILIAIRE à l'état «1» en abandonnant toute opération sur l'Interconnexion commencée, s'il n'a pas encore émis le signal ÉCHANTILLONNAGE S1 (Stade t_3 de la figure 9 de la Publication 516 de la CEI).

Il convient que la durée de toute opération sur l'Interconnexion commandée par le contrôleur auxiliaire associé à un Contrôleur de Châssis Série ne soit pas supérieure à $1,2 \mu\text{s}$ ni inférieure à $1,0 \mu\text{s}$ (entre t_0 et t_9 dans la figure 9 de la Publication 516 de la CEI).

58.2 *Auxiliary Controller Lockout signal*

Each Serial Crate Controller that can be used in conjunction with an auxiliary Dataway controller shall generate an AUXILIARY CONTROLLER LOCKOUT (ACL) signal at the appropriate contact of the SGL Encoder (see Table XI).

The ACL signal shall go to logic "1" when the SCC recognizes a Header byte addressed to it, and shall remain in the "1" state until completion of the Dataway operation cycle (t_9 in Figure 9 of IEC Publication 516) or earlier abandonment of the Command/Reply transaction.

58.3 *Interlock between SCC and Auxiliary Controller*

While the AUXILIARY CONTROLLER LOCKOUT signal is in the logic "1" state, an auxiliary controller used in conjunction with SCC shall complete or abandon any current Dataway operation before the SCC requires use of the Dataway.

In order to satisfy this condition, an auxiliary controller should respond to the AUXILIARY CONTROLLER LOCKOUT signal in the logic "1" state by abandoning any Dataway operation that has been started if it has not yet generated STROBE S1 (stage t_3 of Figure 9 of IEC Publication 516).

The duration of any Dataway operation controlled by an auxiliary controller associated with the SCC should not be more than 1.2 μs nor less than 1.0 μs (between t_0 and t_9 in Figure 9 of IEC Publication 516).

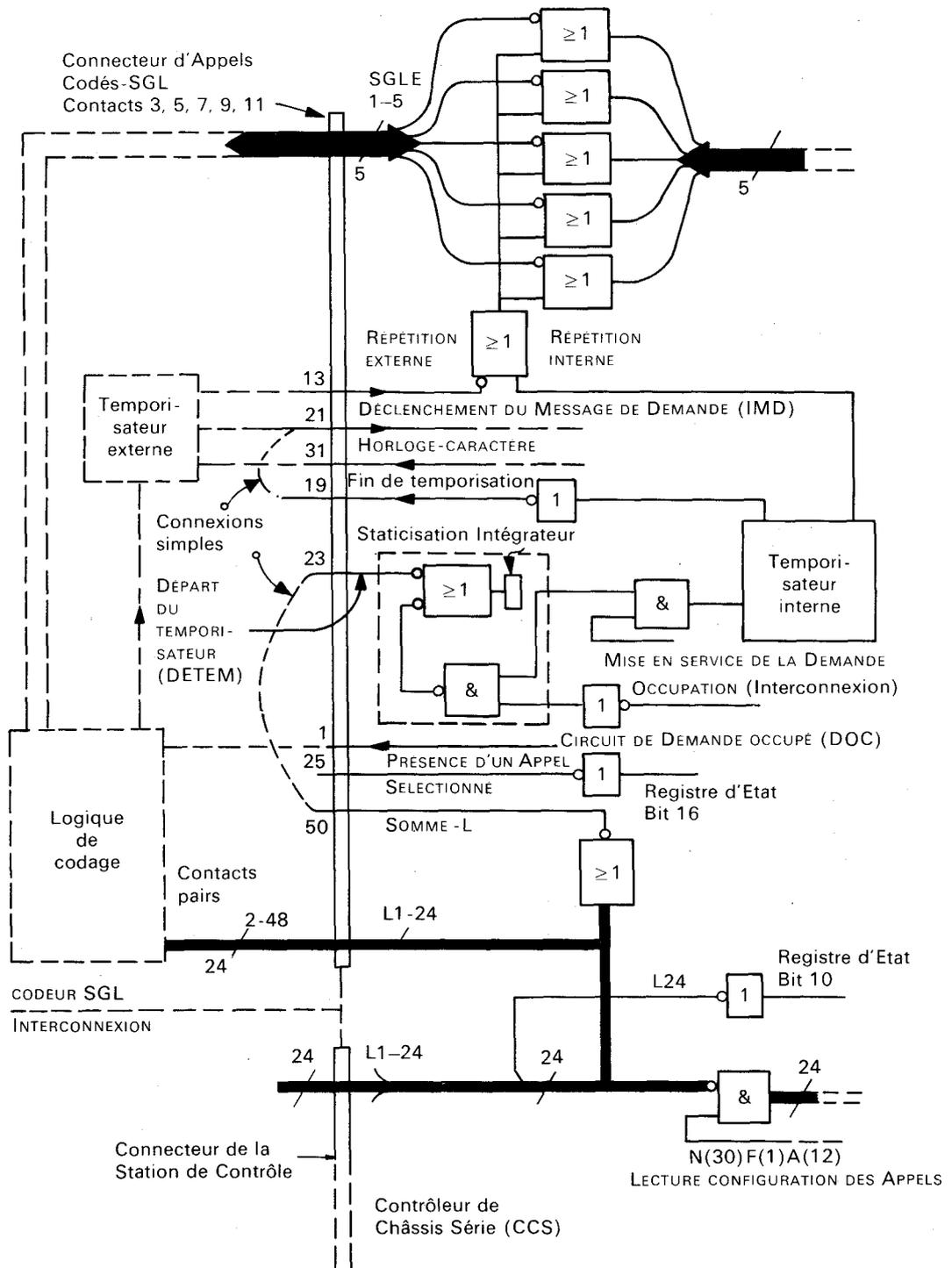


FIG. 28. — Exemple de parties du Contrôleur de Châssis Série et du codeur SGL associées à l'Interconnexion.

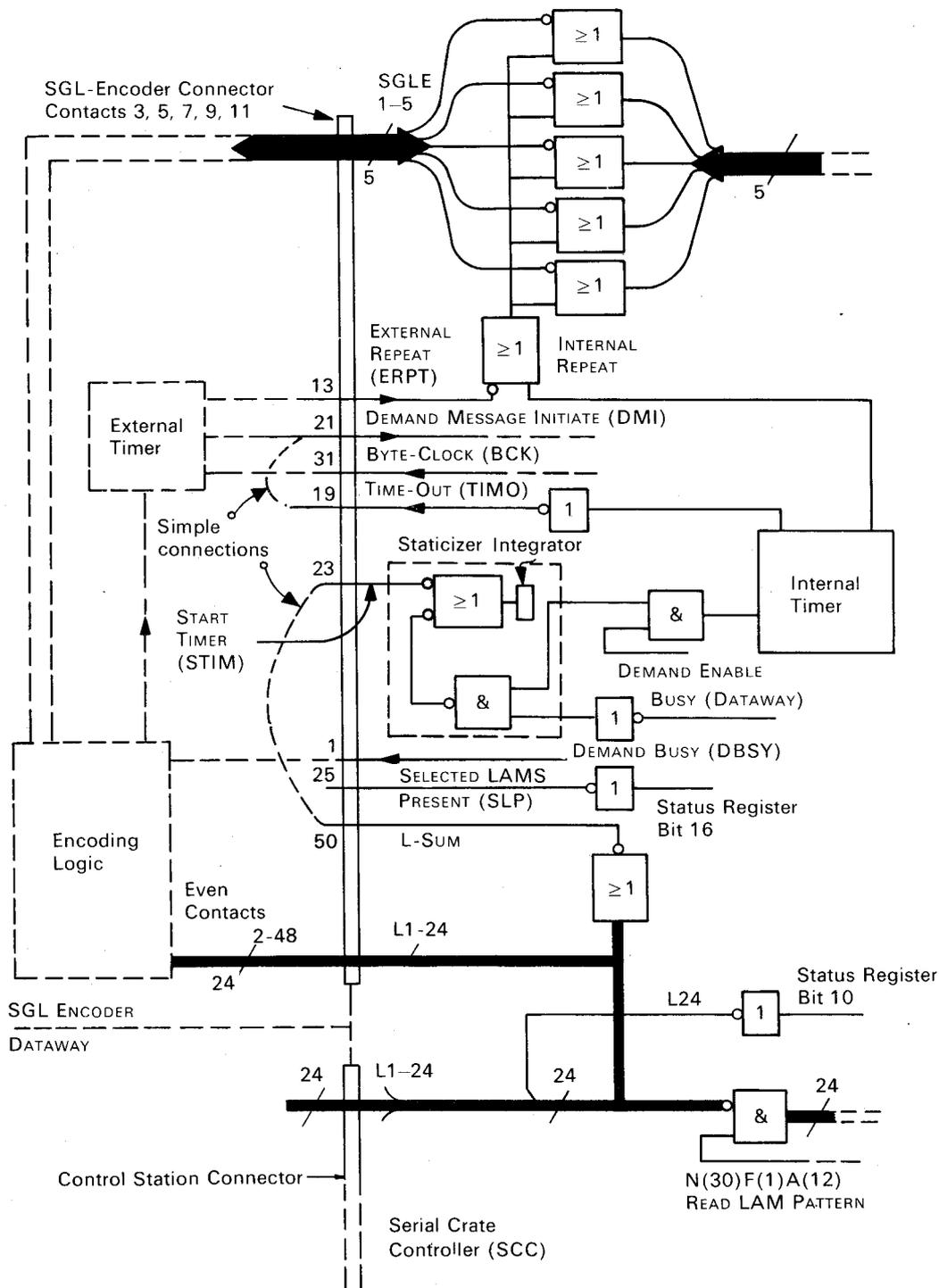
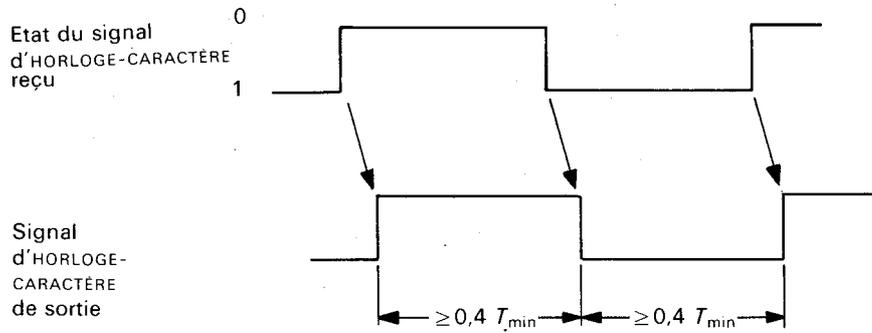
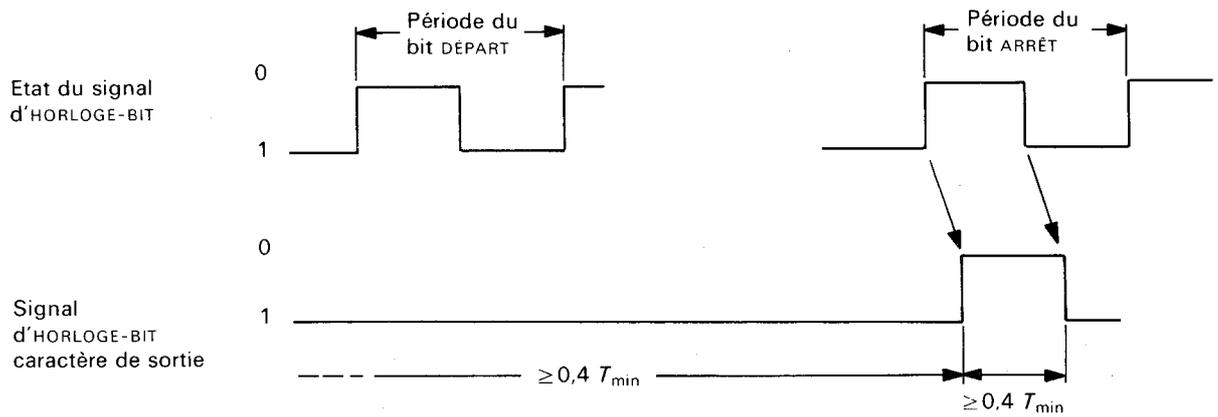


FIG. 28. — Example of associated parts of the SCC and the SGL Encoder.



a) Mode séquentiel



b) Mode bit-série

FIG. 29. — Relation entre les signaux d'HORLOGE-CARACTÈRE sur le connecteur d'Appels Codés SGL et les signaux reçus d'HORLOGE-BIT ou d'HORLOGE-CARACTÈRE.

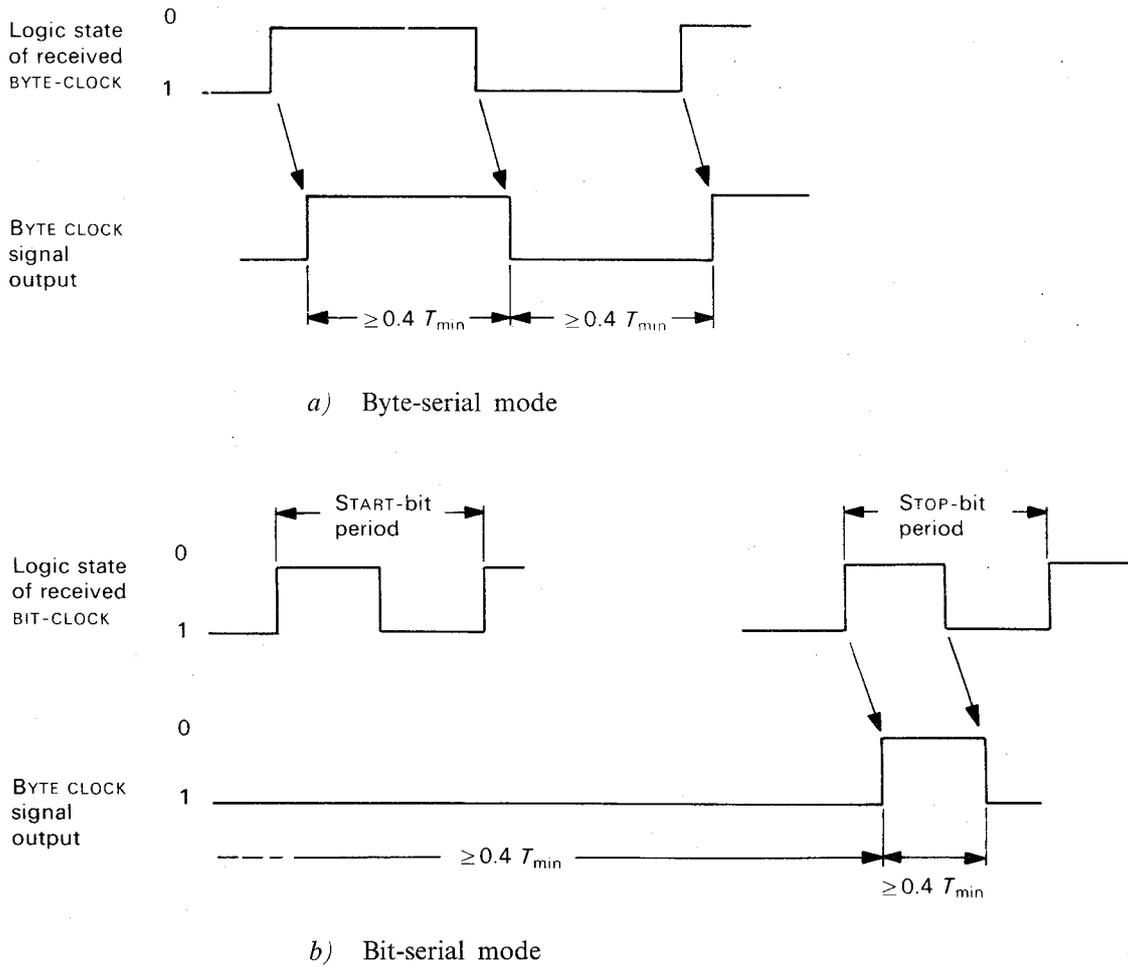
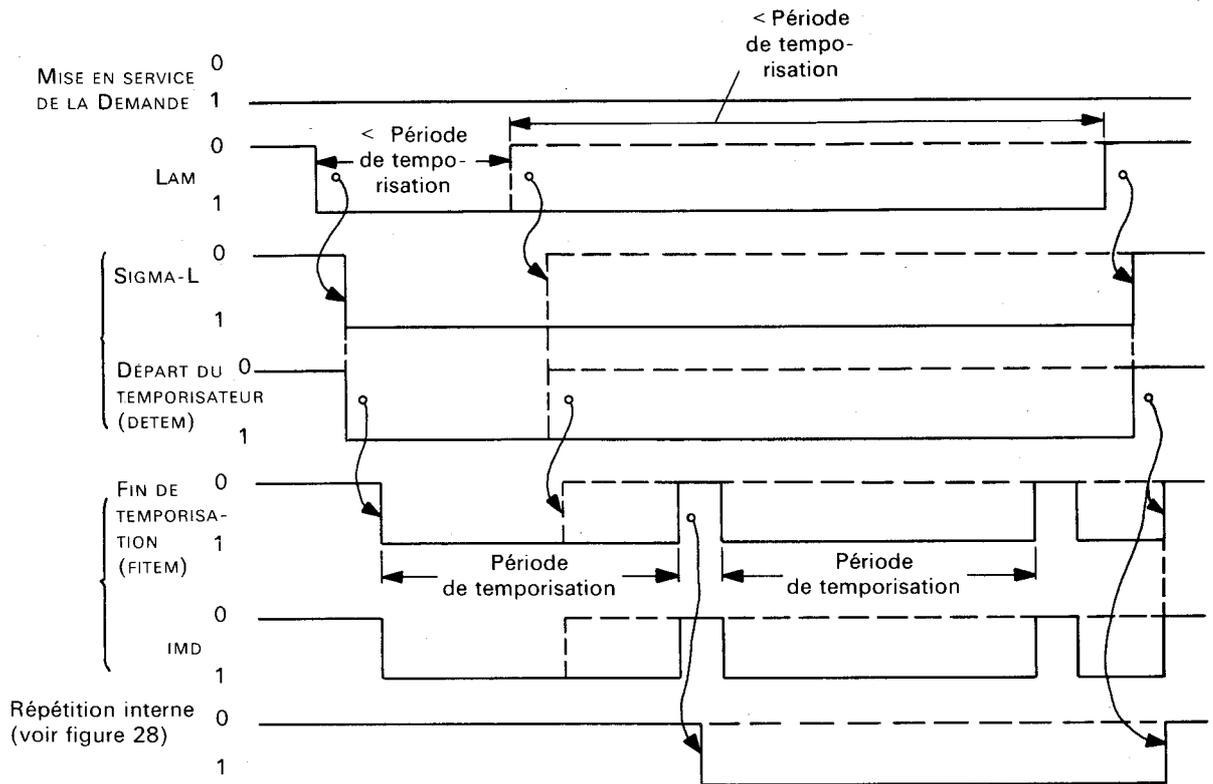
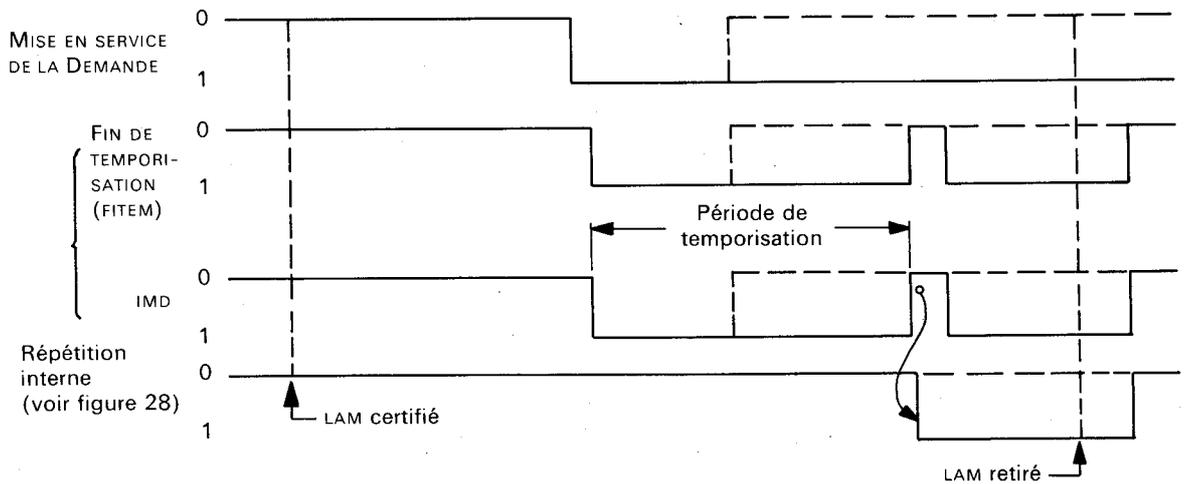


FIG. 29. — Relationship between BYTE CLOCK signals at SGL-Encoder connector and received BIT/BYTE CLOCK signals.

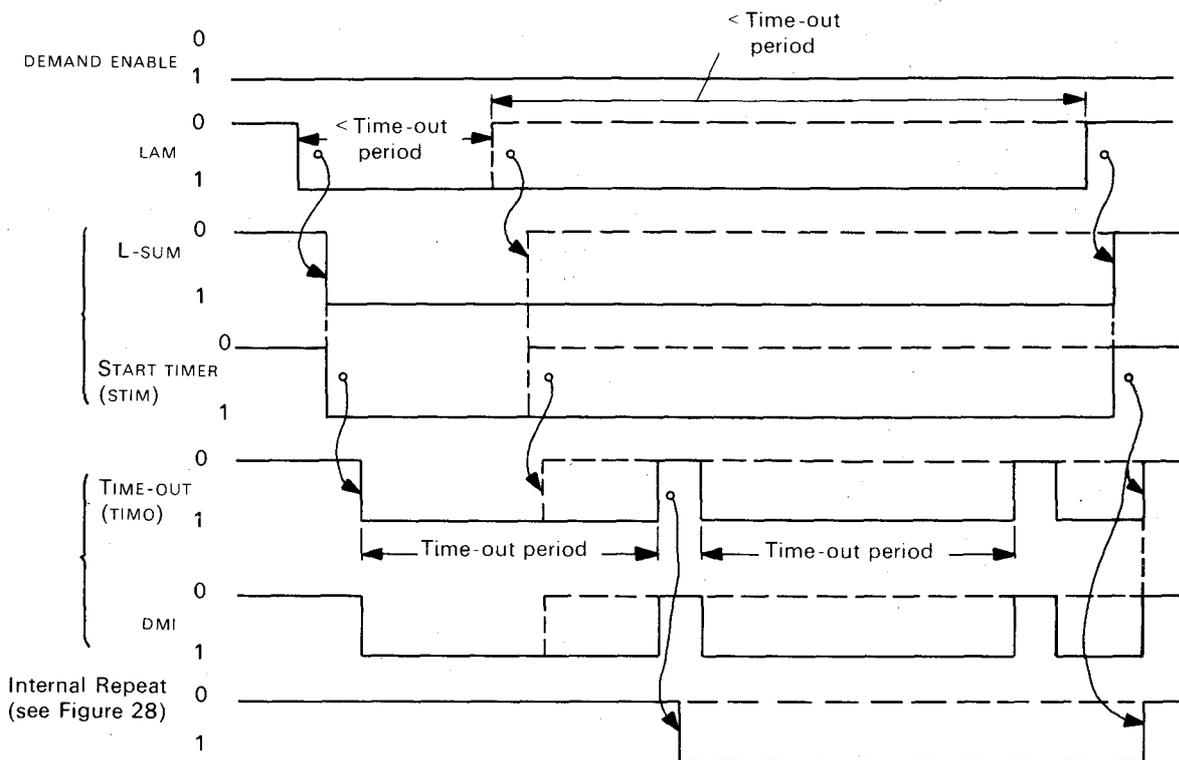


a) Cas où la durée du LAM est inférieure ou supérieure à la période de temporisation.

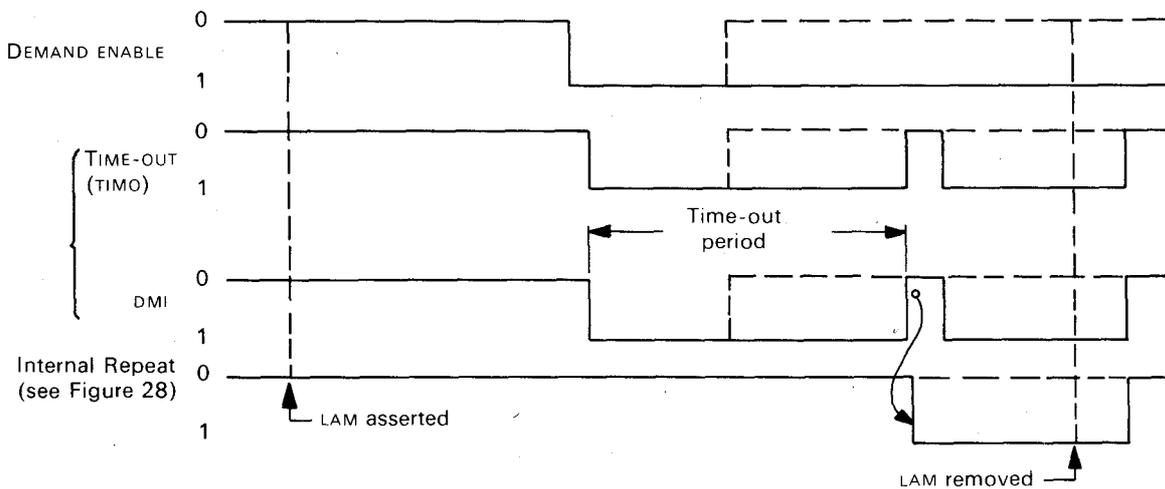


b) Cas analogue à a), mais la Mise en service de la Demande vient après la certification de LAM

FIG. 30. — Relations entre signaux du Connecteur du Codeur SGL relatifs à l'émission de Messages de Demande.



a) Shown for duration of LAM less-than and greater-than TIME-OUT period



b) Similar to a) except for DEMAND Enable after LAM assertion

FIG. 30. — Relationship between signals at SGL-Encoder Connector concerned with Demand message generation.

TABLEAU XI
Affectation des Contacts du connecteur d'Appels Codés SGL

Contact	Signal	Direction*	Contact	Signal	Direction*
1	DEMANDE OCCUPÉE (DOC)	Sortie	2	L1	Sortie
3	G.L SGLE 1	Entrée	4	L2	Sortie
5	G.L SGLE 2	Entrée	6	L3	Sortie
7	G.L SGLE 3	Entrée	8	L4	Sortie
9	G.L SGLE 4	Entrée	10	L5	Sortie
11	G.L SGLE 5	Entrée	12	L6	Sortie
13	RÉPÉTITION EXTERNE (REPEX)	Entrée	14	L7	Sortie
15	(Réservé)		16	L8	Sortie
17	INHIBITION DEMANDE	Sortie**	18	L9	Sortie
19	FIN DE TEMPORISATION (FITEM)	Sortie	20	L10	Sortie
21	DÉCLENCHEMENT DU MESSAGE DE DEMANDE (IMD)	Entrée	22	L11	Sortie
23	DÉBUT DE TEMPORISATION (DETEM)	Entrée	24	L12	Sortie
25	PRÉSENCE D'UN APPEL SÉLECTIONNÉ (PAS)	Entrée	26	L13	Sortie
27	(Réservé)		28	L14	Sortie
29	VERROUILLAGE DU CONTRÔLEUR AUXILIAIRE (VCA)	Sortie	30	L15	Sortie
31	SIGNAL D'HORLOGE-CARACTÈRE	Sortie	32	L16	Sortie
33	Utilisation libre	Entrée ou Sortie	34	L17	Sortie
35	Utilisation libre	Entrée ou Sortie	36	L18	Sortie
37	Utilisation libre	Entrée ou Sortie	38	L19	Sortie
39	Utilisation libre	Entrée ou Sortie	40	L20	Sortie
41	CONTRÔLEUR OCCUPÉ (COC)	Sortie	42	L21	Sortie
43	Numéro de station N1	Entrée	44	L22	Sortie
45	Numéro de station N2	Entrée	46	L23	Sortie
47	Numéro de station N4	Entrée	48	L24	Entrée ou Sortie
49	Numéro de station N8	Entrée	50	SIGMA-L	Sortie
51	Numéro de station N16	Entrée	52	OV	-

* «Sortie» indique un signal émis par le Contrôleur de Châssis Série.

«Entrée» indique un signal reçu par le Contrôleur de Châssis Série.

** Il suffit d'une seule polarisation d'INHIBITION DE DEMANDE (contact 17) pour être compatible avec la liaison Omnibus du Contrôleur Auxiliaire, décrite dans le document 45(Bureau Central)130: Contrôleurs Multiples dans un châssis CAMAC.

TABLE XI
Contact assignments at SGL-Encoder connector

Contact	Signal	Direction*	Contact	Signal	Direction*
1	DEMAND-BUSY (DBSY)	Out	2	L1	Out
3	GRADED-L SGLE 1	In	4	L2	Out
5	GRADED-L SGLE 2	In	6	L3	Out
7	GRADED-L SGLE 3	In	8	L4	Out
9	GRADED-L SGLE 4	In	10	L5	Out
11	GRADED-L SGLE 5	In	12	L6	Out
13	EXTERNAL REPEAT (ERPT)	In	14	L7	Out
15	(Reserved)		16	L8	Out
17	REQUEST INHIBIT	Out**	18	L9	Out
19	TIME-OUT (TIMO)	Out	20	L10	Out
21	DEMAND MESSAGE INITIATE (DMI)	In	22	L11	Out
23	START TIMER (STIM)	In	24	L12	Out
25	SELECTED LAM PRESENT (SLP)	In	26	L13	Out
27	(Reserved)		28	L14	Out
29	AUXILIARY CONTROLLER LOCK OUT (ACL)	Out	30	L15	Out
31	BYTE CLOCK	Out	32	L16	Out
33	Free Use	In or Out	34	L17	Out
35	Free Use	In or Out	36	L18	Out
37	Free Use	In or Out	38	L19	Out
39	Free Use	In or Out	40	L20	Out
41	CONTROLLER BUSY (CBY)	Out	42	L21	Out
43	Station Number N1	In	44	L22	Out
45	Station Number N2	In	46	L23	Out
47	Station Number N4	In	48	L24	In or Out
49	Station Number N8	In	50	L-SUM	Out
51	Station Number N16	In	52	Ov	-

* "Out" indicates signal generated by SCC.

"In" indicates signal received by SCC.

** Only a pull-up is required on the REQUEST INHIBIT (contact 17) to be compatible with the Auxiliary Controller Bus described in document 45(Central Office)130: Multiple Controllers in a CAMAC Crate.

TABLEAU XII

Connecteur d'Appels Codés SGL: Valeurs normales des signaux et sources de courant de polarisation pour tous les signaux autres que ceux de Code N

	Signaux venant du Contrôleur de Châssis Série	Signaux allant au Contrôleur de Châssis Série
Valeurs normales des signaux sur le connecteur		
Ligne à l'état «1» à +0,5 V Courant minimal pouvant être tiré de la ligne par l'émetteur du signal	Signaux L 3,2 mA* Autres signaux 6,4 mA* (tiré de la ligne par le Contrôleur de Châssis Série)	16 mA* (tiré de la ligne par le codeur)
Ligne à l'état «1» à +0,5 V Courant maximal fourni à la ligne par le récepteur du signal	3,2 mA* pour chaque récepteur (max. 6,4 mA*) (fourni à la ligne par le codeur)	3,2 mA (fourni à la ligne par le Contrôleur de Châssis Série)
Ligne à l'état «0» à +3,5 V Courant minimal pouvant être fourni à la ligne par le Contrôleur de Châssis Série	2,3 mA (commun au codeur et à l'Interconnexion pour les signaux L)	200 µA
Ligne à l'état «0» à +3,5 V Courant maximal pouvant être tiré de la ligne par le codeur	200 µA	200 µA
Source de courant de polarisation dans le Contrôleur de Châssis Série		
Courant de polarisation (I_p) à +0,5 V	$6,0 \text{ mA} < I_p < 9,6 \text{ mA}^*$	$0,8 \text{ mA} < I_p < 1,6 \text{ mA}$
Courant de polarisation (I_p) à +3,5 V	$2,5 \text{ mA} < I_p^*$	$300 \text{ µA} < I_p$
Sources de courant de polarisation dans le Codeur SGL		(Sorties seulement)
Courant de polarisation (I_p) à +0,5 V	—	$6,0 \text{ mA} < I_p < 9,6 \text{ mA}^*$
Courant de polarisation (I_p) à +3,5 V	—	$2,5 \text{ mA} < I_p^*$

* Valeurs tirées de la Publication 516 de la CEI.

TABLE XII

SGL-Encoder connector: Signal standards and pull-up current sources for all signals other than coded-N

	Signals from SCC	Signals to SCC
Signal standards at connector		
<i>Line in "1" state at +0.5 V</i> Minimum current sinking capability (current drawn from line by unit generating the signal)	3.2 mA* L signals 6.4 mA* other signals (from line by SCC)	16 mA* (from line by Encoder)
<i>Line in "1" state at +0.5 V</i> Maximum load current (current fed into line by unit receiving the signal)	3.2 mA* each unit (max 6.4 mA*) (into line by Encoder)	3.2 mA (into line by SCC)
<i>Line in "0" state at +3.5 V</i> Minimum pull-up capability (current fed into line by the SCC)	2.3 mA (for L signals this is common to Encoder and Dataway)	200 μ A
<i>Line in "0" state at +3.5 V</i> Maximum current drawn from line by the Encoder	200 μ A	200 μ A
Pull-up current sources in SCC		
Internal pull-up current source (I_p) at + 0.5 V	$6.0 \text{ mA} \leq I_p \leq 9.6 \text{ mA}^*$	$0.8 \text{ mA} \leq I_p \leq 1.6 \text{ mA}$
Internal pull-up current source (I_p) at + 3.5 V	$2.5 \text{ mA} \leq I_p^*$	$300 \mu\text{A} \leq I_p$
Pull-up current sources in SGL Encoder		(Outputs only)
Internal pull-up current source (I_p) at + 0.5 V	—	$6.0 \text{ mA} \leq I_p \leq 9.6 \text{ mA}^*$
Internal pull-up current source (I_p) at + 3.5 V	—	$2.5 \text{ mA} \leq I_p^*$

* Values derived from IEC Publication 516.

SECTION QUINZE — REDRESSEMENT DES ERREURS

L'Interconnexion de Branche Série se fonde sur la continuité des circuits d'émission des signaux de données et d'horloge, et est destinée à être utilisée dans des ambiances qui peuvent exposer ces signaux aux bruits. Cette section passe en revue les divers éléments associés à la détection des erreurs et des pannes et au redressement de celles-ci.

59. Pannes de circuit de transmission

Les circuits de transmission des signaux de données et d'horloge traversent les Contrôleurs de Châssis Série successifs et les sections intéressées de l'Interconnexion de Branche Série (qui peuvent comprendre des câbles, des appareils de conditionnement du signal ou des modems).

59.1 Pannes à l'intérieur des Contrôleurs de Châssis Série: Commutation du By-pass

Dans chaque Contrôleur de Châssis Série, les signaux de données et d'horloge sont reçus et émis par des composants actifs. Les effets d'une panne de ces composants ou de leur alimentation peuvent être limités en utilisant le Contrôleur de Châssis Série en conjonction avec un dispositif de By-pass séparé, de façon que la continuité des circuits des signaux puisse être rétablie par commutation sur une autre voie qui met en By-pass le Contrôleur de Châssis Série défectueux.

Le dispositif de By-pass est commandé par le signal COMMANDE DE BY-PASS qui est disponible aux deux portes D du Contrôleur de Châssis Série et qui provient du bit 12 du Registre d'Etat (voir paragraphe 48.2).

Si un dispositif de By-pass externe est utilisé, il est recommandé de le connecter entre les portes U ou D d'un seul châssis. Quand le Contrôleur de Châssis Série est en By-pass, le dispositif externe dirige tous les signaux arrivant sur l'Interconnexion de Branche Série vers sa sortie sans leur faire traverser le Contrôleur de Châssis Série. Dans ces conditions, le Contrôleur de Châssis Série en By-pass surveille les messages arrivant de l'Interconnexion de Branche Série de façon à recevoir tout Message d'Ordre demandant le retrait du By-pass. Tant qu'un Contrôleur de Châssis Série est en By-pass par le dispositif externe, il ne peut émettre de message vers l'aval de l'Interconnexion de Branche Série.

A l'état de BY-PASS, il est recommandé de disposer d'un dispositif de By-pass pour relier les lignes en provenance ou en direction de l'Interconnexion de Branche Série de façon indépendante de l'alimentation et n'imposant de charge d'extrémité anormale à aucune section des lignes de transmission de l'Interconnexion de Branche Série. Pour un dispositif de By-pass relié à des portes U, cette dernière prescription peut impliquer un moyen de déconnecter les impédances d'extrémité normales du récepteur de signaux. Pour un dispositif de By-pass relié à des portes D (qui ont des éléments internes d'adaptation sur tous les récepteurs de signaux de données et d'horloge), cette prescription peut impliquer l'interposition des Mémoires tampons à haute impédance d'entrée pour permettre au Contrôleur de Châssis Série en By-pass de surveiller le trafic de l'Interconnexion de Branche Série.

Le dispositif de By-pass peut utiliser des relais électromécaniques pour la commutation du circuit de message. Il peut donc avoir un temps de réponse long comparé au temps d'échange Ordre-Réponse de l'Interconnexion de Branche Série. Il est probable que l'opération de commutation provoquera une interruption asynchrone du circuit de message de l'Interconnexion de Branche Série, et provoquera ainsi une perte de synchronisme dans les Contrôleurs de Châssis Série en aval.

SECTION FIFTEEN — RECOVERY FROM ERRORS

The Serial Highway relies on continuity of the transmission paths for the data and clock signals, and is intended for use in environments that may expose these signals to noise. This section reviews the various features associated with detecting errors and failures, and with recovery from them.

59. Transmission-path failures

The transmission paths for data and clock signals pass through successive SCCs and the intervening sections of Serial Highway (which may include cables, signal conditioners, or modems).

59.1 *Failures within Serial Crate Controllers: Bypass switching*

In each Serial Crate Controller the data and clock signals are received and transmitted by active components. The effect of failure of these components or their power supplies can be limited by using the SCC in conjunction with a separate Bypass device, so that continuity of the signal paths can be restored by switching to an alternative route that bypasses the faulty SCC.

The Bypass device is controlled by the BYPASS CONTROL signal, which is available at both D-ports of the SCC and is derived from Bit 12 of the Status Register (see Sub-clause 48.2).

If an external Bypass device is used, it should be connected between the U- or D-ports of a single crate. When the SCC is bypassed, the external device routes all incoming SH signals to the outgoing SH without passing them through the SCC. Under these conditions, the bypassed SCC monitors incoming messages from the SH in order to receive any Command message requiring the removal of the Bypass. While an SCC is bypassed by the external device, it cannot transmit messages to the downstream SH.

In the BYPASSED state, a Bypass device should link the incoming and outgoing SH lines in a way that is not dependent on power supplies and does not impose abnormal termination loading on any section of the SH transmission lines. For a Bypass device connected to U-ports, this latter requirement may involve a means of disconnecting the normal termination impedances of the signal receiver. For a Bypass device connected to D-ports (which have internal terminations on all data and clock receivers), it may involve interposing high input-impedance Buffers in order to allow the bypassed SCC to monitor the SH traffic.

The Bypass device can use electromechanical relays to switch the message path. It can therefore have a response time that is long compared with the Command/Reply transaction time of the SH. The switching operation is likely to cause an asynchronous interruption of the SH message path, and so cause loss of synchronism at downstream SCCs.

Un exemple d'une partie d'un dispositif de By-pass, donné à la figure 31, page 182, montre le montage de contacts de relais pour la commutation d'un signal d'une porte D. Les charges d'adaptation multiples sur la ligne de transmission de l'Interconnexion de Branche Série sont évitées dans cet exemple en utilisant une adaptation commutée dans le dispositif de By-pass et un émetteur-récepteur de signaux symétriques pour isoler les circuits d'adaptation obligatoires à la porte D d'entrée du Contrôleur de Châssis Série. Dans un dispositif de By-pass complet pour signaux de porte D en mode bit-série, il est recommandé de prévoir deux montages de commutation de ce type, l'un pour le signal d'horloge et l'autre pour le signal de données. Lorsqu'il est hors tension, il convient que le commutateur de By-pass soit comme indiqué, le Contrôleur de Châssis Série étant en By-pass et le circuit d'adaptation déconnecté.

Un dispositif de By-pass peut aussi être relié à travers les portes U ou D d'un groupe de plusieurs châssis mais cette disposition présente certains risques. Un ordre à un seul châssis du groupe provoquera la mise en By-pass du groupe et empêchera les opérations sur l'Interconnexion de châssis dans ce seul châssis. D'autres châssis du groupe ne sauront pas nécessairement qu'ils ont été mis en By-pass. Il y a donc un risque que ces autres châssis puissent répondre à des ordres entraînant des opérations sur l'Interconnexion alors que les réponses qu'ils émettent ne peuvent atteindre le Pilote Série.

En principe, les configurations d'un système doivent pouvoir tenir compte des conditions les plus mauvaises qui peuvent être provoquées par la mise en By-pass. Il est possible que le Pilote Série ou un Contrôleur de Châssis Série soit appelé à émettre ou recevoir les signaux sur la plus grande partie de la boucle de l'Interconnexion de Branche Série.

Comme protection supplémentaire contre une panne du circuit de message de l'Interconnexion de Branche Série à l'intérieur du Contrôleur de Châssis Série, on peut prévoir que le dispositif de By-pass surveille l'activité de l'Interconnexion de Branche Série à la porte de sortie du Contrôleur de Châssis Série et fasse la commutation automatique à l'état de By-pass si cette activité cesse.

59.2 *Panne dans l'Interconnexion de Branche Série: Commutation du Raccourcissement de Boucle*

Entre les Contrôleurs de Châssis Série successifs, les signaux de données et d'horloge sont transmis par des segments de l'Interconnexion de Branche Série. Les effets d'une panne provoquée par des câbles ou un autre matériel peuvent être limités en utilisant le Contrôleur de Châssis Série en conjonction avec un dispositif de Raccourcissement de Boucle de façon que la continuité des circuits de signaux puisse être rétablie par commutation vers un autre circuit qui évite le segment défaillant de l'Interconnexion de Branche Série.

Le dispositif de Raccourcissement de Boucle est commandé par le signal de Commande de Raccourcissement de Boucle qui est disponible à la porte D de sortie du Contrôleur de Châssis Série et qui provient du bit 11 du Registre d'Etat (voir paragraphe 48.3). Le Contrôleur de Châssis Série qui commande le dispositif de Raccourcissement de Boucle n'est pas situé dans la partie de l'Interconnexion de Branche Série qui est déconnectée quand le dispositif est en fonctionnement.

Le dispositif de Raccourcissement de Boucle peut utiliser des relais électromécaniques pour la commutation du circuit de message et donc avoir un temps de réponse long comparé au temps de l'échange Ordre-Réponse de l'Interconnexion de Branche Série. Il est probable que l'opération de commutation se produira de façon asynchrone par rapport à l'horloge du système et provoquera ainsi une perte de synchronisme dans les châssis en aval.

Les dispositifs de Raccourcissement de Boucle peuvent être associés à des châssis individuels ou à des groupes de châssis, auquel cas ils sont commandés par le dernier châssis du groupe. Ils peuvent être utilisés pour commuter les signaux de portes U (de préférence) ou de portes D.

An example of part of a Bypass device, in Figure 31, shows an arrangement of relay contacts for switching one D-port signal. Multiple termination loads on the SH transmission line are avoided in this example by having a switched termination in the Bypass device and a balanced receiver and transmitter to isolate the mandatory termination at the D-input port of the SCC. In a complete Bypass device for bit-serial D-port signals there should be two such switching arrangements, one for the clock signal and one for the data signal. In the power-off state, the Bypass switching should be as shown, with the SCC bypassed and the termination disconnected.

A Bypass device may also be connected across the U- or D-ports of a cluster of several crates, but there are certain risks associated with this arrangement. A command to one crate in the cluster will cause the cluster to be bypassed and will inhibit Dataway operations in that one crate. Other crates in the cluster do not necessarily sense that they have been bypassed. Therefore there is a risk that these other crates may respond to commands involving Dataway operations, although any replies that they generate are unable to reach the Serial Driver.

System configurations should take into account the worst-case conditions that can be created by bypassing. It is possible for the SD or an SCC to be called upon to transmit or receive signals over the major part of the SH loop.

As an additional safeguard against failures of the SH message path within the SCC, the Bypass device could monitor the SH activity at the output port of the SCC, and switch automatically to the bypassed state if this activity ceases.

59.2 *Failures in the Serial Highway: Loop Collapse switching*

Between successive Serial Crate Controllers, the data and clock signals are transmitted over segments of the Serial Highway. The effect of failure of the cables and other equipment can be limited by using the SCC in conjunction with a separate Loop Collapse device, so that continuity of the signal paths can be restored by switching to an alternative route that avoids the faulty segment of the SH.

The Loop Collapse device is controlled by the Loop Collapse Control signal, which is available at the D-output port of the SCC and is derived from Bit 11 of the Status Register (see Sub-clause 48,3). The SCC that controls the Loop Collapse device is not within the part of the SH that is disconnected when the device operates.

The Loop Collapse device can use electromechanical relays to switch the message path, and can therefore have a response time that is long compared with the Command/Reply transaction time of the SH. The switching operation is likely to occur asynchronously with respect to the system clock, and so cause loss of synchronism at downstream crates.

The Loop Collapse devices can be associated with individual crates or with clusters of crates, in which case they are controlled by the last crate in the cluster. They can be used to switch U-port signals (preferred) or D-port signals.

Un exemple d'une partie d'un dispositif de Raccourcissement de Boucle, donné à la figure 32, page 184, montre un montage de contacts à relais pour la commutation d'un signal de porte D. Dans un dispositif complet de Raccourcissement de Boucle pour des signaux de portes D en mode bit-série, il convient de disposer de deux montages de commutation de ce type, un pour le signal de données et un pour le signal d'horloge. Cet exemple suppose que la boucle de l'Interconnexion de Branche Série traverse tous les Contrôleurs de Châssis Série et retourne ensuite au Pilote Série par un chemin parallèle (mais ne traversant pas nécessairement le Contrôleur de Châssis Série bien que les connexions Bus 1 et Bus 2 puissent être utilisées, voir paragraphe 31.2) de sorte que les côtés aller et retour de la boucle soient disponibles au niveau du dispositif de Raccourcissement de Boucle. La mise en service du dispositif de Raccourcissement de Boucle relie les côtés aller et retour de la boucle, formant ainsi une boucle raccourcie et déconnectant le reste de la boucle ainsi que tous les Contrôleurs de Châssis Série qui y sont reliés. Les signaux d'horloge adressés à la partie déconnectée de la boucle sont maintenus dans un état fixe de sorte que les Contrôleurs de Châssis Série déconnectés ne peuvent ni recevoir ni émettre de messages. Dans l'état HORS TENSION, la commutation de Raccourcissement de Boucle doit être en principe, comme indiquée, avec l'Interconnexion de Branche Série non raccourcie.

D'autres réalisations sont possibles en utilisant par exemple des segments doubles de l'Interconnexion de Branche Série, de sorte que la boucle entière peut être rétablie s'il y a seulement un défaut par segment. Le contact 25 de la porte D d'entrée de chaque Contrôleur de Châssis Série est réservé pour un troisième signal de commande et peut s'appliquer à certaines formes plus élaborées de la commutation de Raccourcissement de Boucle.

60. Perte de synchronisme

Le synchronisme des messages dépend de la possibilité pour les Contrôleurs de Châssis Série et le Pilote Série d'identifier les caractères EN-TÊTE et SÉPARATEURS de chaque message. Des erreurs dans les signaux d'horloge ou de données (en particulier dans les bits SÉPARATEURS) peuvent entraîner la perte du synchronisme des messages. Un Contrôleur de Châssis Série ou un Pilote Série identifie cette perte parce qu'il reçoit des caractères séparateurs dans des contextes anormaux. Il peut rétablir le synchronisme des messages par les moyens décrits au paragraphe 40.3.

Le synchronisme des caractères dépend de la possibilité pour les Contrôleurs de Châssis Série et le Pilote Série, fonctionnant en mode bit-série, d'identifier les bits DÉPART et ARRÊT des enveloppes de caractère. Des erreurs dans les signaux d'horloge et de données (en particulier les bits DÉPART et ARRÊT) peuvent entraîner la perte du synchronisme des caractères. Un Contrôleur de Châssis Série ou un Pilote Série identifie cette perte parce qu'il reçoit un bit à l'état «0» au moment du bit ARRÊT. Il peut rétablir le synchronisme des caractères par les moyens décrits au paragraphe 41.3.

61. Erreurs de transmission

Le principal moyen de détecter les erreurs dues à la perturbation des signaux d'horloge et de données est un code de détection géométrique d'erreurs avec des règles de parités transversale et longitudinale. Un moyen annexe est fourni par les formats de message en particulier les contextes dans lesquels les caractères SÉPARATEURS sont autorisés.

61.1 Principe du Code de Détection Géométrique

Le Code de Détection Géométrique d'erreurs est un principe simple mais efficace de détection des erreurs de transmission dans des canaux de communication en mode série

An example of part of a Loop Collapse device, in Figure 32, page 185, shows an arrangement of relay contacts for switching one D-port signal. In a complete Loop Collapse device for bit-serial D-port Signals, there should be two such switching arrangements, one for the data signal and one for the clock signal. This example assumes that the Serial Highway loop passes through all SCCs and then returns to the SD by a parallel route (but not necessarily passing through the SCC, although the Bus 1 and Bus 2 connections could be used, see Sub-clause 31.2) so that the outward and inward sides of the loop are available to the Loop Collapse device. Operation of the Loop Collapse device connects the outward and inward sides of the loop, thus forming a shortened loop and disconnecting the remainder of the loop and all SCCs connected to it. The clock signals to the disconnected part of the loop are held in a fixed state, so that the disconnected SCCs can neither receive nor transmit messages. In the POWER-OFF state, the Loop Collapse switching shall be as shown, with the SH extended through the device.

Other implementations are possible, for example using duplicated segments of the Serial Highway, so that the whole loop can be restored if there is only one fault per segment. Contact 25 on the D-input port of each SCC is reserved for a third control signal, and can be relevant to some more complex forms of Loop Collapse switching.

60. Loss of synchronism

Message synchronism depends on the ability of SCCs and the SD to identify the HEADER and DELIMITER bytes of each message. Errors in the clock or data signals (particularly the DELIMITER bits) can result in loss of message synchronism. An SCC or SD recognizes that this has occurred because it receives Delimiter bytes in illegal contexts. It can recover message synchronism by the means described in Sub-clause 40.3.

Byte synchronism depends on the ability of SCCs and the SD, operating in bit-serial mode, to identify the START and STOP bits of byte-frames. Errors in the clock or data signals (particularly the START and STOP bits) can result in loss of byte synchronism. An SCC or SD recognizes that this has occurred because it receives a logic "0" bit at STOP-bit time. It can recover byte synchronism by the means described in Sub-clause 41.3.

61. Transmission errors

The main means of detecting errors due to corrupted clock or data signals is a Geometric error detection Code, with byte (row) and column parity codes. A subsidiary means is provided by the message formats, in particular the contexts in which DELIMITER bytes are permitted.

61.1 Principle of Geometric Code

The Geometric Error Detection Code is a simple but effective scheme for detecting transmission errors in serial communication links such as those used for the Serial Highway. It

comme ceux de l'Interconnexion de Branche Série. Il s'adapte aisément aux messages de longueurs diverses et utilise des codes de parité facile à émettre et à vérifier.

Le principe de base du Code de Détection Géométrique utilisé par l'Interconnexion de Branche Série est qu'un bloc de données est placé dans une matrice de m lignes et de n colonnes (figure 33, page 186). Chaque ligne a un bit supplémentaire servant à maintenir l'imparité transversale et chaque colonne a un bit supplémentaire servant à maintenir la parité longitudinale, constituant ainsi un bloc élargi de $m + 1$ lignes et de $n + 1$ colonnes.

61.2 Mise en œuvre du Code de Détection Géométrique

La mise en œuvre pratique de ce principe par l'Interconnexion de Branche Série est représentée sur la figure 34, page 186.

Dans celle-ci, le bit b_i de parité transversale du caractère « i » maintient l'imparité sur la totalité du caractère y compris le bit SÉPARATEUR d_i et les 6 bits a_{i1} à a_{i6} de la partie information.

$$\text{Ainsi: } b_i = a_{i1} \oplus a_{i2} \dots \dots \dots \oplus a_{i6} \oplus d_i$$

où le symbole \oplus indique la fonction OU EXCLUSIF ou la somme module 2. Le caractère contient toujours un nombre impair de bits à l'état «1».

Dans le dernier caractère (caractère SOMME des Messages d'Ordre et caractère SOMME FINALE des Messages de REPONSE et de DEMANDE) chacun des 6 bits C_1 à C_6 de parité longitudinale maintient la parité sur une colonne de bits a_{1j} à a_{mj} dans la partie information.

$$\text{Ainsi pour la colonne «j»: } C_j = a_{1j} \oplus a_{2j} \dots \dots \dots \oplus a_{mj}$$

et la colonne contient toujours un nombre pair de bits à l'état «1».

Les bits 7 et 8 de ce dernier caractère ne sont pas des bits de parité longitudinale mais sont, respectivement le bit SEPARATEUR d_{m+1} et le bit de parité transversale b_{m+1}

$$\text{Ainsi: } b_{m+1} = C_1 \oplus C_2 \dots \dots \dots \oplus C_6 \oplus d_{m+1}$$

Le Pilote Série doit émettre le Code de Détection Géométrique d'Erreur dans tous les Messages d'Ordre envoyés aux Contrôleurs de Châssis Série.

Chaque Contrôleur de Châssis Série doit vérifier le Code de Détection Géométrique d'erreur dans tous les Messages d'Ordre qui lui sont adressés.

Chaque Contrôleur de Châssis Série doit émettre le Code de Détection Géométrique d'erreur correct dans tous les Messages de Réponse et de Demande qu'il émet.

Il convient que le Pilote Série vérifie le Code de Détection Géométrique d'erreur dans tous les Messages de Réponse et de Demande qu'il reçoit des Contrôleurs de Châssis Série.

61.3 Rendement du Code de Détection Géométrique d'erreur

Le Code de Détection Géométrique d'erreur couvre un bloc de données de m lignes par n colonnes, exige l'émission de $m + 1$ lignes par $n + 1$ colonnes; il a les propriétés suivantes:

- i) Il détecte totalement la présence d'une, deux ou trois erreurs dans le bloc élargi de $m + 1$ lignes par $n + 1$ colonnes.
- ii) Il détecte tout nombre impair d'erreurs, quelle que soit leur distribution dans le bloc.
- iii) Il détecte tout train d'erreurs de longueur inférieur à égale $n + 2$ bits

is readily adapted to messages of varying length, and uses parity codes that are easily generated and checked.

The basic principle of the Geometric Code used by the SH is that a block of data is arranged in a matrix of m rows by n columns (Figure 33, page 187). Each row has an extra row-parity bit to conserve odd parity, and each column has an extra column-parity bit to conserve even parity, forming an enlarged block of $m + 1$ rows by $n + 1$ columns.

61.2 Implementation of Geometric Code

The practical implementation of this principle for use by the Serial Highway is shown in Figure 34, page 187.

Here, the byte-parity bit b_i in byte "i" conserves odd parity over the whole byte, including the DELIMITER bit d_i and the 6 information-field bits a_{i1} to a_{i6} .

$$\text{Thus: } b_i = a_{i1} \oplus a_{i2} \dots \oplus a_{i6} \oplus d_i$$

where the symbol \oplus indicates the EXCLUSIVE-OR function or modulo-2 sum. The byte always contains an odd number of bits in the logic "1" state.

In the final byte (the SUM byte in Command messages and the ENDSUM byte in REPLY and DEMAND messages), each of the six column-parity bits C_1 to C_6 conserves even parity over a column of information-field bits a_{ij} to a_{mj}

$$\text{Thus, for column "j": } C_j = a_{1j} \oplus a_{2j} \dots \oplus a_{mj}$$

and the column always contains an even number of bits in the logic "1" state.

Bits 7 and 8 in this final byte are not column-parity bits but are, respectively, the DELIMITER bit d_{m+1} and the byte-parity bit b_{m+1} .

$$\text{Thus: } b_{m+1} = C_1 \oplus C_2 \dots \oplus C_6 \oplus d_{m+1}$$

The Serial Driver shall generate the correct Geometric Error Detection Code in all Command messages sent to Serial Crate Controllers.

Each SCC shall check the Geometric Error Detection Code in all Command messages addressed to it.

Each SCC shall generate the correct Geometric Error Detection Code in all Reply and Demand messages that it transmits.

The SD should check the Geometric Error Detection Code in all Reply and Demand messages that it receives from SCCs.

61.3 Performance of Geometric Code

The Geometric Error Detection Code covering a data block of m rows by n columns requires the transmission of $m + 1$ rows by $n + 1$ columns, and has the following properties:

- i) It detects all occurrences of one, two or three errors in the enlarged block of $m + 1$ rows by $n + 1$ columns.
- ii) It detects any odd number of errors, regardless of their distribution within the block.
- iii) It detects all burst errors up to $n + 2$ bits in length.

- iv) Il détecte une forte proportion des erreurs non comprises dans les cas *i)* à *iii)* ci-dessus. Par exemple, parmi toutes les configurations d'erreurs à 4 bits dans le bloc, seules celles qui sont placées aux sommets d'un rectangle ne sont pas détectées.

Le rendement des Codes de Détection Géométrique peut être calculé pour des taux aléatoires de bits erronés. En pratique les erreurs dues aux lignes téléphoniques ne sont pas caractérisées par un bruit aléatoire indépendant, et, dans la mise en œuvre utilisée pour l'Interconnexion de Branche Série, les erreurs dans le bit SÉPARATEUR sont détectées partiellement par le contexte plutôt que par la parité longitudinale. Toutefois quelques valeurs de rendement approximatif pour un code de détection géométrique à huit colonnes fonctionnant dans des conditions de bruit aléatoire sont données ci-dessous à titre d'indication des possibilités du code.

Si le taux d'erreur aléatoire d'une voie de communication est tel que la probabilité qu'un bit soit erroné est de 10^{-4} , la probabilité, après application de la procédure de détection géométrique d'erreur, pour qu'un bloc contienne une erreur non détectée est approximativement de 10^{-13} pour les blocs de neuf caractères et de 10^{-14} pour les blocs de trois caractères. Si la probabilité d'un bit erroné est de 10^{-5} , la probabilité pour qu'un bloc contienne une erreur non détectée est 10^{-17} et 10^{-18} pour les blocs de neuf caractères et de trois caractères respectivement. A titre d'exemple pratique, si des messages à neuf caractères sont émis à la fréquence de 2 000 bits/s avec un taux d'erreur aléatoire de 10^{-4} , le taux moyen d'erreur sur la voie est de 1 bit erroné en 5 s, mais le taux moyen d'arrivée de blocs ayant des erreurs non détectées est réduit à un bloc en 10^4 ans.

61.4 *Détection d'erreurs par le contexte*

Dans les rares cas où des erreurs multiples ne sont pas détectées par le Code de Détection Géométrique, une protection supplémentaire contre les erreurs est fournie par la structure du message qui exige que certains bits et certaines parties de message arrivent dans le contexte approprié.

Des erreurs dans le bit SÉPARATEUR entraînent l'arrivée de caractères dans un contexte faux et entraînent ainsi la perte du synchronisme des messages (voir paragraphe 40.2).

Des erreurs non détectées dans les bits SF8 et SF16 de la partie FONCTION du Message D'ORDRE peuvent entraîner l'attente dans le Contrôleur de Châssis Série d'une partie Donnée d'écriture quand il n'y en a pas ou vice versa. Dans ce cas, le Contrôleur de Châssis Série n'identifie pas correctement la partie PARITÉ LONGITUDINALE et il est alors probable que la Parité longitudinale ne sera pas respectée.

Des erreurs non détectées dans la partie IM du Message d'Ordre peuvent, si le Contrôleur de Châssis Série exécute le contrôle approprié, entraîner le rejet par le Contrôleur de Châssis Série du Message d'Ordre déformé.

61.5 *Détection d'erreurs par les modules*

Un module CAMAC classique utilise un petit nombre de Sous-adresses et de Fonctions possibles. Il y a donc une protection supplémentaire contre les erreurs, du fait qu'un ordre déformé recevra probablement la réponse $X = 0$ soit du module considéré soit d'un autre module ou d'une station inoccupée.

Dans des cas particuliers où la sécurité maximale contre les opérations erronées dans un module est essentielle, le module peut contenir des précautions additionnelles. Par exemple, le module peut prévoir l'utilisation d'une redondance supplémentaire, dans les ordres ou les données, pour se protéger contre la mauvaise exécution de certaines opérations particulièrement critiques.

- iv) It detects a large proportion of the errors not included in *i)* to *iii)* above. For example, of all 4-bit error patterns in the block, it fails to detect only those arranged in a rectangular format.

The performance of Geometric Codes can be calculated for random bit-error rates. In practice, the errors due to telephone channels are not characterized by random independent noise and, in the implementation used for the SH, any errors in the DELIMITER bit are detected partly by context rather than by column-parity. However, some approximate performance data for an eight-column Geometric Code operating under random noise conditions are quoted below as an indication of the power of the scheme.

If the communications channel has a random error rate such that the probability that a bit is in error is 10^{-4} then, after applying the Geometric error detection procedure, the probability that a block contains an undetected error is approximately 10^{-13} for nine-byte blocks and 10^{-14} for three-byte blocks. If the probability of bit-error is 10^{-5} , then the probability that a block contains an undetected error is 10^{-17} and 10^{-18} for nine-byte and three-byte blocks, respectively. As a practical example, if nine-byte messages are transmitted at 2000 bits/s with a random error rate of 10^{-4} , the average rate of errors on the channel is 1 bit-error in 5 s, but the average rate of occurrence of blocks with undetected errors is reduced to one block in 10^4 years.

61.4 *Error detection by context*

In the rare cases where multiple errors are not detected by the Geometric Code, some additional protection against errors is provided by the message structure, which requires that certain bits and fields occur in the appropriate context.

Errors in the DELIMITER bit result in bytes occurring in the wrong context, and so lead to loss of message synchronism (see Sub-clause 40.2).

Undetected errors in bits SF8 and SF16 of the FUNCTION field of a COMMAND message can result in the SCC expecting a Write-data field when there is none, or vice versa. If so, the SCC does not identify the COLUMN-PARITY field correctly, and thus it is likely that the column parity will be violated.

Undetected errors in the MI-field of the Command message could, if the SCC implements the appropriate test, result in the SCC rejecting the corrupted Command message.

61.5 *Error detection at modules*

A typical CAMAC module implements few of the full range of Sub-addresses and Functions. There is therefore some additional protection against errors because a corrupted command will probably result in the response $X = 0$, either from the intended module, or from some other module or unoccupied station.

In special cases where maximum security against false operations in a module is essential, the module can include additional precautions. For example, the module could be constructed so that it uses extra redundancy, in commands or data, to protect against false execution of some particularly critical operation.

62. Message de Réponse Erreur

Quand un Contrôleur de Châssis Série détecte un non-respect de la parité transversale ou longitudinale dans un Message d'Ordre reçu, il ne peut pas compter sur le contenu de la partie Fonction pour déterminer la longueur du Message de Réponse. C'est pourquoi le Contrôleur de Châssis Série émet un Message de Réponse ERREUR ayant une longueur fixe de 3 caractères dans lequel le bit ERREUR (ERR) dans la partie Etat est à l'état «1». Un Message de Réponse Erreur est également envoyé si, après le contrôle facultatif de la partie IM, le Contrôleur de Châssis Série détecte un contenu non nul dans la partie IM de tout message qui lui est adressé (voir paragraphe 16.7).

63. Indications d'erreur dans les Messages de Réponse

La partie ÉTAT du Message de Réponse contient des indications d'erreur concernant l'exécution de l'ordre en cours et de l'ordre précédent au Contrôleur de Châssis Série.

63.1 Bit ERREUR (ERR)

Le bit ERREUR en position de bit 1 dans la partie ÉTAT du Message de RÉPONSE, indique si le Contrôleur de Châssis Série a détecté des erreurs dans le Message d'Ordre en cours à la suite des contrôles de parités transversale et longitudinale et (éventuellement) de la partie IM. Si $ERR = 0$, l'ordre a été exécuté par le Contrôleur de Châssis Série (bien que non nécessairement accepté par le module désigné). Si $ERR = 1$, le Contrôleur de Châssis Série a détecté une erreur de parité (voir paragraphe 61.2) ou une partie IM incorrecte (voir paragraphe 16.7) et n'a donc pas exécuté l'ordre. Les Messages de RÉPONSE dans lesquels le bit ERR est à l'état «1» sont toujours des messages à 3 caractères sans partie Donnée de Lecture (voir tableau XIII).

Si un Contrôleur de Châssis Série détecte un non-respect de la parité transversale ou longitudinale dans un Message d'Ordre reçu, il doit mettre à l'état «1» le bit ERREUR (ERR) de la partie ÉTAT du Message de Réponse.

Si un Contrôleur de Châssis Série vérifie la partie IM des messages reçus et détecte que le contenu de cette partie n'est pas «00», il doit mettre à l'état «1» le bit ERREUR (ERR) de la partie ÉTAT du Message de Réponse (Essai facultatif).

63.2 Bit ORDRE ACCEPTÉ (SX)

Le bit SX est en position de bit 2 dans la partie ÉTAT et correspond à la réponse ORDRE ACCEPTÉ (X), venant de l'Interconnexion de châssis (pour les ordres adressés aux modules) ou d'un élément quelconque du Contrôleur de Châssis Série (pour les ordres adressés au Contrôleur de Châssis Série). Si $ERR = 1$, indiquant que l'ordre n'a pas été exécuté, le bit SX n'a pas de signification et est arbitrairement défini comme $SX = 0$ (voir tableau XIII).

Après l'exécution d'un ordre, le Contrôleur de Châssis Série doit émettre le bit SX de la partie ÉTAT du Message de Réponse en conformité avec la réponse ORDRE ACCEPTÉ (X) provenant du module désigné ou d'un élément du Contrôleur de Châssis Série.

Une opération manquée indiquée par $ERR = 0$ et $SX = 0$ peut être due soit au fait que l'ordre n'a pas été accepté par le module ou l'élément auquel il était adressé, soit au fait que l'ordre demandait une opération sur l'Interconnexion, alors que le Contrôleur de Châssis Série était dans l'état HORS LIGNE ou en BY-PASS. Ces conditions peuvent être identifiées avec le bit SQ dans la partie ÉTAT du message RÉPONSE et le bit 13 dans le Registre d'Etat du Contrôleur de Châssis Série (voir article 43).

62. The Error-reply message

When a Serial Crate Controller detects a violation of byte or column parity in a received Command message, it cannot rely on the contents of the Function field to determine the length of the Reply message. The SCC therefore generates an ERROR-reply message with a fixed length of 3 bytes in which the ERROR (ERR) bit in the Status field is at logic "1". An Error-reply message is also sent if, as a result of the optional MI-field test, the SCC detects non-zero contents in the MI-field of any message addressed to it (see Sub-clause 16.7).

63. Error indications in Reply messages

The STATUS field in the Reply message contains error indications relating to the execution of the current command and the previous command to the SCC.

63.1 ERROR bit (ERR)

The ERROR bit, in bit-position 1 of the STATUS field of the REPLY message, indicates whether the SCC has detected errors in the current Command message as a result of testing the byte and column parity and (optionally) the MI-field. If $ERR = 0$, the command has been executed by the SCC (although not necessarily accepted by the addressed module). If $ERR = 1$, the SCC has detected a parity error (see Sub-clause 61.2), or incorrect MI field (see Sub-clause 16.7), and has therefore not executed the command. Reply messages in which the ERR bit is logic "1" are always 3-byte messages without a READ-DATA field (see Table XIII).

If a Serial Crate Controller detects a violation of byte or column parity in a received Command message, it shall set the ERROR bit (ERR) in the STATUS field of the Reply message to logic "1".

If an SCC tests the MI-field of received messages and detects that the contents of the field are not "00", it shall set the ERROR bit (ERR) in the STATUS field of the Reply message to logic "1" (optional test).

63.2 COMMAND ACCEPTED bit (SX)

The SX bit is in bit-position 2 of the STATUS field, and corresponds to the COMMAND ACCEPTED (X) response from the Dataway (for commands to modules) or from some features of the SCC (for commands addressed to the SCC). When $ERR = 1$, indicating that the command has not been executed, the SX bit has no significance and is arbitrarily defined as $SX = 0$ (see Table XIII).

After executing a command, the Serial Crate Controller shall generate the SX bit in the STATUS field of the Reply message to correspond with the COMMAND ACCEPTED response (X) from the addressed module or feature of the SCC.

An unsuccessful operation, indicated by $ERR = 0$ and $SX = 0$, may be due either to the command not having been accepted by the module or feature to which it is addressed, or to the command requiring a Dataway operation when the SCC is in the OFF-LINE or BYPASSED state. These conditions can be distinguished by means of the SQ bit in the Status field of the Reply message and Bit 13 in the Status Register (see Clause 43) of the SCC.

Les modules conformes aux spécifications antérieures peuvent donner la réponse $X = 0$ à tous les ordres mais peuvent habituellement être modifiés pour donner $X = N$ afin de permettre l'identification des opérations réussies selon les prescriptions du tableau XIII (voir paragraphe 5.4.4 de la Publication 516 de la CEI).

63.3 Bit DIFFÉRÉ D'ERREUR (DERR)

Le bit DERR en position de bit 4, dans la partie Etat, indique si l'ordre précédent destiné au Contrôleur de Châssis Série a été exécuté avec succès. Le bit DERR est à l'état «1», si le Message d'Ordre précédent reçu par le Contrôleur de Châssis Série contenait une erreur de parité ou (éventuellement) une partie IM incorrecte, ou si l'échange Ordre-Réponse a été abandonné avant l'exécution de l'ordre, ou encore si l'ordre a été exécuté, mais n'a pas été accepté par le module ou l'élément du Contrôleur de Châssis Série désigné. Il est essentiellement associé au redressement de situations dans lesquelles un Message de Réponse assemblé a été perdu, soit par déformation de la Réponse pendant la transmission, soit par l'abandon prématuré de l'échange Ordre-Réponse.

Avant d'achever ou d'abandonner un échange Ordre-Réponse, le Contrôleur de Châssis Série met à l'état «1» le bit DIFFÉRÉ D'ERREUR (DERR) du Registre d'Etat si $ERR = 1$ ou $X = 0$ ou si l'échange est abandonné prématurément (voir article 46).

63.4 Bit DIFFÉRÉ DE RÉPONSE (DSQ, DSX)

Les bits DIFFÉRÉ DE RÉPONSE dans le Registre d'Etat sont également associés au redressement de situations dans lesquelles un Message de Réponse assemblé a été perturbé ou perdu. Ils fournissent un moyen d'accéder aux réponses Q et X de l'ordre précédent exécuté par le Contrôleur de Châssis Série.

Avant d'achever ou d'abandonner un échange Ordre-Réponse, le Contrôleur de Châssis Série positionne les bits DIFFÉRÉ DE RÉPONSE (DSQ et DSX) du Registre d'Etat en accord avec les réponses Q et X respectives provenant du module ou de l'élément de Contrôleur de Châssis Série désigné (voir article 46).

Si l'échange Ordre-Réponse est abandonné avant l'exécution de l'ordre, de sorte qu'il n'y a pas de réponses Q et X valables concernant l'échange, les bits DSQ et DSX doivent de préférence être remis à l'état «0».

64. Redressement des erreurs par l'Ordre de Relecture

L'élément facultatif de Relecture du Contrôleur de Châssis Série (voir paragraphe 44.2) permet de retrouver, à partir du Registre des Données de Lecture du Contrôleur de Châssis Série, des données provenant d'une opération de Lecture précédente mais non transmise convenablement au Pilote Série. Les bits ERR et DERR fournissent l'information nécessaire pour déterminer si les DONNÉES LUES requises doivent être recherchées dans le registre des DONNÉES LUES du Contrôleur de Châssis Série ou dans l'émetteur initial.

Après l'envoi d'un ordre destiné à effectuer une opération de Lecture destructive (telle que LIRE ET REMETTRE À ZÉRO) à un module ou à un élément d'un Contrôleur de Châssis Série, le Pilote Série peut recevoir:

- une réponse valable avec $ERR = 0$ et $SX = 1$. L'opération de Lecture destructive a eu lieu et les données requises sont dans la partie DONNÉES LUES de la réponse;
- une réponse valable avec $ERR = 1$ ou $SX = 0$. La Lecture destructive n'a pas eu lieu et les données requises sont toujours disponibles au niveau de l'émetteur. Il convient de faire répéter l'ordre de Lecture destructive par le Pilote Série;

Modules conforming to earlier specifications may give the response $X = 0$ to all commands, but can usually be modified to give $X = N$ in order to allow recognition of successful operations as required by Table XIII (see Sub-clause 5.4.4 of IEC Publication 516).

63.3 *DELAYED-ERROR bit (DERR)*

The DERR bit, in bit-position 4 of the Status field, indicates whether the previous command to the SCC was executed successfully. The DERR bit is a logic "1" if the previous Command message received by the SCC contained a parity error or (optionally) an incorrect MI-field, or if the Command/Reply transaction was abandoned before executing the command, or if the command was executed but was not accepted by the addressed module or feature of SCC. It is primarily associated with recovery from situations in which an assembled Reply message has been lost, either by corruption of the Reply in transmission or by the Command/Reply transaction having been abandoned prematurely.

Before completing or abandoning a Command/Reply transaction, the Serial Crate Controller sets the DELAYED-ERROR bit (DERR) of the Status Register to logic "1" if either $ERR = 1$ or $X = 0$ or the transaction is abandoned prematurely (see Clause 46).

63.4 *DELAYED-RESPONSE bits (DSQ, DSX)*

The DELAYED-RESPONSE bits in the Status Register are also associated with recovery from situations in which an assembled Reply message has been corrupted or lost. They provide a means of access to the Q and X responses of the previous command executed by the SCC.

Before completing or abandoning a Command/Reply transaction, the Serial Crate Controller sets the DELAYED-RESPONSE bits (DSQ and DSX) of the Status Register to correspond with the Q and X responses, respectively, from the addressed module or feature of SCC (see Clause 46).

If the Command/Reply transaction is abandoned before executing the command, so that there are no valid Q and X responses related to the transaction, the DSQ and DSX bits should preferably be reset to logic "0".

64. **Error recovery using the Re-read command**

The optional Re-read feature of the SCC (see Sub-clause 44.2) allows data derived from a previous Read operation, but not successfully transmitted to the SD, to be recovered from the READ-DATA register of the SCC. The ERR and DERR bits provide the information needed to determine whether the required READ DATA should be accessed in the Read-data register of SCC or in its original source location.

After sending a command intended to perform a destructive-read operation (such as READ-AND-CLEAR) at a module or feature of an SCC, the SD may receive:

- a valid reply, with $ERR = 0$ and $SX = 1$. The destructive Read operation has taken place, and the required data are in the READ-DATA field of the reply.
- a valid reply, with $ERR = 1$ or $SX = 0$. The destructive Read did not take place, and the required data are still available at the source. The SD should repeat the destructive-read command.

– a corrupted reply or no reply. The ERR bit (if any) of the reply is not a reliable indicator whether the destructive-read operation took place.

The error-recovery features are provided to deal with this last case, where the Serial Driver receives the expected truncated COMMAND message from the SCC but does not receive a valid reply. Under these conditions, the SD should send a RE-READ command to the SCC (see Sub-clause 42.2).

If the STATUS field of the reply to the Re-read command indicates DERR = 1, then the destructive-read operation did not take place. The SD should repeat the destructive-read operation to access the data from the source.

If the reply to the Re-read command indicates DERR = 0, the destructive-read operation took place, and the required data are in the READ-DATA field of the reply to the Re-read command.

This procedure permits recovery from a single error (an error in the reply to the original destructive-read command). The required data may be lost if there is an additional error for example, if there is an error in the reply to the Re-read operation.

The error-recovery procedure described above applies primarily to destructive-read operations, in which the source cannot be relied upon to provide the same data if the operation is repeated. If the SD does not receive a valid reply after sending any other command (NON-DESTRUCTIVE READ, WRITE or CONTROL), a simpler recovery is possible. The SD should send a command to read the Status Register of the SCC. This provides access to the previous command-status and the appropriate decision can be taken to repeat the command if necessary.

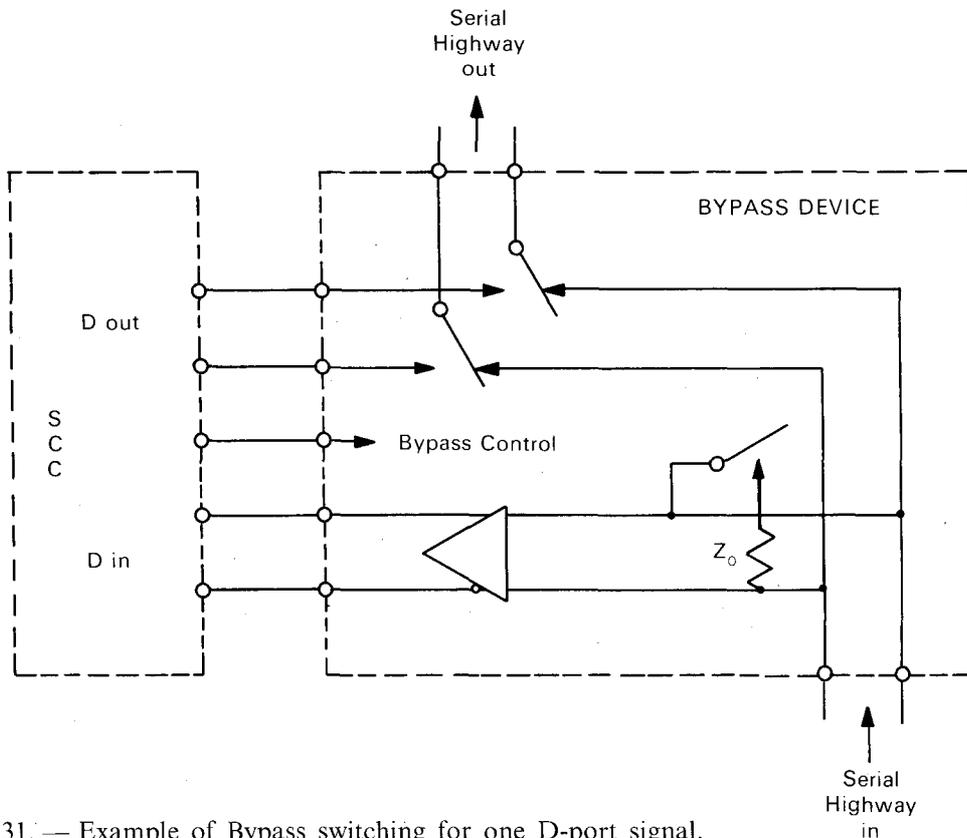


FIG. 31. — Example of Bypass switching for one D-port signal.

In a Bypass device for bit-serial D-port signals, this arrangement is duplicated for data and clock signals.

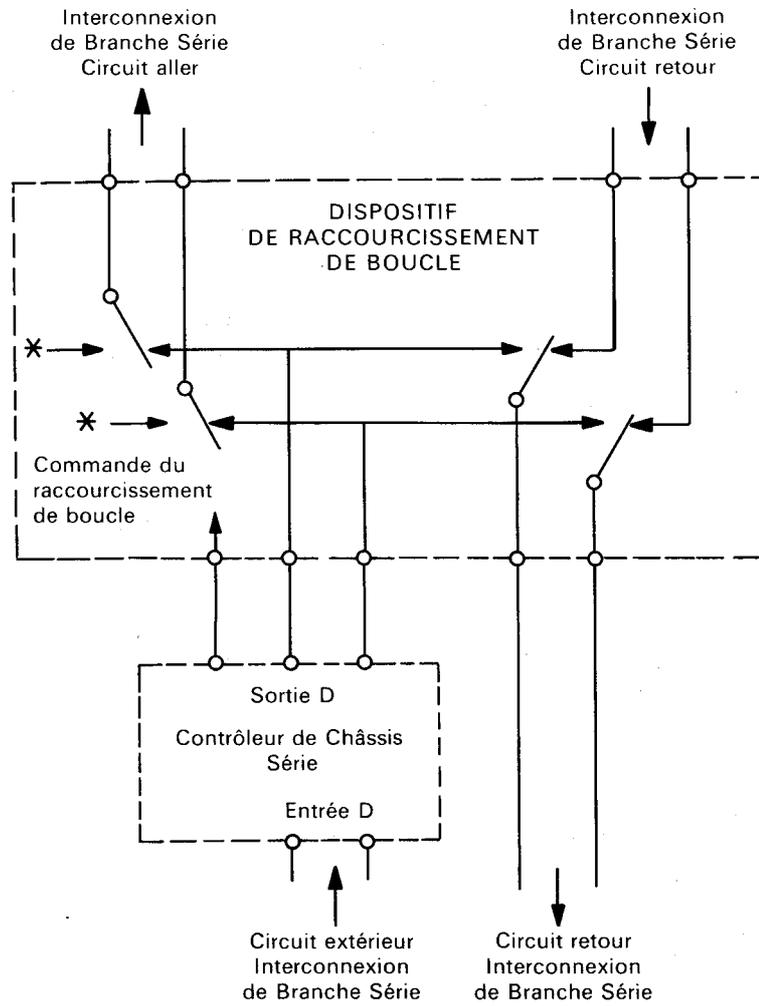


FIG. 32. — Exemple de commutateur de Raccourcissement de Boucle pour un signal de porte D.

Dans un dispositif de Raccourcissement de Boucle pour signaux de porte D en bit-série, cette disposition est doublée pour les signaux de données et d'horloge.

La sortie d'horloge à la partie déconnectée de la boucle Interconnexion de Branche Série est maintenue à un état logique fixe par les conditions aux points marqués**.

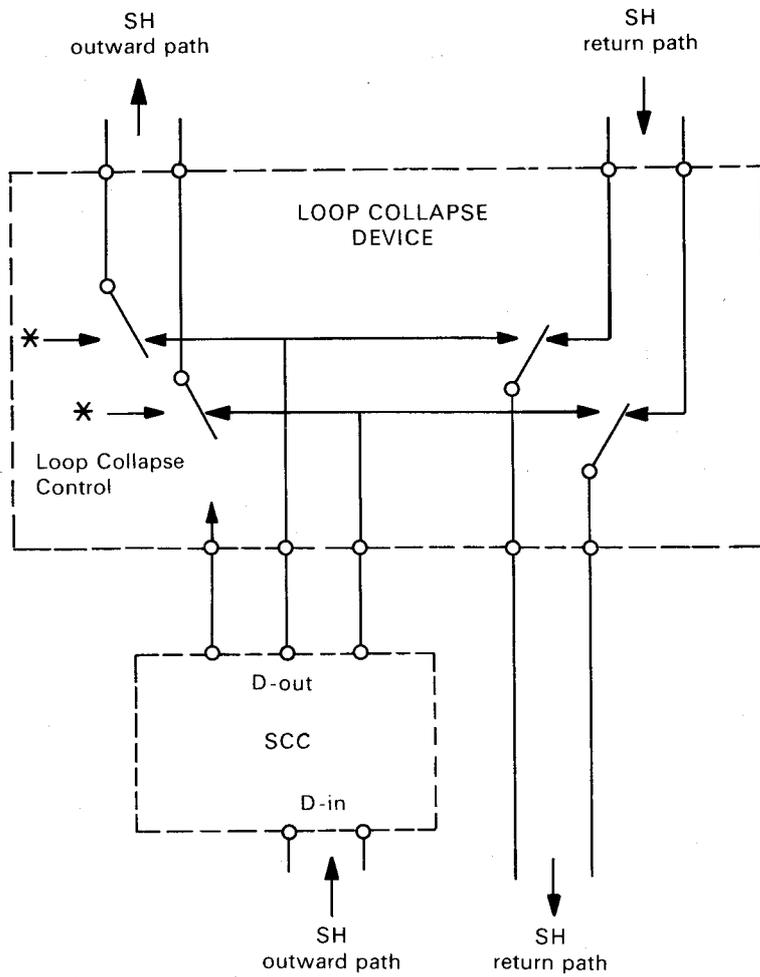


FIG. 32. — Example of Loop Collapse switching for one D-port signal.

In a Loop Collapse device for bit-serial D-port signals, this arrangement is duplicated for data and clock signals.

The clock signal output to the disconnected part of the SH Loop is held in a fixed logic state by the conditions at*-*.

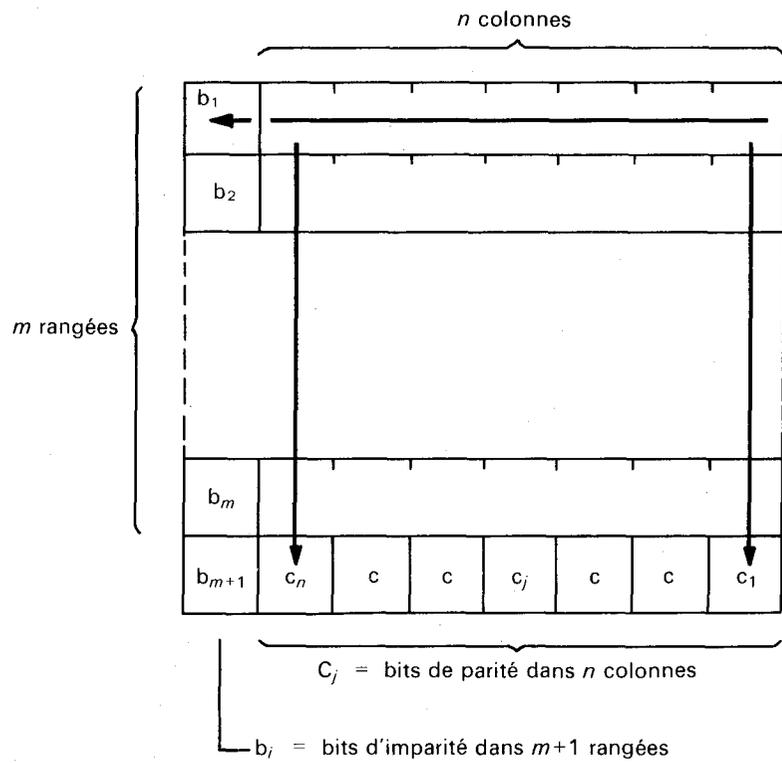


FIG. 33. — Code de détection géométrique d'erreurs. — Principes de base (voir Figure 34, pour application à l'Interconnexion de Branche Série.

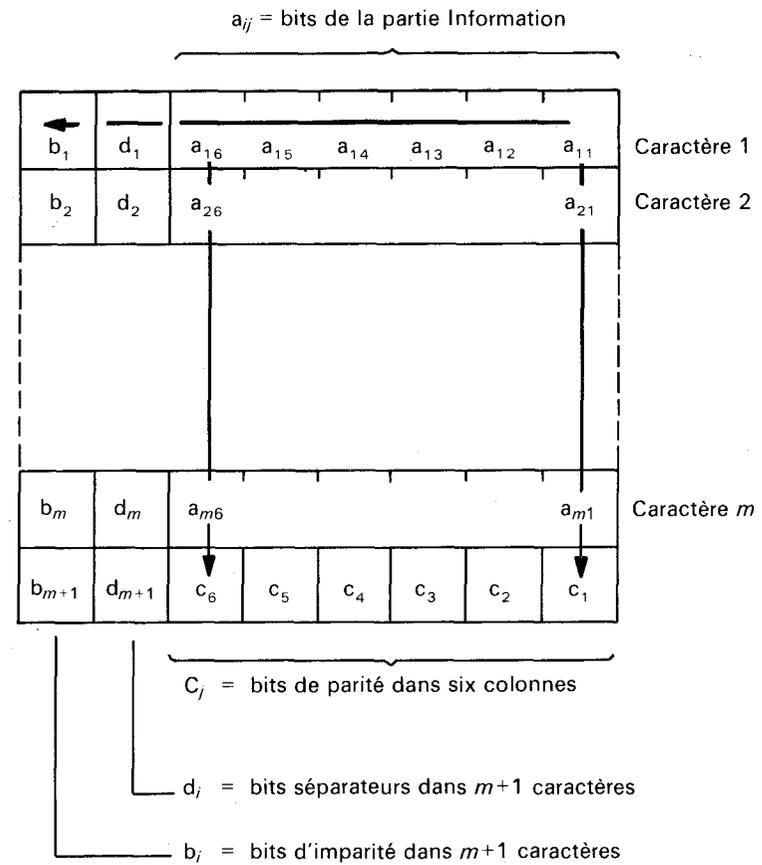


FIG. 34. — Code de détection géométrique d'erreurs appliqué à l'Interconnexion de Branche Série.

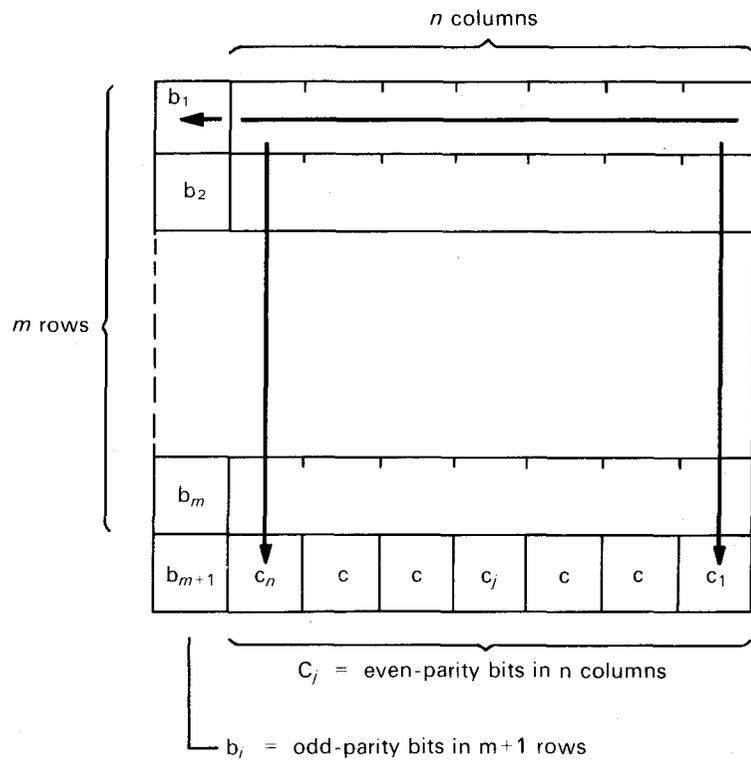


FIG. 33. — Geometric error detection basic principle (see Figure 34 for application to the Serial Highway).

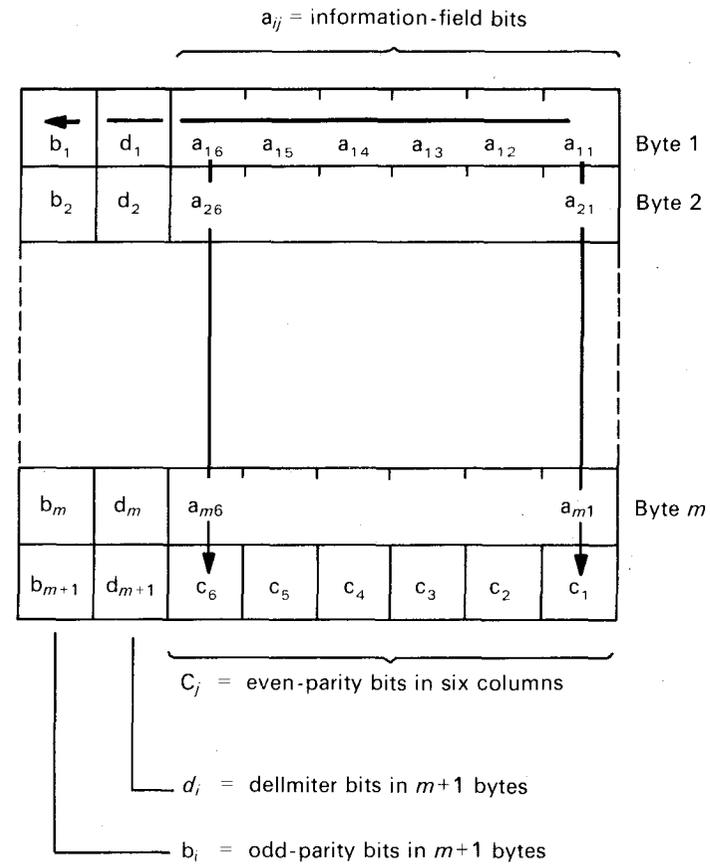


FIG. 34. — Geometric error detection as applied to the Serial Highway.

TABLEAU XIII
Indication d'erreurs dans le Message de Réponse

Exécution de l'Ordre	Message de Réponse			
	Partie ÉTAT			Longueur (caractères)
	ERR	SX	SQ	
Réussie	0	1	Q*	3 ou 7
Manquée				
INTERCONNEXION HORS LIGNE**	0	0	0	3 ou 7
ORDRE NON ACCEPTÉ**	0	0	0	3 ou 7
MISE EN BY-PASS	0	0	1	3 ou 7
Non exécutée (Erreur de parité ou d'IM)	1	0	0	3

* Réponse de l'élément désigné dans le module ou le contrôleur.

** Ces cas peuvent être distingués en lisant le contenu du Registre d'Etat. Le bit 13 indique INTERCONNEXION HORS LIGNE.

SECTION SEIZE — RÉSUMÉ: SÉQUENCE DES ACTIONS DANS LE CONTRÔLEUR DE CHÂSSIS SÉRIE

Cette section résume la réponse des Contrôleurs de Châssis Série au flux de caractères reçus en fonction des transitions entre neuf états principaux résultant des conditions normales et des conditions d'erreur. Cette information est également présentée par un diagramme à la figure 35, page 200 (de façon complète) et à la figure 36, page 202 (de façon simplifiée omettant toutes les conditions d'erreur).

Les neuf états principaux du Contrôleur de Châssis Série sont:

- RECHERCHE D'EN-TÊTE;
- RÉCEPTION D'ORDRE;
- ORDRE EXÉCUTABLE;
- ÉMISSION DE LA RÉPONSE;
- RECHERCHE DE FIN;
- ÉMISSION DE DEMANDE;
- PERTE DU SYNCHRONISME DES CARACTÈRES;
- PERTE DU SYNCHRONISME DES MESSAGES;
- TRANSPARENT AUX MESSAGES.

Chacun de ces états est caractérisé par:

- a) les conditions d'entrée dans l'état;
- b) les caractères normalement reçus par le Contrôleur de Châssis Série;
- c) les caractères normalement émis par le Contrôleur de Châssis Série;

TABLE XIII
Error indications in Reply message

Execution of Command	Reply message			
	STATUS field			Length (bytes)
	ERR	SX	SQ	
Successful	0	1	Q*	3 or 7
Unsuccessful				
DATAWAY OFF-LINE**	0	0	0	3 or 7
COMMAND NOT ACCEPTED**	0	0	0	3 or 7
BYPASSED	0	0	1	3 or 7
Not executed (Parity or MI Error)	1	0	0	3

* Response from the addressed feature of the module or controller.

** These can be distinguished by reading the contents of the Status Register. Bit 13 equal to 1 indicates DATAWAY OFF-LINE.

SECTION SIXTEEN — SUMMARY: SEQUENCE OF ACTIONS IN THE SCC

This section summarizes the response of Serial Crate Controllers to the received byte-stream in terms of the transitions between nine major states, as a result of normal and error conditions. This information is also presented diagrammatically in Figure 35, page 201 (in full), and Figure 36, page 203 (in simplified form omitting all error conditions).

The nine major states of SCC are:

- FIND HEADER;
- RECEIVE COMMAND;
- EXECUTE COMMAND;
- SEND REPLY;
- FIND END;
- SEND DEMAND;
- LOST BYTE SYNC;
- LOST MESSAGE SYNC;
- PASS MESSAGE.

Each of these states is characterized by:

- a) the conditions for entering the state;
- b) the bytes normally received by SCC;
- c) the bytes normally transmitted by SCC;

- d) les conditions normales pour la sortie de l'état;
- e) les conditions d'erreur pour la sortie de l'état.

65. Recherche d'En-Tête

C'est l'état normal de repos du Contrôleur de Châssis Série. Le Contrôleur de Châssis Série reçoit des caractères SÉPARATEURS (normalement des caractères ATTENTE), suivis par un caractère NON SÉPARATEUR traité comme le caractère EN-TÊTE d'un message. Le Contrôleur de Châssis Série retransmet tous les caractères reçus, y compris EN-TÊTE, soit directement, soit avec un retard pouvant aller jusqu'à 3 caractères. Il y a trois sorties normales et deux sorties en cas d'erreur de cet état.

65.1 Sortie vers l'état RÉCEPTION D'ORDRE

Condition: le Contrôleur de Châssis Série reçoit un caractère NON SÉPARATEUR ayant une parité transversale correcte et une partie ADRESSE DE CHÂSSIS correspondant à son adresse. Il s'agit du caractère EN-TÊTE d'un message qui lui est adressé.

65.2 Sortie vers l'état TRANSPARENT AUX MESSAGES

Condition: le Contrôleur de Châssis Série reçoit un caractère NON SÉPARATEUR ayant une parité transversale correcte mais une partie ADRESSE DE CHÂSSIS ne correspondant pas à son adresse. Cela est traité comme le caractère EN-TÊTE d'un message en direction ou en provenance d'un autre châssis.

65.3 Sortie vers l'état ÉMISSION DE DEMANDE

Condition: le Contrôleur de Châssis Série reçoit un caractère SÉPARATEUR et les conditions appropriées existent pour initialiser un Message de Demande.

65.4 Sortie en cas d'erreur vers l'état TRANSPARENT AUX MESSAGES

Conditions: le Contrôleur de Châssis Série reçoit un caractère quelconque ayant une parité transversale incorrecte. L'état TRANSPARENT AUX MESSAGES est utilisé comme moyen d'attendre la prochaine fin de message.

65.5 Sortie en cas d'erreur vers l'état PERTE DU SYNCHRONISME DES CARACTÈRES

Condition: le Contrôleur de Châssis Série détecte une erreur d'enveloppe de caractère lorsqu'il fonctionne en mode bit-série.

66. Etat Réception d'Ordre

Le caractère EN-TÊTE d'un Message d'Ordre a été reçu et retransmis. Le Contrôleur de Châssis Série reçoit une série de caractères constituant le reste du Message d'Ordre jusqu'à, et y compris, le caractère SOMME. Le Contrôleur de Châssis Série émet un caractère FIN suivi par des caractères ATTENTE (présumant que le message d'ordre réémis est tronqué (voir paragraphe 13.2). Quand le Contrôleur de Châssis Série reçoit le caractère SOMME, il vérifie la parité longitudinale. Il y a une sortie normale et cinq sorties erronées.

66.1 Sortie vers l'état ORDRE EXÉCUTABLE

Condition: le Contrôleur de Châssis Série reçoit un ordre exécutable ayant des parités transversale et longitudinale correctes et une partie IM correcte (si elle est contrôlée).

- d) the normal conditions for exit from the state;
- e) the error conditions for exit from the state.

65. Find Header

This is the normal quiescent state of the SCC. The SCC receives DELIMITER bytes (typically WAIT bytes), followed eventually by a NON-DELIMITER byte treated as the HEADER byte of a message. The SCC retransmits all received bytes, including the HEADER, either directly or with a delay of up to 3-byte periods. There are three normal exits and two error exits from this state.

65.1 *Exit to RECEIVE COMMAND state*

Condition: The SCC receives a NON-DELIMITER byte, with correct byte-parity and with CRATE ADDRESS field matching its assigned address. This is the HEADER byte of a message addressed to the SCC.

65.2 *Exit to PASS MESSAGE state*

Condition: The SCC receives a NON-DELIMITER byte, with correct byte-parity, but with CRATE ADDRESS field not matching its assigned address. This is treated as the HEADER byte of a message to or from another crate.

65.3 *Exit to SEND DEMAND state*

Condition: The SCC receives a DELIMITER byte, and appropriate conditions exist for initiating a Demand message.

65.4 *Error exit to PASS MESSAGE state*

Condition: The SCC receives any byte with incorrect byte-parity. The PASS MESSAGE state is used as a means of waiting for the next message-end.

65.5 *Error exit to LOST BYTE SYNC state*

Condition: The SCC detects a byte-framing error while operating in bit-serial mode.

66. Receive Command

The HEADER byte of a Command message has been received and retransmitted. The SCC receives a sequence of bytes constituting the remainder of the Command message up to, and including, the SUM byte. The SCC transmits an END byte followed by WAIT bytes (assuming that the re-transmitted Command message is truncated; see Sub-clause 13.2). When the SCC receives the SUM byte, it checks the column-parity. There is one normal exit and five error exits.

66.1 *Exit to EXECUTE COMMAND state*

Condition: The SCC receives an executable command with correct byte and column parity, and correct MI-field (if checked).

66.2 *Sortie en cas d'erreur vers l'état ÉMISSION DE LA RÉPONSE (ERR = 1)*

Condition: le Contrôleur de Châssis Série reçoit un message d'ordre ayant une parité transversale ou longitudinale erronée ou une partie IM erronée (si elle est contrôlée). L'ordre n'est pas exécuté. La réponse est un message d'erreur à trois caractères avec ERR = 1 et SX = 0.

66.3 *Sortie en cas d'erreur vers l'état ÉMISSION DE LA RÉPONSE (Hors-ligne)*

Condition: le Contrôleur de Châssis Série est Hors-ligne et reçoit un ordre ayant une parité correcte (et une partie IM correcte si elle est contrôlée) ayant la partie N dans la gamme N1 à N23. L'ordre n'est pas exécuté. La réponse est un message avec ERR = 0 et SX = 0 ayant une longueur déterminée par la partie F de l'ordre.

66.4 *Sortie en cas d'erreur vers l'état ÉMISSION DE LA RÉPONSE (en By-pass)*

Condition: le Contrôleur de Châssis Série est en By-pass et reçoit un ordre ayant une parité correcte (et une partie IM correcte si elle est contrôlée) qui ne remet pas à zéro le bit de By-pass du Registre d'Etat.

L'ordre n'est pas exécuté. La réponse est un message avec ERR = 0, SX = 0 et SQ = 1 ayant une longueur déterminée par la partie F de l'ordre.

66.5 *Sortie en cas d'erreur vers l'état PERTE DU SYNCHRONISME DE MESSAGES*

Condition: le Contrôleur de Châssis Série reçoit un caractère SÉPARATEUR quelconque. Aucune réponse n'est envoyée. Le bit DERR du Registre d'Etat est mis à l'état «1».

66.6 *Sortie en cas d'erreur vers l'état PERTE DU SYNCHRONISME DES CARACTÈRES*

Condition: le Contrôleur de Châssis Série détecte une erreur d'enveloppe de caractère lorsqu'il fonctionne en mode bit série.

Aucune réponse n'est envoyée. Le bit DERR du Registre d'Etat est mit à l'état «1».

67. **Etat Ordre exécutable**

Un Ordre exécutable a été reçu. Cet état se maintient jusqu'à terminaison de l'opération requise (y compris toutes périodes de retard associées aux dispositifs de By-pass et de Raccourcissement de Boucle), ou jusqu'à abandon de l'opération. Le Contrôleur de Châssis Série reçoit normalement des caractères ESPACE, mais il accepte tout caractère NON-SÉPARATEUR ayant une parité correcte ou incorrecte et transmet des caractères ATTENTE. Il y a une sortie normale et deux sorties en cas d'erreur de cet état.

67.1 *Sortie vers l'état ÉMISSION DE LA RÉPONSE*

Condition: le Contrôleur de Châssis Série termine le cycle d'opération (au moins jusqu'à un stade où les réponses Q et X et les données de Lecture sont disponibles). Cela peut arriver avant la réception du premier caractère ESPACE.

La réponse est un message avec ERR = 0 ayant une longueur déterminée par la partie F de l'ordre.

67.2 *Sortie en cas d'erreur vers l'état PERTE DU SYNCHRONISME DES MESSAGES*

Condition: le Contrôleur de Châssis Série reçoit un caractère SÉPARATEUR quelconque.

66.2 *Error exit to SEND REPLY state (ERR = 1)*

Condition: The SCC receives a command message with wrong byte or column parity, or wrong MI-field (if checked). The command is not executed. The reply is a 3-byte error message with ERR = 1 and SX = 0.

66.3 *Error exit to SEND REPLY STATE (Off-line)*

Condition: The SCC is Off-line and receives a command with correct parity (and MI-field if checked) with N-field in range N1 to N23. The command is not executed. The reply is a message with ERR = 0 and SX = 0, and length as determined by the F-field of the command.

66.4 *Error exit to SEND REPLY state (Bypassed)*

Condition: The SCC is bypassed and receives a command with correct parity (and MI-field, if checked) that does not reset the bypass bit in the Status Register.

The command is not executed. The reply is a message with ERR = 0, SX = 0 and SQ = 1 and length as determined by the F-field of the command.

66.5 *Error exit to LOST MESSAGE SYNC state*

Condition: The SCC receives any DELIMITER byte. No reply is sent. The DERR bit in the Status Register is set to logic "1".

66.6 *Error exit to LOST BYTE SYNC state*

Condition: The SCC detects a byte-framing error while operating in bit-serial mode.

No reply is sent. The DERR bit in the Status Register is set to logic "1".

67. **Execute command state**

An executable command has been received. This state continues until the required operation has been performed (including any delay periods associated with bypass or loop collapse devices), or until the operation is abandoned. The SCC normally receives SPACE bytes, but will accept any NON-DELIMITER bytes with correct or incorrect parity, and transmits WAIT bytes. There is one normal exit and two error exits from this state.

67.1 *Exit to SEND REPLY state*

Condition: The SCC completes the operation cycle (at least to a stage where the Q and X responses and the Read data are available). This can occur before the first SPACE byte has been received.

The reply is a message with ERR = 0 and length determined by the F-field of the command.

67.2 *Error exit to LOST MESSAGE SYNC state*

Condition: The SCC receives any DELIMITER byte.

Aucune réponse n'est envoyée. Si le stade t_3 de l'exécution n'a pas été atteint, l'opération est interrompue et le bit DERR du Registre d'Etat est mis à l'état «1». Si le stade t_3 a été atteint, c'est que l'opération est terminée, parce que $ERR = 0$, $DERR = X$.

67.3 *Sortie en cas d'erreur vers l'état PERTE DU SYNCHRONISME DES CARACTÈRES*

Condition: le Contrôleur de Châssis Série détecte une erreur d'enveloppe de caractère lorsqu'il fonctionne en mode bit-série.

Aucune réponse n'est envoyée. Si le stade t_3 de l'exécution n'a pas été atteint l'opération est interrompue, et le bit DERR du Registre d'Etat est mis à l'état «1». Si le stade t_3 a été atteint, c'est que l'opération est terminée, parce que $ERR = 0$, $DERR = \bar{X}$.

68. **Etat Emission de la Réponse**

Un ordre a été reçu par le Contrôleur de Châssis série et a été exécuté ou a été rejeté comme inexécutable. Le Contrôleur de Châssis Série reçoit habituellement des caractères ESPACE (mais acceptera tout caractère NON SÉPARATEUR ayant une parité correcte ou incorrecte), éventuellement suivis par un caractère FIN. Il émet un Message de Réponse terminé par un caractère SOMME FINALE. Il y a deux sorties normales et deux sorties en cas d'erreur de cet état.

68.1 *Sortie vers l'état RECHERCHE DE FIN*

Condition: le Contrôleur de Châssis Série émet le caractère SOMME FINALE de la réponse avant de recevoir le caractère FIN, ce qui est caractéristique du mode de fonctionnement ESPACE-EN-EXCÉDENT.

68.2 *Sortie vers l'état RECHERCHE D'EN-TÊTE*

Condition: le Contrôleur de Châssis Série émet le caractère SOMME FINALE lorsqu'il reçoit le caractère FIN (ou tout autre caractère SÉPARATEUR).

68.3 *Sortie en cas d'erreur vers l'état PERTE DU SYNCHRONISME DES MESSAGES*

Condition: le Contrôleur de Châssis Série reçoit un caractère SÉPARATEUR quelconque avant l'émission de SOMME FINALE.

L'émission du Message de Réponse est abandonnée.

68.4 *Sortie en cas d'erreur vers l'état PERTE DU SYNCHRONISME DES CARACTÈRES*

Condition: le Contrôleur de Châssis Série détecte une erreur d'enveloppe de caractère lorsqu'il fonctionne en mode bit-série.

L'émission du Message de Réponse est abandonnée.

69. **Etat Recherche de Fin**

La réponse a été envoyée mais FIN n'a pas été reçu, ce qui est caractéristique du mode de fonctionnement ESPACE-EN-EXCÉDENT. Le Contrôleur de Châssis Série reçoit des caractères ESPACE suivis éventuellement par un caractère FIN. Il émet des caractères ATTENTE. Il y a une sortie normale et une sortie en cas d'erreur de cet état.

No reply is sent. If stage t_3 of execution has not been reached, the operation is abandoned and the DERR bit in the Status Register is set to logic "1". If stage t_3 has been reached, then the operation is completed and, because $ERR = 0$, therefore $DERR = \bar{X}$.

67.3 *Error exit to LOST BYTE SYNC state*

Condition: The SCC detects a byte-framing error while operating in bit-serial mode.

No reply is sent. If stage t_3 of execution has not been reached, the operation is abandoned and the DERR bit in the Status Register is set to logic "1". If stage t_3 has been reached, then the operation is completed and, because $ERR = 0$, therefore $DERR = \bar{X}$.

68. **Send Reply**

A command has been received by the SCC, and has been executed, or rejected as unexecutable. The SCC normally receives SPACE bytes (but will accept any NON-DELIMITER byte with correct or incorrect parity), possibly followed by an END byte. It transmits a Reply message concluding with an ENDSUM byte. There are two normal exits and two error exits from this state.

68.1 *Exit to FIND END state*

Condition: The SCC transmits the ENDSUM byte of the reply before it receives the END byte. This is typical of the EXCESS-SPACE mode of operation.

68.2 *Exit to FIND HEADER state*

Condition: The SCC transmits the ENDSUM byte as the END byte (or any other DELIMITER byte) is received.

68.3 *Error exit to LOST MESSAGE SYNC state*

Condition: The SCC receives any DELIMITER byte before ENDSUM is transmitted.

Transmission of the Reply message is abandoned.

68.4 *Error exit to LOST BYTE SYNC state*

Condition: The SCC detects a byte-framing error while operating in bit-serial mode.

Transmission of the Reply message is abandoned.

69. **Find End**

The reply has been sent, but END has not been received. This is typical of the EXCESS-SPACE mode of operation. The SCC receives SPACE bytes, followed eventually by an END byte. It transmits WAIT bytes. There is one normal exit and one error exit from this state.

69.1 *Sortie vers l'état RECHERCHE D'EN-TÊTE*

Condition: le Contrôleur de Châssis Série reçoit un caractère SÉPARATEUR quelconque (en général un caractère FIN).

69.2 *Sortie en cas d'erreur vers l'état PERTE DU SYNCHRONISME DES CARACTÈRES*

Condition: le Contrôleur de Châssis Série détecte une erreur d'enveloppe de caractère lorsqu'il fonctionne dans le mode bit-série.

70. Etat transparent aux Messages

Cet état fait suite à l'état RECHERCHE D'EN-TÊTE lorsque le Contrôleur de Châssis Série a reçu un caractère NON SÉPARATEUR, soit un caractère EN-TÊTE valable adressé à un autre châssis, soit un caractère ayant une parité transversale erronée. Le Contrôleur de Châssis Série reçoit les caractères restants du message (non nécessairement conformes aux parties information des messages normalisés), suivis par un caractère SÉPARATEUR. Tous les caractères reçus sont retransmis. Il y a une sortie normale et une sortie erronée de cet état.

70.1 *Sortie vers l'état RECHERCHE D'EN-TÊTE*

Condition: le Contrôleur de Châssis Série reçoit un caractère SÉPARATEUR quelconque.

70.2 *Sortie en cas d'erreur vers l'état PERTE DU SYNCHRONISME DES CARACTÈRES*

Condition: le Contrôleur de Châssis Série détecte une erreur d'enveloppe de caractère lorsqu'il fonctionne dans le mode bit-série.

71. Etat Emission de Demande

Le Contrôleur de Châssis Série a reçu un caractère SÉPARATEUR et les conditions appropriées sont présentes pour lancer un Message de Demande (voir article 24). Le Contrôleur de Châssis Série reçoit une séquence quelconque de caractères ayant une parité correcte ou incorrecte. Ces caractères sont retardés dans une mémoire tampon pendant l'émission du Message de Demande. Il y a une sortie normale et une sortie en cas d'erreur de cet état.

71.1 *Sortie vers l'état RECHERCHE D'EN-TÊTE*

Condition: le Contrôleur de Châssis Série émet le caractère SOMME FINALE du Message de Demande.

71.2 *Sortie en cas d'erreur vers l'état PERTE DU SYNCHRONISME DES CARACTÈRES*

Condition: le Contrôleur de Châssis Série détecte une erreur d'enveloppe de caractère lorsqu'il fonctionne en mode bit-série.

72. Perte du Synchronisme des Caractères

Le Contrôleur de Châssis Série a détecté une erreur d'enveloppe de caractère en opérant dans le mode bit-série. Il supprime tout retard introduit à la suite de l'envoi d'un Message de Demande précédent et retransmet tout flux de bits reçus quel qu'il soit. Le processus de rétablissement du synchronisme des caractères est mis en route. Il y a une seule sortie de cet état.

69.1 *Exit to FIND HEADER state*

Condition: The SCC receives any DELIMITER byte (typically an END byte).

69.2 *Error exit to LOST BYTE SYNC state*

Condition: The SCC detects a byte-framing error while operating in bit-serial mode.

70. **Pass message**

This state is entered from the FIND HEADER state if the SCC has received a NON-DELIMITER byte; either a valid HEADER byte addressed to another crate, or a byte with wrong byte-parity. The SCC receives the remaining bytes of the message (not necessarily conforming to the information fields of the standard messages), followed by a DELIMITER byte. All received bytes are retransmitted. There is one normal exit and one error exit from this state.

70.1 *Exit to FIND HEADER state*

Condition: The SCC receives any DELIMITER byte

70.2 *Error exit to LOST BYTE SYNC state*

Condition: The SCC detects a byte-framing error while in bit-serial mode.

71. **Send Demand**

The SCC has received a DELIMITER byte, and the appropriate conditions exist for initiating a Demand message (see Clause 24). The SCC receives any sequence of bytes, with correct or incorrect parity. These bytes are delayed in a buffer while the Demand message is transmitted. There is one normal exit and one error exit from this state.

71.1 *Exit to FIND HEADER state*

Condition: The SCC transmits the ENDSUM byte of the Demand message.

71.2 *Error exit to LOST BYTE SYNC state*

Condition: The SCC detects a framing error while operating in bit-serial mode.

72. **Lost Byte Sync**

The SCC has detected a byte-framing error while operating in bit-serial mode. It removes any delay introduced as a result of sending a previous Demand message, and re-transmits any arbitrary bit-stream that it receives. The byte re-synchronizing procedure is started. There is only one exit from this state.

72.1 *Sortie vers l'état PERTE DU SYNCHRONISME DES MESSAGES*

Condition: le Contrôleur de Châssis Série identifie un caractère ATTENTE reçu par la méthode définie au paragraphe 41.3.

73. **Perte du Synchronisme des Messages**

Le Contrôleur de Châssis Série a trouvé un caractère SÉPARATEUR dans un contexte interdit, ou est requis pour le rétablissement du synchronisme des messages à titre de précaution après rétablissement du synchronisme des caractères.

Il retransmet tout flux de caractères reçus quel qu'il soit. Le processus de rétablissement du synchronisme des messages est mis en route. Il y a une sortie normale et une sortie en cas d'erreur de cet état.

73.1 *Sortie vers l'état RECHERCHE D'EN-TÊTE*

Condition: le Contrôleur de Châssis Série reçoit au moins un caractère SÉPARATEUR.

73.2 *Sortie en cas d'erreur vers l'état PERTE DU SYNCHRONISME DES CARACTÈRES*

Condition: le Contrôleur de Châssis Série détecte une erreur d'enveloppe de caractère lorsqu'il fonctionne en mode bit série.

72.1 *Exit to LOST MESSAGE SYNC state*

Condition: The SCC identifies a received WAIT byte by the method defined in Sub-clause 41.3.

73 **Lost Message Sync**

The SCC has encountered a DELIMITER byte in a prohibited context, or is required to re-establish message synchronism as a precaution after having regained byte-synchronism.

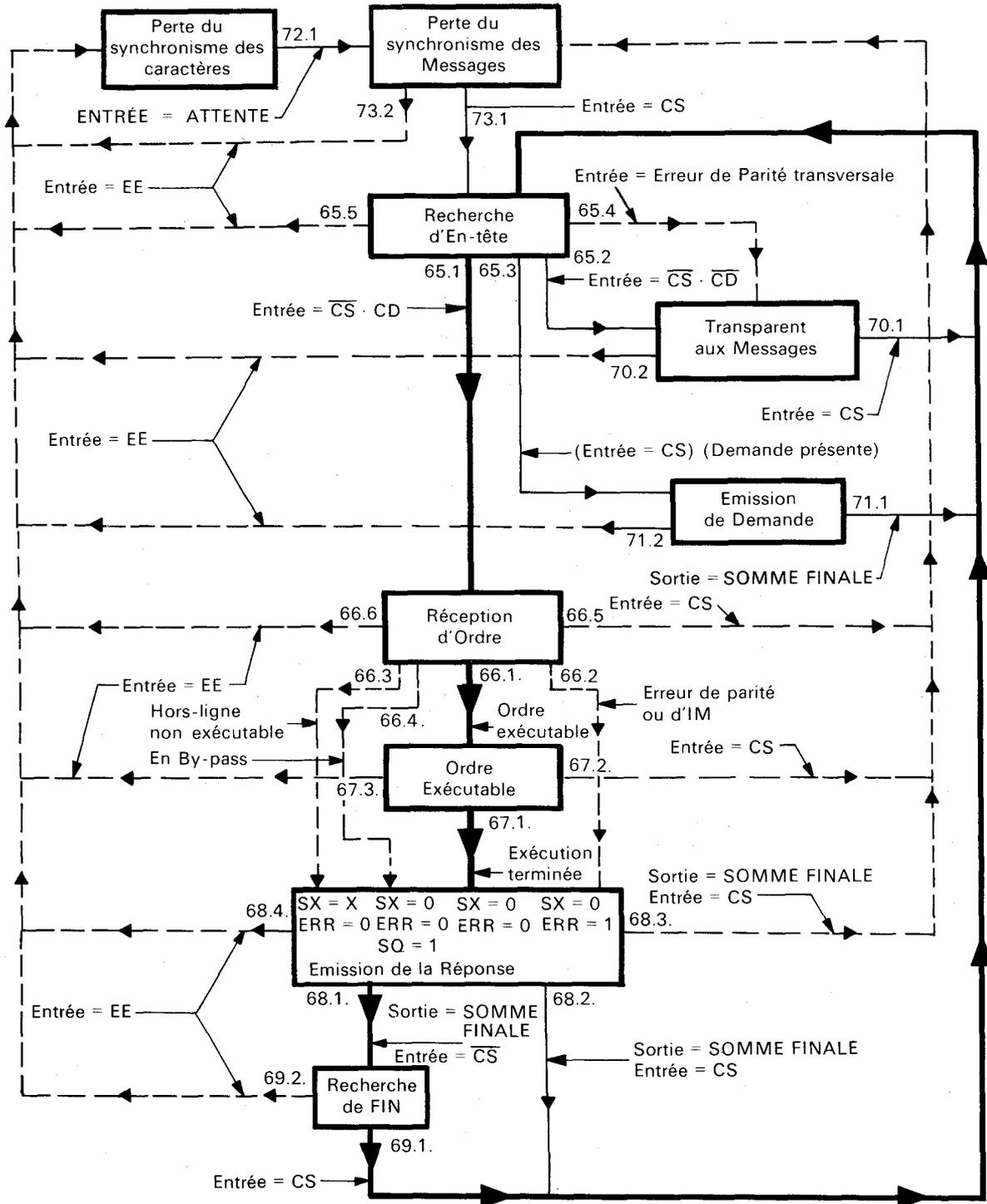
It re-transmits any arbitrary byte-stream that it receives. The message re-synchronizing procedure is started. There is one normal exit and one error exit from this state.

73.1 *Exit to FIND HEADER state*

Condition: The SCC receives at least one DELIMITER byte.

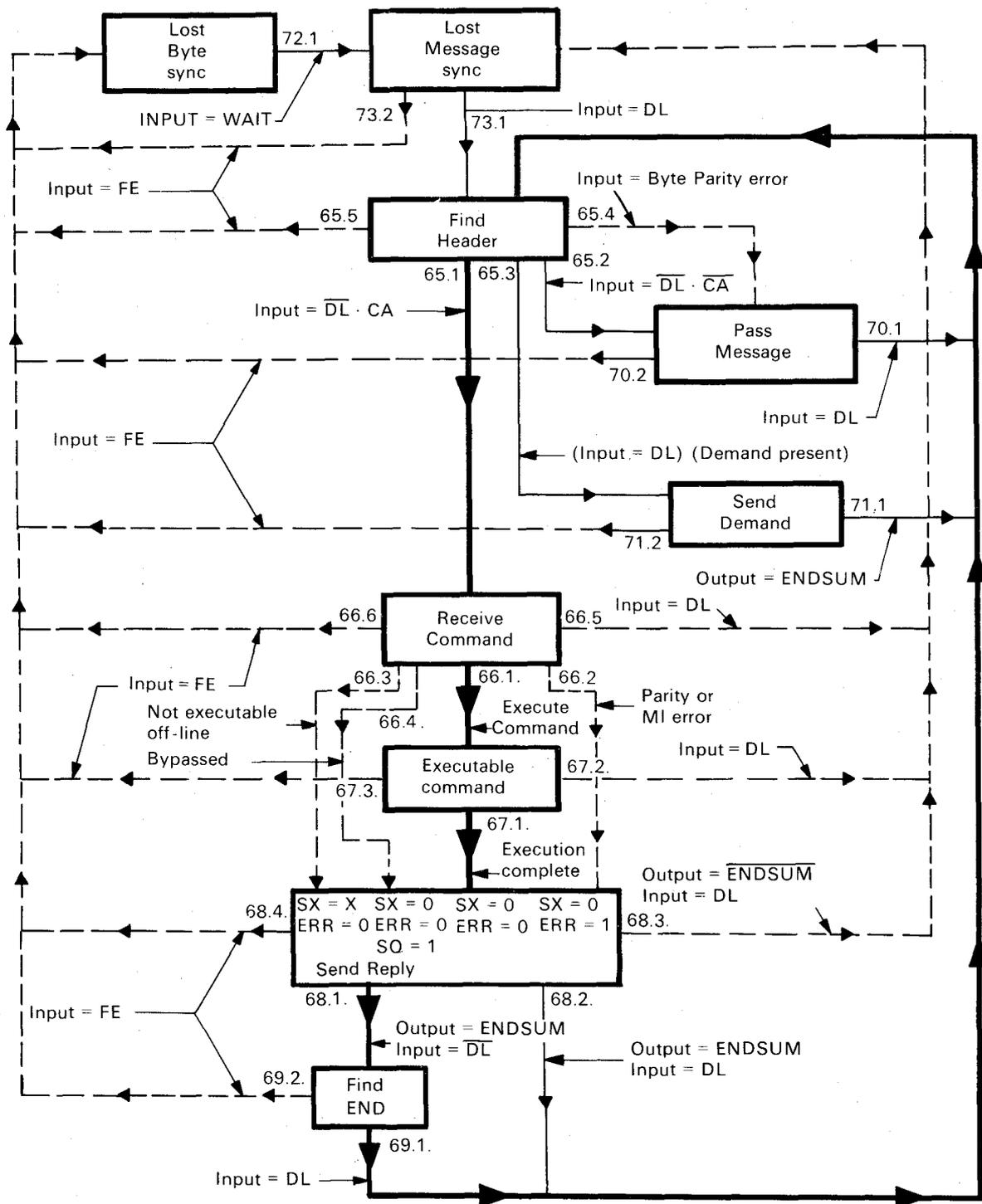
73.2 *Error exit to LOST BYTE SYNC state*

Condition: The SCC detects a byte-framing error while operating in bit-serial mode.



Les chiffres indiqués aux sorties des Etats correspondent aux paragraphes de la section seize
 Les lignes continues sont les sorties normales
 Les lignes brisées sont les sorties erronées

FIG. 35. — Séquence des états principaux du Contrôleur de Châssis Série.



DL = delimiter byte
 CA = crate addressed
 FE = framing error

Numbered exits from states correspond to sub-clauses in Section Sixteen
 Solid lines = normal exits
 Broken lines = error exits

FIG. 35. — Major-state sequence in the SCC.

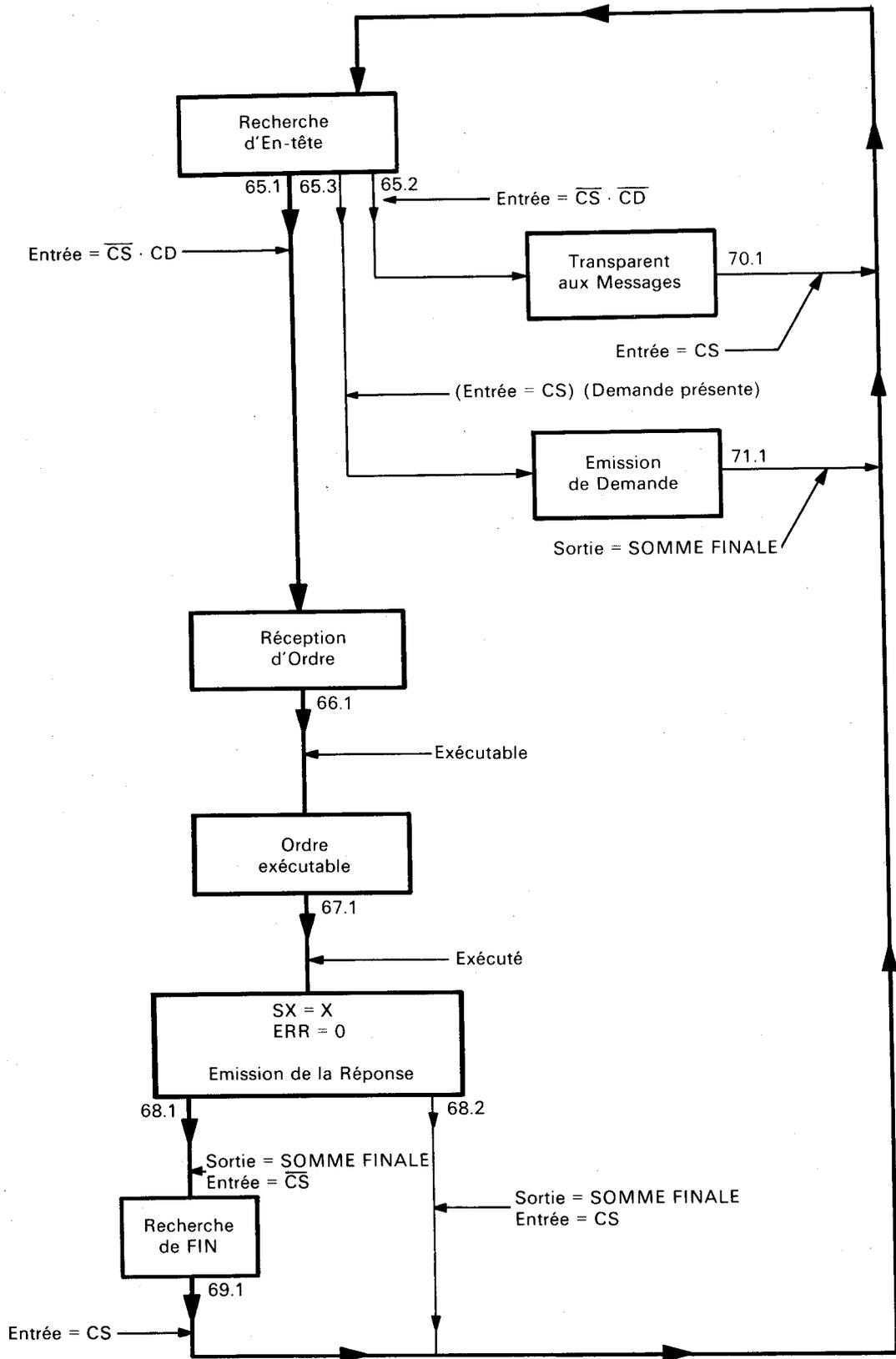


FIG. 36. — Séquence des états principaux du Contrôleur de Châssis Série, en omettant toutes les conditions d'erreur.

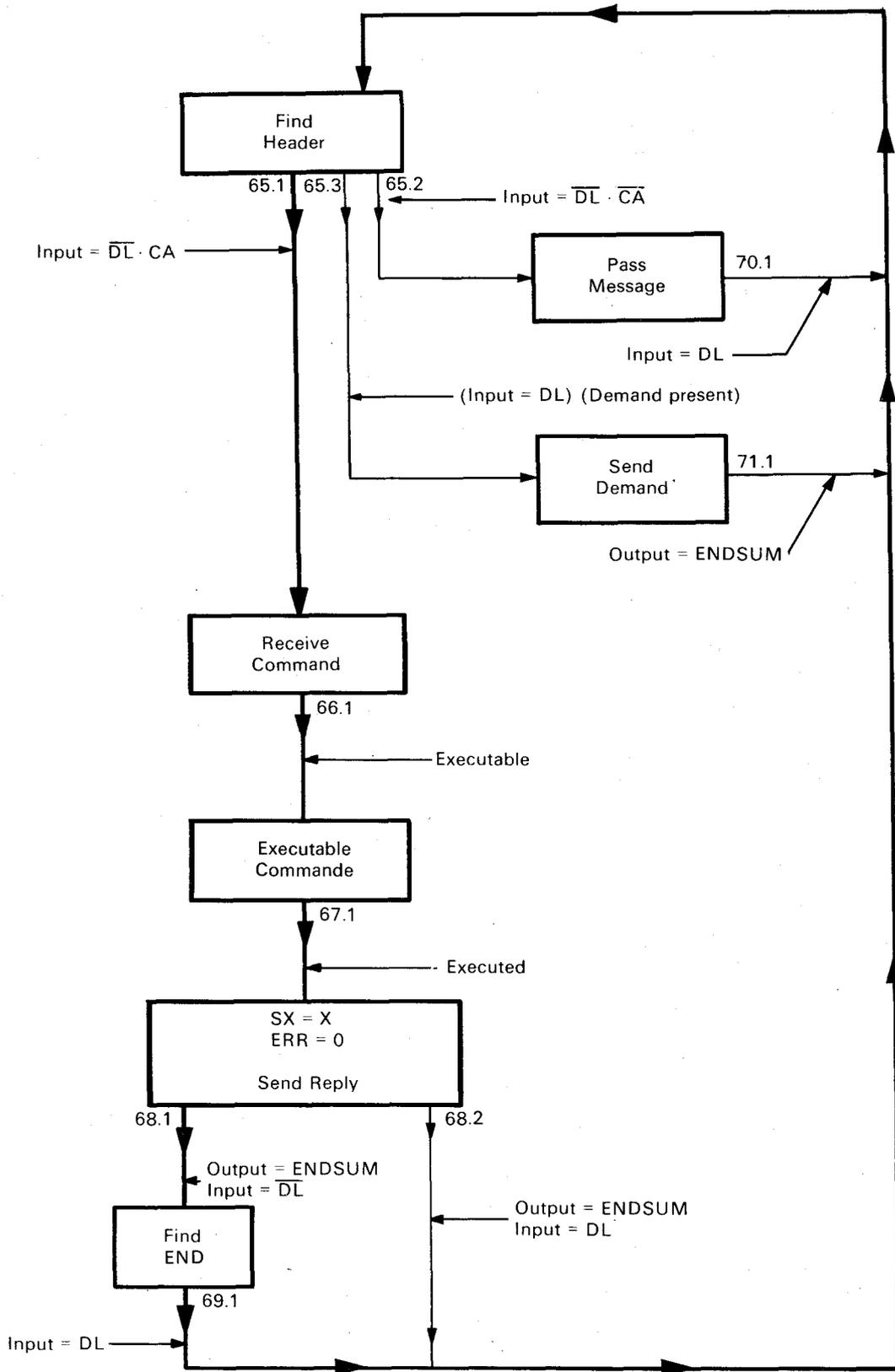


FIG. 36. — Major-state sequence in SCC — omitting all error conditions.

ANNEXE A

SPÉCIFICATIONS DU CONTRÔLEUR DE CHÂSSIS SÉRIE CAMAC TYPE L2 (CCS-L2)

A1. **Interprétation**

Cette annexe définit les caractéristiques physiques et opérationnelles du Contrôleur de Châssis Série type L2 recommandé.

L'objet est de définir le Contrôleur de Châssis Série type L2 de façon qu'il soit possible d'utiliser un Contrôleur de Châssis Série type L2 quelconque directement à la place d'un autre sans modifier les caractéristiques nominales de fonctionnement du matériel ou du logiciel. Il peut toutefois y avoir des différences dans des caractéristiques secondaires telles que la structure interne, les dispositifs de contrôle, la disposition du panneau avant, etc.

Pour être conforme aux spécifications du Contrôleur de Châssis Série type L2, un contrôleur de châssis doit être conforme à toutes les prescriptions obligatoires de cette annexe et à celles du texte principal de la présente norme (sections trois à seize) ainsi qu'à la Publication 516 de la CEI.

Un Contrôleur de Châssis Série type L2 ne doit avoir aucun autre élément supplémentaire à ceux prescrits dans cette annexe, qui puisse affecter son interchangeabilité opérationnelle totale avec d'autres contrôleurs de châssis conformes à cette annexe.

Les sections suivantes de l'annexe définissent les prescriptions obligatoires pour le Contrôleur de Châssis Série type L2, qui s'ajoutent aux prescriptions du texte principal de la présente norme.

Des informations complémentaires sur le Contrôleur de Châssis Série type L2 comprenant un exemple de structure interne sont données à l'annexe B.

D'autres Contrôleurs de Châssis Série conformes aux parties essentielles de la présente norme ne possèdent pas nécessairement toutes les caractéristiques obligatoires du Contrôleur de Châssis Série type L2 et peuvent avoir des caractéristiques supplémentaires. Toutefois, il est recommandé que de tels contrôleurs de châssis soient conformes aux spécifications du Contrôleur de Châssis Série type L2 pour les caractéristiques qu'ils ont en commun.

A2. **Caractéristiques générales du Contrôleur de Châssis Série type L2**

A2.1 *Format*

Le Contrôleur de Châssis Série type L2 doit être un tiroir CAMAC occupant plusieurs stations, de préférence deux, conforme aux prescriptions mécaniques de la Publication 516 de la CEI.

A2.2 *Connecteurs d'Interconnexion de Châssis*

Le Contrôleur de Châssis Série type L2 doit avoir des connecteurs d'Interconnexion de Châssis pour la station de contrôle et pour au moins une station normale.

Les connexions aux lignes omnibus P1 et P2 et aux contacts accessoires à utilisation libre P3 à P7 sont interdites.

APPENDIX A

SPECIFICATION OF CAMAC SERIAL CRATE CONTROLLER TYPE L2 (SCC-L2)

A1. Interpretation

This appendix specifies the physical and operational characteristics of the recommended Serial Crate Controller Type L2.

The aim is to specify SCC-L2 in such a way that it is possible to use any SCC-L2 as a direct replacement for any other, without affecting the nominal hardware or software operational performance. There may, however, be differences in secondary characteristics such as internal structure, test facilities, front panel layout, etc.

In order to conform to the specification of Serial Crate Controller Type L2, a crate controller shall conform to all the mandatory requirements of this appendix, and those of the main text of this standard (Sections 3 to 16) and IEC Publication 516.

A Serial Crate Controller Type L2 shall have no other features, in addition to those required by this appendix, that could affect its full operational interchangeability with other crate controllers conforming to this appendix.

The remaining sections of this appendix define the mandatory requirements for SCC-L2 that are additional to those in the main text of this standard.

Supplementary information on SCC-L2, including an example of the internal structure, is given in Appendix B.

Other Serial Crate Controllers conforming to the main text of this standard do not necessarily have all the mandatory features of SCC-L2, and may have additional features. However, it is recommended that such crate controllers should be uniform with SCC-L2 with respect to those features that they have in common.

A2. General features of SCC-L2

A2.1 *Format*

Serial Crate Controller Type L2 shall be a CAMAC multi-width plug-in unit, preferably double-width, conforming to the mechanical standards of IEC Publication 516.

A2.2 *Dataway connectors*

Serial Crate Controller Type L2 shall have Dataway connectors for the Control station and at least one Normal station.

Connections to the Free bus-lines P1 and P2, and to the Free-use patch contacts P3 to P7 are prohibited.

A3. Messages pour le Contrôleur de Châssis Série type L2

A3.1 *Formats de message*

Le Contrôleur de Châssis Série type L2 doit utiliser des Messages d'Ordre, de Réponse et de Demande ayant les formats normaux définis aux articles 13, 14 et 15.

A3.2 *Séquences de message*

Lorsqu'il reçoit un Message d'Ordre à son adresse, le Contrôleur de Châssis Série type L2 doit émettre une forme tronquée de message constituée uniquement du caractère EN-TÊTE et d'un caractère FIN, comme indiqué dans les figures 9 et 10.

A3.3 *Parties de message*

Le Contrôleur de Châssis Série type L2 doit ignorer la partie IM des Messages d'Ordre qu'il reçoit.

Lorsqu'il émet un Message de Réponse ERREUR dans lequel le bit ERR de la partie ÉTAT est à l'état «1», le bit SX dans la partie ÉTAT doit être à l'état «0».

A3.4 *Elaboration des messages de demande*

Le Contrôleur de Châssis Série type L2 doit pouvoir émettre des Messages de Demande comme défini à l'article 15. Une Mémoire tampon à trois caractères doit être prévue (voir article 25). L'ensemble des trois caractères doit être intercalé dans le circuit des caractères incidents lorsque le Contrôleur de Châssis Série type L2 commence à émettre un Message de Demande. Après l'émission du Message de Demande, les trois caractères de la Mémoire tampon doivent être retirés lorsque le contenu de la mémoire est constitué de trois caractères ATTENTE et que le caractère précédent transmis à la porte D de sortie a été un caractère SÉPARATEUR.

Quand le Contrôleur de Châssis Série type L2 détecte une erreur d'enveloppe de caractère (voir paragraphe 41.2), la Mémoire tampon à trois caractères doit être isolée immédiatement du circuit des caractères incidents.

A4. Porte D d'Interconnexion de Branche Série sur le Contrôleur de Châssis Série type L2

Le Contrôleur de Châssis Série type L2 doit mettre en œuvre les émissions en mode bit série et en mode séquentiel par l'intermédiaire de ses portes D. Il doit être capable de fonctionner à n'importe quelle fréquence d'horloge jusqu'à 5,0 MHz, dans l'un ou l'autre mode.

Le Contrôleur de Châssis Série type L2 ne doit pas avoir d'autres portes d'Interconnexion de Branche Série (portes U) en plus des deux portes D. Il ne doit pas utiliser le contact 25 du connecteur d'entrée D qui est réservé à un troisième signal de commande.

A5. Structure interne du Contrôleur de Châssis Série type L2

A5.1 *Synchronisation*

Lorsqu'il fonctionne en mode bit-série, le Contrôleur de Châssis Série type L2 doit identifier le bit DÉPART de chaque enveloppe de caractère en recherchant l'état 0-après-1 dans la séquence des bits de données.

Pour établir le synchronisme des caractères lorsqu'il fonctionne en mode bit-série, le Contrôleur de Châssis Série type L2 doit rechercher la configuration de caractères ATTENTE, avec bits DÉPART et ARRÊT (1,1110000,0₂) en inspectant, au moment de chaque signal de l'horloge-bit, les dix derniers bits reçus (voir paragraphe 41.3).

A3. Messages for SCC-L2

A3.1 *Message formats*

Serial Crate Controller Type L2 shall use Command, Reply and Demand messages with the standard formats defined in Clauses 13, 14 and 15.

A3.2 *Message sequences*

While receiving a Command message addressed to it, SCC-L2 shall transmit a truncated form of the message consisting only of the HEADER byte and an END byte, as shown in Figures 9 and 10.

A3.3 *Message fields*

Serial Crate Controller Type L2 shall ignore the MI-field of Command messages that it receives.

When transmitting an ERROR-Reply message, in which the ERR bit of the STATUS field is at logic "1", the SX bit in the STATUS field shall be at logic "0".

A3.4 *Demand message generation*

Serial Crate Controller Type L2 shall be able to generate Demand messages as defined in Clause 15. A three-byte Delay buffer shall be provided (see Clause 25). All three bytes shall be switched into the path of the incoming bytes when SCC-L2 begins to transmit a Demand message. After the Demand message has been transmitted, all three bytes of the buffer shall be switched out when the contents of the buffer consist of three WAIT bytes and the previous byte transmitted at the D-output port has been a DELIMITER byte.

When SCC-L2 detects a byte-framing error (see Sub-clause 41.2), the 3-byte Delay buffer shall be switched out of the incoming byte path immediately.

A4. Serial Highway D-ports on SCC-L2

The SCC-L2 shall implement, via its D-ports, the bit-serial and byte-serial modes of transmission. It shall be capable of operating at any clock rate up to 5.0 MHz, in either mode.

The SCC-L2 shall not have other SH ports (U-ports) in addition to the two D-ports. It shall not use contact 25 of the D-input connector, which is reserved for a third control signal.

A5. Internal structure of SCC-L2

A5.1 *Synchronization*

When operating in bit-serial mode, SCC-L2 shall identify the START bit of each byte frame by searching for logic "0" after logic "1" in the data-bit sequence.

In order to establish byte synchronism when operating in bit-serial mode, SCC-L2 shall search for the WAIT byte pattern with START and STOP bits (1,1110000,0₂) by inspecting, at each bit clock time, the last ten bits received (see Sub-clause 41.3).

Pour établir le synchronisme des messages (soit lorsqu'il fonctionne en mode séquentiel, soit après avoir établi le synchronisme des caractères en mode bit série), le Contrôleur de Châssis Série type L2 doit recevoir successivement deux caractères SÉPARATEURS consécutifs s'il n'était pas précédemment désigné, ou un seul caractère SÉPARATEUR s'il était désigné.

A la suite de quoi, le caractère NON SÉPARATEUR suivant sera interprété par le Contrôleur de Châssis Série type L2 comme étant le caractère EN-TÊTE d'un message (voir paragraphe 18.1).

A5.2 *Registre d'Etat*

Le Registre d'Etat d'un Contrôleur de Châssis Série type L2 doit mettre en œuvre toutes les affectations de bits indiquées dans le tableau VIII. Il ne doit pas utiliser les bits indiqués dans le tableau VIII comme Réservés ou à Utilisation Libre.

A la suite de tout échange Ordre-Réponse, dans lequel le Contrôleur de Châssis Série type L2 n'accomplit pas une opération réelle sur l'Interconnexion ni une opération interne correspondante, les bits DSQ et DSX du Registre d'Etat doivent être mis à l'état «0» (voir article 46).

A5.3 *Ordres exécutés*

Le Contrôleur de Châssis Série type L2 doit exécuter tous les ordres indiqués dans le tableau VII et aucun autre. L'ordre LIRE LA CONFIGURATION DES APPELS ne doit pas être exécuté quand le Contrôleur de Châssis Série type L2 est dans l'état INTERCONNEXION HORS LIGNE.

Ainsi, le Contrôleur de Châssis Série type L2 a un Registre d'Etat, il protège les données provenant d'opérations de Lecture dans un registre de données de Relecture (voir paragraphe 44.2) et donne accès à la configuration des signaux L de l'Interconnexion grâce à un registre de la Configuration des appels, réel ou virtuel (voir paragraphe 44.1).

A6. **Éléments du panneau avant du Contrôleur de Châssis Série type L2**

A6.1 *Commandes manuelles et indicateurs*

Le Contrôleur de Châssis Série type L2 doit comporter toutes les commandes manuelles et tous les indicateurs recommandés dans la section 13.

Les commutateurs INITIALISATION et REMISE À ZÉRO doivent être hors circuit quand le Contrôleur de Châssis Série type L2 est dans l'état Interconnexion En ligne.

Le choix de l'Adresse de Châssis doit couvrir la gamme totale et l'indicateur d'Adresse de Châssis doit indiquer l'adresse en numération décimale, 01_{10} à 62_{10} .

A6.2 *Autres éléments du panneau avant*

Tout élément du panneau avant autre que ceux prescrits au paragraphe A6.1 ne doit pas affecter l'interchangeabilité de fonctionnement.

Cela n'empêche pas de prévoir des points de contrôle etc., associés à la maintenance et à d'autres activités non opérationnelles.

In order to establish message synchronism (either when operating in byte-serial mode or after having established byte synchronism in bit-serial mode), SCC-L2 shall successfully receive two consecutive DELIMITER bytes if it was previously unaddressed, or one DELIMITER byte if it was addressed.

Following this, the next NON-DELIMITER byte will be interpreted by SSC-L2 as being the HEADER byte of a message (see Sub-clause 18.1).

A5.2 *Status Register*

The Status Register of SCC-L2 shall implement all the bit allocations shown in Table VIII. It shall not use any bits shown in Table VIII as Reserved or Free-use.

As a result of any Command/Reply transaction in which SCC-L2 does not perform an effective Dataway operation or corresponding internal operation, the DSQ and DSX bits in the Status Register shall be set to logic "0" (see Clause 46).

A5.3 *Commands Executed*

Serial Crate Controller Type L2 shall implement all the commands shown in Table VII, and no others. The READ LAM-PATTERN command shall be not executed when SCC-L2 is in the DATAWAY OFF-LINE state.

Thus, SCC-L2 has a Status Register, it saves the data resulting from Read operations in a Re-read data register (see Sub-clause 44.2) and provides access to the pattern of Dataway L-signals by a real or virtual LAM-pattern register (see Sub-clause 44.1).

A6. Front panel features of SCC-L2

A6.1 *Manual controls and indicators*

Serial Crate Controller Type L2 shall have all the manual controls and indicators recommended in Section 13.

The INITIALIZE and CLEAR switches shall be ineffective when SCC-L2 is in the Dataway On-line state.

The Crate Address selection shall cover the full range, and the Crate Address indicator shall show the decimal address, 01_{10} to 62_{10} .

A6.2 *Other front panel features*

Any front panel features in addition to those required by Sub-clause A6.1 shall not affect operational interchangeability.

This does not preclude the provision of monitoring points, etc., associated with maintenance and other non-operational activities.

A7. Connecteur d'APPELS CODÉS SGL sur le Contrôleur de Châssis Série type L2

Le Contrôleur de Châssis Série type L2 doit avoir un connecteur d'APPEL CODÉ monté à l'arrière, du type défini à l'article 53 et avec l'affectation de contacts définie dans le tableau XI. Il ne doit utiliser aucun contact indiqué dans le tableau XI comme à «Utilisation Libre».

Pour permettre l'utilisation en conjonction avec un contrôleur auxiliaire, le Contrôleur de Châssis Série type L2 doit accepter une entrée N codée à son décodeur de N (voir paragraphe 58.1) et doit émettre le signal VERROUILLAGE DU CONTRÔLEUR AUXILIAIRE (voir paragraphe 58.2).

A7. SGL-Encoder connector on SCC-L2

Serial Crate Controller Type L2 shall have a rear-mounted SGL-ENCODER connector of the type defined in Clause 53 and with the contact allocations defined in Table XI. It shall not use any contacts shown as "Free-use" in Table XI.

In order to permit use in conjunction with an auxiliary controller, SCC-L2 shall accept a coded-N input to its N-decoder (see Sub-clause 58.1), and shall generate the AUXILIARY CONTROLLER LOCK-OUT signal (see Sub-clause 58.2).

ANNEXE B

INFORMATIONS COMPLÉMENTAIRES

Les informations complémentaires de cette annexe n'appartiennent pas aux spécifications du Contrôleur de Châssis Série type L2. Elles comprennent un Diagramme d'Etats et un ordinogramme résumant une procédure de traitement du flux de caractères incidents et d'émission du flux de caractères sortants, ainsi qu'un Schéma synoptique suggérant une structure interne possible pour le Contrôleur de Châssis Série type L2. Ces informations étant prévues pour être compatibles avec les spécifications, il convient de ne pas les interpréter comme modifiant une quelconque des prescriptions obligatoires.

B1. Diagramme des transitions

La figure B1, page 218, montre sous forme de diagramme les transitions permises entre les états principaux décrits dans l'ordinogramme de la figure B2, page 237.

B2. Ordinogramme de fonctionnement

Une méthode de traitement du flux de caractères incidents et d'émission du flux de caractères sortants est définie (en partie explicitement et en partie implicitement) par les caractéristiques obligatoires du Contrôleur de Châssis Série type L2 concernant le synchronisme, les erreurs, la structure des messages et leurs séquences.

Les actions et les décisions de cette méthode sont représentées à la figure B2 sous forme d'un ordinogramme indépendant du détail de construction qui est étroitement lié aux diagrammes des séquences d'état de la section seize de la norme. Pour clarifier, tous les éléments de décision (autres que ceux concernant les états principaux) indiquent si la décision est basée sur le caractère en cours de réception, sur un caractère précédent ou sur une condition asynchrone telle que la présence d'une demande.

A titre indicatif, l'ordinogramme peut être utilisé comme une base de conception pratique de la logique du traitement de message ou comme un modèle théorique auquel on peut comparer le fonctionnement de projets réels. Toutefois, il n'est pas nécessaire de suivre la nomenclature et la structure détaillées de l'ordinogramme pour être conforme aux spécifications du Contrôleur de Châssis Série type L2 de l'annexe A.

B3. Schéma synoptique

Le schéma synoptique du Contrôleur de Châssis Série type L2 représenté à la figure B3, page 239, est un exemple de réalisation particulière. A titre indicatif, ce schéma peut être utilisé comme base directe d'un projet détaillé ou comme modèle auquel on peut comparer le fonctionnement et les possibilités d'autres projets. Toutefois, il n'est pas nécessaire de suivre la nomenclature et les structures de la figure B3 pour être conforme à la définition du Contrôleur de Châssis Série type L2 de l'annexe A.

Les paragraphes suivants de la présente annexe sont des commentaires relatifs aux éléments principaux de ce schéma synoptique particulier. La terminologie et quelques autres détails ne sont pas nécessairement directement applicables aux autres réalisations ou à l'ordinogramme de traitement des messages de la figure B2.

APPENDIX B

SUPPLEMENTARY INFORMATION

The supplementary information in this appendix does not form part of the specification of SCC Type L2. It consists of a State Diagram and a Flow Chart, summarizing a procedure for processing the incoming byte stream and generating the outgoing byte stream, and a Block Diagram suggesting a possible internal structure for SCC-L2. These are intended to be compatible with the specification, and should not be interpreted as modifying any of its mandatory requirements.

B1. Transition diagram

Figure B1, page 219, shows the allowed transitions between the principal states depicted on the Flow Chart, Figure B2, page 238.

B2. Flow chart

A procedure for processing the incoming byte stream and generating an outgoing byte stream is defined (in part explicitly, and in part implicitly) by the mandatory features of SCC-L2 concerned with synchronism, errors and the structure and sequence of messages.

The actions and decisions involved in this procedure are shown in Figure B2 as an implementation-independent flow chart, which is closely related to the state-sequence diagrams in Section Sixteen of the standard. For clarity, all decision elements (other than those concerned with major states) indicate whether the decision is based on the currently received byte, a previous byte, or an asynchronous condition such as the presence of a demand.

Suggested uses of the flow chart are as a basis for a practical design of the message-handling logic, or as a theoretical model against which the performance of actual designs can be compared. However, it is not necessary to follow the nomenclature and detailed structure of the flow chart in order to conform to the specifications of SCC-L2 in Appendix A.

B3. Block diagram

The block diagram of SCC-L2 shown in Figure B3, page 240, is an example of a specific implementation. Suggested uses of this diagram are as a direct basis for a detailed design, or as a model against which the performance and facilities of other designs can be compared. However, it is not necessary to follow the nomenclature and structure of Figure B3, in order to conform to the definition of SCC-L2 in Appendix A.

The following sub-clauses of this appendix are an explanatory commentary on the main features of this particular block diagram. The terminology and some other details are not necessarily directly applicable to other implementations or to the message handling flow chart in Figure B2.

B3.1 *Entrée et Sortie Série*

Dans le mode bit série, le signal de l'horloge-bit reçu à la porte D d'entrée dérive le flux de bits incidents vers un convertisseur série-parallèle.

Celui-ci émet le signal interne d'horloge-caractère déduit du premier bit ARRÊT de chaque caractère, ainsi qu'un signal externe d'horloge-caractère issu du bit DÉPART de chaque caractère.

Quand le Contrôleur de Châssis n'est pas OCCUPÉ (c'est-à-dire n'effectue pas un échange Ordre-Réponse), une réplique du flux de bits série reçus est retransmise à la porte D de sortie, retardée soit de un, soit de trois caractères, selon l'état de la mémoire tampon commutable à retard de trois caractères. Quand le Contrôleur de Châssis est OCCUPÉ, l'entrée est dirigée vers la logique de traitement de message, soit directement, soit en passant par le retard de trois caractères. La sortie est transformée en caractères parallèles par le Multiplexeur de Sortie (MUX) et envoyée dans un convertisseur parallèle-série à la porte D de sortie. Chaque caractère de sortie est initialisé par le signal de l'horloge-caractère issu du bit DÉPART d'un caractère d'entrée.

Dans le mode séquentiel, le signal de l'horloge-caractère reçu à la porte D d'entrée échantillonne les caractères parallèles incidents. Quand le Contrôleur de Châssis n'est pas OCCUPÉ, une réplique de flux de caractères incidents est retransmise à la porte D de sortie, retardée soit de un soit de quatre caractères, selon l'état de la mémoire tampon commutable à retard de trois caractères. Quand le Contrôleur de Châssis est OCCUPÉ, l'entrée est prise à la logique de traitement des messages et la sortie est transformée par le Multiplexeur de Sortie comme décrit ci-dessus. Dans ce cas, les caractères parallèles venant du multiplexeur sont pris aux lignes de données séquentielles de la porte D de sortie.

B3.2 *Echange Ordre-Réponse*

Quand le Contrôleur de Châssis n'est pas OCCUPÉ (c'est-à-dire n'effectue pas un échange Ordre-Réponse), le comparateur de châssis examine la partie ADRESSE DE CHÂSSIS de chaque caractère NON SÉPARATEUR incident ayant une parité correcte. Quand le comparateur de châssis détecte une coïncidence, il émet CHÂSSIS DÉSIGNÉ. Si le Contrôleur de Châssis attend un caractère EN-TÊTE (c'est-à-dire n'est pas traversé par un message), CONTRÔLEUR OCCUPÉ est positionné, et le circuit de synchronisation est mis en service à l'état T1. Les bits 1 à 6 du caractère EN-TÊTE et des caractères successifs sont traités dans le Contrôleur de Parité longitudinale.

A mesure que des caractères successifs sont reçus, des caractères FIN ou ATTENTE sont émis à la porte D de sortie, le circuit de synchronisation passe dans les états T2, T3, etc., et les contenus des parties SA, SF, SN et SW sont transférés aux registres de traitement des messages appropriés. Les bits SF16 et SF8 déterminent la séquence du circuit de temporisation. Pour les Ordres d'ÉCRITURE, les états T1 à T8 sont émis successivement. Pour les Ordres de LECTURE et de COMMANDE ou de CONTRÔLE T3 est suivi par T8.

Dans l'état T8 le caractère SOMME est reçu et comparé à la sortie du Contrôleur de Parité longitudinale. Si la parité longitudinale est correcte et s'il n'y a pas eu une erreur de parité transversale, le circuit de synchronisation du cycle sur l'Interconnexion est mis en service.

Quand le cycle sur l'Interconnexion est terminé, l'état T9 est établi et le Synchronisateur de Message de Réponse est mis en service. Le Multiplexeur de Sortie sélectionne la partie SC et, à la réception du caractère d'entrée suivant, le premier caractère du Message de Réponse est émis.

B3.1 *Serial input and output*

In bit-serial mode, the bit-clock received at the input D-port shifts the incoming bit stream into a serial-to-parallel converter.

This generates an internal byte clock derived from the first STOP bit of each byte, and also an output byte clock derived from the START bit of each byte.

When the crate controller is not BUSY (i.e. is not processing a Command/Reply transaction), a replica of the received serial bit stream is retransmitted at the output D-port, delayed by either one bit or three bytes, depending on the state of the switchable three-byte delay buffer. When the crate controller is BUSY, the input is routed to the message handling logic, either directly or through the three-byte delay. The output is synthesized as parallel bytes by the output Multiplexer (MUX) and passed through a parallel-to-serial converter to the output D-port. Each output byte is initiated by the byte clock derived from the START bit of an input-byte.

In byte-serial mode, the byte clock received at the input D-port samples the incoming parallel bytes. When the crate controller is not Busy, a replica of this incoming byte stream is retransmitted at the output D-port, delayed by either one byte or four bytes, depending on the state of the switchable three-byte delay. When the crate controller is Busy, the input is taken to the message-handling logic, and the output is synthesized by the output Multiplexer, as described above. In this case, the parallel bytes from the Multiplexer are taken to the byte-serial data lines of the output D-port.

B3.2 *Command Reply transaction*

When the crate controller is not Busy (is not processing a Command/Reply transaction), the crate comparator examines the CRATE ADDRESS field of each incoming NON-DELIMITER byte that has correct parity. When the crate comparator detects a match, it generates CRATE ADDRESSED. If the crate controller is Awaiting HEADER (i.e. has no message passing through it), CONTROLLER BUSY is set, and the Timing Generator is enabled in state T1. Bits 1 through 6 of the HEADER byte and all successive bytes are processed in the Longitudinal Parity checker.

As successive bytes are received, END or WAIT bytes are transmitted at the output D-port, the timing generator steps through states T2, T3, etc., and the contents of the SA, SF, SN and SW fields are transferred to the appropriate message-handling registers. The SF16 and SF8 bits determine the sequence of the timing generator. For WRITE Commands, states T1 to T8 are generated in sequence. For READ and CONTROL Commands, T3 is followed by T8.

In state T8, the SUM byte is received, and compared with the output of the Longitudinal Parity checker. If the longitudinal parity is correct, and there has not been a transverse parity error, the Dataway Cycle Timing Generator is enabled.

When the Dataway cycle is complete, state T9 is established, and the Reply message synchronizer is enabled. The Output Multiplexer selects the SC field and, as the next input byte is received, the first byte of the Reply message is transmitted.

Le circuit de synchronisation prend l'état T10 et le caractère d'entrée suivant provoque l'émission de la partie Etat de la réponse à transmettre. Un bit de parité transversale est émis pour chaque caractère de sortie et les bits 1 à 6 contribuent à la SOMME du générateur de Parité longitudinale.

Pour les ordres d'ÉCRITURE et de Contrôle ou les Messages d'Ordre qui ont émis ERREUR en raison d'erreurs de parité transversale ou longitudinale, le circuit de synchronisation passe directement de l'état T10 à l'état T15. Pour les Ordres de Lecture normaux, il continue par les états consécutifs T11 à T14 à choisir les quatre caractères de la partie LECTURE.

Si le synchronisme des messages est perdu lorsque le Contrôleur de Châssis Série est occupé, l'état SYNCHRONISME DES MESSAGES est certifié, les caractères sortants sont élaborés à partir des caractères incidents et le circuit de synchronisation continue à être entraîné par le signal de l'horloge-caractère vers l'état T15 ou > T15. Aucune opération sur l'Interconnexion ne prend place à T8.

Si le synchronisme des caractères est perdu lorsque le Contrôleur de Châssis Série est occupé, les états SYNCHRONISME DES CARACTÈRES et SYNCHRONISME DES MESSAGES sont certifiés, les bits sortants sont élaborés à partir des bits incidents et le processus du rétablissement du synchronisme des caractères est lancé. Quand le synchronisme des caractères est retrouvé, le Signal d'horloge-caractère ainsi élaboré continue à entraîner le circuit de synchronisation vers l'état T15 ou > T15. Aucune opération sur l'Interconnexion ne prend place à T8.

Ainsi, quand le Contrôleur de Châssis Série reçoit un caractère SÉPARATEUR après avoir atteint l'état T15 ou > T15, le SYNCHRONISME DE MESSAGES est rétabli et l'état CONTRÔLEUR OCCUPÉ cesse.

Dans l'état T15, le caractère d'entrée suivant provoque l'émission du caractère SOMME FINALE et ensuite T15 est maintenu ainsi que > T15. Un caractère SÉPARATEUR quelconque remet à zéro l'état CONTRÔLEUR OCCUPÉ et l'état > T15. Tout caractère ESPACE en excédent provoque l'émission d'un caractère ATTENTE.

B3.3 *Retransmission des autres messages*

Le paragraphe précédent concerne les ordres adressés au Contrôleur de Châssis Série. Si le Contrôleur de Châssis Série, lorsqu'il est dans l'état NON OCCUPÉ ou RECHERCHE D'EN-TÊTE, reçoit un caractère SÉPARATEUR, son état reste inchangé. S'il reçoit un caractère NON SÉPARATEUR quelconque qui n'établit pas l'état CONTRÔLEUR OCCUPÉ, tous les caractères reçus sont alors retransmis avec le retard approprié jusqu'à ce qu'un caractère SÉPARATEUR soit rencontré ce qui rétablit l'état RECHERCHE D'EN-TÊTE.

B3.4 *Message de Demande*

Les Messages de Demande sont mis en service si le Contrôleur de Châssis Série a reçu un caractère SÉPARATEUR valable, s'il est à l'état RECHERCHE D'EN-TÊTE et si ses Demandes sont en service. Dans ce cas, un signal INITIALISATEUR DE MESSAGE DE DEMANDE (IMD) via le connecteur d'appels codés SGL peut certifier la PRÉSENCE DE DEMANDE. Si le retard à trois caractères n'est pas en circuit, le Synchronisateur de Messages de Demande est mis en service et les conditions de Retard et de Transmission de Demande sont établies.

Le Multiplexeur de Sortie forme un Message de Demande à trois caractères utilisant les états T9, T10 et T15 du circuit de synchronisation. Le flux de caractères d'entrée est introduit dans une mémoire tampon à retard de trois caractères mais il faut noter que les trois premiers caractères extraits du circuit de retard sont sans intérêt et que leur contenu est inutilisé.

The Timing Generator enters state T10, and the next input byte causes the Status field of the reply to be transmitted. A Transverse Parity bit is generated for each output byte, and bits 1 through 6 contribute to the CHECKSUM in the Longitudinal Parity Generator.

For WRITE and CONTROL Commands, or Command messages that have set ERROR owing to transverse or longitudinal parity errors, the Timing Generator goes directly from state T10 to state T15. For normal Read Commands, it continues in sequence through states T11 to T14 to select the four READ field bytes.

If message synchronization is lost while the SCC is busy, the MESSAGE SYNC state is asserted, the outgoing bytes are derived from the incoming bytes, and the Timing Generator continues to be driven by the byte clock to the T15 or > T15 state. No Dataway operation takes place at T8.

If byte synchronization is lost while the SCC is busy, the BYTE SYNC and MESSAGE SYNC states are asserted, the outgoing bits are derived from the incoming bits, and the byte resynchronization process is initiated. When byte synchronism is reacquired, the derived byte clock continues to drive the Timing Generator to the T15 or > T15 state. No Dataway operation takes place at T8.

Then, when the SCC receives a DELIMITER byte, after reaching state T15 or > T15, MESSAGE SYNC is re-established and the CONTROLLER-BUSY state ceases.

In state T15, the next input byte causes the ENDSUM-byte to be transmitted, and thereafter T15 is maintained, together with >T15. Any Delimiter byte resets CONTROLLER BUSY and >T15. Any excess SPACE bytes cause WAIT bytes to be transmitted.

B3.3 *Onward transmission of other messages*

The previous paragraph deals with commands addressed to the SCC. If, while the SCC is in the NOT-BUSY and AWAITING HEADER condition, it receives any DELIMITER byte, its condition is unchanged. If it receives any NON-DELIMITER byte that does not set CONTROLLER BUSY, all received bytes are then retransmitted with the appropriate delay, until a DELIMITER byte is encountered, and this once again establishes the AWAITING HEADER condition.

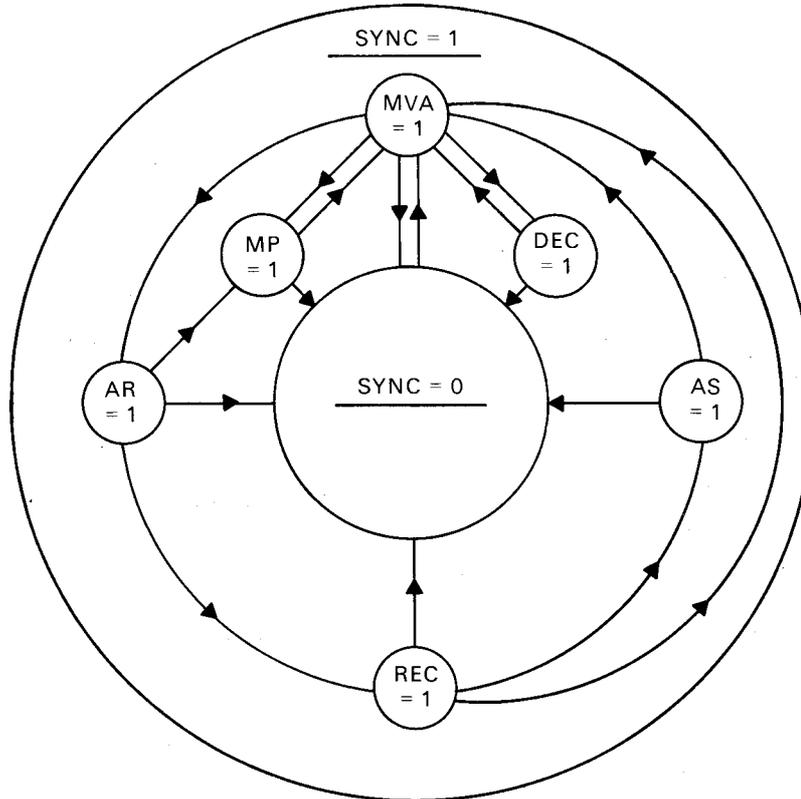
B3.4 *Demand message*

Demand messages are enabled if SCC has received a valid DELIMITER byte, is AWAITING HEADER, and has its demands enabled. Then a DEMAND MESSAGE INITIATE signal (DMI) via the SGL-Encoder connector can assert DEMAND PRESENT. If the three-byte delay is switched out, the Demand message synchronizer is enabled, and the Delay and Demand Transmit conditions established.

The output MUX synthesizes a three-byte Demand message, using Timing Generator states T9, T10 and T15. The input byte stream is taken through the three-byte delay, but note that the first three bytes shifted out of the delay are irrelevant and their contents are ignored.

L'état de RETARD est maintenu jusqu'au moment où le Décodeur de Retard constate que la mémoire tampon est vide (contenant uniquement des caractères ATTENTE), et le Contrôleur de Châssis Série est en RECHERCHE D'EN-TÊTE et NON OCCUPÉ. La mémoire tampon à retard de trois caractères est alors mise hors circuit et le flux de caractères est à nouveau utilisé sans retard.

Entre-temps, le flux de caractères d'entrée retardé est utilisé et est traité par le contrôleur de code séparateur, les contrôleurs de parité et le comparateur d'adresse de châssis.



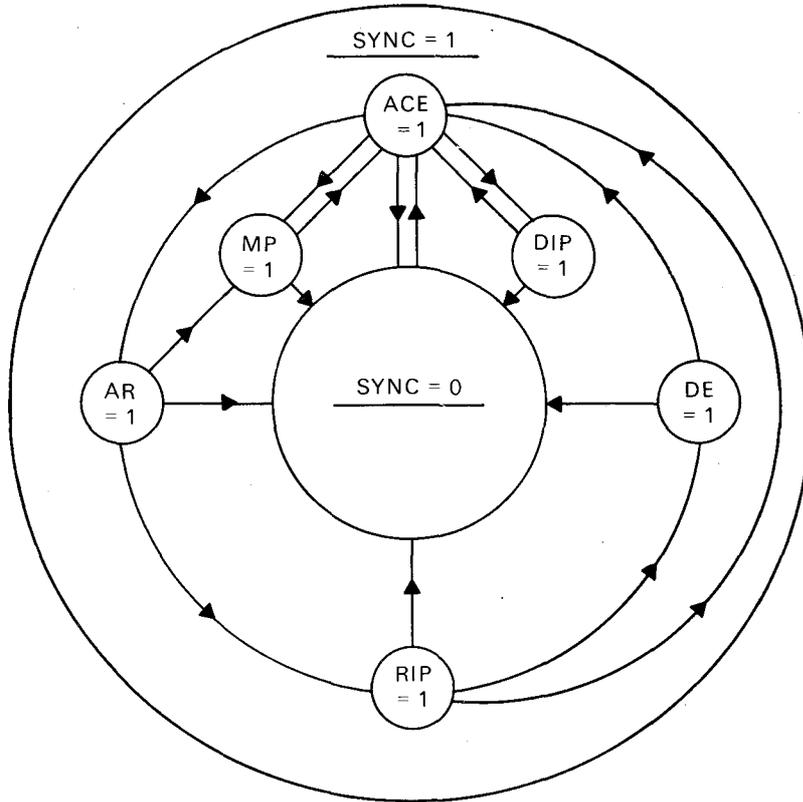
- MVA = mise en service du vérificateur d'Adresse (RECHERCHE D'EN-TÊTE dans la section seize). Normalement introduit aussitôt après la détection d'un caractère séparateur; Etat de repos normal du Contrôleur de Châssis Série
- AR = adresse Reçue (REÇOIT L'ORDRE et EXÉCUTE L'ORDRE). Introduit quand le Contrôleur de Châssis Série reçoit un caractère séparateur à son adresse
- AS = attente d'un Séparateur (Recherche de FIN). Introduit lorsqu'un caractère séparateur est attendu après envoi d'un message de réponse
- DEC = demande En Cours (ÉMISSION DE DEMANDE). Introduit lorsqu'un caractère séparateur est attendu après envoi d'un message de réponse
- DEC = Demande En Cours (ÉMISSION DE DEMANDE). Introduit lorsque le Contrôleur de Châssis Série envoie un message de Demande
- MP = message Passant dans le Contrôleur de Châssis Série (TRANSPARENT AUX MESSAGES). Introduit lorsque le message est destiné à un autre Contrôleur de Châssis Série ou lorsque le caractère EN-TÊTE a une parité incorrecte
- REC = réponse En Cours (ÉMISSION DE LA RÉPONSE). Introduit lorsque le Contrôleur de Châssis Série envoie un message de réponse

FIG. B1. — Diagramme des transitions pour le Contrôleur de Châssis Série de type L2.

Cette figure montre les transitions permises entre les principaux états décrits dans l'ordinogramme de fonctionnement de la figure B2, page 237. L'état normal de fonctionnement du Contrôleur de Châssis Série est «SYNC = 1», qui indique que la synchronisation du message est établie. L'état «SYNC = 0» est introduit si le synchronisme de message est perdu. (Dans le mode bit-série, il est aussi introduit si le synchronisme des caractères est perdu.) Ces principaux états peuvent être assimilés aux états indiqués dans la section seize de la présente norme.

The DELAY condition is maintained until such time as the Delay decoder detects that the three-byte delay buffer is empty (contains only WAIT bytes), and the SCC is AWAITING HEADER and NOT BUSY. Then the three-byte delay is switched out and the undelayed byte stream is once again used.

In the meantime the delayed input byte stream is used, and is processed by the delimiter code checker, parity checkers, and the crate address comparator.



- ACE = address check enabled (FIND HEADER in Section Sixteen). Normally entered after a DELIMITER byte has just been detected; the normal quiescent state of SCC
- AR = address received (RECEIVE COMMAND and EXECUTE COMMAND). Entered when SCC receives a Header byte addressed to itself
- DE = delimiter expected (FIND END). Entered while awaiting DELIMITER byte after Reply message has been sent
- DIP = demand in progress (SEND DEMAND). Entered while SCC is sending a Demand message
- MP = message passing through SCC (PASS MESSAGE). Entered if message is for another SCC or if HEADER byte had incorrect parity
- RIP = reply in progress (SEND REPLY). Entered while SCC is sending a Reply message

FIG. B1. — Transition diagram for Serial Crate Controller Type L2.

This shows the allowed transitions between the principal states depicted on the Flow Chart. Figure B2, page 238. The normal operating condition of SCC is "SYNC = 1", which denotes that message synchronization is achieved. The state "SYNC = 0" is entered if message synchronism is lost. (In bit serial mode it is also entered if byte synchronism is lost.) These principal states may be identified with the major states listed in Section Sixteen of this standard.

— Page blanche —
— Blank page —

INDEX ALPHABÉTIQUE

Les numéros de référence indiqués renvoient aux articles de la présente norme sauf s'il est précisé «figure» ou «tableau». Les références les plus importantes sont données en premier et sont suivies par les autres entre parenthèses.

Les abréviations suivantes sont utilisées dans cet index :

CCS pour Contrôleur de Châssis Série
 CCS-L2 pour Contrôleur de Châssis Série type L2
 IBS pour Interconnexion de Branche Série
 PS pour Pilote Série

SUJET	ARTICLE OU PARAGRAPHE
A. SIGNAL DE L'INTERCONNEXION.....	Voir Parties de message (Partie Sous-adresse (SA))
ABRÉVIATIONS ET SYMBOLES.....	4
ADRESSE DE CHÂSSIS	
Partie Adresse de Châssis (SC).....	16.1
Commutateur d'— (sur le CCS).....	49.1
Indicateur d'— (sur le CCS).....	50.1, A6.1
AFFECTATION DES CONTACTS	
Aux portes D.....	31.2, tableau III
Au connecteur d'Appels Codés SGL.....	53, tableau XI
AMONT.....	5
APPELS CODÉS SGL	
Signaux d'— (Signaux SGLE).....	54.3 (tableau XI)
Connecteur d'—.....	Section Quatorze, 53, 57, fig. 28 tableau XI (A7)
ARRÊT	
Bit ARRÊT.....	7, fig. 3, 39
ATTENTE	
Caractère ATTENTE.....	17.4, fig. 15 à 20
AVAL.....	5
B. SIGNAL DE L'INTERCONNEXION.....	Voir Occupation
BUS 1 ET BUS 2.....	31.2, fig. 23
BY-PASS.....	48.2 (18.3)
Commutateur de —.....	59.1, fig. 31
Indicateur de — (sur le CCS).....	50.7
C. SIGNAL DE L'INTERCONNEXION.....	Voir Remise à zéro
CCS, CCS-L2.....	Voir CCS
CHÂSSIS DÉSIGNÉ	
Indicateur de — (sur le CCS).....	50.5

SUJET	ARTICLE OU PARAGRAPHE
COC, SIGNAL.....	Voir Contrôleur Occupé
CODE DE DÉTECTION GÉOMÉTRIQUE D'ERREUR	
Principes.....	61.1, fig. 33 (6)
Mise en œuvre par IBS.....	61.2, fig. 34
Rendement.....	61.3
CODEUR SGL.....	Voir Connecteur d'Appels Codés SGL
COMMANDE	
Opération de -.....	21, fig. 19 et 20
Signaux de -.....	Voir Signaux
COMMANDES MANUELLES SUR LE CCS.....	49, A6.1
COMPATIBILITÉ AVEC L'IBS.....	2
Appareils compatibles.....	11, fig. 6
CONFIGURATION DE L'IBS.....	5, fig. 1
Option de reconfiguration.....	48
CONFIGURATION DES APPELS.....	44.1, tableau VII (26)
Lecture de la - (dans l'état hors ligne).....	48.1, tableau X
CONFORMITÉ AUX SPÉCIFICATIONS.....	2, A1
CONNECTEURS	
de portes D.....	31, 51, tableau III
d'appels Codés SGL.....	Voir Appels Codés SGL
de l'Interconnexion de Châssis.....	11, A2.2
Autres connecteurs du CCS.....	52, A4
CONTACTS.....	Voir Affectation des contacts
CONTRÔLEUR AUXILIAIRE.....	58
Accès aux lignes N.....	58.1 (54.12, A7)
Verrouillage avec le CCS.....	58.2, 58.3
CONTRÔLEUR DE CHÂSSIS SÉRIE (CCS).....	12
CONTRÔLEUR DE CHÂSSIS SÉRIE TYPE L2 (CCS-L2).....	Annexe A, Annexe B
Diagramme d'Etats.....	fig. B.1
Ordinogramme.....	fig. B.2
Schéma synoptique.....	fig. B.3
CONTRÔLEUR OCCUPÉ	
Signal - (signal COC).....	54.11 (tableau XI)
DÉCODEUR DE N.....	Voir Numéro de station
DEMANDES	
Identification des -.....	26
Demande L24.....	47.2
Message de -.....	Voir Message
DEMANDE EN ATTENTE.....	56
Configuration des bits SGL.....	16.9
Demande en attente erronée.....	57.4
DEMANDE OCCUPÉE	
Signal de - (signal DOC).....	54.6 (tableau XI)
DÉPART	
Bit DÉPART.....	39, fig. 3, A5.1
DÉPART DU TEMPORISATEUR	
Signal de - (Signal DETEM).....	54.9, tableau XI

SUJET	ARTICLE OU PARAGRAPHE
DERR, BIT.....	Voir Différé
DETEM, SIGNAL.....	Voir Départ du Temporisateur
DIAGRAMME DES TRANSITIONS POUR LE CCS-L2.....	Annexe B, fig. B.1
DIFFÉRÉ	
Bit DIFFÉRÉ D'ERREUR (bit DERR).....	46, 63.3, fig. 11 (16.8)
Bit DIFFÉRÉ DE RÉPONSE (bit DSQ).....	46, 63.4
Bit DIFFÉRÉ D'ORDRE ACCEPTÉ (bit DSX).....	46, 63.4
Message de Réponse différée.....	48.2, 48.3
DOC, SIGNAL.....	Voir Demande Occupée
DSQ, BIT.....	Voir Différé
DSX, BIT.....	Voir Différé
ÉCHANGE ORDRE-RÉPONSE.....	Section quatre (section trois)
Longueur de l'—.....	Tableau I
ÉCHANTILLONNAGE	
Signaux d'—, S1 et S2.....	48.1
ÉCRITURE	
Opération d'—.....	20, fig. 17 et 18
ÉMISSION DE DEMANDE	
Etat Emission de Demande.....	71, fig. 35 et 36
EN LIGNE	Voir Interconnexion En-ligne
EN-TÊTE	
Caractère—.....	6, 18.1
ENVELOPPE DE CARACTÈRE.....	7, fig. 3 (39)
ERR, BIT.....	Voir Erreurs
ERREURS	
Redressement des —.....	Section quinze
Détection d'— par le Code de Détection géométrique.....	6, 61.1, 61.2, 61.3
Détection d'— par le contexte.....	61.4
Détection d'— par le module.....	61.5
Bit — (Bit ERR).....	61.1, fig. 11, tableau XIII (16.8)
ESPACE	
Caractère —.....	17.7, fig. 7 et 8
Caractères — en excédent.....	23.2
ÉTAT DÉSYNCHRONISÉ.....	Voir Perte de Synchronisme
Indicateur d'— (sur le CCS).....	50.4
ÉTATS DU CCS.....	18, section seize, fig. 35 et 36
EXTRACTION DE DONNÉES	
Intervalle d'—.....	36, 36.3, fig. 27
FIN Caractère FIN.....	17.3, fig. 7 à 10
FIN DE TEMPORISATION	
Signal — (Signal FIFTEM).....	54.10, 56.1, fig. 30 (tableau XI)
Fin de temporisation des Demandes en Attente.....	56, 57.4
FITEM, SIGNAL.....	Voir Fin de Temporisation

SUJET	ARTICLE OU PARAGRAPHE
FLUX DE CARACTÈRES.....	35
HORLOGE-BIT, SIGNAL DE L'-.....	7
HORLOGE-CARACTÈRE, SIGNAL DE L'-.....	7
Extraction du signal de l'-.....	39.3
Au connecteur d'Appels Codés SGL.....	54.8, fig. 29 (tableau XI)
HORLOGE DU SYSTÈME.....	8, 36.1
Fréquence d'-.....	34
Période d'- (T , T_{\min}).....	36, 36.1, fig. 27
HORS-LIGNE	
Etat -	Voir Interconnexion Hors-ligne
I. SIGNAL	Voir Inhibition
IBS	Voir IBS
IDENTIFICATION DU MESSAGE	
partie -, (IM)	16.7, 18.2, tableau II (18.3, section six)
par le CCS et le PS	Section six
ignorée par le CCS-L2	A3.3
IM	Voir Identification du message
IMD, SIGNAL.....	Voir Initialisation du Message de Demande
INDICATEURS (SUR LE CCS).....	50, A6
INHIBITION	
Signal d'- sur l'Interconnexion (Signal I).....	45.2
Indicateur sur le CCS.....	50.3
Demande	54.14
INITIALISATION	
Signal d'- sur l'Interconnexion (Signal Z).....	45.1
Commande manuelle sur le CCS.....	49.3
INITIALISATION DU MESSAGE DE DEMANDE	
Signal d'- (signal IMD).....	54.4, fig. 30 (24, tableau XI)
INTERCONNEXION DE BRANCHE PARALLÈLE.....	1, section quatorze
INTERCONNEXION DE BRANCHE SÉRIE (IBS).....	1, 2, section deux
INTERCONNEXION EN-LIGNE	
Etat	48.1, tableau X
Indicateur sur le CCS.....	50.2
INTERCONNEXION HORS-LIGNE	
Etat	48.1, tableau X
Commande manuelle sur le CCS.....	49.2
I. SIGNAL SUR L'INTERCONNEXION.....	54.1
Demande L24.....	47.2
LECTURE	
Opération de -	19, fig. 15 et 16
LIGNES DE TRANSMISSION (PORTES D).....	32.1
M1, M2, BITS.....	16.7

SUJET	ARTICLE OU PARAGRAPHE
MESSAGE	Voir Parties de message
Format de -	6, section trois, fig. 2 (A3.1)
Structure de -	Section trois
Séquence de -	Section quatre, fig. 15 à 21
Messages pour le CCS-L2.....	A3
MESSAGE DE DEMANDE	
Structure	15, fig. 13 et 14 (30)
Mise en service.....	24, 47.1
Emission par le CCS.....	section cinq, fig. 21 et 22
Emission par le CCS-L2.....	A3.4
Indicateur sur le CCS.....	50.6
MESSAGE DE RÉPONSE	14, fig. 11 et 12 (29)
MESSAGE D'ORDRE	13, fig. 7 et 8 (section trois, 27)
MESSAGE D'ORDRE TRONQUÉ	13.2, 22, fig. 9 et 10 (28)
Emission par le CCS-L2	A3.2
MODE BIT-SÉRIE	39, section sept (7)
MODE SÉQUENTIEL	38, section sept (7)
N. SIGNAL DE L'INTERCONNEXION.....	Voir Numéro de station
NON CONTIGU	
Enveloppes de caractères -	39.1
NON-RETOUR À ZÉRO.....	Section sept
NON SÉPARATEUR	
Caractère -	17.1
NRZ	Voir Non-retour à zéro
NUMÉRO DE STATION	
Partie - (SN).....	16.2, fig. 8
Signaux N1 à N16.....	54.12, 58.1 (tableau XI)
Utilisation de N30 dans le CCS.....	Section onze
Décodeur de N.....	58.1
OCCUPATION SUR L'INTERCONNEXION (signal B).....	44.1, 48.1
ORDINOGRAMME DE FONCTIONNEMENT.....	B2, fig. B2
ORDRE	
Exécuté par le CCS.....	Tableau VII
Exécuté par le CCS-L2.....	A5.3
ORDRE ACCEPTÉ	
Bit d'- (bit SX).....	63.2, fig. 11 (16.8, tableau XIII)
ORDRE EXÉCUTABLE	
Etat -	18.3, 67, fig. 35 et 36
ORDRE/RÉPONSE.....	Voir Echange Ordre/Réponse
PANNEAU AVANT	
du CCS.....	Section treize
du CCS-L2.....	A6
PARITÉ LONGITUDINALE.....	61 (17.2, 18.2, 18.3)
PARITÉ TRANSVERSALE.....	61 (18.2, 18.3)

SUJET	ARTICLE OU PARAGRAPHE
PARTIES DE MESSAGE.....	16, fig. 8, 10, 12 et 14 (A3.3)
Partie Adresse de Châssis (SC).....	Voir Adresse de Châssis
Partie Appels traités SGL (Partie SGL).....	16.9, 57.3
Partie Données d'écriture (SN).....	16.5
Partie Données de Lecture (SR).....	16.6
Partie Etat.....	16.8, fig. 12
Partie Fonction (SF).....	16.4
Partie Identification du Message (IM).....	Voir Identification du Message
Partie Numéro de station (SN).....	Voir Numéro de Station
Partie Sous-Adresse (SA).....	16.3, fig. 8
PAS, SIGNAL.....	Voir Présence d'un Appel Sélectionné
PAUSE	
bit.....	39.1, fig. 3
PERTE DE SYNCHRONISME.....	60, 42
des caractères.....	41.2, 72, fig. 35 et 36 (42, A3.4)
des messages.....	40.2, 73, fig. 35 et 36 (18.4, 42)
PILOTE SÉRIE (PS).....	5, 10
PORTE.....	9
Porte D.....	9, section sept (51, fig. 4, tableau III)
Porte D sur le CCS-L2.....	A4
Porte U.....	9, fig. 5
Porte U interdite sur le CCS-L2.....	A4
PRÉSENCE D'UN APPEL SÉLECTIONNÉ.....	47.3
Bit dans le Registre d'Etat.....	47.3
Signal - (signal PAS).....	54.5 (tableau XI)
PR-X27, NORME DE SIGNAUX.....	32
PS.....	Voir Pilote Série
RACCOURCISSEMENT DE BOUCLE.....	48.3
Commutation du -.....	48.3, 59.2, fig. 32
RÉCEPTEUR DE SIGNAUX SYMÉTRIQUES.....	32.4, tableau V, fig. 25
RÉCEPTION D'ORDRE	
Etat -.....	18.2, 66, fig. 35 et 36
RECHERCHE DE FIN.....	69, fig. 35 et 36
RECHERCHE D'EN-TÊTE.....	18.1, 65, fig. 35 et 36
REGISTRE D'ÉTAT.....	43, Section douze, tableaux VII et VIII
Etat initial.....	Tableau IX
dans le CCS-L2.....	A5.2
REGISTRES DANS LE CCS.....	Section onze, tableau VII
RELECTURE DES DONNÉES	
Registre dans le CCS.....	44.2, tableau VII
Utilisation pour redressement d'erreurs -.....	64 (23.2)
REMISE À ZÉRO	
Signal de - (signal C de l'Interconnexion).....	45.1
Commande manuelle sur le CCS.....	49.3
RÉPÉTITION EXTERNE	
Signal de - (signal REPEX).....	54.7, 56.2 (tableau XI)
REPEX, SIGNAL.....	Voir Répétition Externe

SUJET	ARTICLE OU PARAGRAPHE
RÉPONSE	Voir Message de Réponse, Zone-Réponse
Réponse Q (bit SQ).....	16.8, fig. 11 tableau XIII
Réponse différée.....	Voir différé
RÉPONSE-ERREUR	
Message de -	62, 18.4
RETARD	
Mémoire tampon de - (dans le CCS).....	25 (42)
Mémoire tampon de - (dans le CCS-L2).....	A3.4
de transmission.....	37
de trois caractères.....	25, A3.4
S. PRÉFIXE POUR LES PARTIES ET LES BITS IBS.....	Section trois
SI, S2, SIGNAUX.....	Voir Echantillonnage
SA, SC, SF, SN, SR, SW.....	Voir Parties de Message
SÉPARATEUR	
Bit -	6
Caractère	6, 17.1
SGL.....	Voir Partie de message
SGLE, SIGNAUX.....	Voir Appels Codés SGL
SIGMA-L	54.2 (tableau XI)
SIGNAUX SUR LE CONNECTEUR D'APPELS CODÉS SGL	
Définitions	54
Normes.....	55, tableau XII
SIGNAUX AU PORTES D	
Signaux de Données.....	32, 36.2, 36.3, 36.4
Signaux d'Horloge	32, 36.1
Signaux de Commande.....	Voir Signaux de Commande aux portes D
Signaux symétriques normalisés.....	32
Chronologie des -	Section huit
Séquence de -	36, fig. 27
SIGNAUX DE COMMANDE AUX PORTES D.....	33
Norme de -	33.1, tableau VI
Emetteurs et Récepteurs de -	33.2, fig. 26
Signal réservé	31.2, 59.2, A4
SOMME	
Caractère -	17, 17.2, 17.6, fig. 7 et 8
SOMME FINALE	
Caractère -	17, 17.2, 17.5, fig. 11 à 14
SOUS-ADRESSE	Voir Partie de message
SQ, BIT.....	Voir réponse
SX, BIT.....	Voir Ordre Accepté
SYMBLES	4
SYNCHRONISATION	Section dix, A5.1
SYNCHRONISME	Voir Perte de Synchronisme
des messages.....	40
des caractères.....	41

SUJET	ARTICLE OU PARAGRAPHE
<i>T</i> , <i>T</i> _{min}	Voir Horloge du système (Période d'-)
TEMPORISATEUR	56
dans le CCS.....	56.1
dans le Codeur SGL.....	56.2
TRANSMETTEUR DE SIGNAUX SYMÉTRIQUES.....	32.3, tableau IV, fig. 24
TRANSPARENT AUX MESSAGES	
Etat -	70, fig. 35 et 36
UTILISATION LIBRE	
Contacts P de l'Interconnexion.....	A2.2
VCA, SIGNAL.....	Voir Verrouillage du Contrôleur Auxiliaire
VERROUILLAGE DU CONTRÔLEUR AUXILIAIRE	
Signal - (signal VCA).....	54.13, 58.2 (48.1, 58.3, A7, tableau XI)
X. SIGNAL DE L'INTERCONNEXION.....	61.5, 63.2, 16.8
Z. SIGNAL DE L'INTERCONNEXION.....	Voir Initialisation
ZONE RÉPONSE.....	23, fig. 8 (17.7)
Longueur de la -	23.3, 48.2, 48.3

ALPHABETICAL INDEX

All references are to Clause numbers unless “Figure” or “Table” is stated. The most important references are given first, followed by other references in round brackets “()”.

The following abbreviations are used in the index:

- SH for Serial Highway
- SD for Serial Driver
- SCC for Serial Crate Controller
- SCC-L2 for Serial Crate Controller Type L2

SUBJECT	CLAUSE OR SUB-CLAUSE
A. DATAWAY SIGNAL.....	See Subaddress
ABBREVIATIONS AND SYMBOLS.....	4
ACCESS TO REGISTERS IN SCC.....	Section Eleven, Table VII
ACL SIGNAL.....	See Auxiliary Controller Lockout
AUXILIARY CONTROLLER.....	58
access to N-decoder.....	58.1 (54.12, A7)
interlock with SCC.....	58.2, 58.3
AUXILIARY CONTROLLER LOCKOUT SIGNAL.....	54.13, 58.2 (48.1, 58.3, A7, Table XI)
B. DATAWAY SIGNAL.....	See Busy
BCK SIGNAL.....	See Byte-clock
BIT-CLOCK SIGNAL.....	7
BIT-SERIAL MODE.....	39, Section Seven (7)
BLOCK DIAGRAM OF SCC-L2.....	Appendix B, Fig. B3
BRANCH HIGHWAY, PARALLEL.....	1, Section Fourteen
BUS 1 AND BUS 2 CONTACTS.....	31.2, Fig. 23
BUSY, DATAWAY SIGNAL (B).....	44.1, 48.1
BYPASS.....	48.2 (18.3)
Switching.....	59.1, Fig. 31
Indicator on SCC.....	50.7
BYTE-CLOCK.....	7
extraction from byte-frames.....	39.3
at SGL-Encoder connector (BCK).....	54.8, Fig. 29 (Table XI)
BYTE-FRAME.....	7, Fig. 3 (39)
BYTE-PARITY.....	61 (18.2, 18.3)
BYTE-SERIAL MODE.....	38, Section Seven (7)

SUBJECT	CLAUSE OR SUB-CLAUSE
BYTE-STREAM	35
BYTE SYNCHRONIZATION	41
 C. DATAWAY SIGNAL	 See Clear
CBY SIGNAL	See Controller Busy
CHECKSUM	See Column Parity
CLEAR	
Dataway signal (C)	45.1
manual control on SCC	49.3
CLOCK (SYSTEM CLOCK)	8, 36.1
frequency	34
period (T , T_{min})	36, 36.1, Fig. 27
CLUSTER, OF CRATE ASSEMBLIES	9
COLUMN PARITY	61 (17.2, 18.2, 18.3)
COMMAND ACCEPTED BIT (SX)	63.2, Fig. 11 (16.8, Table XIII)
COMMAND MESSAGES	13, Fig. 7 and 8 (Section Three, 27)
COMMAND/REPLY TRANSACTION	Section Four (Section Three)
length of	Table I
COMMANDS	
implemented by SCC	Table VII
implemented by SCC-L2	A5.3
COMPATIBILITY, WITH SH	2
compatible devices	11, Fig. 6
CONFIGURATION, OF SH	5, Fig. 1
reconfiguration options	48
CONFORM, WITH SPECIFICATION	2, A1
CONNECTORS	
D-port	31, 51, Table III
SGL-Encoder	Section Fourteen, 53, 57, Fig. 28, Table XI (A7)
Dataway	11, A2.2
Others on SCC	52, A4
CONTACT ASSIGNMENTS	
D-port	31.2, Table III
SGL-Encoder	53, Table XI
CONTROL OPERATION	21, Fig. 19 and 20
CONTROL SIGNALS, D-PORT	33
Signal standards	33.1, Table VI
Sources and receivers	33.2, Fig. 26
Reserved	31.2; 59.2, A4
CONTROLLER BUSY SIGNAL (CBY)	54.11 (Table XI)
CRATE ADDRESS	
field (SC)	16.1
switch on SCC	49.1
indicator on SCC	50.1, A6.1

SUBJECT	CLAUSE OR SUB-CLAUSE
CRATE ADDRESSED INDICATOR.....	50.5
DATA EXTRACTION INTERVAL.....	36, 36.3, Fig. 27
DATAWAY OFF-LINE	
state.....	48.1, Table X
manual control on SCC.....	49.2
DATAWAY ON-LINE	
state.....	48.1, Table X
indicator on SCC.....	50.2
DBSY SIGNAL.....	See Demand Busy
DELAY	
buffer in SCC.....	25 (42)
buffer in SCC-L2.....	A3.4
propagation.....	37
DELAYED COMMAND ACCEPTED BIT (DSX).....	46, 63.4
DELAYED ERROR BIT (DERR).....	46, 63.3, Fig. 11 (16.8)
DELAYED Q-RESPONSE BIT (DSQ).....	46, 63.4
DELAYED REPLY MESSAGE.....	48.2, 48.3
DELIMITER	
bit.....	6
byte.....	6, 17.1
DEMAND L24.....	47.2
DEMAND BUSY SIGNAL (DSBY).....	54.6 (Table XI)
DEMAND MESSAGE	
format.....	15, Fig. 13, 14 (30)
enable.....	24, 47.1
generation by SCC.....	Section Five, Fig. 21 and 22
generation by SCC-L2.....	A3.4
indicator on SCC.....	50.6
DEMAND MESSAGE INITIATE SIGNAL (DMI).....	54.4, Fig. 30 (24, Table XI)
DEMANDS, IDENTIFICATION OF.....	26
DERR BIT.....	See Delayed Error
DMI SIGNAL.....	See Demand Message Initiate
DOWNSTREAM.....	5
D-PORTS.....	9, Section Seven (51, Fig. 4, Table III)
on SCC-L2.....	A4
DSQ BIT.....	See Delayed Q-response
DSX BIT.....	See Delayed Command Accepted
ENCODED SERIAL GRADED-L SIGNALS (SGLE).....	54.3 (Table XI)
END BYTE.....	17.3, Fig. 7 to 10
ENDSUM BYTE.....	17, 17.2, 17.5, Fig. 11 to 14
ERPT SIGNAL.....	See External Repeat

SUBJECT	CLAUSE OR SUB-CLAUSE
ERR BIT.....	See Error Bit
ERROR BIT (ERR).....	63.1, Fig. 11, Table XIII (16.8)
ERROR DETECTION	
by Geometric Code.....	6, 61.1, 61.2, 61.3, Fig. 33
by context.....	61.4
by module.....	61.5
ERROR REPLY MESSAGE.....	62, 18.4
EXECUTE COMMAND STATE.....	18.3, 67, Fig. 35 and 36
EXTERNAL REPEAT SIGNAL (ERPT).....	54.7, 56.2 (Table XI)
FIELDS OF MESSAGES.....	16, Fig. 8, 10, 12 and 14 (A3.3)
FIND END STATE.....	69, Fig. 35 and 36
FIND HEADER STATE.....	18.1, 65, Fig. 35 and 36
FLOW CHART OF SCC-L2.....	Appendix B2, Fig. B2
FREE-USE, DATAWAY CONTACT (P).....	A2.2
FRONT PANEL	
of SCC.....	Section Thirteen
of SCC-L2.....	A6
FUNCTION FIELD (SF).....	16.4
GEOMETRIC CODE, ERROR DETECTION	
principle.....	61.1, Fig. 33 (6)
implementation on SH.....	61.2, Fig. 34
performance.....	61.3
GRADED-L FIELD.....	16.9, 57.3
GRADED-L SIGNALS.....	See Encoded Serial Graded-L Signals
HEADER BYTE.....	6, 18.1
HUNG DEMAND.....	56
SGL bit-pattern.....	16.9
false.....	57.4
I. DATAWAY SIGNAL.....	See Inhibit
INDICATORS ON SCC.....	50, A6
INHIBIT	
Dataway signal (I).....	45.2
indicator on SCC.....	50.3
INITIALIZE	
Dataway Signal (Z).....	45.1
manual control on SCC.....	49.3
L. DATAWAY SIGNAL.....	See Look-at-Me, and Demand L24
LAM-PATTERN.....	44.1, Table VII (26)
reading while Off-line.....	48.1, Table X

SUBJECT	CLAUSE OR SUB-CLAUSE
LOOK-AT-ME, SIGNAL (L).....	54.1, 47.2
LOOP COLLAPSE	48.3
Switching	48.3, 59.2, Fig. 32
LOST BYTE-SYNC STATE.....	41.2, 72, Fig. 35 and 36 (42, A3.4)
LOST MESSAGE-SYNC STATE.....	40.2, 73, Fig. 35 and 36 (18.4, 42)
LOST SYNC.....	60, 42
L-SUM SIGNAL.....	54.2 (Table XI)
M1, M2 BITS.....	See Message Identification
MANUAL CONTROLS ON SCC.....	49, A6.1
MAY, PERMITTED PRACTICE.....	2
MESSAGES	
formats	6, Section Three, Fig. 2 (A3.1)
sequences	Section Four, Fig. 15 to 20, Fig. 21
structure	Section Three
MESSAGE IDENTIFICATION	
field (MI).....	16.7, 18.2, Table II (18.3, Section Six)
ignored by SCC-L2	A3.3
by SCC and SD.....	Section Six
MESSAGE SYNCHRONIZATION.....	40
MI	See Message Identification
MUST, MANDATORY REQUIREMENT.....	2
N-DECODER	See Station Number
N. DATAWAY SIGNAL.....	See Station Number
NON-DELIMITER BYTES.....	17.1
NON-RETURN-TO-ZERO-LEVEL	Section Seven
NRZL	See Non-Return-to-Zero-Level
OFF-LINE, STATE.....	See Dataway Off-line
ON-LINE, STATE.....	See Dataway On-line
PARITY.....	See Byte-parity, Column parity
PASS MESSAGE STATE.....	70, Fig. 35 and 36
PAUSE BITS, NON-CONTIGUOUS BYTES.....	39.1, Fig. 3
PORT	9
READ DATA FIELD (SR).....	16.6
READ OPERATION.....	19, Fig. 15 and 16
RECEIVE COMMAND STATE.....	18.2, 66, Fig. 35 and 36

SUBJECT	CLAUSE OR SUB-CLAUSE
RECEIVER, BALANCED SIGNALS.....	32.4, Table V, Fig. 25
REGISTERS, IN SCC.....	Section Eleven, Table VII See also Status, LAM-pattern, Re-read Data
REPLY MESSAGE	14, Fig. 11 and 12 (29)
REPLY SPACE.....	23, Fig. 8 (17.7)
length of.....	23.3, 48.2, 48.3
REQUEST INHIBIT	54.14
RE-READ DATA, REGISTER IN SCC.....	44.2, Table VII
use in error recovery.....	64 (23.2)
RESPONSE, Q-RESPONSE (SQ)	16.8, Fig. 11, Table XIII
RS-422, EIA SIGNAL STANDARD.....	32
S. PREFIX TO SH FIELDS AND BITS.....	Section Three
S1, S2, DATAWAY SIGNALS.....	See Strobe
SA FIELD.....	See Sub-address
SC FIELD.....	See Crate address
SCC, SCC-L2.....	See Serial Crate Controller
SD	See Serial Driver
SELECTED-LAM PRESENT	47.3
bit in Status Register.....	47.3
Signal (SLP).....	54.5 (Table XI)
SEND DEMAND STATE.....	71, Fig. 35 and 36
SEND REPLY STATE.....	18.4, 68, Fig. 35 and 36
SERIAL CRATE CONTROLLER (SCC).....	12
Type L2 (SCC-L2).....	Appendix A, Appendix B
SERIAL DRIVER (SD).....	5, 10
SERIAL GRADED-L FIELD.....	16.9, 57.3
SERIAL GRADED-L SIGNALS.....	See Encoded Serial Graded-L
SERIAL HIGHWAY (SH).....	1, 2 and Section Two
SF FIELD	See Function
SGL FIELD	See Graded-L Field
SGLE SIGNALS.....	See Encoded Serial Graded-L
SGL-ENCODER	Section Fourteen, 57, Fig. 28
SH	See Serial Highway
SHOULD, RECOMMENDED PRACTICE.....	2

SUBJECT	CLAUSE OR SUB-CLAUSE
SIGNALS, D-PART	
data	32, 36.2, 36.3, 36.4
clock	32, 36.1
timing	36, Fig. 27
control	See Control signals
standards, balanced signals	32
SIGNALS, SGL-ENCODER	
definitions	54
standards	55, Table XII
SLP SIGNAL	See Selected-LAM Present
SN FIELD	See Stations Numbers
SPACE BYTE	17, Fig. 7 and 8
excess	23.2
SQ BIT	See Response
SR FIELD	See Read Data
START BIT	39, Fig. 3, A5.1
START TIMER SIGNAL (STIM)	54.9, Table XI
STATES, OF SCC	18, Section Sixteen, Fig. 35 and 36
STATION NUMBER	
field (SN)	16.2, Fig. 8
use of N(30) in SCC	Section Eleven
signals N1 to N16	54.12, 58.1 (Table XI)
STATUS FIELD	16.8, Fig. 12
STATUS REGISTER	43, Section Twelve, Tables VII and VIII
initial state	Table IX
in SCC-L2	A5.2
STIM SIGNAL	See Start Timer
STOP BIT	7, Fig. 3, 39
STROBE SIGNALS, DATAWAY (S1, S2)	48.1
SUB-ADDRESS FIELD (SA)	16.3, Fig. 8
SUM BYTE	17, 17.2, 17.6, Fig. 7 and 8
SW FIELD	See Write Data
SX BIT	See Command Accepted
SYMBOLS	4
SYNCHRONIZATION	Section Ten, A5.1
SYSTEM CLOCK	See Clock
T, T_{min}	See Clock period
THREE-BYTE DELAY	25, A3.4
TIME-OUT, HUNG DEMANDS	56, 57.4

SUBJECT	CLAUSE OR SUB-CLAUSE
TIME-OUT SIGNAL (TIMO).....	54.10, 56.1, Fig. 30 (Table XI)
TIMO SIGNAL.....	See Time-out
TIMER, HUNG DEMANDS	56
in SCC.....	56.1
in SGL-Encoder.....	56.2
TIMING, OF D-PORT SIGNAL	Section Eight
TRANSACTION	See Command/Reply Transaction
TRANSITION DIAGRAM OF SCC-L2.....	Appendix B, Fig. B1
TRANSMISSION LINES (D-PORT).....	32.1
TRANSMITTER, BALANCED SIGNALS.....	32.3, Table IV, Fig. 24
TRUNCATED COMMAND MESSAGE.....	13.2, 22, Fig. 9 and 10 (28)
generation by SCC-L2.....	A3.2
UNSYNCHRONIZED STATE	See Lost Sync
indicator on SCC.....	50.4
U-PORTS	9, Fig. 5
prohibited on SCC-L2.....	A4
UPSTREAM.....	5
WAIT BYTE	17.4, Fig. 15 to 20, Fig. 21
WRITE DATA FIELD (SW).....	16.5
WRITE OPERATION	20, Fig. 17 and 18
X. DATAWAY SIGNAL	61.5, 63.2, 16.8
Z. DATAWAY SIGNAL	See Initialize



Représente une décision prise soit sur le contenu d'un caractère incident, soit en raison de la présence d'un caractère incident.



Représente une décision prise soit sur le contenu du caractère précédent, soit en raison de la présence du caractère précédent.



Représente une décision due à un événement asynchrone.

La circulation se fait généralement de haut en bas, sauf lorsqu'elle est indiquée par des flèches.

Les sorties verticales des décisions sont OUI
Les sorties horizontales des décisions sont NON

MEC	<u>Message en cours</u> = 1 quand (a) le caractère En-tête vérifié par VA = 1 ne correspond pas à l'adresse = 1 quand (b) le châssis est en by-pass et l'ordre n'était pas d'enlever le by-pass = 0 autres cas (ou par détection d'un séparateur après avoir eu MEC = 1)
N	<u>Numéro de station</u> Indiqué par le message d'ordre à ce CCS
OR	<u>Ordre reçu</u> = 1 Tout message d'ordre complet reçu par le CCS = 0 autres cas
PL	<u>Parité longitudinale de message</u> = 1 parité longitudinale correcte = 0 parité longitudinale incorrecte
PT	<u>Parité transversale</u> = 1 parité transversale correcte = 0 parité transversale incorrecte
RCB	<u>Retire la commande de by-pass</u> = 1 message d'ordre de retrait du by-pass de ce châssis = 0 autres cas
RCS	<u>Recherche de caractère séparateur</u> (recherche de FIN) = 1 recherche d'un caractère séparateur quand des caractères ESPACE en excédent sont reçus par le CCS après envoi de la réponse = 0 autres cas
REC	<u>Réponse en cours</u> = 1 message de réponse en cours d'émission = 0 autres cas
Ret	<u>Mise en service du retard à 3 caractères</u> = 1 retard à 3 caractères en service = 0 autres cas
Sep	<u>Caractère ayant PT = 1 et les bits # 7 = 1</u>
Seq	<u>Mode séquentiel</u> = 1 mode séquentiel ou mode bit-série uniquement si le caractère contient une enveloppe correcte avec bits départ et arrêt = 0 autres cas
Sync	<u>Synchronisme (de message)</u> = 1 synchronisme obtenu = 0 autres cas
TC	<u>Compteur de caractères</u>
TCR	<u>Compteur de caractères de la réponse</u>
TCS	<u>Compteur de caractères séparateurs</u>
TMD	<u>Compteur de caractères du message de demande</u>
VA	<u>Vérification de l'adresse (recherche d'En-tête)</u> = 1 contenu du prochain caractère entrant sera vérifié pour voir si l'adresse correspond à ce châssis = 0 autres cas

ND-610-J

AM	<u>Assemblage du message</u> = 1 assemble le message de réponse en fonction de: (a) cycle de l'Interconnexion (b) erreur de transmission (c) IHL = 1 et EID = 0 autres cas
AR	<u>Adresse reçue</u> (reçoit et exécute l'ordre) = 1 le caractère en-tête d'un message d'ordre contenait l'adresse pour ce châssis = 0 autres cas
ATT	<u>Caractère ATTENTE</u>
BY-PASS	<u>BY-PASS de châssis</u> = 1 by-pass en service = 0 by-pass hors service
CED	<u>Caractère d'entrée détecté</u>
CMTA	<u>Charge la mémoire tampon avec</u>
CROA	<u>Charge les registres d'ordre avec</u>
DEC	<u>Demande en cours</u> (envoi de la demande) = 1 un message de demande est en cours = 0 autres cas
DEM	<u>Demande</u>
EID	<u>Elément interne désigné</u> $N(30) \cdot \{A(1) \cdot [F(1) + F(17) + F(19) + F(23)] + A(1) \cdot F(0)\}$
ERP	<u>Etat erreur de parité de message</u> = 1 Parité transversale d'un caractère ou parité longitudinale d'un message incorrecte = 0 autres cas
F8F16	<u>Bits de fonction 8 et 16</u> Bits les plus significatifs du code de fonction dans le caractère # 3 d'un message d'ordre
FC	<u>Caractère FIN correct avant Seq = 1</u>
FIN	<u>Caractère FIN</u>
ICS	<u>Initialise le caractère de sortie</u> Envoie le caractère contenu dans la mémoire tampon
IHL	<u>Etat Interconnexion hors-ligne</u> = 1 l'Interconnexion est hors-ligne = 0 l'Interconnexion est en ligne
IRS	<u>Initialise le retard de sortie</u> Envoie le caractère fourni en sortie de la mémoire tampon de retard à 3 caractères
ISE	<u>Initialise la sortie ou l'entrée</u> Envoie le caractère reçu à l'entrée du CCS
LM	<u>Longueur de message</u> Longueur attendue d'après les bits du code F et les bits d'identification <M1 et M2> (si utilisés). Bits contenus dans les caractères du message d'ordre.
LMR	<u>Longueur du message de réponse</u>

Note du Bureau Central:

On remarquera que les symboles de cette figure ne sont pas ceux recommandés par la CEI. C'est pour ne pas retarder la parution que la décision de publier la figure telle quelle a néanmoins été prise.

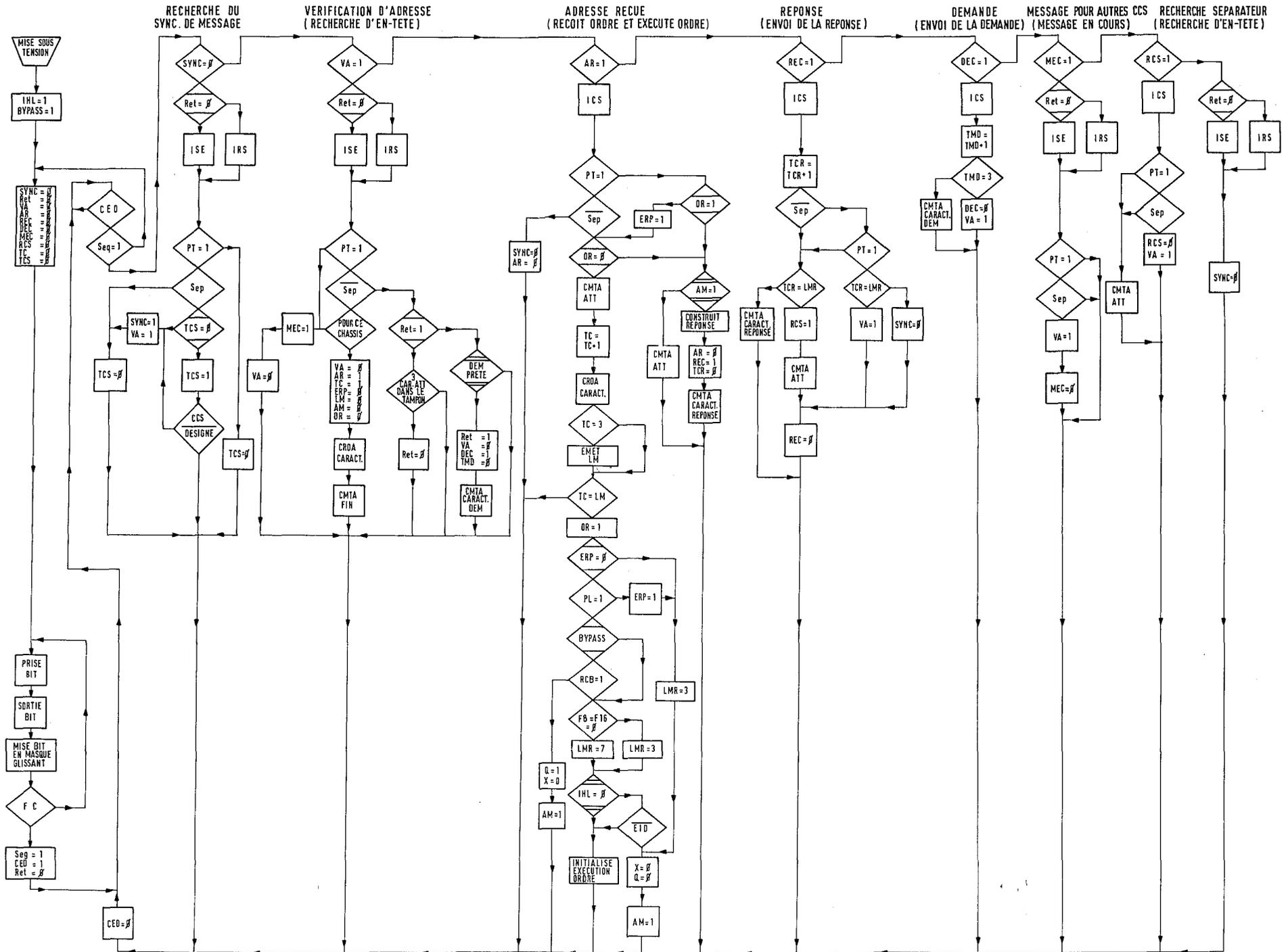


FIGURE B2: Ordinogramme de fonctionnement



REPRESENTS A DECISION MADE EITHER ON CONTENTS OF INCOMING BYTE OR DECISION MADE DUE TO PRESENCE OF INCOMING BYTE.



REPRESENTS A DECISION MADE EITHER ON CONTENTS OF PREVIOUS BYTE OR DUE TO PRESENCE OF PREVIOUS BYTE.



REPRESENTS A DECISION DUE TO AN ASYNCHRONOUS EVENT.

FLOW IS GENERALLY FROM TOP TO BOTTOM, EXCEPT WHERE INDICATED BY ARROWS.

VERTICAL EXITS FROM DECISIONS ARE YES.

HORIZONTAL EXITS FROM DECISIONS ARE NO.

ACE ADDRESS CHECK ENABLE (FIND HEADER)
 * 1 CONTENTS OF NEXT BYTE ENTERING WILL BE TESTED FOR ADDRESS MATCH WITH THIS CRATE.
 * 0 OTHERWISE

AR ADDRESS RECEIVED (RECEIVE & EXECUTE COMMAND)
 * 1 THE HEADER BYTE OF A COMMAND MESSAGE CONTAINED THE ADDRESS FOR THIS CRATE.
 * 0 OTHERWISE

BC BYTE COUNTER

BYPASS CRATE BYPASS
 * 1 BYPASS ENABLED
 * 2 BYPASS DISABLED

BYT BYTE MODE
 * 1 BYTE-SERIAL MODE OR BIT-SERIAL MODE IF, AND ONLY IF, BYTE CONTAINED CORRECT FRAMING START AND STOP BITS.
 * 0 OTHERWISE

CEF CONSTRUCT ENABLE
 * 1 CONSTRUCT REPLY MESSAGE AS RESULT OF:
 (a) DATAWAY CYCLE
 (b) ERROR IN TRANSMISSION
 (c) DOF = 1 AND IFA
 * 0 OTHERWISE

CR COMMAND RECEIVED
 * 1 ALL COMMAND MESSAGE (THRU Σ BYTE) RECEIVED BY SCC
 * 0 OTHERWISE

DC DELIMITER-BYTE COUNTER

DE DELIMITER SEARCH ENABLE (FIND END)
 * 1 SEARCH FOR DELIMITER WHEN EXCESS SPACE-BYTES RECEIVED BY SCC AFTER REPLY MESSAGE SENT.
 * 0 OTHERWISE

DELIMITER ANY BYTE WITH TP = 1 AND BIT # 7 = 1

DELAY THREE-BYTE DELAY ENABLE
 * 1 THREE-BYTE DELAY ACTIVE
 * 0 OTHERWISE

DEM DEMAND

DIP DEMAND IN PROGRESS (SEND DEMAND)
 * 1 A DEMAND MESSAGE BEING SENT.
 * 0 OTHERWISE

DMC DEMAND MESSAGE BYTE COUNTER

DOF DATAWAY OFF LINE STATUS
 * 1 DATAWAY IS OFF-LINE
 * 0 DATAWAY IS ON-LINE

END END BYTE

ER MESSAGE PARITY ERROR STATUS
 * 1 TRANSVERSE PARITY (TP) OF A BYTE OR LONGITUDINAL PARITY (LP) OF A MESSAGE WAS INCORRECT.
 * 0 OTHERWISE

FRAMED END END BYTE WITH BYT = 1

F8F16 FUNCTION BITS 8 AND 16 - MSB OF FUNCTION CODE BITS IN BYTE # 3 OF A COMMAND MESSAGE.

IBD INPUT BYTE DETECTED

IFA INTERNAL FEATURE ADDRESSED
 $N(30) - [A(0) - F(1) + F(17) + F(19) + F(23)] + A(1) - F(0)$

IOB INITIATE OUTPUT BYTE - SEND BYTE CONTAINED IN OUTPUT BUFFER

IOD INITIATE OUTPUT DELAY - SEND BYTE OBTAINED FROM OUTPUT OF THREE-BYTE DELAY BUFFER

IOI INITIATE OUTPUT OF INPUT - SEND BYTE RECEIVED AT SCC INPUT

LCRW LOAD COMMAND REGISTERS WITH

LOBW LOAD OUTPUT BUFFER WITH

LPM LONGITUDINAL PARITY OF MESSAGE
 * 1 CORRECT LP
 * 0 INCORRECT

MLN MESSAGE LENGTH - EXPECTED LENGTH FROM F CODE BITS AND < M1, M2 > IDENTIFIER BITS (IF USED). BITS CONTAINED IN COMMAND MESSAGE BYTES.

MP MESSAGE PASSING
 * 1 WHEN (a) HEADER BYTE TESTED WITH ACE = 1 FAILED TO MATCH ADDRESS.
 * 1 WHEN (b) CRATE BYPASSED AND COMMAND WAS NOT TO REMOVE BYPASS.
 * 0 OTHERWISE (OR ON DETECTION OF DELIMITER AFTER HAVING MP = 1).

N STATION NUMBER - SPECIFIED BY COMMAND MESSAGE TO THIS SCC

RBC REMOVE BYPASS COMMAND
 * 1 COMMAND MESSAGE TO SWITCH BYPASS OUT TO THIS CRATE.
 * 0 OTHERWISE

RC REPLY BYTE COUNTER

RIP REPLY IN PROGRESS
 * 1 REPLY MESSAGE BEING SENT
 * 0 OTHERWISE

RLN REPLY MESSAGE LENGTH

SYNC SYNCHRONISM (MESSAGE)
 * 1 SYNCHRONISM OBTAINED
 * 0 OTHERWISE

TP TRANSVERSE PARITY
 * 1 TP CORRECT
 * 0 TP INCORRECT

WAIT WAIT BYTE

ND-610-J

Central Office note:
 Attention is drawn to the fact that the symbols used in this figure are not IEC approved symbols. Nevertheless it has been decided to print the drawing in its present state in the interests of speedy publication.

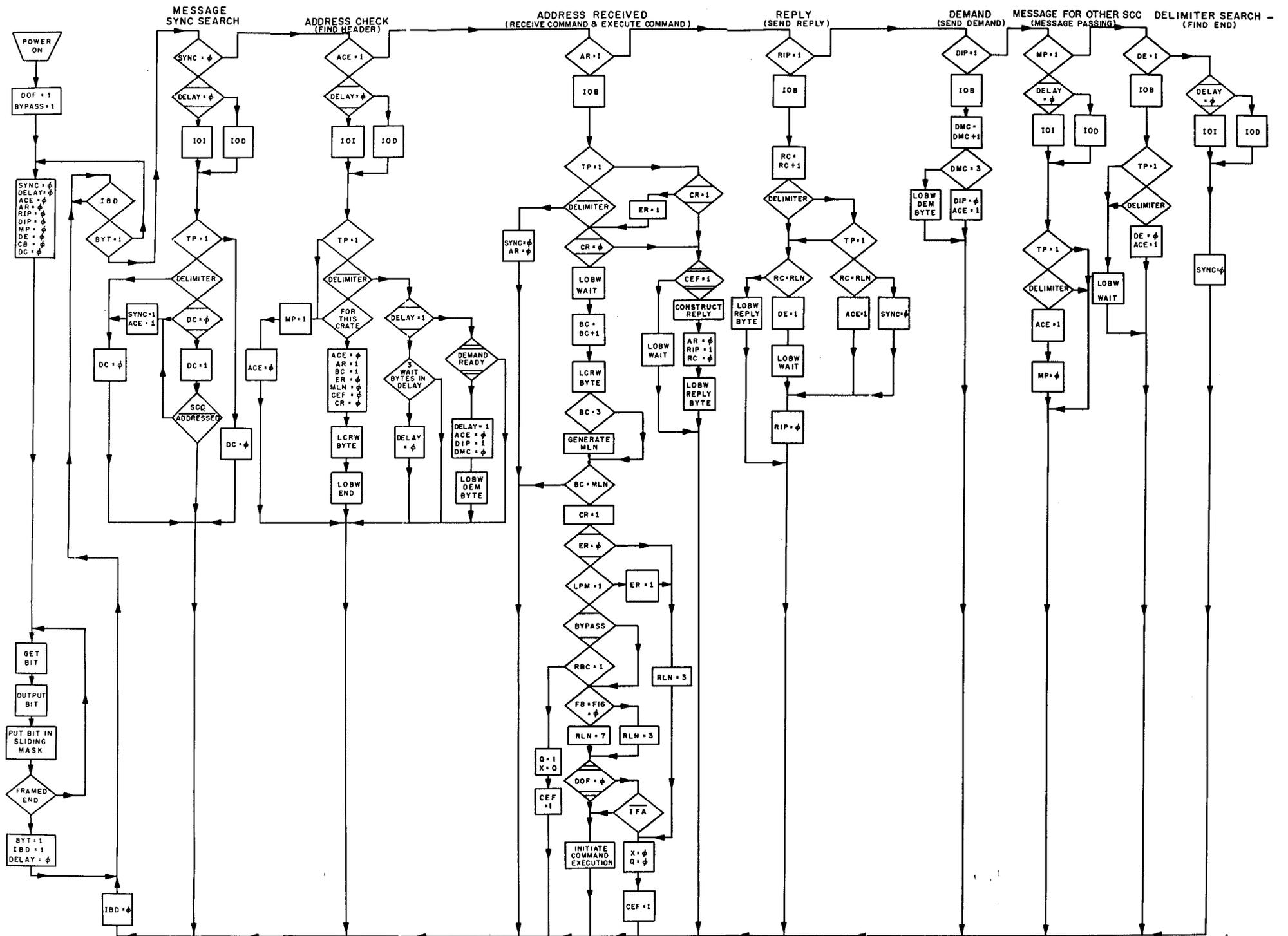
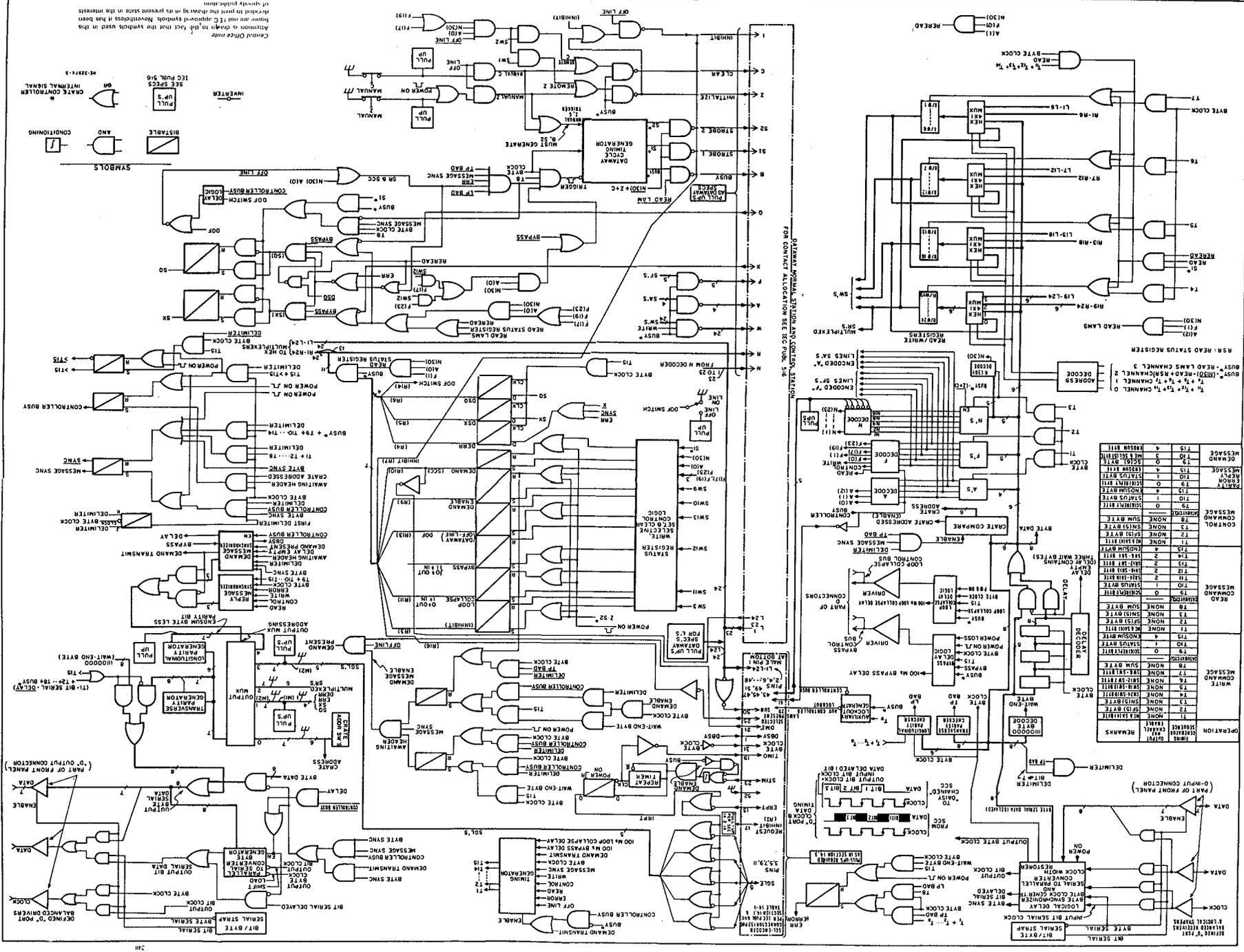
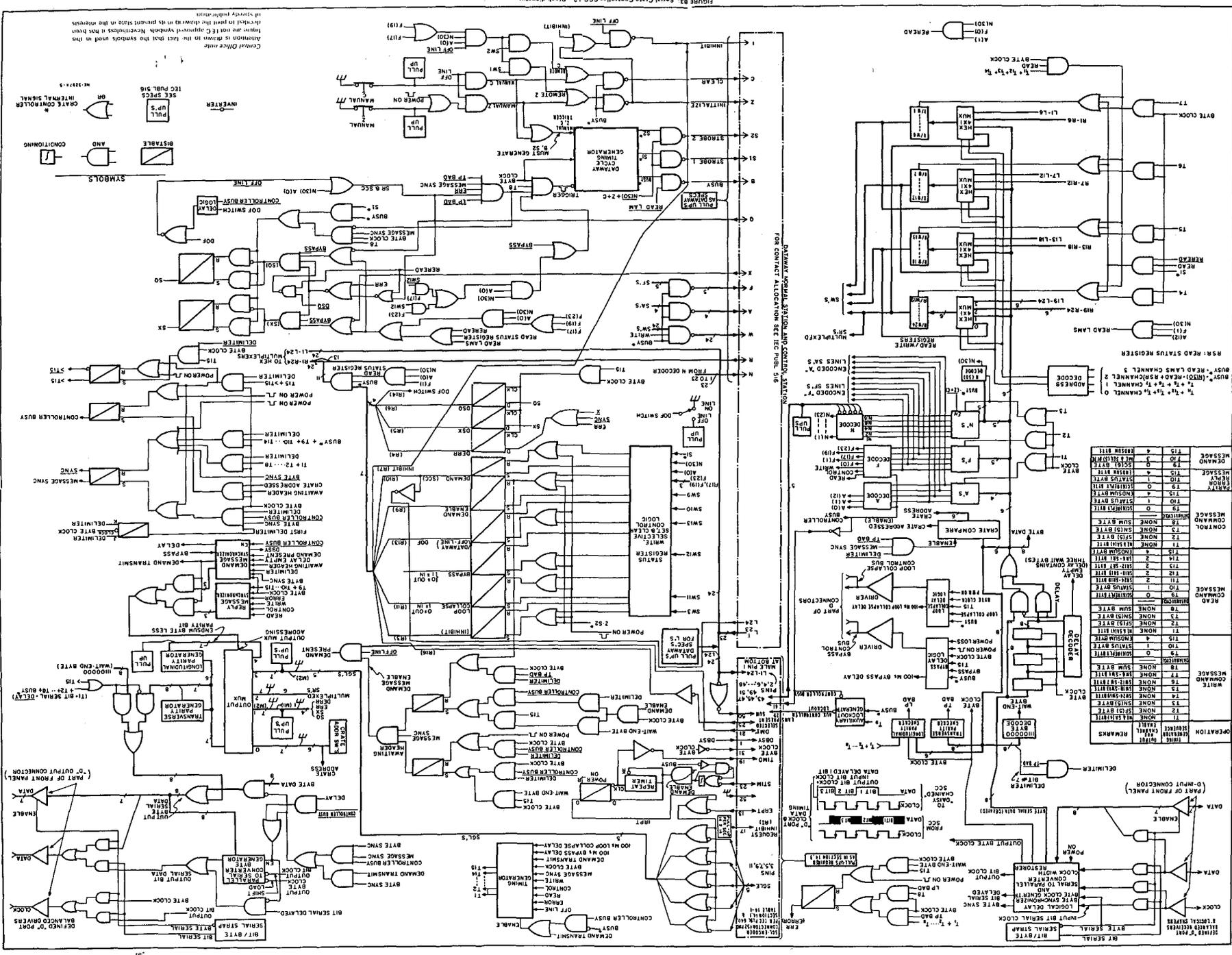


FIGURE B2: Implementation Independent Flow Chart of SCC-L2



Check Off-line
 Refer to part list for symbols used in this diagram. Symbols are used to indicate the location of the symbols used in this diagram. Symbols are used to indicate the location of the symbols used in this diagram.

Fig. 12 - Block diagram of Serial Data Controller SCC-12



LICENSED TO MECON Limited. - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

ICS 27.120
