NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC

60617-12

Troisième édition
Third edition
1997-12

Symboles graphiques pour schémas –

Partie 12: Opérateurs logiques binaires

Graphical symbols for diagrams –

Part 12: Binary logic elements

Numéro de référence
Reference number
CEI/IEC 60617-12:1997

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à ces révisions, à l'établissement des éditions révisées et aux amendements peuvent être obtenus auprès des Comités nationaux de la CEI et dans les documents ci-dessous:

- **Bulletin de la CEI**
- **Annuaire de la CEI**
  Accès en ligne*
- **Catalogue des publications de la CEI**
  Publié annuellement et mis à jour régulièrement
  (Accès en ligne)*

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique,* la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles,* et la CEI 60617: *Symboles graphiques pour schémas.*

Publications de la CEI établies par le même comité d'études

L'attention du lecteur est attirée sur les listes figurant à la fin de cette publication, qui énumèrent les publications de la CEI préparées par le comité d'études qui a établi la présente publication.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the revision work, the issue of revised editions and amendments may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **IEC Yearbook**
  On-line access*
- **Catalogue of IEC publications**
  Published yearly with regular updates
  (On-line access)*

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology,* IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams.*

IEC publications prepared by the same technical committee

The attention of readers is drawn to the end pages of this publication which list the IEC publications issued by the technical committee which has prepared the present publication.

* See web site address on title page.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC
60617-12

Troisième édition
Third edition
1997-12

Symboles graphiques pour schémas –

Partie 12: Opérateurs logiques binaires

Graphical symbols for diagrams –

Part 12: Binary logic elements

© IEC 1997 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission 3, rue de Varembé Geneva, Switzerland
Telefax: +41 22 919 0300 e-mail: inmail@iec.ch IEC web site http: //www.iec.ch

Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE XF

Pour prix, voir catalogue en vigueur
For price, see current catalogue

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

SOMMAIRE

Pages

AVANT-PROPOS 6
INTRODUCTION 8

Chapitre I : Généralités

1 Domaine d'application 10
1A Références normatives 10
2 Notes générales 10
3 Explication de termes 12

Chapitre II : Formation des symboles

4 Composition d'un symbole 14
5 Cadres 18
6 Emploi et associations de cadres 19

Chapitre III : Symboles distinctifs associés aux accès et connexions internes

7 Négation, polarité logique et entrée dynamique 28
8 Connexions internes 31
9 Symboles intérieurs aux cadres 38
10 Accès non concernés par une information logique binaire, sens de propagation de l'information 69

Chapitre IV : Notation de dépendance

11 Exposé 72
12 Convention 72
13 Types de dépendances 74
14 Dépendance ET 78
15 Dépendance OU 81
16 Dépendance de NÉGATION 82
17 Dépendance d'INTERCONNEXION 83
17A Dépendance de TRANSMISSION 85
18 Dépendance de COMMANDE 88
19 Dépendance MISE À UN et dépendance MISE À ZÉRO 90
20 Dépendance de VALIDATION 93
21 Dépendance de MODE 94
22 Comparaison entre les influences C, EN, et M sur les entrées 98
23 Dépendance ADRESSE 98
24 Techniques particulières de symbolisation pour la notation de dépendance 104
25 Ordre de marquages des accès 107

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

CONTENTS

Page

FOREWORD 7
INTRODUCTION 9

Chapter I : General

1 Scope 11
1A Normative references 11
2 General notes 11
3 Explanation of terms 13

Chapter II : Symbol construction

4 Composition of the symbol 15
5 Outlines 18
6 Use and combination of outlines 19

Chapter III : Qualifying symbols associated with inputs, outputs, and other connections

7 Negation, logic polarity and dynamic input 28
8 Internal connections 31
9 Symbols inside the outline 38
10 Non-logic connections and signal-flow indicators 69

Chapter IV : Dependency notation

11 General explanation 72
12 Convention 72
13 Types of dependency 74
14 AND dependency 78
15 OR dependency 81
16 NEGATE dependency 82
17 INTERCONNECTION dependency 83
17A TRANSMISSION dependency 85
18 CONTROL dependency 88
19 SET and RESET dependency 90
20 ENABLE dependency 93
21 MODE dependency 94
22 Comparison of C-, EN- and M-effects on inputs 98
23 ADDRESS dependency 98
24 Special techniques used in dependency notation 104
25 The ordering of labels associated with inputs and with outputs 107

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Chapitre V : Opérateurs combinatoires et séquentiels

26 Notes générales 115
27 Opérateurs combinatoires 116
28 Exemples d'opérateurs combinatoires 120
29 Exemples d'amplificateurs, émetteurs, récepteurs et commutateurs électroniques .. 126
30 Opérateurs à hystérésis 131
31 Exemples d'opérateurs à hystérésis 131
32 Convertisseurs de code, transcodeurs 133
33 Exemples de transcodeurs 144
34 Convertisseur de niveau de signal avec ou sans séparation électrique 150
35 Exemples de convertisseurs de niveau de signal 150
36 Multiplexeurs et démultiplexeurs 151
37 Exemples de multiplexeurs et démultiplexeurs 153
38 Opérateurs arithmétiques 157
39 Exemples d'opérateurs arithmétiques 159
40 Opérateurs binaires à retard 165
41 Opérateurs bistables 167
42 Exemples d'opérateurs bistables 169
43 Indication de propriétés particulières d'opérateurs bistables à la mise sous tension . 173
44 Opérateurs monostables 174
45 Exemples d'opérateurs monostables 175
46 Opérateurs astables 176
47 Exemples d'opérateurs astables 178
48 Registres à décalage et compteurs 179
49 Exemples de registres á décalage et de compteurs 181
50 Mémoires 191
51 Exemples de mémoires 193
52 Afficheurs 203
53 Exemples d'afficheurs 205

Chapitre VI : Opérateurs pour fonctions complexes

54 Symbole général et règles de base 209
55 Indicateurs de bus et représentation de voies de données 216
56 Exemples d'opérateurs de fonctions complexes 220

Annexes

A Index alphabétique français 222
B Index alphabétique anglais 237
C Index des dispositifs où sont figurés les symboles 243

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Chapter V : Combinative and sequential elements

26 General notes 115
27 Combinative elements 116
28 Examples of combinative elements 120
29 Examples of buffers, drivers, receivers, and bidirectional switches 126
30 Elements with hysteresis 131
31 Examples of elements with hysteresis 131
32 Coders, code converters 133
33 Examples of code converters 144
34 Signal-level converters with or without electrical isolation 150
35 Examples of signal-level converters 150
36 Multiplexers and demultiplexers 151
37 Examples of multiplexers and demultiplexers 153
38 Arithmetic elements 157
39 Examples of arithmetic elements 159
40 Binary delay elements 165
41 Bistable elements 167
42 Examples of bistable elements 169
43 Indication of special switching properties of bistable elements 173
44 Monostable elements 174
45 Examples of monostable elements 175
46 Astable elements 176
47 Examples of astable elements 178
48 Shift registers and counters 179
49 Examples of shift registers and counters 181
50 Memories 191
51 Examples of memories 193
52 Display elements 203
53 Examples of display elements 205

Chapter VI : Complex-function elements

54 General symbol and basic rules 209
55 Bus indicators and data path representation 216
56 Examples of complex-function elements 220

Annexes

A French alphabetical index 222
B English alphabetical index 237
C Index of devices for which symbols are shown 243

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

SYMBOLES GRAPHIQUES POUR SCHÉMAS –

Partie 12 : Opérateurs logiques binaires

AVANT-PROPOS

1) La CEI (Commission Électrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.

2) Les décisions ou accords officiels de la CEI concernant des questions techniques, représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.

3) Les documents produits se présentent sous la forme de recommandations internationales; ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.

4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.

5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.

6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60617-12 a été établie par le sous-comité 3A : Symboles graphiques pour schémas, du comité d'études 3 de la CEI : Documentation et symboles graphiques.

Cette troisième édition annule et remplace la deuxième édition parue en 1991, l'amendement 1 (1992) et l'amendement 2 (1994). Cette troisième édition constitue une révision technique.

Le texte de la présente norme est issu des documents suivants :

FDIS	Rapports de vote
3A/407/FDIS	3A/429/RVD
3A/431/FDIS	3A/463/RVD

Les rapports de vote indiqués dans le tableau ci-dessus donnent toute information sur le vote ayant abouti à l'approbation de cette norme.

Les annexes A, B et C sont données uniquement à titre d'information.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

INTERNATIONAL ELECTROTECHNICAL COMMISSION

GRAPHICAL SYMBOLS FOR DIAGRAMS –

Part 12: Binary logic elements

FOREWORD

1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international cooperation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.

2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.

3) The documents produces have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.

4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.

5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.

6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60617-12 has been prepared by sub-committee 3A: Graphical symbols for diagrams, of IEC technical committee 3: Documentation and graphical symbols.

This third edition cancels and replaces the second edition, published in 1991, amendment 1 (1992), and amendment 2 (1994). This third edition constitutes a technical revision.

The text of this standard is based on the following documents:

FDIS	Reports on voting
3A/407/FDIS	3A/429/RVD
3A/431/FDIS	3A/463/RVD

Full information on the voting for the approval of this standard can be found in the reports on voting indicated in the above table.

Annexes A, B and C are for information only.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

INTRODUCTION

La présente Norme internationale constitue un élément d'une série qui traite de symboles graphiques pour schémas.

Cette série comporte les parties suivantes :

Partie 1 : Généralités, index général. Tables de correspondance

Partie 2 : Eléments de symboles, symboles distinctifs et autres symboles d'application générale

Partie 3 : Conducteurs et dispositifs de connexion

Partie 4 : Composants passifs

Partie 5 : Semiconducteurs et tubes électroniques

Partie 6 : Production, transformation et conversion de l'énergie électrique

Partie 7 : Appareillage et dispositifs de commande et de protection

Partie 8 : Appareils de mesure, lampes et dispositifs de signalisation

Partie 9 : Télécommunications: Commutation et équipements périphériques

Partie 10 : Télécommunications: Transmission

Partie 11 : Schémas et plans d'installation, architecturaux et topographiques

Partie 12 : Opérateurs logiques binaires

Partie 13 : Opérateurs analogiques

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

INTRODUCTION

This International Standard forms an element of a series which deals with graphical symbols for diagrams.

The series consists of the following parts:

Part 1: General information, general index. Cross-reference tables

Part 2: Symbol elements, qualifying symbols and other symbols having general application

Part 3: Conductors and connecting devices

Part 4: Passive components

Part 5: Semiconductors and electron tubes

Part 6: Production and conversion of electrical energy

Part 7: Switchgear, controlgear and protective devices

Part 8: Measuring instruments, lamps and signalling devices

Part 9: Telecommunications: Switching and peripheral equipment

Part 10: Telecommunications: Transmission

Part 11: Architectural and topographical installation plans and diagrams

Part 12: Binary logic elements

Part 13: Analogue elements

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

SYMBOLES GRAPHIQUES POUR SCHÉMAS –
Partie 12 : Opérateurs logiques binaires

Chapitre I : Généralités

1 Domaine d'application

La présente partie de la CEI 60617 contient des symboles graphiques établis pour représenter des fonctions logiques. Ces symboles sont également destinés à représenter les dispositifs physiques capables de réaliser lesdites fonctions. Les symboles visent les dispositifs électriques mais peuvent pour la plupart être appliqués à des dispositifs non électriques, par exemple pneumatiques, hydrauliques ou mécaniques.

1A Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente partie de la CEI 60617. Au moment de la publication, les éditions indiquées étaient en vigueur. Tout document normatif est sujet à révision et les parties prenantes aux accords fondés sur la présente partie de la CEI 60617 sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 60617-2 : 1996, *Symboles graphiques pour schémas – Partie 2 : Eléments de symboles, symboles distinctifs et autre symboles d'application générale*

CEI 60617-3 : 1996, *Symboles graphiques pour schémas – Partie 3 : Conducteurs et dispositifs de liaison*

CEI 60617-10 : 1996, *Symboles graphiques pour schémas – Partie 10 : Télécommunications : Transmission*

CEI 60617-13 : 1993, *Symboles graphiques pour schémas – Partie 13 : Opérateurs analogiques*

CEI 61082-1 : 1991, *Etablissement des documents utilisés en électrotechnique – Partie 1 : Prescriptions générales*

CEI 61082-2 : 1993, *Etablissement des documents utilisés en électrotechnique – Partie 2 : Schémas adaptés à la fonction*

ISO 31–11 : 1992, *Grandeurs et unités – Partie 11 : Signes et symboles mathématiques à employer dans les sciences physiques et dans la technique*

2 Notes générales

2.1 Les symboles conformes à la CEI 60117-15 : Symboles graphiques recommandés : Quinzième partie: Opérateurs logiques binaires, seront encore nécessaires pour une période transitoire prolongée mais devraient être progressivement remplacés par les symboles représentés dans la présente norme. Bien que déconseillé, l'emploi d'autres symboles définis par des normes nationales, notamment les symboles se distinguant par la forme des cadres à la place des symboles 12-27-01, 12-27-02, 12-27-09, 12-27-10, 12-27-11, 12-27-12, 12-28-01, 12-28-02 et 12-28-04, n'est

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

GRAPHICAL SYMBOLS FOR DIAGRAMS –
Part 12: Binary logic elements

Chapter I: General

1 Scope

This part of IEC 60617 contains graphical symbols that have been developed to represent logic functions. They are intended also to represent physical devices or combinations of physical devices capable of carrying out these functions. The symbols have been prepared with a view to electrical applications, but many can also be applied to non-electrical devices, for example pneumatic, hydraulic or mechanical.

1A Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this part of IEC 60617. At the time of publication, the editions indicated were valid. All normative documents are subject to revision, and parties to agreements based on this part of IEC 60617 are encouraged to investigate the possibility of applying the most recent editions of the normative documents listed below. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 60617-2: 1996, *Graphical symbols for diagrams – Part 2: Symbol elements, qualifying symbols and other symbols having general application*

IEC 60617-3: 1996, *Graphical symbols for diagrams – Part 3: Conductors and connecting devices*

IEC 60617-10: 1996, *Graphical symbols for diagrams – Part 10: Telecommunication: Transmission*

IEC 60617-13: 1993, *Graphical symbols for diagrams – Part 13: Analogue elements*

IEC 61082-1: 1991, *Preparation of documents used in electrotechnology – Part 1: General requirements*

IEC 61082-2: 1993, *Preparation of documents used in electrotechnology – Part 2: Function-oriented diagrams*

ISO 31-11: 1992, *Quantities and units – Part 11: Mathematical signs and symbols for use in the physical sciences and technology*

2 General notes

2.1 Symbols in accordance with the superseded IEC 60117-15: Recommended Graphical Symbols, Part 15: Binary Logic Elements, will be required for a prolonged changeover period but should be progressively superseded by the symbols given in this standard. Although non-preferred, the use of other symbols recognized by official national standards, that is distinctive shapes in place of symbols 12-27-01, 12-27-02, 12-27-09, 12-27-10, 12-27-11, 12-27-12, 12-28-01, 12-28-02 and 12-28-04, shall not be considered to be in contradiction with this standard. Usage of these other

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

pas considéré comme contradictoire à la présente norme. Toutefois, l'emploi de tels symboles dans les symboles combinés d'opérateurs complexes (par exemple en figuration imbriquée) est vivement déconseillé.

2.2 Les définitions et correspondances entre états logiques et niveaux logiques sont données dans la CEI 61082-2.

2.3 La présente norme utilise les symboles 0 et 1 pour identifier les deux états logiques d'une variable binaire qui sont désignés par «état 0» et «état 1».

2.4 Une variable binaire peut s'identifier à une certaine grandeur physique pour laquelle deux domaines distincts peuvent être définis. Dans la présente norme, ces domaines sont identifiés à deux niveaux logiques H et L. H désigne le niveau le plus positif, L désigne le niveau le moins positif.

2.5 Dans le cas de système dans lequel les états logiques sont identifiés par d'autres caractéristiques (impulsions positives et négatives, présence ou absence d'une impulsion), H et L peuvent encore être utilisés ou être remplacés par une désignation mieux appropriée.

3 Explication de termes

Pour la compréhension de la suite de la présente norme, les trois notions suivantes sont nécessaires.

3.1 État logique interne : état logique réputé exister à l'intérieur du symbole à un accès (entrée ou sortie).

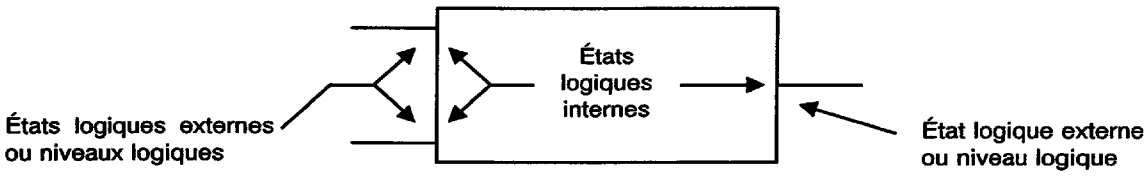
3.2 État logique externe : état logique réputé exister à l'extérieur du symbole:

— sur tout tracé d'entrée, avant tout symbole distinctif attaché à cette entrée, ou

— sur tout tracé de sortie, après tout symbole distinctif attaché à cette sortie.

3.3 Niveau logique : propriété physique réputée représenter un état logique d'une variable binaire (voir articles 2.3 et 2.4).

Illustration



COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

symbols in combination to form complex symbols (for example, use as embedded symbols) is discouraged.

2.2 For explanation of "logic states", "logic levels", etc., see IEC 61082-2.

2.3 This standard uses the symbols 0 and 1 to identify the two logic states of a binary variable. These states are referred to as 0-state and 1-state.

2.4 A binary variable may be equated to any physical quantity for which two distinct ranges can be defined. In this standard these distinct ranges are referred to as logic levels and are denoted H and L. H is used to denote the logic level with the more positive algebraic value, and L is used to denote the logic level with the less positive algebraic value.

2.5 In the case of a system in which logic states are equated with other qualities of a physical quantity (for example positive or negative pulses, presence or absence of a pulse), H and L may be used to represent these qualities or may be replaced by more suitable designations.

3 Explanation of terms

To facilitate understanding of the descriptions in the rest of this standard, it is useful to define three terms.

3.1 "Internal logic state" describes a logic state assumed to exist inside a symbol outline at an input or an output.

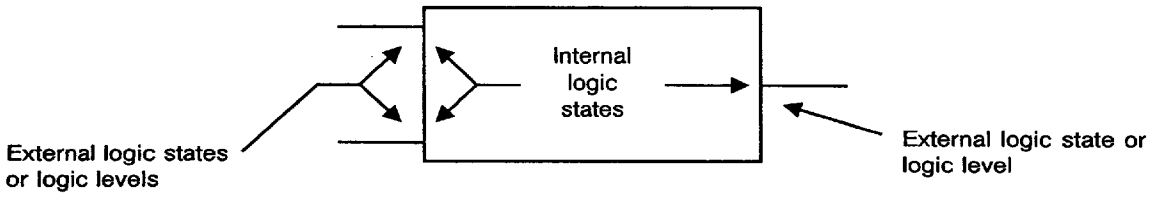
3.2 "External logic state" describes a logic state assumed to exist outside a symbol outline:

— on an input line prior to any external qualifying symbol at that input, or

— on an output line beyond any external qualifying symbol at that output.

3.3 "Logic level" describes the physical quality assumed to represent a logic state of a binary variable (see clauses 2.3 and 2.4).

Illustration



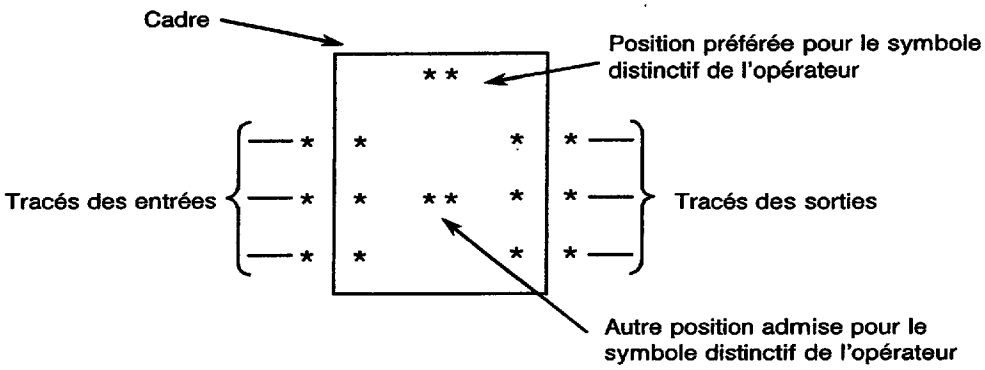
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Chapitre II : Formation des symboles

4 Composition d'un symbole

4.1 Un symbole comprend un cadre, ou un groupement de cadres, complété de symboles distinctifs.

L'utilisation de ces symboles nécessite en outre le tracé des accès (entrées ou sorties).



Les astérisques simples (*) indiquent les positions possibles pour les symboles distinctifs intéressant les accès.

Un symbole distinctif de l'opérateur n'est pas nécessaire si et seulement si les symboles distinctifs associés aux accès définissent complètement la fonction de cet opérateur.

4.2 Des informations complémentaires peuvent être insérées dans le cadre comme précisé par la CEI 61082-1.

4.3 Une information non couverte par la présente norme concernant un accès donné peut être portée entre crochets à l'intérieur du cadre au droit de cet accès, à la suite de tout symbole distinctif s'appliquant à cet accès, s'il s'agit d'une entrée, et avant tout symbole distinctif s'il s'agit d'une sortie, comme figuré au symbole 12-28-14.

Une information complémentaire intéressant la fonction de l'opérateur peut être inscrite entre crochets à l'intérieur du cadre.

4.4 Toutes les sorties d'un opérateur unitaire ont le même état logique interne, déterminé par la fonction de l'opérateur, à moins d'une indication contraire, fournie par un symbole distinctif associé à une sortie et placée à l'intérieur du cadre. Dans un groupement d'opérateurs, les symboles distinctifs, qu'ils figurent explicitement ou soient seulement impliqués du fait des simplifications prévues à l'article 6.3, sont également à considérer.

4.5 Dans de nombreuses figures, des lettres minuscules qui ne font pas partie du symbole apparaissent à l'extérieur du cadre; elles sont ajoutées dans le seul but d'identifier les accès référencés dans les légendes.

4.6 Dans la présente norme, les symboles et légendes sont destinés à une direction de propagation de l'information de la gauche vers la droite. Si, au contraire, un symbole est destiné à une direction de propagation de l'information de la droite vers la gauche, ce fait est indiqué explicitement dans la légende du symbole ou par le symbole lui-même.

En interprétant un symbole, on doit supposer, sauf indication contraire, qu'un accès figuré à gauche par rapport au sens normal de lecture des notations à l'intérieur d'un symbole est une entrée, et

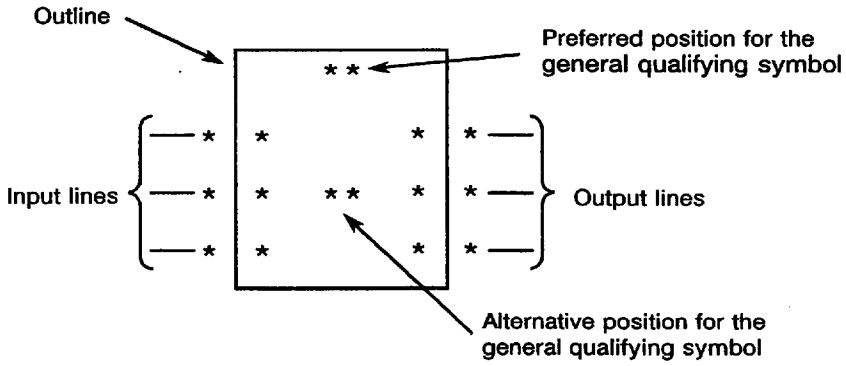
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Chapter II: Symbol construction

4 Composition of the symbol

4.1 A symbol comprises an outline or combination of outlines together with one or more qualifying symbols.

Application of the symbols requires in addition the representation of input and output lines.



The single asterisks (*) denote possible positions for qualifying symbols relating to inputs and outputs.

If and only if the function of an element is completely determined by the qualifying symbols associated with its inputs and/ or outputs, no general qualifying symbol is needed.

4.2 General additional information may be included in a symbol outline as described in IEC 61082-1.

4.3 Information not standardized in this standard relating to a specific input [output] may be shown in square brackets inside the outline adjacent to the relevant input [output] and should follow [precede] any qualifying symbols applying to the input [output] as shown in symbol 12-28-14.

Additional information relating to the general logic function of the element may be shown in square brackets inside the outline.

4.4 All outputs of an element represented by a single unsubdivided symbol always have identical internal logic states determined by the function of the element except when indicated otherwise by an associated qualifying symbol or label inside the symbol outline. The subdivision of a symbol and the qualifying symbols referred to here include those explicitly shown and those only implied according to the simplification rules of clause 6.3.

4.5 In some figures, lowercase letters which are not part of the symbols have been shown outside the outline just to identify the inputs [outputs] as referred to in the description.

4.6 The symbols and descriptions in this standard are intended for signal flow from left to right. If a symbol is instead intended for right-to-left flow, this is explicitly stated in the description of the symbol or indicated in the symbol itself.

When interpreting a symbol, one should assume, unless otherwise indicated, that a terminal shown on the left with respect to the normal reading orientation of the labels inside the symbol is an input,

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

qu'un accès figuré à droite est une sortie. Il est permis de figurer des entrées à droite et des sorties à gauche si cette représentation sert la mise en pages du schéma ou est une meilleure expression de la structure de l'opérateur.

La direction de propagation de l'information doit être impliquée ou représentée clairement. L'indication explicite peut être donnée par l'utilisation de symboles distinctifs qui sont propres à l'indication de la direction de propagation de l'information (tels que les symboles définis uniquement pour des entrées ou pour des sorties, ou des symboles distinctifs de l'opérateur qui indiquent la direction de propagation de l'information) ou par d'autres symboles connectés à l'accès sur le schéma.

Si la direction de propagation de l'information sur une ligne terminale n'est pas claire, cette ligne doit être marquée par une flèche (symbole 02-05-01 de la CEI 60617-2) indiquant la direction de propagation de l'information ou par le symbole pour la propagation bilatérale de l'information (symbole 12-10-02), selon l'application. Aucune flèche ne doit toucher le cadre ni aucun autre symbole distinctif. Voir, par exemple, le symbole 12-29-06.

4.7 Les symboles suivants doivent être orientés comme il est décrit ou indiqué dans la présente norme en ce qui concerne les entrées, sorties et cadres des éléments représentés, c'est-à-dire que ces symboles, conjointement avec leurs lignes terminales associées, doivent être renversés quand la direction de propagation de l'information est renversée :

10-15-01	Amplificateur, symbole général (voir la CEI 60617-10)
12-07-01 à 12-07-09 inclus	Négation logique, figurée sur une entrée Entrée dynamique avec indicateur de polarité
12-08-01 à 12-08-06 inclus	Connexion interne Sortie interne (sortie virtuelle)
12-09-08A	Sortie avec amplification particulière
12-09-08B	Entrée avec amplification particulière
12-09-24	Groupement numérique d'entrée à plusieurs bits
12-09-25	Groupement numérique de sorties à plusieurs bits
12-09-47	Groupement de liaison d'entrée
12-09-48	Groupement de liaison de sortie
12-55-01	Indicateur de bus, unilatéral

Voir, par exemple, le symbole 12-07-03 et sa version renversée 12-07-05.

Tout autre symbole distinctif doit être orienté comme représenté dans la présente norme en ce qui concerne le texte à l'intérieur de l'élément.

Pour des informations supplémentaires concernant l'orientation des symboles, voir 4.3.4 de la CEI 1082-1.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

and that one shown on the right is an output. Inputs may also be shown on the right and outputs on the left if it aids the layout of the diagram or better conveys the structure of the device.

The direction of signal flow shall be clearly implied or indicated. Explicit indication may be done by using qualifying symbols that inherently indicate the direction of signal flow (such as qualifying symbols defined only for inputs or only for outputs, or general qualifying symbols that indicate flow direction) or by other symbols on the diagram that are connected to the terminal.

If the direction of signal flow on a terminal line is not otherwise obvious, that line shall be marked with an arrowhead (symbol 02-05-01 of IEC 60617-2) pointing in the direction of signal flow or with the symbol for bidirectional signal flow (symbol 12-10-02), whichever applies. No arrowhead shall touch the outline or any other qualifying symbol. See, for example, symbol 12-29-06.

4.7 The following symbols shall be oriented as described or shown within this standard with respect to the inputs, outputs and outlines of the elements in which they appear. That is, these symbols, together with any associated terminal lines, shall be mirrored when the direction of signal flow is reversed:

10-15-01	Amplifier, general symbol (see IEC 60617-10)
12-07-01 up to and including 12-07-09	Logic negation, shown at an input Dynamic input with polarity indicator
12-08-01 up to and including 12-08-06	Internal connection Internal output (virtual output)
12-09-08A	Output with special amplification
12-09-08B	Input with special amplification
12-09-24	Bit grouping for multibit input
12-09-25	Bit grouping for multibit output
12-09-47	Line grouping at the input side
12-09-48	Line grouping at the output side
12-55-01	Bus indicator, unidirectional

See, for example, symbol 12-07-03 and its mirrored version 12-07-05.

All other qualifying symbols shall be oriented as shown with respect to the text inside the element.

For more information about the orientation of symbols, see 4.3.4 of IEC 61082-1.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

5 Cadres

5.1 Aucun rapport longueur-largeur n'est imposé.

5.2 Pour les combinaisons de cadres, voir la section 6.

5 Outlines

5.1 The length-width ratio of outlines is arbitrary.

5.2 For combination of outlines, see section 6.

No.	Symbole Symbol	Légende	Description
12-05-01		Cadre d'un opérateur (représenté carré)	Element outline (square shown)
12-05-02		Cadre du symbole des communs	Common control block outline
12-05-03		Cadre d'opérateur commun de sortie	Common output element outline

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

6 Emploi et associations de cadres

6.1 Pour réduire la place nécessaire à la représentation d'un groupement d'opérateurs associés, les cadres de ces opérateurs peuvent être accolés ou imbriqués entre eux en respectant les prescriptions ci-après.

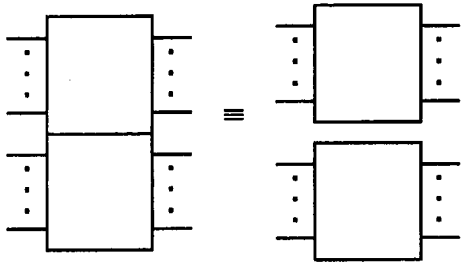
6.1.1 Il n'y a aucune connexion logique entre éléments lorsque le côté commun à leur cadre est parallèle à la direction de propagation des informations.

6 Use and combination of outlines

6.1 To reduce the space required for the representation of a group of associated elements, the outlines of the elements may be joined or embedded provided the following rules are observed.

6.1.1 There is no logic connection between elements when the line common to their outlines is in the direction of signal flow.

Illustration



NOTE — Cette règle se trouve sans objet pour les groupements d'opérateurs dans lesquels existent deux ou plusieurs directions de propagation, par exemple dans le cas de symbole des communs, d'opérateur commun de sortie, ou de notation de dépendance.

NOTE — This rule does not necessarily apply in those arrays in which there exist two or more directions of signal flow, for example indicated by a common control block, a common output element, or by dependency notation.

6.1.2 Il y a au moins une connexion logique entre des opérateurs si le trait commun aux deux cadres est perpendiculaire à la direction de propagation des informations.

Puisque les symboles des communs ne sont pas des opérateurs, il n'existe pas de connexion logique en direction ou provenant d'un symbole des communs, à l'exception de celles allant vers le groupement attaché et les connexions qui sont figurées explicitement.

6.1.2 There is at least one logic connection between elements if the line common to the two outlines is perpendicular to the direction of signal flow.

Because common control blocks are not elements, no logic connections to or from a common control block exist except those to the attached array and connections that are explicitly shown.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

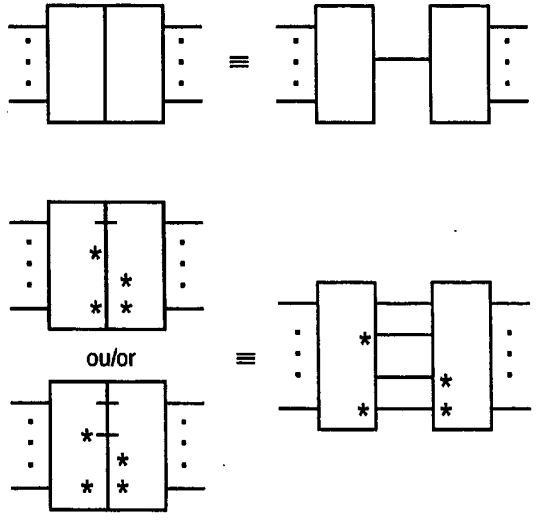
Chaque connexion peut être indiquée par des symboles distinctifs placés sur un côté ou de chaque côté du trait commun. S'il peut y avoir doute sur le nombre de connexions logiques, le symbole de connexion interne (symbole 12-08-01) doit être utilisé.

Si aucune indication n'est portée de l'un ou de l'autre côté du trait commun, il n'y a qu'une seule connexion logique.

Each connection can be shown by the presence of qualifying symbols at one or both sides of the common line. If confusion is likely about the number of logic connections, use should be made of the internal connection symbol (symbol 12-08-01).

If no indications are shown on either side of the common line, it is assumed that there exists only one logic connection.

Illustrations



Chaque astérisque indique une position d'un symbole distinctif

Each asterisk denotes a position for a qualifying symbol

6.2 Le symbole des communs peut être utilisé dans un groupement d'opérateurs associés pour y placer les accès intéressant plus d'un d'entre eux ou ayant un rôle indépendant. De tels accès doivent être marqués si nécessaire.

6.2 The common control block may be used in conjunction with an array of related elements as a point of placement for inputs or outputs associated with more than one element of the array, or with no element of the array. Such inputs and outputs shall be labelled if appropriate.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

6.2.1 Quand une entrée aboutissant au symbole des communs est influançante au sens de la notation de dépendance (voir sections 11 et 12), elle concerne les seuls opérateurs du groupement dans lesquels se trouve son numéro d'identification. Quand une telle entrée n'est pas influançante, elle concerne tous les opérateurs du groupement.

Le symbole des communs est placé à une extrémité du groupement.

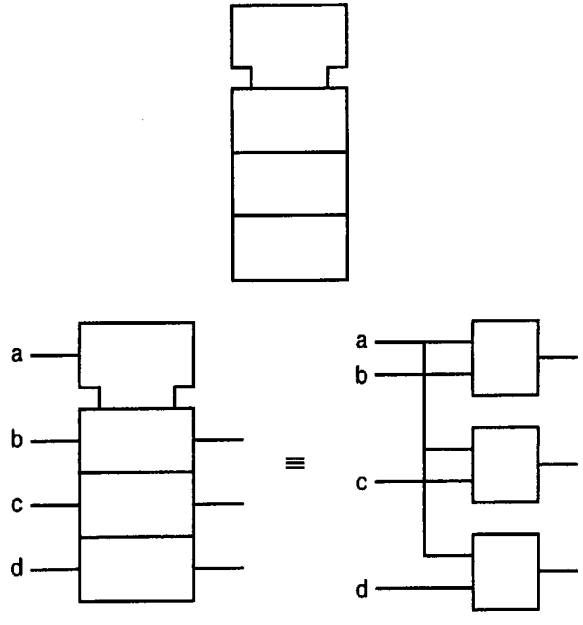
Sauf indication contraire, l'opérateur jouxtant le symbole des communs est réputé être celui de rang le plus bas.

6.2.1 If an input shown at a common control block is an affecting input in the sense of dependency notation (see sections 11 and 12), it is connected as an input only to those elements of the array in which its identifying number appears. If an input shown at a common control block is not an affecting input in the sense of dependency notation, it is an input common to, or affecting, all elements of the array.

The common control block is placed on one end of an array of related elements.

Unless indicated otherwise, the element next to the common control block is assumed to be the lowest order element.

Illustrations



COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

6.2.2 Une sortie commune, résultant de tous les éléments d'un groupement, peut être représentée comme sortie d'un opérateur commun de sortie. Dans le cas où un quelconque élément du groupement a plus d'une sortie, l'opérateur commun de sortie ne peut être utilisé *que* si ces sorties ont toujours un même état logique interne. Il y a une connexion interne de chaque opérateur à l'opérateur commun de sortie, et ces connexions internes ne doivent pas être représentées. En outre, l'opérateur commun de sortie peut avoir d'autres entrées qui doivent être explicitement représentées. La fonction de l'opérateur commun de sortie doit être indiquée.

L'état logique interne d'une entrée d'un opérateur commun de sortie correspondant à une sortie du groupement est le même que celui de cette sortie.

L'opérateur commun de sortie est représenté

— soit à l'intérieur du symbole des communs,

— soit à l'extrémité du groupement, à l'opposé du symbole des communs.

Lorsqu'il convient de représenter un groupement d'opérateurs communs de sortie, il suffit de faire figurer le double trait supérieur une seule fois.

6.2.2 A common output, depending on all elements of the array, can be shown as the output of a common output element. In the case where any array element has more than one output, the common output element may be used *only* if those outputs always have identical internal logic states. There is one internal connection from each of the elements to the common output element and these shall not be shown. In addition, the common output element may have other inputs and they must be explicitly shown. The function of the common output element shall be indicated.

Each input of a common output element corresponding with an output of the array has the same internal logic state as that output.

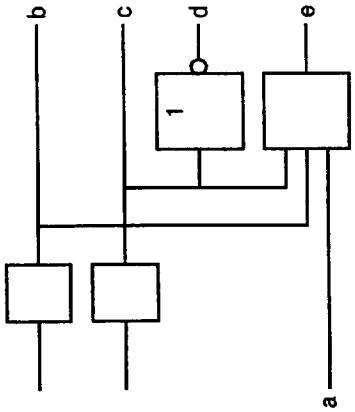
A common output element is shown

— inside the common control block, or

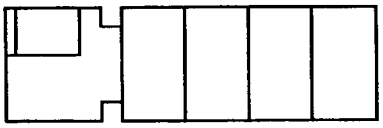
— at the end of the array, opposite the common control block if there is one.

Where it is appropriate to show an array of common output elements, the double line needs to be shown only once.

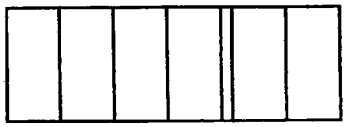
Illustrations



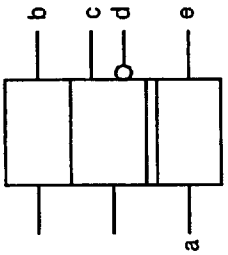
Array with common output element inside the common control block



Array with two common output elements



≡



Groupement avec opérateur commun de sortie à l'intérieur du symbole des communs

Groupement avec deux opérateurs communs de sortie

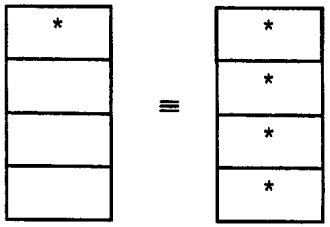
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

6.3 Pour un groupement d'opérateurs ayant les mêmes symboles distinctifs, il suffit d'inscrire ces symboles une seule fois dans le premier cadre, s'il n'en résulte aucune confusion. De même, dans le cas d'un groupement d'opérateurs comprenant plusieurs sous-ensembles identiques, le premier est représenté en détail et les suivants par un cadre vide. Il est entendu que les numéros d'identification des accès influençants au sens de la notation de dépendance et des accès influencés correspondants diffèrent dans chacun des opérateurs du groupement (pour illustration du concept, voir section 14). Voir aussi les simplifications procurées par l'emploi de la notation de dépendance.

6.3 To represent an array of elements having the same qualifying symbols, it may be sufficient to show the symbols that are inside the outline in only the first of the outlines, provided no confusion is likely. Similarly, in the case of an array of elements each consisting of several identical subarrays, it is sufficient to show the first one in full and to represent each of the others by a simple outline. It is assumed that the identifying numbers of affecting inputs [outputs] in the sense of dependency notation and of inputs [outputs] affected thereby differ in each element of the array (for illustration of the concept see section 14). See also the simplifications resulting from the use of dependency notation.

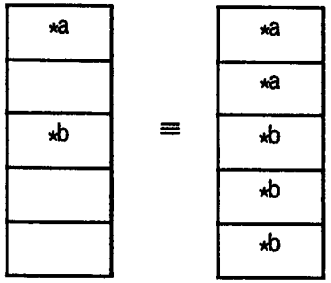
Illustrations

Groupement d'opérateurs ayant le même symbole distinctif d'opérateur



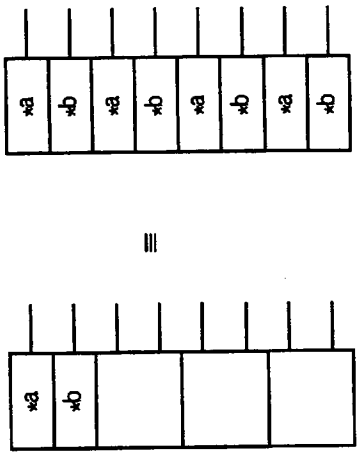
Array of elements with identical general qualifying symbols

Deux groupes successifs d'opérateurs



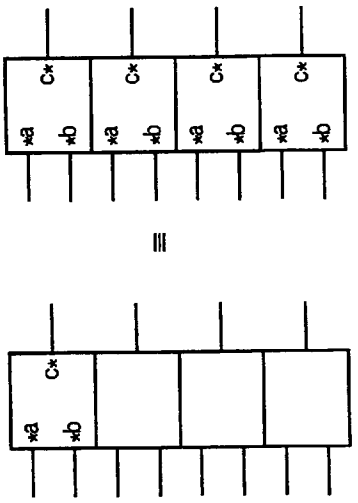
Two successive arrays of elements

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000



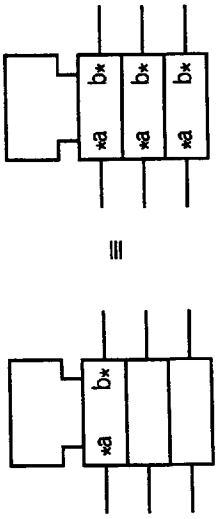
Two interlaced arrays of elements

Groupement de quatre paires d'opérateurs



Array of elements with identical qualifying symbols associated with inputs and outputs, shown without common control block

Groupement d'opérateurs avec symboles distinctifs associés aux accès identiques et figuré sans symbole des communs



Array of elements with identical qualifying symbols associated with inputs and outputs, shown with common control block

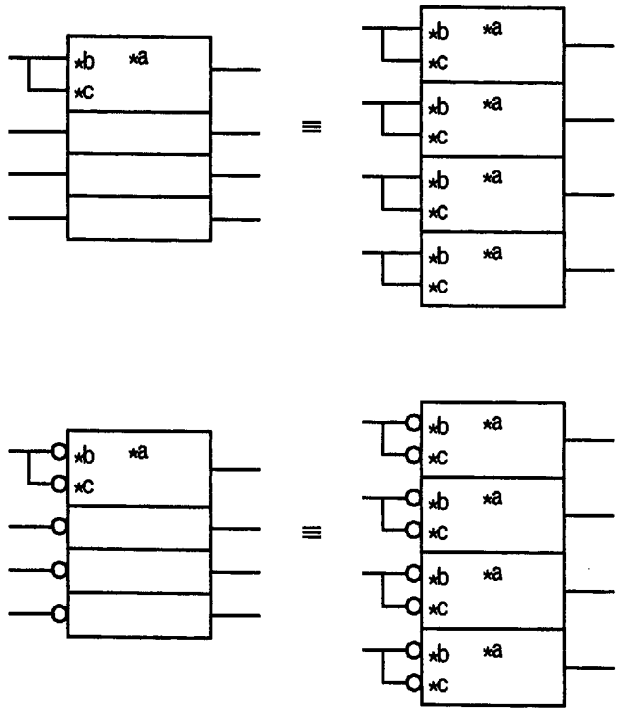
Groupement d'opérateurs avec symboles distinctifs associés aux accès identiques et figuré avec symbole des communs

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

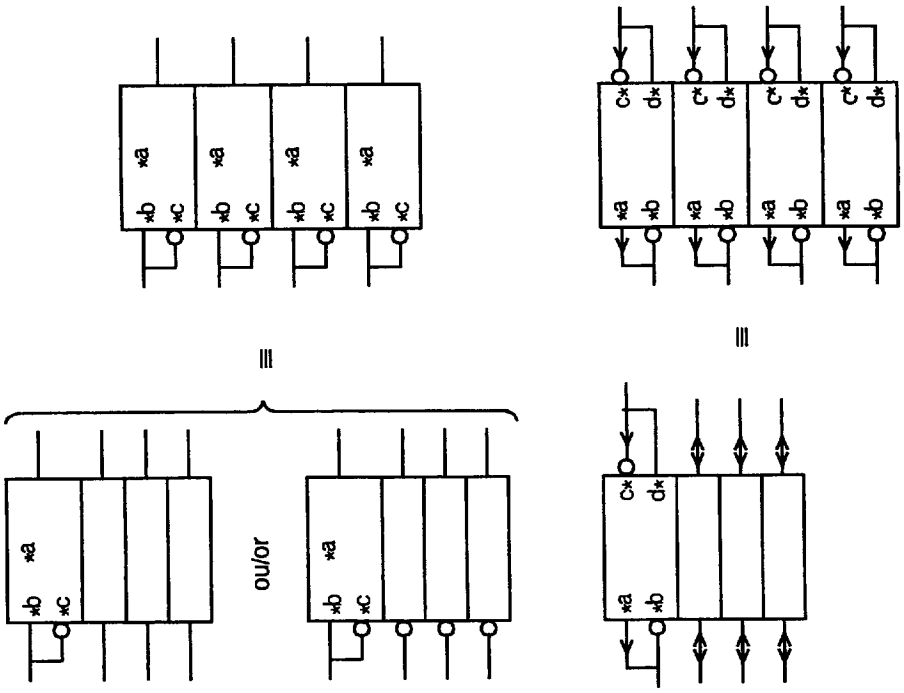
6.4 Si, dans un groupement simplifié d'opérateurs identiques, la représentation des fonctions d'un accès nécessite deux ou plusieurs traits connectés en dehors du cadre, il suffit de figurer ces traits seulement avec le premier opérateur et de les représenter avec chaque opérateur simplifié par un trait unique. Des symboles extérieurs au cadres communs à tous les traits connectés doivent figurer avec ce trait unique. Des symboles extérieurs qui ne sont pas communs à tous les traits connectés peuvent être omis, ou l'ensemble le plus convenable peut figurer.

6.4 If in a simplified array of identical elements the representation of the functions of a terminal requires two or more lines connected together outside the outline, it is sufficient to show these lines only with the first element and represent them with each simplified element by a single line. Symbols outside the outline common to all lines connected together shall be shown with this single line. Symbols outside the outline not common to all lines connected together may be omitted, or the most suitable set may be shown.

Illustrations



COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000



COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Chapitre III : Symboles distinctifs associés aux accès et connexions internes

7 Négation, polarité logique et entrée dynamique

Chacun des symboles de la présente section fixe une relation entre état logique interne et état logique externe ou niveau logique.

En l'absence de l'un de ces symboles figurant à une entrée ou une sortie, son état interne 1 est réputé correspondre

— dans un schéma utilisant le symbole de négation logique, à son état logique externe 1, ou

— dans un schéma utilisant le symbole de polarité logique, à son niveau logique H le plus positif.

Dans ce dernier cas de schéma, les états logiques externes n'existent pas.

Les symboles de négation logique et de polarité logique ne doivent pas être utilisés sur le même schéma, sauf dans le cas de connexions internes avec négation logique admises dans un schéma utilisant le symbole de polarité logique. Voir les symboles 12-08-02 et 12-08-04.

Voir aussi la CEI 61082-2.

Chapter III: Qualifying symbols associated with inputs, outputs and other connections

7 Negation, logic polarity and dynamic input

Each of the symbols in this section defines the relationship between an internal logic state and an external logic state or level.

If none of the symbols of this section is shown at an input or output, it is assumed that the internal logic 1-state corresponds to

— the external logic 1-state in a diagram using the symbol for logic negation, or

— the logic H-level in a diagram using the symbol for logic polarity.

In the latter diagram, external logic states do not exist.

The symbols for logic negation and logic polarity shall not be used together on the same diagram, except when internal connections with logic negation are to be shown on diagrams using the symbol for logic polarity. See symbols 12-08-02 and 12-08-04.

See also IEC 61082-2.

No.	Symbole Symbol	Légende	Description
12-07-01		Négation logique, figurée sur une entrée	Logic negation, shown at an input
12-07-02		Négation logique, figurée sur une sortie L'état interne 1 correspond à l'état externe 0. NOTE — La ligne de connexion peut traverser le cercle.	Logic negation, shown at an output The internal 1-state corresponds to the external 0-state. NOTE — The connecting line may extend through the circle.
12-07-03		Polarité logique, figurée sur une entrée Indicateur de polarité, figuré sur une entrée	Logic polarity, shown at an input Polarity indicator, shown at an input
12-07-04		Polarité logique, figurée sur une sortie Indicateur de polarité, figuré sur une sortie	Logic polarity, shown at an output Polarity indicator, shown at an output
12-07-05		Polarité logique Indicateur de polarité } figurée sur une entrée dans le cas de propagation des informations de droite à gauche	Logic polarity Polarity indicator } shown at an input in the case of signal flow from right to left
12-07-06		Polarité logique Indicateur de polarité } figurée sur une sortie dans le cas de propagation des informations de droite à gauche L'état interne 1 correspond au niveau L sur la ligne de connexion.	Logic polarity Polarity indicator } shown at an output in the case of signal flow from right to left The internal 1-state corresponds to the L-level on the connecting line.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-07-07		Entrée dynamique L'état interne 1 (fugitif) apparaît seulement pendant la transition de l'état externe 0 à l'état externe 1. Dans tous les autres cas, l'état interne est 0. Dans le cas de schéma utilisant le symbole de polarité logique, l'état (fugitif) interne 1 apparaît seulement pendant la transition du niveau L au niveau H sur la ligne de connexion. Dans tous les autres cas, l'état interne est 0.	Dynamic input The (transitory) internal 1-state corresponds to the transition from the external 0-state to the external 1-state. At all other times, the internal logic state is 0. On diagrams using the symbol for logic polarity the (transitory) internal 1-state corresponds to the transition from the L-level to the H-level on the connecting line. At all other times, the internal logic state is 0.
12-07-08		Entrée dynamique avec négation logique L'état (fugitif) interne 1 apparaît seulement pendant la transition de l'état externe 1 à l'état externe 0. Dans tous les autres cas, l'état interne est 0.	Dynamic input with logic negation The (transitory) internal 1-state corresponds to the transition from the external 1-state to the external 0-state. At all other times the internal logic state is 0.
12-07-09		Entrée dynamique avec indicateur de polarité L'état (fugitif) interne 1 apparaît seulement pendant la transition du niveau H au niveau L sur la ligne de connexion. Dans tous les autres cas, l'état interne est 0.	Dynamic input with polarity indicator The (transitory) internal 1-state corresponds to the transition from the H-level to the L-level on the connecting line. At all other times, the internal logic state is 0.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

8 Connexions internes

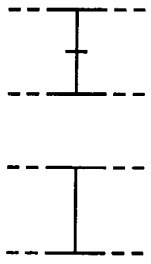
Les symboles de la présente section indiquent les relations entre états logiques internes des connexions internes.

Une connexion interne est une connexion à l'intérieur d'un opérateur. Il est utile de pouvoir symboliser une telle connexion pour figurer les relations entre opérateurs regroupés. Dans beaucoup d'applications, il est bon d'utiliser les symboles de la présente section pour mettre en lumière les fonctions d'éléments complexes. Dans de tels cas, il convient d'utiliser la notation de dépendance est pour définir les effets des entrées internes ou des sorties internes.

8 Internal connections

The symbols in this section define the relationships between internal logic states at internal connections.

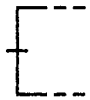
An internal connection is a connection within a logic element. It is useful to be able to symbolize such a connection in order to show the logic relationships between elements whose outlines are combined. In many applications, it is also convenient to use the symbols in this section to show the functions of complex elements. In such cases, dependency notation should be used to define the effects of any internal inputs or outputs.

No.	Symbole Symbol	Légende	Description
12-08-01 12-08-01A		Connexion interne Le symbole 12-08-01A peut être utilisé s'il n'en résulte pas de confusion au sujet du nombre de connexions logiques. Voir également 6.1.2. L'état interne 1 [0] de l'entrée de l'opérateur de droite correspond à l'état interne 1 [0] de la sortie de l'opérateur de gauche. Ces symboles ne peuvent être utilisés pour une direction de propagation de l'information de la droite vers la gauche que si la direction est évidente. En cas contraire, le symbole 12-08-08 doit être utilisé.	Internal connection Symbol 12-08-01A may be used if no confusion is likely about the number of logic connections. See also 6.1.2. The internal 1-state [0-state] of the input of the element on the right corresponds to the internal 1-state [0-state] of the output of the element on the left. These symbols may be used for a signal flow from right to left only if the direction of signal flow is obvious. Otherwise, symbol 12-08-08 shall be used.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-08-02		Connexion interne avec négation L'état interne 1[0] de l'entrée de l'opérateur de droite correspond à l'état interne 0 [1] de la sortie de l'opérateur de gauche. Ce symbole ne peut être utilisé pour une direction de propagation de l'information de la droite vers la gauche que si la direction est évidente. Dans le cas contraire, le symbole 12-08-09 doit être utilisé. NOTE — Le trait vertical peut traverser le cercle.	Internal connection with negation The internal 1-state [0-state] of the input of the element on the right corresponds to the internal 0-state [1-state] of the output of the element on the left. This symbol may be used for a signal flow from right to left only if the direction of the signal flow is obvious. Otherwise, symbol 12-08-09 shall be used. NOTE — The vertical line may extend through the circle.
12-08-03		Connexion interne à caractéristique dynamique L'état (fugitif) interne 1 de l'entrée de l'opérateur de droite apparaît seulement pendant la transition de l'état interne 0 à l'état interne 1 de la sortie de l'opérateur de gauche. Dans tous les autres cas, l'état logique interne de l'entrée de l'opérateur de droite est 0.	Internal connection with dynamic character The (transitory) internal 1-state of the input of the element on the right corresponds to the transition from the internal 0-state to the internal 1-state of the output of the element on the left. At all other times, the internal logic state of the input of the element on the right is 0.
12-08-04		Connexion interne avec négation, à caractéristique dynamique L'état (fugitif) interne 1 de l'entrée de l'opérateur de droite apparaît seulement pendant la transition de l'état interne 1 à l'état interne 0 de la sortie de l'opérateur de gauche. Dans tous les autres cas, l'état logique interne de l'entrée de l'opérateur de droite est 0.	Internal connection with negation and dynamic character The (transitory) internal 1-state of the input of the element on the right corresponds to the transition from the internal 1-state to the internal 0-state of the output of the element on the left. At all other times, the internal logic state of the input of the element on the right is 0.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-08-05		Entrée interne, figurée côté gauche Entrée virtuelle, figurée côté gauche	Internal input, shown on the left-hand side Virtual input, shown on the left-hand side
12-08-05A		Entrée interne, figurée côté droit Entrée virtuelle, figurée côté droit Cette entrée est toujours à l'état interne 1, à moins qu'elle ne soit modifiée par une dépendance prépondérante ou modifiante (voir symboles 12-42-12 et 12-49-02). Ces symboles peuvent être présentés aux limites externes d'un élément pour accentuer le fait qu'aucune ligne externe d'entrée n'a été oubliée. Il convient qu'une entrée virtuelle sur la ligne commune de séparation de deux éléments juxtaposés soit indiquée avec la notation de dépendance, sans ces symboles. Sauf comme représenté par le symbole 12-08-07, les symboles de la section 7 ne doivent pas être appliqués aux entrées et sorties internes. NOTES 1 Les entrées ou sorties internes ont seulement un état logique interne. 2 Il convient de ne pas confondre le symbole 12-08-05 avec le symbole 12-08-01, qui est utilisé pour une connexion entre des éléments aboutés.	Internal input, shown on the right-hand side Virtual input, shown on the right-hand side This input always stands at its internal 1-state unless it is affected by a dependency relationship that has an overriding or modifying effect (see symbols 12-42-12 and 12-49-02). These symbols may be shown at the external boundary of an element to emphasize the fact that there is no external input line that has been forgotten. A virtual input at the common boundary of two abutted elements should be indicated by dependency notation without these symbols. The symbols of section 7 shall not be applied to internal inputs and outputs, except as shown in symbol 12-08-07. NOTES 1 Internal inputs and outputs have internal logic states only. 2 Symbol 12-08-05 should not be confused with symbol 12-08-01, which is used for a connection between abutted elements.

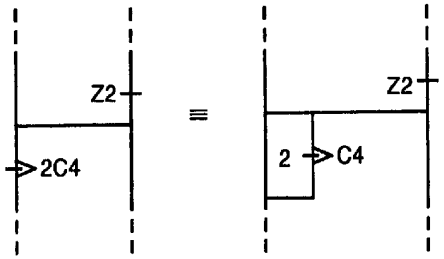
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

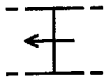
No.	Symbole Symbol	Légende	Description
12-08-06		Sortie interne, figurée côté droit Sortie virtuelle, figurée côté droit	Internal output, shown on the right-hand side Virtual output, shown on the right-hand side
12-08-06A		Sortie interne, figurée côté gauche Sortie virtuelle, figurée côté gauche L'action de cette sortie sur une entrée ou une sortie à laquelle elle est connectée doit être indiquée par la notation de dépendance. Sauf comme représenté par le symbole 12-08-07, les symboles de la section 7 ne doivent pas être appliqués aux entrées et sorties internes. NOTE — Les notes du symbole 12-08-05/12-08-05A sont applicables.	Internal output, shown on the left-hand side Virtual output, shown on the left-hand side The effect of this output on an input or output to which it is connected shall be indicated by dependency notation. The symbols of section 7 shall not be applied to internal inputs and outputs, except as shown in symbol 12-08-07. NOTE — The notes with symbol 12-08-05/12-08-05A apply.
12-08-07		Entrée interne à caractère dynamique, figurée côté gauche Entrée virtuelle à caractère dynamique, figurée côté gauche	Internal input with dynamic character, shown on the left-hand side Virtual input with dynamic character, shown on the left-hand side
12-08-07A		Entrée interne à caractère dynamique, figurée côté droit Entrée virtuelle à caractère dynamique, figurée côté droit L'état 1 interne (transitoire) correspond à la transition de l'état 0 interne à l'état 1 interne qui se produirait si l'entrée n'était pas dynamique.	Internal input with dynamic character, shown on the right-hand side Virtual input with dynamic character, shown on the right-hand side The (transitory) internal 1-state corresponds to the transition from the internal 0-state to the internal 1-state that would occur if this input were not dynamic.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

		La source du signal de transition doit être représentée par une notation de dépendance. Le numéro d'identification de cette notation de dépendance doit être le caractère le plus à gauche dans la chaîne de la désignation de l'entrée, que cette entrée soit montrée sur la partie gauche ou sur la partie droite du cadre du symbole. NOTE — Pour un exemple d'utilisation, voir le symbole 12-47-01.	The source of the transitioning signal shall be shown by dependency notation. The identifying number of the transitioning signal shall be the left-most character in the label string at this input. This holds whether this input is shown on the left-hand side or on the right-hand side of the symbol outline. NOTE — For an example of use, see symbol 12-47-01.

Illustration



No.	Symbole Symbol	Légende	Description
12-08-08		Connexion interne, montrant une propagation d'information de droite à gauche L'état interne 1 [état 0] de l'entrée de l'élément de gauche correspond à l'état interne 1 [état 0] de la sortie de l'élément de droite. S'il n'y a pas de confusion possible, on peut utiliser les symboles 12-08-01 ou 12-08-01A.	Internal connection for signal flow from right to left The internal 1-state [0-state] of the input of the element on the left corresponds to the internal 1-state [0-state] of the output of the element on the right. If no confusion is likely, symbols 12-08-01 or 12-08-01A may be used instead.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-08-09		Connexion interne avec négation logique, montrant une propagation d'information de droite à gauche L'état interne 1 [état 0] de l'entrée de l'élément de gauche correspond à l'état interne 0 [état 1] de la sortie de l'élément de droite. Si aucune confusion n'est possible, le symbole 12-08-02 peut être utilisé. NOTE — La note du symbole 12-08-02 est applicable.	Internal connection with logic negation for signal flow from right to left The internal 1-state [0-state] of the input of the element on the left corresponds to the internal 0-state [1-state] of the output of the element on the right. If no confusion is likely, symbol 12-08-02 may be used instead. NOTE — The note with symbol 12-08-02 applies.
12-08-10		Connexion interne à caractère dynamique, montrant une propagation d'information de droite à gauche L'état interne 1 (transitoire) de l'entrée de l' élément de gauche correspond à la transition de l'état interne 0 à l'état interne 1 de la sortie de l'élément de droite. Dans tous les autres cas, l'état logique interne de l'entrée de l'élément de gauche est 0.	Internal connection with dynamic character for signal flow from right to left The (transitory) internal 1-state of the input of the element on the left corresponds to the transition from the internal 0-state to the internal 1-state of the output of the element on the right. At all other times, the internal logic state of the input of the element on the left is 0.
12-08-11		Connexion interne avec négation logique à caractère dynamique, montrant une propagation d'information de droite à gauche L'état interne 1 (transitoire) de l'entrée de l'élément de gauche correspond à la transition de l'état interne 1 à l'état interne 0 de la sortie de l'élément de droite. Dans tous les autres cas, l'état logique interne de l'entrée de l'élément de gauche est 0.	Internal connection with logic negation and dynamic character for signal flow from right to left The (transitory) internal 1-state of the input of the element on the left corresponds to the transition from the internal 1-state to the internal 0-state of the output of the element on the right. At all other times, the internal logic state of the input of the element on the left is 0.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-08-12	"1"	Sortie fixée à l'état 1, figurée sur une connexion interne Voir légende du symbole 12-09-50.	Fixed 1-state output, shown at an internal connection See description of symbol 12-09-50.
12-08-13	"0"	Sortie fixée à l'état 0, figurée sur une connexion interne Voir légende du symbole 12-09-51.	Fixed 0-state output, shown at an internal connection See description of symbol 12-09-51.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

9 Symboles intérieurs aux cadres

Règles générales

9.1 Si des symboles distinctifs identiques définis dans cette section sont représentés sur deux ou plusieurs entrées pour indiquer les fonctions de ces entrées, les entrées sont considérées comme étant liées par une relation OU. Comme exemple, voir le symbole 12-42-06. Afin de respecter cette règle, les symboles suivants n'indiquent pas de fonctions et toute relation entre les entrées doit être spécifiée d'une autre manière :

12-09-02	Entrée à seuils
12-09-08B	Entrée avec amplification particulière
12-09-09	Entrée d'expansion
12-09-24	Groupement numérique d'entrée à plusieurs bits
12-09-25	Groupement numérique de sortie à plusieurs bits
12-09-25A	Groupement de marquage
12-09-47	Groupement de liaison d'entrée
12-09-49	Entrée de mode fixe

9.2 Les légendes des symboles 12-09-13 à 12-09-22 peuvent donner au lecteur l'impression qu'il s'agit d'entrées dynamiques. Ce n'est pas toujours le cas, car il est rappelé que l'état logique interne, déterminé par l'état ou le niveau logique externe, peut être éventuellement modifié par l'influence d'autres entrées (par exemple : entrées Cm). Si des entrées représentées par les symboles 12-09-13 à 12-09-22 ont un caractère dynamique, il y a lieu d'ajouter le symbole 12-07-07. Voir par exemple le symbole 12-47-01.

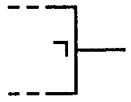
9 Symbols inside the outline

General rules

9.1 If identical qualifying symbols defined in this section are shown at two or more inputs to indicate the functions of those inputs, the inputs are assumed to stand in an OR relationship. For example, see symbol 12-42-06. For the purpose of this rule, the following do not indicate a function, and any relationship between the inputs shall be specified by some other means:

12-09-02	Bi-threshold input
12-09-08B	Input with special amplification
12-09-09	Extension input
12-09-24	Bit grouping for multibit input
12-09-25	Bit grouping for multibit output
12-09-25A	Label grouping
12-09-47	Line grouping at the input side
12-09-49	Fixed-mode input

9.2 The descriptions of symbols 12-09-13 to 12-09-22 may give the reader the impression that these are dynamic inputs. This is not always the case, as it must be remembered that the internal logic state as determined by the external logic state or level may possibly be modified by the effects of other inputs (for examle, Cm-inputs). If inputs represented by symbols 12-09-13 to 12-09-22 have a dynamic character, symbol 12-07-07 should be used in addition. See, for example, symbol 12-47-01.

No.	Symbole Symbol	Légende	Description
12-09-01		Effet différé en sortie Sortie dont le changement d'état est différé jusqu'à ce que le signal d'entrée provoquant ce changement retourne à son état externe initial ou à son niveau logique initial. L'état logique interne de toute entrée influençant ce signal d'entrée ou influencée par celui-ci ne doit pas changer pendant que ce signal entrée est à l'état interne 1, sinon l'état résultant de la sortie n'est pas spécifié par le symbole. Si le signal d'entrée qui provoque le changement provient d'une connexion interne, ce changement d'état est différé jusqu'à ce que la sortie correspondante de l'opérateur précédent retourne à son état interne initial. Quand ce symbole est utilisé seul, il est entendu qu'il concerne *toutes* les entrées de l'un des types →, ←, +, –, T et *tout* accès Cm (voir les symboles 12-18-01 et 12-18-02); en tout autre cas, on doit faire précéder ce symbole par les numéros d'identification (ou si nécessaire les marquages complets) des accès concernés. Voir le symbole 12-49-15. NOTES 1 Il convient de s'assurer que le tracé est à angle droit isocèle, afin d'éviter toute confusion, par exemple avec le chiffre 7. 2 La section 41 donne des précisions complémentaires pour l'emploi de ce symbole.	Postponed output The change of the internal state of this output is postponed until the input signal which initiates the change returns to its initial external logic state or logic level. The internal logic state of any input(s) affecting or affected by the initiating input must not change while this initiating input stands at its internal 1-state or the resulting output state will not be specified by the symbol. If the input signal which initiates the change appears at an internal connection, the change of state is postponed until the output of the preceding element returns to its initial internal logic state. If this symbol is shown without prefix, it should be assumed that the output is postponed with respect to each →, ←, +, –, and T-input and to each Cm-input or Cm-output (see symbols 12-18-01 and 12-18-02); in all other cases, the identifying numbers (or if necessary the full labels) of all inputs and outputs with respect to which the output is postponed shall be shown as a prefix to this symbol. See symbol 12-49-15. NOTES 1 Care should be taken that this symbol is a right angle with lines of equal length, to avoid confusion with other symbols, for example the character 7. 2 For the application of this symbol and additional explanation, see section 41.

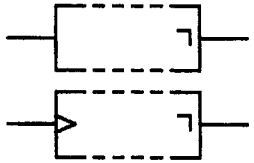
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Illustrations

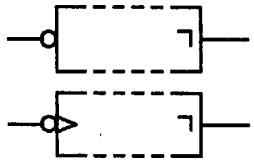
S'il n'y a pas d'autres entrées exerçant une action prépondérante, la transition à la sortie a lieu quand l'entrée passe

— dans un schéma utilisant le symbole de négation logique :

de son état externe 1 à son état externe 0



de son état externe 0 à son état externe 1



If there are no other inputs with an overriding effect, the transition at the output takes place when the input changes

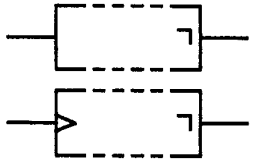
— in a diagram using the symbol for logic negation:

from its external 1-state to its external 0-state

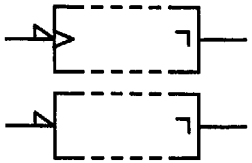
from its external 0-state to its external 1-state

— dans un schéma utilisant le symbole de polarité logique :

de son niveau H à son niveau L



de son niveau L à son niveau H

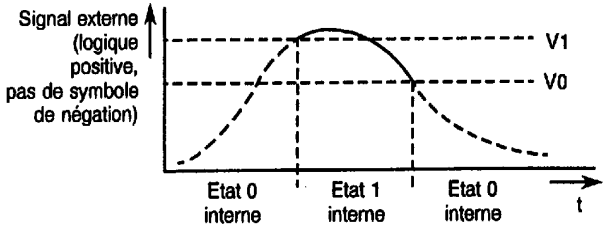
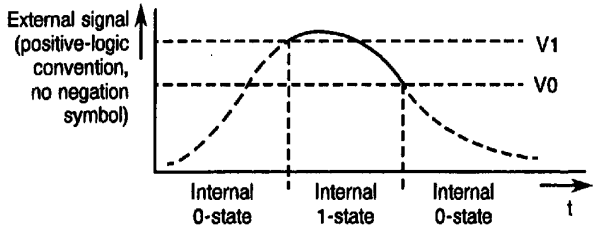


— in a diagram using the symbol for logic polarity:

from its H-level to its L-level

from its L-level to its H-level

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-09-02		Entrée à seuils Entrée à hystérésis L'entrée prend l'état interne 1 quand le niveau externe du signal atteint une valeur de seuil V1, et conserve cet état jusqu'à ce que ce niveau repasse en sens inverse par V1 et atteigne une autre valeur de seuil V0. Quand ce symbole figure, sans symbole de négation ou de polarité, dans un schéma utilisant soit le symbole de polarité logique, soit la convention de logique positive, V1 est plus positif que V0. S'il figure sur un schéma utilisant la convention logique négative, V1 est plus négatif que V0. Si la négation ou le symbole de polarité est présent à l'entrée, la relation entre V1 et V0 est inversée. La section 30 montre l'utilisation du symbole ⊓ comme symbole distinctif de l'opérateur pour un élément.  NOTE — L'absence de ce symbole n'indique pas nécessairement qu'il n'y a pas d'hystérésis. La plupart des composants habituels indiquent cette caractéristique dans une certaine mesure. Il est recommandé d'utiliser ce symbole uniquement si l'identification de la caractéristique est importante dans l'utilisation du composant.	Bi-threshold input Input with hysteresis The input takes on its internal 1-state when the external signal level reaches a threshold value V1. It maintains this state until the external signal level has returned through V1 and reaches another threshold value V0. If this symbol (without the negation symbol or polarity symbol) appears on a diagram that uses either the symbol for logic polarity or the positive-logic convention, V1 is more positive than V0. If it appears on a diagram that uses the negative-logic convention, V1 is more negative than V0. If the negation or polarity symbol is present at the input, the relationship between V1 and V0 is reversed. Section 30 shows the use of the symbol ⊓ as a general qualifying symbol for an element.  NOTE — The absence of this symbol does not necessarily indicate the absence of hysteresis. Most practical devices exhibit this characteristic to some extent. This symbol should only be used when an identification of the characteristic is important to the application of the device.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-09-03		Sortie à circuit ouvert (par exemple collecteur ouvert, émetteur ouvert, canal drain ouvert, canal source ouvert) L'un des deux états logiques internes possibles de ce type de sortie correspond à une condition externe de haute impédance. Pour produire un niveau logique correct en cette condition, il est nécessaire que cette sortie soit connectée à un composant extérieur, souvent une résistance. Ce type de sortie est généralement capable de participer à une fonction fantôme. NOTES 1 Il convient que ce symbole jouxte le tracé de la sortie sauf lorsqu'il est fait usage du symbole de groupement numérique (symbole 12-09-25) de la manière définie à la section 25, qui autorise une autre position. 2 Bien que ce symbole figure à l'intérieur du cadre, il se rapporte seulement aux états logiques externes et aux niveaux logiques. 3 S'il est nécessaire d'indiquer le niveau logique qui correspond à la basse impédance, l'un des symboles 12-09-04 ou 12-09-05 peut être utilisé.	Open-circuit output (for example open-collector, open-emitter, open-drain, open-source) One of the two possible internal logic states of this type of output corresponds to an external high-impedance condition. In order to produce a proper logic level in this condition, an externally connected component or circuit, often a resistor, is required. This type of output is usually capable of forming part of a distributed connection. NOTES 1 This symbol should be drawn adjacent to the output line, except when using the bit-grouping symbol (symbol 12-09-25) in the manner defined in section 25, where an alternative position is permitted. 2 Although this symbol is shown inside the outline, it refers to external states and levels only. 3 If it is necessary to indicate which logic level is the one with the low impedance, use can be made of symbol 12-09-04 or 12-09-05.

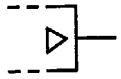
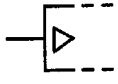
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-09-04		Sortie à circuit ouvert du type H, par exemple : PNP à collecteur ouvert, NPN à émetteur ouvert, canal de type P de drain ouvert, canal de type N de source ouverte Lorsqu'elle n'est pas en condition de haute impédance, une sortie de ce type fournit un niveau H à relativement basse impédance. Voir aussi le symbole 12-27-13. NOTES 1 Les notes 1 et 2 du symbole 12-09-03 sont applicables. 2 La signification de ce symbole n'est pas modifiée par la présence d'un symbole de négation logique ou de polarité logique.	Open-circuit output (H-type), for example PNP open-collector, NPN open-emitter, P-channel open-drain, N-channel open-source When not in its external high-impedance condition, this type of output produces a relatively low-impedance H-level. See also symbol 12-27-13. NOTES 1 Notes 1 and 2 with symbol 12-09-03 apply. 2 The meaning of this symbol is not altered by the presence of a negation or polarity indicator.
12-09-05		Sortie à circuit ouvert du type L, par exemple : NPN à collecteur ouvert, PNP à émetteur ouvert, canal de type N de drain ouvert, canal de type P de source ouverte Lorsqu'elle n'est pas en condition de haute impédance, une sortie de ce type fourniet un niveau L à relativement basse impédance. Voir aussi le symbole 12-27-13. NOTE — Les notes 1 et 2 du symbole 12-09-03 et la note 2 du symbole 12-09-04 sont applicables.	Open-circuit output (L-type), for example NPN open-collector, PNP open-emitter, N-channel open-drain, P-channel open-source When not in its external high-impedance condition, this type of output produces a relatively low-impedance L-level. See also symbol 12-27-13. NOTE — Notes 1 and 2 with symbol 12-09-03 and note 2 with symbol 12-09-04 apply.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-09-06		Sortie à circuit ouvert directe du type H Cette sortie est analogue à la sortie à circuit ouvert du type H (symbole 12-09-04) et peut, comme celle-ci, participer à une fonction fantôme, mais ne nécessite pas l'insertion d'un composant dans le circuit externe. Voir aussi le symbole 12-27-13. NOTE — La note 1 du symbole 12-09-03 et la note 2 du symbole 12-09-04 sont applicables.	Passive-pull-down output This type of output is similar to the H-type open-circuit output (symbol 12-09-04) and can likewise be used as part of a distributed connection but without the need for an additional external component or circuit. See also symbol 12-27-13. NOTE — Note 1 with symbol 12-09-03 and note 2 with symbol 12-09-04 apply.
12-09-07		Sortie à circuit ouvert directe du type L Cette sortie est analogue à la sortie à circuit ouvert du type L (symbole 12-09-05) et peut comme celle-ci participer à une fonction fantôme, mais ne nécessite pas l'insertion d'un composant dans le circuit externe. Voir aussi le symbole 12-27-13. NOTE — La note 1 du symbole 12-09-03 et la note 2 du symbole 12-09-04 sont applicables.	Passive-pull-up output This type of output is similar to the L-type open-circuit output (symbol 12-09-05) and can likewise be used as part of a distributed connection but without the need for an additional external component or circuit. See also symbol 12-27-13. NOTE — Note 1 with symbol 12-09-03 and note 2 with symbol 12-09-04 apply.
12-09-08		Sortie 3 états Cette sortie peut prendre un troisième état externe, à haute impédance, n'ayant plus de signification logique. NOTES 1 La note 1 du symbole 12-09-03 est applicable. 2 Comme exemple d'application, voir le symbole 12-29-04.	3-state output This output can take on a third external state, which is a high-impedance condition, having no logic significance. NOTES 1 Note 1 with symbol 12-09-03 applies. 2 For an example of use, see symbol 12-29-04.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-09-08A		Sortie avec amplification particulière Le symbole ▷ met en valeur la fonction «amplification». Il doit être dirigé dans le sens de propagation des signaux. NOTES 1 La note 1 du symbole 12-09-03 est applicable. 2 Quand ce symbole est utilisé avec les symboles 12-09-03 à 12-09-08, ces derniers sont placés entre le symbole d'amplification et le côté du cadre. 3 L'absence de ce symbole n'implique pas nécessairement l'absence d'une amplification. La section 29 montre son utilisation en tant que symbole distinctif général pour un opérateur.	Output with special amplification (drive capability) The symbol ▷ emphasizes the function of amplification. It shall point in the direction of signal flow. NOTES 1 Note 1 with symbol 12–09–03 applies. 2 If this symbol is used with symbols 12-09-03 up to and including 12-09-08, those symbols are placed between the amplification symbol and the edge of the element. 3 The absence of this symbol does not necessarily indicate the absence of special amplification. Section 29 shows its use as a general qualifying symbol for an element.
12-09-08B		Entrée avec amplification (sensibilité) particulière Le symbole ▷ met en valeur la fonction «amplification». Il doit être dirigé dans le sens de propagation des signaux. Quand un ou plusieurs des symboles 12-09-47, 12-09-08B ou 12-09-02 sont nécessaires pour marquer une entrée, ils doivent être placés dans l'ordre suivant: le symbole 12-09-47 doit être placé tout près de l'entrée, suivi par le symbole 12-09-08B et ensuite par le symbole 12-09-02. NOTE — L'absence de ce symbole n'implique pas nécessairement l'absence d'une amplification. La section 29 montre son utilisation en tant que symbole distinctif général pour un opérateur. Placé à une entrée, et non pas comme symbole distinctif général, le symbole indique que l'entrée se caractérise par une sensibilité inhabituelle sans pour autant augmenter l'amplification de sortie.	Input with special amplification (sensitivity) The symbol ▷ emphasizes the function of amplification. It shall point in the direction of signal flow. If one or more of the symbols 12-09-47, 12-09-08B or 12-09-02 are required at an input, they shall be shown, as needed, in the following order: symbol 12-09-47 shall be placed closest to the input(s), followed by symbol 12-09-08B, and then by symbol 12-09-02. NOTE — The absence of this symbol does not necessarily indicate the absence of special amplification. Section 29 shows its use as a general qualifying symbol for an element. Its use at an input, rather than as a general qualifying symbol, shows that the input is unusually sensitive rather than that the output has increased drive capability.

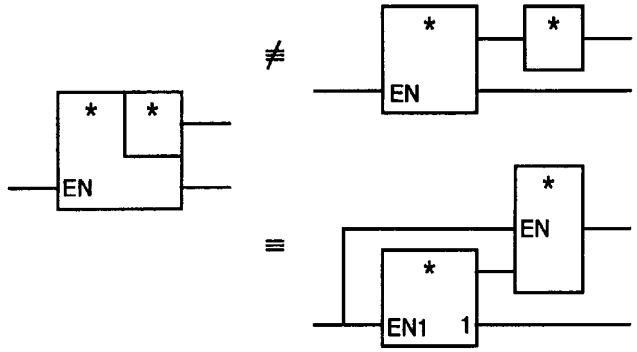
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-09-09	E	Entrée d'expansion Entrée d'un opérateur à laquelle peut être connectée la sortie d'un circuit expanseur (voir le symbole 12-09-10). NOTE — Les caractéristiques des relations entre les états logiques externes d'une variable binaire et les grandeurs physiques correspondantes ne sont généralement pas valables pour les entrées d'expansion ou sorties d'expanseur.	Extension input An input of a binary element to which the output of an extender element may be connected (see symbol 12-09-10). NOTE — The description that characterizes the relationship between the external logic states of binary variables and their corresponding physical quantities is normally not valid for extension inputs and extender outputs.
12-09-10	E	Sortie d'un expanseur Sortie d'un opérateur qui peut être connectée à l'entrée d'expansion d'un autre opérateur afin d'augmenter le nombre d'entrées de cet opérateur. NOTE — La note du symbole 12-09-09 est applicable.	Extender output An output of a binary element that may be connected to the extension input of another binary element in order to extend the number of inputs of that element. NOTE — The note with symbol 12-09-09 applies.
12-09-11	EN	Entrée de validation Quand cette entrée est à l'état interne 1, toutes les sorties de l'opérateur ont l'état logique interne normalement défini par la fonction de l'opérateur, et exercent l'action conséquente sur les opérateurs réels ou fantômes auxquels elles sont connectées pourvu qu'aucun autre accès n'exerce une action prépondérante. Quand cette entrée est à l'état interne 0, toutes les sorties des types 12-09-03, 12-09-04 ou 12-09-05 sont à l'état externe «haute impédance», toutes les sorties à circuit ouvert directes du type H sont à leur niveau L «haute impédance», toutes les sorties à circuit ouvert	Enable input If this input stands at its internal 1-state, all outputs stand at their normally defined internal logic states and have their normally defined effect on elements or distributed connections that may be connected to the outputs, provided no other inputs or outputs have an overriding and contradicting effect. If the input stands at its internal 0-state, all outputs of the type 12-09-03, 12-09-04 or 12-09-05 are in their external high-impedance conditions, all passive-pull-down outputs stand at their high-impedance L-levels, all passive-pull-up outputs stand at their high-impe-

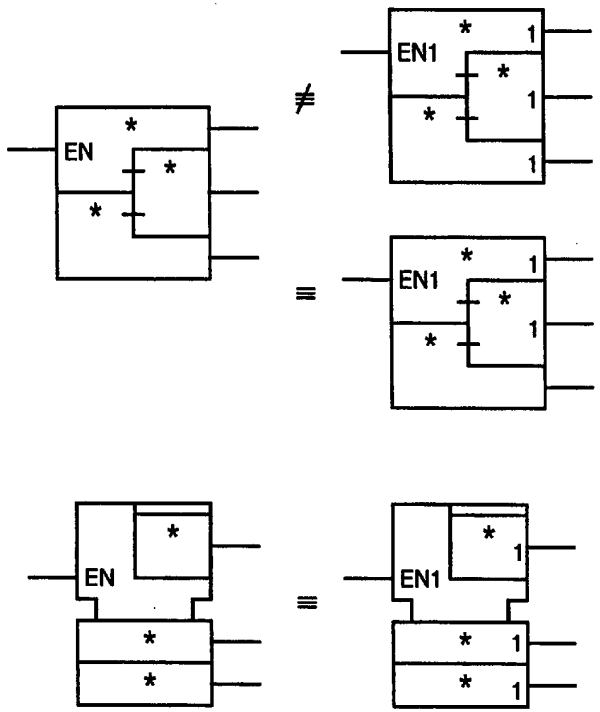
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

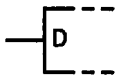
		directes du type L sont à leur niveau H «haute impédance», toutes les sorties 3 états sont à leur état interne normalement défini et à l'état externe «haute impédance» et toutes les autres sorties sont à l'état interne 0. NOTE — Cette entrée n'influence que les sorties externes. Toutefois lorsqu'elle concerne un opérateur utilisant l'une des connexions internes des symboles 12-08-01 à 12-08-04, même si la note du symbole 12-08-01 est appliquée, ou si une connexion interne est impliquée (par exemple par un symbole des communs, un opérateur commun de sortie ou une notation de dépendance), cette entrée est aussi une entrée de validation EN pour la sortie de cet opérateur. Si une ambiguïté est possible, par exemple dans le cas de cadres imbriqués, il y a lieu d'utiliser la dépendance EN, définie à la section 20.	dance H-levels, all 3-state outputs stand at their normally defined internal logic states and are in their external high-impedance conditions, and all other outputs stand at their internal 0-states. NOTE — This input only affects outputs shown as external outputs. If it is an input of an element having an internal connection indicated by one of the symbols 12-08-01 up to and including 12-08-04, even when the note with symbol 12-08-01 is applied, or if an internal connection is implied (for example, by a common control block, common output element or dependency notation), the input is also an EN-input of the element to which the internal connection is connected. If ambiguity can arise, for example because of the presence of embedded outlines, EN-dependency as defined in section 20 should be used.

Illustrations

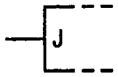
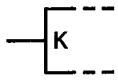
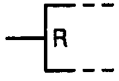


COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000



No.	Symbole Symbol	Légende	Description
12-09-12		Entrée D L'état logique interne de cette entrée est mémorisé par l'opérateur. Voir le symbole 12-42-02. NOTE — L'état logique interne de cette entrée est toujours dépendant d'un accès influençant.	D-input The internal logic state of the D-input is stored by the element. See symbol 12-42-02. NOTE — The internal logic state of this input is always subject to an affecting input or output.

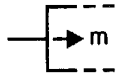
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-09-13		Entrée J Quand cette entrée prend l'état interne 1, un 1 est mémorisé par l'opérateur. Quand elle est à l'état 0, elle n'a aucun effet sur l'opérateur.	J-input When this input takes on its internal 1-state, a 1 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element.
12-09-14		Entrée K Quand cette entrée prend l'état interne 1, un 0 est mémorisé par l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'apparition de la combinaison J = K = 1 provoque un unique changement de l'état interne de la sortie de l'opérateur à son état complémentaire. 9.2 est applicable.	K-input When this input takes on its internal 1-state, a 0 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element. Each occurrence of the combination J = K = 1 causes a single change of the internal state of the output to its complement. 9.2 applies.
12-09-15		Entrée R Quand cette entrée prend l'état interne 1, un 0 est mémorisé par l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur.	R-input When this input takes on its internal 1-state, a 0 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element.

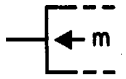
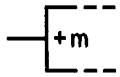
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-09-16	S	Entrée S Quand cette entrée prend l'état interne 1, un 1 est mémorisé par l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. NOTE — L'effet de la combinaison R = S = 1 peut être précisé par l'emploi de la dépendance R ou S (voir la section 19). 9.2 est applicable.	S-input When this input takes on its internal 1-state, a 1 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element. NOTE — The effect of the combination R = S = 1 is not specified by the symbol; this effect may be indicated by means of SET-/RESET-dependency (see section 19). 9.2 applies.
12-09-17	T	Entrée T Chaque fois que cette entrée prend l'état interne 1, il se produit un unique changement de l'état interne de la sortie à son état complémentaire. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. 9.2 est applicable.	T-input Each time this input takes on its internal 1-state, a single change of the internal state of the output to its complement takes place. When the input stands at its internal 0-state, it has no effect on the element. 9.2 applies.

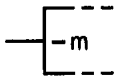
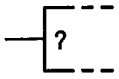
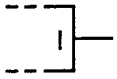
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-09-18		Entrée de décalage de gauche à droite ou du haut en bas Chaque fois que cette entrée prend l'état interne 1, les informations contenues dans l'opérateur subissent un décalage de m positions de la gauche vers la droite ou du haut vers le bas, selon l'orientation du symbole de l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. 9.2 est applicable. m doit être remplacé par sa valeur effective. Si m = 1, cette indication peut être omise. NOTE — Les directions indiquées ci-dessus sont relatives à l'orientation du symbole dans lequel la flèche est orientée vers la droite.	Shifting input, left to right or top to bottom Each time this input takes on its internal 1-state, the information contained in the element will be shifted once m positions from left to right or from top to bottom, depending on the orientation of the symbol for the element. When the input stands at its internal 0-state, it has no effect on the element. 9.2 applies. m shall be replaced by the relevant value. If m = 1, the 1 may be omitted. NOTE — All directions above are relative to an orientation of the symbol in which the arrow is pointing to the right.

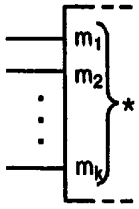
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-09-19		Entrée de décalage de droite à gauche ou du bas en haut Chaque fois que cette entrée prend l'état interne 1, les informations contenues dans l'opérateur subissent un décalage de m positions de la droite vers la gauche ou du bas vers le haut, selon l'orientation du symbole de l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. 9.2 est applicable. m doit être remplacé par sa valeur effective. Si m = 1, cette indication peut être omise. NOTE — Les directions indiquées ci-dessus sont relatives à l'orientation du symbole dans lequel la flèche est orientée vers la gauche.	Shifting input, right to left or bottom to top Each time this input takes on its internal 1-state, the information contained in the element will be shifted once m positions from right to left or from bottom to top, depending on the orientation of the symbol for the element. When the input stands at its internal 0-state, it has no effect on the element. 9.2 applies. m shall be replaced by the relevant value. If m = 1, the 1 may be omitted. NOTE — All directions above are relative to an orientation of the symbol in which the arrow is pointing to the left.
12-09-20		Entrée de comptage Chaque fois que cette entrée prend l'état interne 1, le contenu du compteur croît de m unités. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. 9.2 est applicable. m doit être remplacé par sa valeur effective. Si m = 1, cette indication peut être omise.	Counting-up input Each time this input takes on its internal 1-state, the content of the element is increased once by m units. When the input stands at its internal 0-state, it has no effect on the element. 9.2 applies. m shall be replaced by the relevant value. If m = 1, the 1 may be omitted.

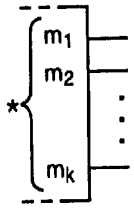
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-09-21		Entrée de décomptage Chaque fois que cette entrée prend l'état interne 1, le contenu du compteur décroît de m unités. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. 9.2 est applicable. m doit être remplacé par sa valeur effective. Si m = 1, cette indication peut être omise.	Counting-down input Each time this input takes on its internal 1-state, the content of the element is decreased once by m units. When the input stands at its internal 0-state, it has no effect on the element. 9.2 applies. m shall be replaced by the relevant value. If m = 1, the 1 may be omitted.
12-09-22		Entrée d'interrogation d'une mémoire associative Quand cette entrée prend l'état interne 1, l'opérateur est interrogé sur le contenu. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. 9.2 est applicable.	Query input of an associative memory Interrogate input of an associative memory If this input takes on its internal 1-state, an interrogation of the content of the element takes place. If the input stands at its internal 0-state, it has no effect on the element. 9.2 applies.
12-09-23		Sortie de comparaison d'une mémoire associative L'état interne 1 de cette sortie indique une exactitude de comparaison.	Compare output of an associative memory Match output of an associative memory The internal 1-state at this output indicates a match.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

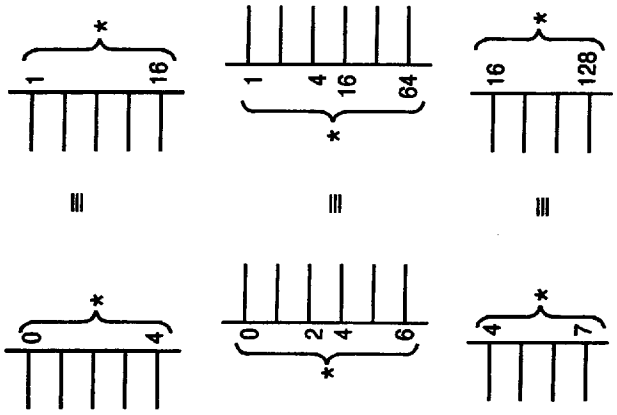
No.	Symbole Symbol	Légende	Description
12-09-24		Groupement numérique d'entrée à plusieurs bits, symbole général Les entrées groupées par ce symbole déterminent un nombre qui est la somme des poids individuels des entrées qui sont à l'état interne 1. Les entrées individuelles sont représentées dans l'ordre des poids croissants ou décroissants. Ce nombre représente — soit un nombre sur lequel une opération mathématique est effectuée, — soit un numéro d'identification dans le sens de la notation de dépendance (voir 24.2), — soit une valeur destinée à devenir le contenu de l'opérateur. m_1 ... m_k doivent être remplacés par les valeurs décimales équivalentes aux poids réels. Si ces poids sont des puissances de 2, m_1 ... m_k peuvent être remplacés par les exposants des puissances de 2. Les valeurs entre m_1 et m_k peuvent être omises pour autant qu'aucune confusion n'en résulte. L'astérisque doit être remplacé par une identification appropriée de l'opérande sur lequel l'opération mathématique est effectuée (par exemple P ou Q), par une indication appropriée au sens de la notation de dépendance ou par CT. Dans ce dernier cas, le nombre déterminé par les entrées est la valeur du contenu qui est chargé dans l'opérateur.	Bit grouping for multibit input, general symbol Inputs grouped by this symbol produce a number that is the sum of the individual weights of the inputs standing at their internal 1-states. The individual inputs shall be shown in ascending or descending order by weight. This number can be regarded — as a number on which a mathematical function is performed, or — as defining an identifying number in the sense of dependency notation (according to 24.2), or — as a value to become the content of the element. m_1 ... m_k shall be replaced by the decimal equivalents of the actual weights. If all weights are powers of 2, m_1 ... m_k may be replaced by the exponents of the powers of 2. Labels between m_1 and m_k may be omitted to the extent that no confusion is likely. The asterisk shall be replaced by an appropriate indication of the operand on which the mathematical function is performed (for example P or Q), by an appropriate indication in the sense of dependency notation or by CT. In the latter case, the number produced by the inputs is the value that is loaded into the element.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-09-25		Groupement numérique de sortie à plusieurs bits, symbole général Les sorties groupées par ce symbole représentent un nombre qui est la somme des poids individuels des sorties qui sont à l'état interne 1. Les sorties individuelles doivent être représentées dans l'ordre des poids croissants ou décroissants. Ce nombre représente — soit le résultat d'une opération mathématique effectuée, — soit la valeur du contenu de l'opérateur. m_1 ... m_k doivent être remplacés par les valeurs décimales équivalentes aux poids réels. Si ces poids sont des puissances de 2, m_1 ... m_k peuvent être remplacés par les exposants de 2. Les valeurs entre m_1 ... m_k peuvent être omises pour autant qu'aucune confusion n'en résulte. L'astérisque doit être remplacé par une indication appropriée du résultat de l'opération mathématique effectuée ou par CT. Dans ce dernier cas, le nombre représenté par les sorties qui sont à l'état interne 1 est la valeur du contenu de l'opérateur.	Bit grouping for multibit output, general symbol Outputs grouped by this symbol represent a number that is the sum of the individual weights of the outputs standing at their internal 1-states. The individual outputs shall be shown in ascending or descending order by weight. This number can be regarded — as the result of the performance of a mathematical function, or — as the value of the content of the element. m_1 ... m_k shall be replaced by the decimal equivalents of the actual weights. If all weights are powers of 2, m_1 ... m_k may be replaced by the exponents of the powers of 2. Labels between m_1 and m_k may be omitted to the extent that no confusion is likely. The asterisk shall be replaced by an appropriate indication of the result of the performance of the mathematical function or by CT. In the latter case, the number represented by the outputs standing at their internal 1-states is the actual value of the content of the element.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

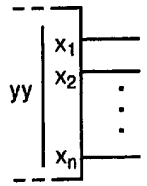
Illustrations



See also examples in section 39.

Voir aussi les exemples de la section 39.

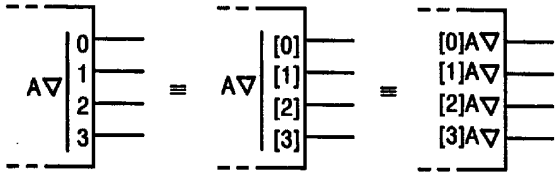
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-09-25A		Groupement de marquage, symbole général, représenté côté sortie Ce symbole est utilisé pour indiquer le groupement des tracés de connexions adjacents et associés dont les repères sont partiellement de même nature. Les portions individuelles de ces repères (x_1 ,..., x_n) sont placées contre les tracés de connexion à côté de la ligne verticale. La partie commune (yy) est placée une seule fois de l'autre côté de la ligne verticale. Si les portions individuelles sont des chiffres, les chiffres intermédiaires à l'intérieur de groupes consécutifs peuvent être omis dans la mesure où aucune confusion n'en résulte. Les portions individuelles peuvent être de caractère numérique, mais les nombres qu'elles contiennent ne doivent pas être considérés comme poids pour les entrées et sorties respectives. Elles peuvent, par exemple, seulement identifier l'ordre relatif des accès. Ce symbole peut être appliqué dans les cas où le symbole de groupement numérique n'est pas applicable parce que les accès groupés ne produisent ni ne représentent un nombre. NOTE — Exemples d'utilisation : voir le symbole 12-51-02 et les exemples du chapitre VI.	Label grouping, general symbol, shown at the output side This symbol indicates the grouping of adjacent and associated connecting lines whose labels are partially alike. The differing portions of these labels (x_1 ,..., x_n) are placed at the side of the vertical line against the connecting lines. The common portion (yy) is placed only once at the other side of the vertical line. If the differing portions are numbers, intermediate numbers within consecutive groups may be omitted to the extent that no confusion is likely. Although the differing portions may be numeric, the numbers they contain should not be considered as weights for the respective inputs and outputs. They might, for example, only identify the relative ordering of inputs or outputs. This symbol may be applied in cases where the bit grouping symbol is not applicable because the inputs or outputs grouped together do not produce or represent a number. NOTE — For examples of use, see symbol 12-51-02 and examples in chapter VI.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

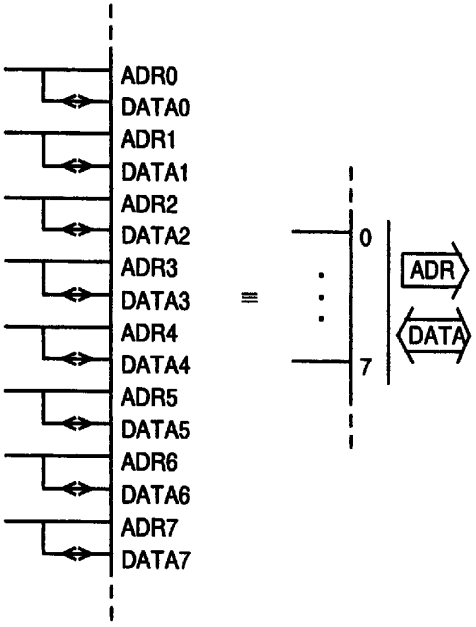
Illustrations

L'omission des crochets autour des chiffres 0, ..., 3 comme indiqué dans la figure la plus à gauche est autorisée seulement s'il n'y a pas de confusion possible avec les poids ou les numéros d'identification dans le sens de la notation de dépendance.



The omission of the brackets around the numbers 0, ..., 3 as shown in the leftmost figure is allowed only if no confusion is likely with weights or identifying numbers in the sense of dependency notation.

Bien que les entrées ADRESSE produisent un nombre, le symbole de groupement de marquage est adéquat ici si les entrées et sorties DATA ne produisent ou ne représentent pas un nombre.

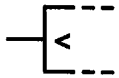
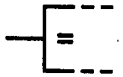
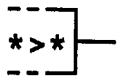
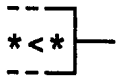


Although the ADDRESS inputs produce a number, the label-grouping symbol is appropriate here if the DATA inputs and DATA outputs do not produce or represent a number.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-09-26	Pm	Entrée opérande (entrée Pm figurée) Cette entrée représente un bit d'un opérande sur lequel une ou plusieurs opérations mathématiques sont effectuées. m doit être remplacé par la valeur décimale équivalente au poids de ce bit. Si les poids de toutes les entrées Pm de l'opérateur sont des puissances de 2, m peut être remplacé à chaque entrée Pm par l'exposant de la puissance de 2. NOTES 1 Si un opérande est constituée de deux ou plusieurs bits représentés sur des entrées, situées côte à côte, le symbole de groupement numérique (12-09-24) peut être utilisé. 2 Les symboles préférés pour les opérandes sont les lettres P et Q. Quand ces lettres ne conviennent pas ou si plus de deux opérandes sont impliqués, d'autres caractères peuvent être utilisés pourvu qu'il n'en résulte aucune confusion.	Operand input (Pm-input shown) This input represents one bit of an operand on which one or more mathematical functions are performed. m shall be replaced by the decimal equivalent of the weight of the bit. If the weights of all Pm-inputs of the element are powers of 2, at each Pm-input m may be replaced by the exponent of the power of 2. NOTES 1 If an operand consists of two or more bits represented by adjacent input lines, the bit grouping symbol (12-09-24) may be used. 2 Preferred letters for operands are P and Q. If these letters are not suitable or if more than two operands are involved, other characters may be used providing no confusion is likely.
12-09-27	>	Entrée «PLUS GRAND QUE» d'un comparateur numérique NOTES 1 Ce symbole est destiné au montage en cascade de comparateurs. Comme exemple d'application, voir le symbole 12–39–08. 2 Les autres symboles suivants, en accord avec l'ISO 31-11, peuvent être utilisés pour caractériser des autres entrées des comparateurs numériques: ≥ , ≤ , ≠. 3 Il convient que ce symbole soit détaché du cadre pour éviter la confusion avec le symbole de l'entrée dynamique (12-07-07).	Greater-than input of a magnitude comparator NOTES 1 This symbol is intended for use when representing cascaded comparators. For an example of use, see symbol 12-39-08. 2 Other symbols in accordance with ISO 31-11 may be used to qualify other inputs of magnitude comparators, as follows: ≥ , ≤ , ≠. 3 This symbol should not be drawn adjacent to the outline, to avoid confusion with the dynamic input indicator symbol (12-07-07).

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-09-28		Entrée «PLUS PETIT QUE» d'un comparateur numérique NOTE — Les notes 1 et 2 du symbole 12-09-27 sont applicables.	Less-than input of a magnitude comparator NOTE — Notes 1 and 2 with symbol 12-09-27 apply.
12-09-29		Entrée d' «ÉGALITÉ» d'un comparateur numérique NOTE — Les notes 1 et 2 du symbole 12-09-27 sont applicables.	Equal input of a magnitude comparator NOTE — Notes 1 and 2 with symbol 12-09-27 apply.
12-09-30		Sortie «PLUS GRAND QUE» d'un comparateur numérique Les astérisques doivent être remplacés par des désignations des opérandes, par exemple P et Q, respectivement. NOTES 1 Les autres symboles suivants, en accord avec l'ISO 31-11, peuvent être utilisés pour caractériser des autres sorties des comparateurs numériques : * ≥ *, * ≤ *, * ≠ *. 2 Dans une chaîne de comparateurs, toute sortie marquée de ce symbole est affectée non seulement par les opérandes mais également par les entrées du même opérateur marquées de l'un des symboles 12-09-27, 12-09-28 ou 12-09-29.	Greater-than output of a magnitude comparator The asterisks shall be replaced by designations of the operands, for example P and Q, respectively. NOTES 1 Other symbols in accordance with ISO 31-11 may be used to qualify other outputs of magnitude comparators, as follows: * ≤ *, * ≥ *, * ≠ *. 2 If this symbol appears in one element of a series of cascaded comparators, the output marked with this symbol is affected not only by the operands, but also by the inputs marked with the symbols 12-09-27, 12-09-28, or 12-09-29.
12-09-31		Sortie «PLUS PETIT QUE» d'un comparateur numérique Les astérisques doivent être remplacés par des désignations des opérandes, par exemple P et Q, respectivement. NOTE — Les notes du symbole 12-09-30 sont applicables.	Less-than output of a magnitude comparator The asterisks shall be replaced by designations of the operands, for example P and Q, respectively. NOTE — The notes with symbol 12-09-30 apply.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-09-32	* = *	Sortie d' «ÉGALITÉ» d'un comparateur numérique Les astérisques doivent être remplacés par des désignations des opérandes, par exemple P et Q, respectivement, ou, pourvu qu'il n'en résulte aucune confusion, peuvent être omis. NOTE — La note 3 du symbole 12-09-30 est applicable.	Equal output of a magnitude comparator The asterisks shall either be replaced by designations of the operands, for example P and Q, respectively, or, providing no confusion is likely, be omitted. NOTE — Note 3 with symbol 12-09-30 applies.
12-09-33	BI	Entrée recevant la retenue d'une opération arithmétique de soustraction Quand cette entrée est à l'état interne 1, cela signifie qu'une opération de soustraction effectuée par un opérateur de rang inférieur a donné une retenue. NOTE — Une indication numérique du poids peut être ajoutée en suffixe à ce marquage; si le poids est une puissance de 2, cette indication peut être remplacée par un exposant à condition qu'il n'ait pas risque de confusion.	Borrow-in input of an arithmetic element If this input stands at its internal 1-state, this indicates that a subtraction operation performed by a lower-ordered arithmetic element produces an arithmetic borrow. NOTE — A decimal indication of the weight may be added as a suffix to this label; if the weight is a power of 2, this indication may be replaced by the exponent if no confusion is likely.
12-09-34	BG	Entrée recevant la retenue engendrée d'une opération arithmétique de soustraction Quand cette entrée est à l'état interne 1, cela signifie à un opérateur de retenue de soustraction accélérée que l'élément qui produit le signal BG est dans l'état de retenue engendré comme dans le symbole 12-09-35. L'opérateur de retenue de soustraction accélérée utilise les entrées BG, BP et BI pour déterminer avec un délai de propagation réduit, l'état de la retenue arithmétique pour un groupe d'opérateurs effectuant une soustraction binaire. NOTE — La note du symbole 12-09-33 est applicable.	Borrow-generate input of an arithmetic element If this input stands at its internal 1-state, this indicates to a borrow-acceleration element that the arithmetic element that produces the BG-signal is in the borrow-generate state (see description of symbol 12-09-35). The borrow acceleration element uses its BG-, BP-, and BI-input signals to determine, with reduced propagation delays, the states of the arithmetic borrow signals for a group of arithmetic elements performing binary subtraction. NOTE — The note with symbol 12-09-33 applies.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-09-35	BG	Sortie fournissant la retenue engendrée d'une opération arithmétique de soustraction Quand cette sortie est à l'état interne 1, cela signifie qu'un opérateur arithmétique effectuant une soustraction est dans l'état de retenue engendrée, c'est-à-dire que le nombre à soustraire appliqué à l'opérateur est plus important que le nombre dont il est soustrait causant une retenue de soustraction de cet opérateur indépendant de l'état de l'entrée BI vers cet opérateur. NOTE — La note du symbole 12-09-33 est applicable.	Borrow-generate output of an arithmetic element If this output stands at its internal 1-state, this indicates that an arithmetic element performing subtraction is in the borrow-generate state, that is, that the subtrahend applied to the element is larger than the minuend, causing a borrow from that element independent of the state of the BI-input to that element. NOTE — The note with symbol 12-09-33 applies.
12-09-36	BO	Sortie fournissant la retenue d'une opération arithmétique de soustraction Sortie fournissant le report de retenue de soustraction d'un opérateur arithmétique Quand cette sortie est à l'état interne 1, cela signifie que l'opération de soustraction effectuée par un opérateur arithmétique produit une retenue arithmétique comme le dit la description du symbole 12-09-33. NOTE — La note du symbole 12-09-33 est applicable.	Borrow-out output of an arithmetic element Ripple-borrow output of an arithmetic element If this output stands at its internal 1-state, this indicates that a subtraction operation performed by an arithmetic element produces an arithmetic borrow (see description of symbol 12-09-33). NOTE — The note with symbol 12-09-33 applies.
12-09-37	BP	Entrée recevant la retenue propagée d'une opération arithmétique de soustraction Quand cette entrée est à l'état interne 1, cela signifie que la retenue accélérée produite par un opérateur qui donne le signal BP est dans l'état de propagation de retenue selon la description du symbole 12-09-38. NOTE — La note du symbole 12-09-33 est applicable.	Borrow-propagate input of an arithmetic element If this input stands at its internal 1-state, this indicates to a borrow-acceleration element that the arithmetic element that produces the BP-signal is in the borrow-propagate state. See description of symbol 12-09-38. NOTE — The note with symbol 12-09-33 applies.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-09-38	BP	Sortie fournissant la retenue propagée d'une opération arithmétique de soustraction Quand cette sortie est à l'état interne 1, cela signifie qu'un opérateur arithmétique effectuant une soustraction est dans l'état de propagation de retenue, c'est-à-dire que les nombres appliqués à l'opérateur sont égaux; alors la sortie BO est à l'état interne 1 si et seulement si l'entrée BI est à l'état interne 1. NOTE — La note du symbole 12-09-33 est applicable.	Borrow-propagate output of an arithmetic element If this output stands at its internal 1-state, this indicates that an arithmetic element performing subtraction is in the borrow-propagate state, that is, that the subtrahend and minuend applied to the element are equal in value, so that the BO-output will stand at its internal 1-state if and only if the BI-input is at its internal 1-state. NOTE — The note with symbol 12-09-33 applies.
12-09-39	CI	Entrée recevant la retenue d'une opération arithmétique d'addition Quand cette entrée est à l'état interne 1, cela signifie qu'une addition effectuée par un opérateur arithmétique de rang inférieur a donné une retenue. NOTE — La note du symbole 12-09-33 est applicable.	Carry-in input of an arithmetic element If this input stands at its internal 1-state, this indicates that an addition performed by a lower-ordered arithmetic element produces an arithmetic carry. NOTE — The note with symbol 12-09-33 applies.
12-09-40	CG	Entrée recevant la retenue engendrée d'une opération arithmétique d'addition Quand cette entrée est à l'état interne 1, cela signifie à l'opérateur donnant la retenue d'addition accélérée que l'opérateur qui produit le signal CG est dans l'état de génération de retenue comme le symbole 12-09-41. L'opérateur donnant la retenue d'addition accélérée utilise ses entrées CG, CP et CI pour déterminer, avec un délai de propagation réduit, l'état de la retenue arithmétique pour un groupe d'opérateurs effectuant une addition. NOTE — La note du symbole 12-09-33 est applicable.	Carry-generate input of an arithmetic element If this input stands at its internal 1-state, this indicates to a carry-acceleration element whether or not the arithmetic element that produces the CG-signal is in the carry-generate state (see description of symbol 12-09-41). The carry-acceleration element uses its CG-, CP-, and CI-input signals to determine, with reduced propagation delays, the states of the arithmetic carry signals for a group of elements performing addition. NOTE — The note with symbol 12-09-33 applies.

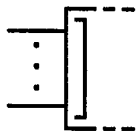
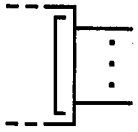
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-09-41	CG	Sortie fournissant la retenue engendrée d'une opération arithmétique d'addition Quand cette sortie est à l'état interne 1, cela signifie que l'opérateur arithmétique effectuant l'addition est dans l'état de génération de retenue, c'est-à-dire que l'opération en cours est assez importante pour donner une retenue de l'opérateur indépendante de l'état de l'entrée CI vers cet opérateur. NOTE — La note du symbole 12-09-33 est applicable.	Carry-generate output of an arithmetic element If this output stands at its internal 1-state, this indicates that an arithmetic element performing addition is in the carry-generate state, that is, that the sum of its addends is sufficiently large to cause a carry from the element independent of the state of the CI-input to that element. NOTE — The note with symbol 12-09-33 applies.
12-09-42	CO	Sortie fournissant la retenue d'une opération arithmétique d'addition Sortie fournissant le report de retenue d'addition d'un opérateur arithmétique Quand cette sortie est à l'état interne 1, cela signifie que l'opération d'addition effectuée par un opérateur arithmétique donne une retenue d'addition comme dans le cas du symbole 12-09-39. NOTE — La note du symbole 12-09-33 est applicable.	Carry-out output of an arithmetic element Ripple-carry output of an arithmetic element If this output stands at its internal 1-state, this indicates that an addition operation performed by an arithmetic element produces an arithmetic carry (see description of symbol 12-09-39). NOTE — The note with symbol 12-09-33 applies.
12-09-43	CP	Entrée recevant la retenue propagée d'une opération arithmétique d'addition Quand cette entrée est à l'état interne 1, cela signifie à l'opérateur donnant la retenue d'addition accélérée que l'opérateur arithmétique donnant le signal CP est dans l'état de propagation de retenue selon la description du symbole 12-09-44. NOTE — La note du symbole 12-09-33 est applicable.	Carry-propagate input of an arithmetic element If this input stands at its internal 1-state, this indicates to a carry-acceleration element that the arithmetic element that produces the CP-signal is in the carry-propagate state (see description of symbol 12-09-44). NOTE — The note with symbol 12-09-33 applies.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-09-44	CP	Sortie fournissant la retenue propagée d'une opération arithmétique d'addition Quand cette sortie est à l'état interne 1, cela signifie qu'un opérateur arithmétique effectuant une addition est dans l'état de propagation de retenue, c'est-à-dire que la somme des termes est un moins de la valeur pour laquelle l'opérateur donne une retenue d'addition. Il en résulte que la sortie CO reste à l'état interne 1 si et seulement si son entrée CI est à l'état interne 1. NOTE — La note du symbole 12-09-33 est applicable.	Carry-propagate output of an arithmetic element If this output stands at its internal 1-state, this indicates that an arithmetic element performing addition is in the carry-propagate state, that is that the sum of its addends is one less than the value at which the element produces an output carry. As a result, the CO-output will stand at its internal 1-state if and only if its CI-input is at its internal 1-state. NOTE — The note with symbol 12-09-33 applies.
12-09-45	CT=m	Entrée imposant un contenu m doit être remplacé par une indication appropriée du contenu imposé à l'opérateur tel qu'un compteur chaque fois que cette entrée est portée à l'état interne 1. Quand cette entrée est à l'état interne 0, elle n'a aucun effet sur l'opérateur. NOTE — Comme exemple d'application, voir le symbole 12-49-16.	Content input m shall be replaced by an appropriate indication of the content of the element (for example a counter) that results whenever this input takes on its internal 1-state. If this input stands at its internal 0-state, it has no effect on the element. NOTE — For an example of use, see symbol 12-49-16.
12-09-46	CT*	Sortie indiquant le contenu L'astérisque doit être remplacé par une indication appropriée des valeurs du contenu de l'opérateur tel qu'un compteur pour lesquelles la sortie est à l'état interne 1. NOTE — Comme exemple d'application, voir le symbole 12-49-12.	Content output The asterisk shall be replaced by an appropriate indication of those values of the content of the element (for example a counter) for which the output stands at its internal 1-state. NOTE — For an example of use, see symbol 12-49-12.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

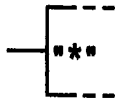
No.	Symbole Symbol	Légende	Description
12-09-47		Groupement de liaison d'entrée Symbole indiquant que plusieurs bornes sont nécessaires pour transmettre une même information logique. NOTES 1 Les niveaux logiques sur les connexions groupées sous ce symbole peuvent différer de ceux des autres connexions d'accès. 2 Comme exemple d'application de la note 1, voir le symbole 12-29-07. 3 Comme exemple d'application, voir le symbole 12-28-06. 4 La note du symbole 12-09-08B est applicable.	Line grouping at the input side This symbol indicates that two or more connections are needed to implement a single logic input. NOTES 1 The logic levels on connections grouped by this symbol may differ from those on the other input and output terminals. 2 For an example of use of note 1, see symbol 12-29-07. 3 For an example of use, see symbol 12-28-06. 4 The note with symbol 12-09-08B applies.
12-09-48		Groupement de liaison de sortie Symbole indiquant que plusieurs bornes sont nécessaires pour transmettre une même information logique. NOTES 1 La note 1 du symbole 12-09-47 est applicable. 2 Comme exemple d'application, voir le symbole 12-28-07.	Line grouping at the output side This symbol indicates that two or more connections are needed to implement a single logic output. NOTES 1 Note 1 with symbol 12-09-47 applies. 2 For an example of use, see symbol 12-28-07.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

STD.IEC 60617-12-ENGL 1997 ■ 4844891 0664231 6T9 ■

12-09-49	"1"	Entrée de mode fixe Si un opérateur peut accomplir plusieurs fonctions, dont un nombre restreint présente un intérêt, cette symbolisation peut être utilisée pour identifier une entrée qui doit être maintenue à l'état interne 1 pour que l'opérateur accomplisse la fonction indiquée. L'entrée de mode fixe ne peut avoir d'autres fonctions et la notation de dépendance ne lui est pas applicable. NOTE — Comme exemples d'application, voir les symboles 12-49-07 et 12-49-08.	Fixed-mode input If an element can perform several functions but only a restricted number of functions is of interest, this representation can be used to identify an input that must be in the internal 1-state for the element to perform the functions of interest indicated by the symbol. A fixed-mode input must not be affected by dependency notation nor have other functions. NOTE — For examples of use, see symbols 12-49-07 and 12-49-08.
12-09-50	"1"	Sortie fixée à l'état 1 Cette symbolisation peut être utilisée pour représenter une sortie qui reste en permanence à l'état interne 1. Cette sortie ne doit pas être affectée par des notations de dépendance, ni avoir d'autres fonctions. NOTE — Comme exemple d'application, voir le symbole 12-33-10.	Fixed-1-state output This representation may be used to identify an output that always stands at its internal 1-state. This output shall neither be affected by dependency notation nor have other functions. NOTE — For an example of use, see symbol 12-33-10.
12-09-51	"0"	Sortie fixée à l'état 0 Cette symbolisation peut être utilisée pour représenter une sortie qui reste en permanence à l'état interne 0. Cette sortie ne doit pas être affectée par une notation de dépendance, ni avoir d'autres fonctions.	Fixed-0-state output This representation may be used to identify an output that always stands at its internal 0-state. This output shall neither be affected by dependency notation nor have other functions.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-09-52		Connexion obligatoire (figurée sur une entrée) Cette représentation peut servir à identifier une entrée ou une sortie à connecter à une ou plusieurs entrées ou sorties dans le même opérateur afin que cet opérateur fonctionne comme indiqué par ailleurs par le symbole. L'astérisque doit être remplacé par un repère autre que 0 ou 1. Chaque accès qui est à connecter (à l'extérieur) à l'opérateur en question doit avoir le même repère de connexion obligatoire. NOTES 1 Un accès à connexion obligatoire ne doit pas être concerné par la notation de dépendance. Toutefois, il est permis qu'il ait d'autres fonctions concernées par la notation de dépendance. 2 Comme exemples d'application, voir les symboles 12-40-04 et 12-49-17.	Required connection (shown at an input) This symbol identifies an input or output that must be connected to one or more other inputs or outputs in the same element for the element to perform as otherwise indicated by the symbol. The asterisk shall be replaced by a label other than 0 or 1. Each input and output that is to be connected (outside the element) to this one shall have an identical required-connection label. NOTES 1 A required connection shall not be affected by dependency notation. However, the input or output may have other functions that are affected by dependency notation. 2 For examples of use, see symbols 12-40-04 and 12-49-17.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

10 Accès non concernés par une information logique binaire, sens de propagation de l'information et accès avec rappel interne

10.1 L'un des symboles 13-04-01 à 13-04-04 de la CEI 60617-13 peut être utilisé pour indiquer un accès intéressé par un signal analogique ou par un signal numérique.

10.2 Pour des entrées d'alimentation, le symbole 13-05-01 de CEI 60617-13 peut être utilisé.

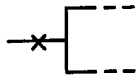
10.3 En principe, le sens de propagation de l'information dans un symbole est de la gauche vers la droite et du haut vers le bas. Si cette règle ne peut pas être appliquée ou si le sens de propagation n'est pas évident, celui-ci peut être indiqué par des flèches orientant les trajets de signaux. Ces flèches ne doivent toucher aucun cadre ni aucun symbole distinctif. Voir, par exemple, le symbole 12-29-06.

10 Non-logic connections and signal-flow indicators, internal pulldown and internal pullup

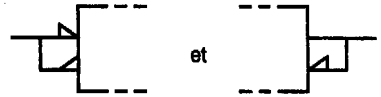
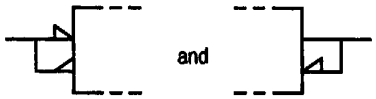
10.1 Symbols 13-04-01 through 13-04-04 of IEC 60617-13 may be used to denote an input or an output carrying analogue or digital signals respectively.

10.2 For supply voltage inputs, use symbol 13-05-01 of IEC 60617-13.

10.3 In principle, the direction of signal flow within a symbol is from left to right and from top to bottom. If this rule cannot be maintained and the direction of signal flow is not obvious, then the signal lines should be marked with arrowheads pointing in the direction of signal flow. These arrowheads shall not touch the outline or any qualifying symbol. See, for example, symbol 12-29-06.

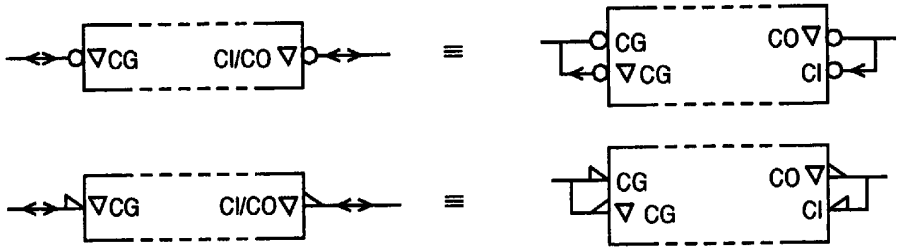
No.	Symbole Symbol	Légende	Description
12-10-01		Accès, figuré côté gauche, ne recevant pas d'information logique Ce symbole peut être utilisé pour toute connexion ne transmettant pas d'information logique (par exemple raccordements à des tensions de référence). Une information complémentaire associée au symbole peut être inscrite, sans crochets, à l'intérieur du cadre. NOTE — Comme exemple d'application, voir le symbole 12-47-02.	Non-logic connection, shown on the left-hand side This symbol may be used to indicate a connection which does not carry any logic information (for example reference voltage connection). Additional information associated with non-logic connections may be shown without brackets inside the outline. NOTE — For an example of use, see symbol 12-47-02.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

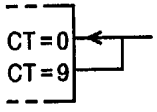
No.	Symbole Symbol	Légende	Description
12-10-02	Utiliser le symbole 02-05-03 Use symbol 02-05-03	**Propagation bilatérale de l'information** NOTES 1 Comme exemple d'application, voir le symbole 12-29-08. 2 Sur une connexion comportant le symbole de propagation bilatérale, il convient que tout symbole de polarité logique pointe vers la droite ou vers le bas, par exemple : 3 Dans certains cas, la présence du symbole de polarité logique rend inutile l'emploi du symbole de propagation bilatérale, par exemple :  4 Il convient que la propagation bilatérale de l'information ne soit pas représentée sur une seule ligne entrée/sortie — si les indications de négation ou de polarité sont différentes pour les fonctions d'entrée et de sortie (sauf dans les cas permis par 6.4), ou — si les marquages associés aux fonctions d'entrée et de sortie sont différents et s'il peut y avoir confusion quant aux marquages intéressant uniquement les entrées et uniquement les sorties.	**Bidirectional signal flow** NOTES 1 For an example of use, see symbol 12-29-08. 2 On a connecting line with bidirectional signal flow, any symbol for logic polarity should point to the right or down, for example: 3 In some cases, the appearance of the symbols for logic polarity makes the use of the symbol for bidirectional signal flow unnecessary, for example:  4 Bidirectional signal flow should not be shown on a single input-output line — if the negation or polarity indications are different for the input and output functions (except as permitted by 6.4), or — if the labels associated with the input and output functions are different and confusion is likely regarding which portion of the labels applies to the input and which to the output.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Illustrations



Dans ce cas, la propagation bilatérale de l'information ne doit pas être représentée sur une seule ligne parce qu'il en résulterait une confusion.



In this case, bidirectional signal flow shall not be shown on a single line, because confusion would be likely.

No.	Symbole Symbol	Légende	Description
12-10-03		Entrée avec rappel interne à 0 Quand cette entrée n'est pas connectée à l'extérieur, son niveau logique externe est L. L'absence de ce symbole n'indique pas nécessairement qu'il n'y a pas de rappel interne à 0. NOTE — Comme exemple d'application, voir le symbole 12-49-18.	Input with internal pulldown When this input is not connected externally, the external logic level is L. The absence of this symbol does not necessarily indicate the absence of internal pulldown. NOTE — For an example of use, see symbol 12-49-18.
12-10-04		Entrée avec rappel interne à 1 Quand cette entrée n'est pas connectée à l'extérieur, son niveau logique externe est H. L'absence de ce symbole n'indique pas nécessairement qu'il n'y a pas de rappel interne à 1.	Input with internal pullup When this input is not connected externally, the external logic level is H. The absence of this symbol does not necessarily indicate the absence of internal pullup.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Chapitre IV : Notation de dépendance

11 Exposé

La notation de dépendance symbolise les relations entre accès, sans figurer le détail des opérateurs et interconnexions impliqués.

NOTE — Il convient de ne pas utiliser la notation de dépendance au lieu et place des symboles d'opérateurs combinatoires, sauf l'utilisation dans les symboles d'opérateurs complexes.

L'information fournie par la notation de dépendance complète celle donnée par le symbole distinctif de l'opérateur.

Les conventions régissant la notation de dépendance font appel aux notions d'accès influençant et d'accès influencé. Lorsque ces rôles respectifs ne sont pas évidents (par exemple dans le cas d'une relation ET), le choix peut être fait de la façon paraissant la plus adéquate.

Dans certains opérateurs complexes, des sorties peuvent agir sur des entrées ou sur d'autres sorties. Pour plus de simplicité, les sections 12 et 13 se réfèrent seulement au terme général d'accès.

12 Convention

La notation de dépendance concerne les relations entre états logiques internes, sauf dans le cas de sorties 3 états, sorties à circuit ouvert directes ou sorties à circuit ouvert (symboles 12-09-03 à 12-09-08) où la dépendance de VALIDATION (section 20) concerne les relations entre les états logiques internes des entrées influençantes et les états externes des sorties influencées.

Chapter IV : Dependency notation

11 General explanation

Dependency notation is a means of denoting the relationships between inputs, between outputs, or between inputs and outputs, without actually showing all the elements and interconnections involved.

NOTE — Apart from its use in complex elements, dependency notation should not be used to replace the symbols for combinative elements.

The information provided by dependency notation supplements that provided by the qualifying symbols for an element's function.

In the convention for dependency notation, use will be made of the terms "affecting" and "affected". In the case where it is not evident which inputs must be considered as being the affecting or the affected ones (for example, if they stand in an AND relationship), the choice may be made in any convenient way.

In some complex elements, outputs may have an effect on inputs and other outputs. For the sake of simplicity, the text of sections 12 and 13 refers to "affecting inputs" only, but it should be understood that the recommended notation applies to affecting outputs also.

12 Convention

Dependency notation usually defines relationships between internal logic states. However, in the case of 3-state outputs, passive-pull-down outputs, passive-pull-up outputs and open-circuit outputs (symbols 12-09-03 through 12-09-08), ENABLE dependency (section 20) defines relationships between the internal logic states of affecting inputs and the external states of affected outputs.

La notation de dépendance est réalisée en marquant

— l'accès influençant par un symbole littéral spécifique de la relation impliquée suivi d'un numéro d'identification, et

— chacun des accès qu'il influence par le même numéro d'identification.

Des accès marqués du même numéro d'identification surmonté d'une barre sont influencés par l'état logique interne complémentaire de l'accès influençant concerné.

NOTE — Comme exemple d'application, voir le symbole 12-42-11. Pour une méthode évitant l'utilisation du signe barre, voir la note du symbole 12-49-04.

Si un accès influencé nécessite un symbole indiquant un effet sur l'opérateur, ce symbole doit être précédé du numéro d'identification de l'accès influençant.

Si un accès est influencé par plusieurs accès influençants, les numéros d'identification de chacun d'eux doivent se suivre dans le marquage de l'accès influencé, séparés par des virgules. L'ordre de lecture de gauche à droite de ces numéros est le même que celui des priorités des relations d'influence (voir aussi la section 25).

Deux accès influençants marqués par des lettres différentes ne doivent pas avoir le même numéro d'identification, exception faite de la lettre A pour l'un des deux (voir la section 23).

Si deux accès influençants sont marqués de la même lettre et du même numéro d'identification, leur relation mutuelle est un OU.

Si les fonctions de certains accès tels que les sorties d'un transcodeur doivent être définies par des nombres, les numéros d'identification à associer aux accès influençants et influencés doivent être remplacés par d'autres marquages, choisis pour éviter toutes ambiguïtés, par exemple des lettres grecques.

Application of dependency notation is accomplished by

— labelling the input affecting other inputs or outputs with a particular letter symbol denoting the relationship involved followed by an identifying number, and

— labelling each input or output affected by that affecting input with that same number.

If it is the complement of the internal logic state of the affecting input [output] that does the affecting, a bar shall be placed over the identifying number at the affected input [output].

NOTE — For an example of use, see symbol 12-42-11. For a technique avoiding the use of a bar, see the note with symbol 12-49-04.

If the affected input or output requires a label to denote an effect it has on the element, this label shall be prefixed by the identifying number of the affecting input.

If an input or output is affected by more than one affecting input, the identifying numbers of each of the affecting inputs shall appear in the label of the affected one, separated by commas. The left-to-right order of these identifying numbers is the same as the sequence of the affecting relationships (see also section 25).

Two affecting inputs labelled with different letters shall not have the same identifying number unless one of the letters is A (see section 23).

If two affecting inputs have the same letter and the same identifying number, they stand in an OR relationship to each other.

If the labels denoting the functions of affected inputs or outputs must be numbers (for example, outputs of a coder), the identifying numbers to be associated with both affecting inputs and affected inputs or outputs shall be replaced by another character selected to avoid ambiguity, for example Greek letters.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Un accès influençant n'a d'effet que sur les accès influencés correspondants.

13 Types de dépendance

Les dépendances définies sont les suivantes.

ET, OU et NÉGATION, destinées à définir des relations booléennes entre accès.

INTERCONNEXION, destinée à préciser qu'un accès impose son état logique à un ou plusieurs autres accès.

TRANSMISSION, destinée à indiquer la commande d'une voie de transmission entre des accès déterminés.

COMMANDE, destinée à identifier une entrée d'horloge ou d'une autre action cadencée d'un opérateur séquentiel et à indiquer les accès qu'elle commande.

MISE A UN et MISE A ZÉRO, destinées à spécifier les états logiques internes d'une bascule bistable RS dans laquelle les entrées R et S sont toutes deux à l'état interne 1.

VALIDATION, destinée à identifier une entrée de Validation et à indiquer quels accès elle valide (par exemple quelles sorties sont mises en condition de haute impédance).

MODE, destinée à identifier une entrée qui sélectionne un certain mode d'action d'un opérateur et à indiquer les accès affectés à ce mode.

ADRESSE, destinée à identifier les entrées Adresse d'une mémoire.

An affecting input affects only the corresponding affected inputs and outputs of the symbol.

13 Types of dependency

The following types of dependency are defined.

AND, OR, and NEGATE dependencies are used to denote Boolean relationships between inputs and/or outputs.

INTERCONNECTION dependency is used to indicate that an input or output imposes its logic state on one or more other inputs and/or outputs.

TRANSMISSION dependency is used to indicate controlled transmission paths between affected ports.

CONTROL dependency is used to identify a timing input or a clock input of a sequential element and to indicate which inputs are controlled by it.

SET and RESET dependencies are used to specify the internal logic states of an RS-bistable element when the R- and S-inputs both stand at their internal 1-states.

ENABLE dependency is used to identify an Enable input and to indicate which inputs and/or outputs are controlled by it (for example which outputs take on their high-impedance condition).

MODE dependency is used to identify an input that selects the mode of operation of an element and to indicate the inputs and/or outputs that depend on that mode.

ADDRESS dependency is used to identify the Address inputs of a memory.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Le tableau I regroupe les différents types de dépendance et résume leurs effets. Des définitions détaillées, accompagnées d'illustrations, font l'objet des sections suivantes. Des symboles décrits au chapitre V sont utilisés dans les illustrations.

Dans le tableau I, le terme «action» exprime

— qu'une entrée influençante exerce sur l'opérateur l'effet qui lui est normalement dévolu;

— qu'une sortie influencée prend l'état interne qui résulte de la fonction de l'opérateur.

Table I lists the various dependencies and summarizes their effects. More detailed definitions appear in the following sections, together with illustrations of the concepts. In these illustrations, general symbols explained in chapter V are used.

In Table I, the word "action" implies

— that affecting inputs will have their normally defined effect on the function of the element;

— that affected outputs will take on the internal logic states determined by the function of the element.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Tableau I – Types de dépendances

Type de dépendance	Symbole littéral	Effet sur l'accès influencé si l'accès influençant est à :		Voir section
		l'état 1	l'état 0	
ADRESSE	A	Action permise (adresse sélectionnée)	Action bloquée (adresse non sélectionnée)	23
COMMANDE	C	Action permise	Action bloquée	18
VALIDATION	EN	Action permise	— Action de la sortie influencée bloquée — Etat externe «haute impédance» imposé à une sortie à circuit ouvert ou à une sortie 3 états; état interne d'une sortie 3 états non influencée — Niveau L «haute impédance» imposé à une sortie à circuit ouvert directe de type H; niveau H «haute impédance» imposé à une sortie à circuit ouvert directe de type L — Etat 0 imposé aux autres sorties	20
ET	G	Action permise	Etat 0 imposé	14
MODE	M	Action permise (mode sélectionné)	Action bloquée (mode non sélectionné)	21
NEGATION	N	Etat interne complémenté	Etat interne non modifié	16
MISE À ZÉRO	R	Etat interne de la sortie comme pour S = 0, R = 1	Etat interne non modifié	19
MISE À UN	S	Etat interne de la sortie comme pour S = 1, R = 0	Etat interne non modifié	19
OU	V	Etat 1 imposé	Action permise	15
TRANSMISSION	X	La voie de transmission est établie	La voie de transmission n'est pas établie	17A
INTERCONNEXION	Z	Etat 1 imposé	Etat 0 imposé	17

NOTE — Un accès influencé marqué d'un numéro d'identification surmonté d'une barre est influencé par l'état logique complémentaire de celui indiqué, dans le tableau ci-dessus, pour l'accès influençant.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Table I – Types of dependency

Type of dependency	Letter symbol	Effect on affected input or output if the affecting input stands at its:		See section
		1-state	0-state	
ADDRESS	A	Permits action (address selected)	Prevents action (address not selected)	23
CONTROL	C	Permits action	Prevents action	18
ENABLE	EN	Permits action	— Prevents action of affected inputs — Imposes external high-impedance condition on open-circuit and 3-state outputs (internal state of 3-state outputs unaffected) — Imposes high-impedance L-level on passive-pull-down outputs and high-impedance H-level on passive-pull-up outputs — Imposes 0-state on other outputs	20
AND	G	Permits action	Imposes 0-state	14
MODE	M	Permits action (mode selected)	Prevents action (mode not selected)	21
NEGATE	N	Complements state	No effect	16
RESET	R	Affected output reacts as it would to S = 0, R = 1	No effect	19
SET	S	Affected output reacts as it would to S = 1, R = 0	No effect	19
OR	V	Imposes 1-state	Permits action	15
TRANSMISSION	X	Transmission path established	No transmission path established	17A
INTERCONNECTION	Z	Imposes 1-state	Imposes 0-state	17

NOTE — An affected input [output] carrying an identifying number with a bar over it is affected by the logic state of the affecting input that is the complement of that indicated in the table above.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

14 Dépendance ET (dépendance G)

Tout accès influencé par un accès Gm est lié à celui-ci par une fonction ET.

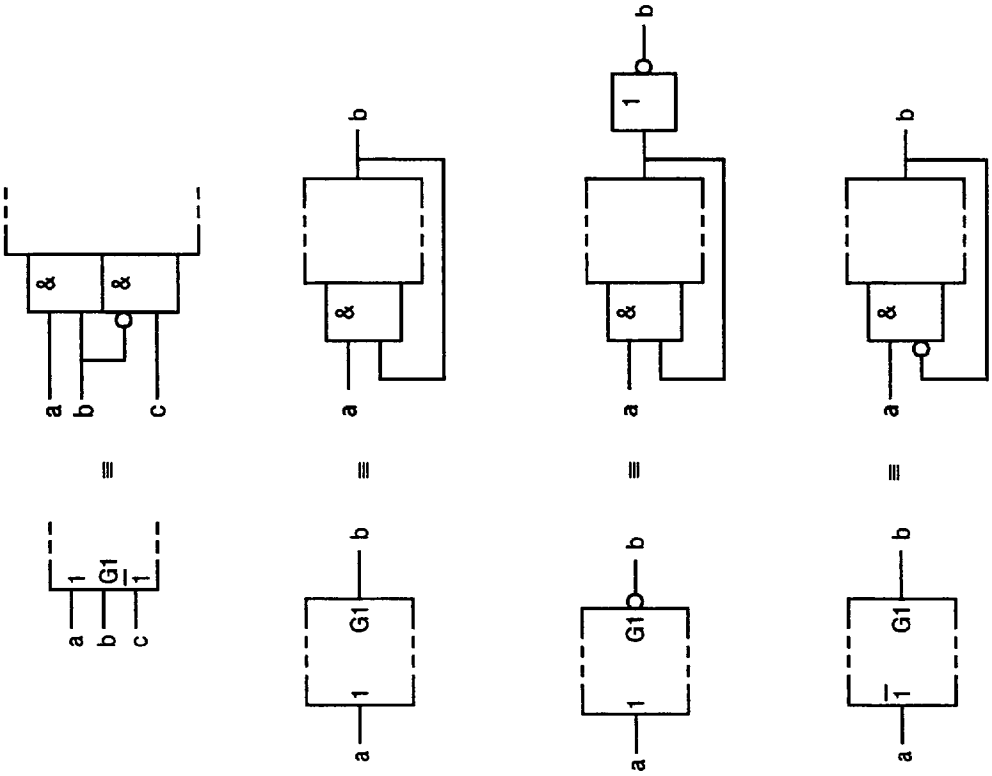
14 AND dependency (G-dependency)

Each input [output] affected by a Gm-input [Gm-output] stands in an AND relationship with this Gm-input [Gm-output].

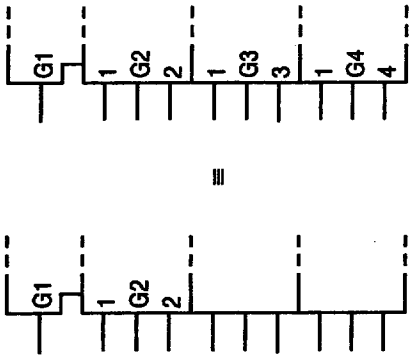
No.	Symbole Symbol	Légende	Description
12-14-01	Gm	Entrée Gm	Gm-input
12-14-02	Gm	Sortie Gm Quand un accès Gm est à l'état interne 1, tous les accès influencés par cet accès ont l'état logique interne résultant de la fonction de l'opérateur. Quand un accès Gm est à l'état interne 0, tous les accès influencés par cet accès ont l'état logique interne 0. m doit être remplacé par le numéro d'identification. NOTE — La note du tableau I est applicable.	Gm-output If a Gm-input [Gm-output] stands at its internal 1-state, all inputs and outputs affected by this Gm-input [Gm-output] stand at their normally defined internal logic states. If a Gm-input [Gm-output] stands at its internal 0-state, all inputs and outputs affected by this Gm-input [Gm-output] stand at their internal 0-states. m shall be replaced by the relevant identifying number. NOTE — The note with table I applies.

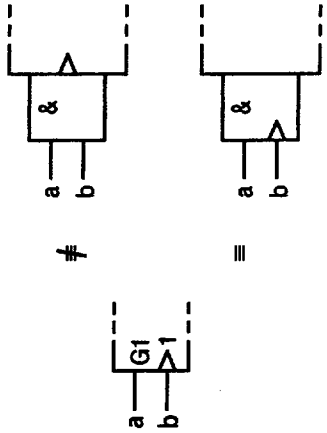
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Illustrations



COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000





COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

15 Dépendance OU (dépendance V)

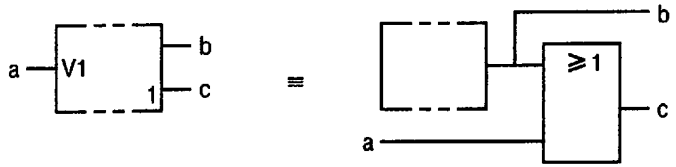
Tout accès influencé par un accès Vm est lié à celui-ci par une fonction OU.

15 OR dependency (V-dependency)

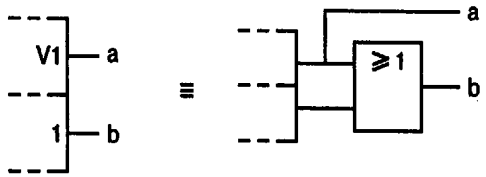
Each input [output] affected by a Vm-input [Vm-output] stands in an OR relationship with this Vm-input [Vm-output].

No.	Symbole Symbol	Légende	Description
12-15-01	Vm	Entrée Vm	Vm-input
12-15-02	Vm	Sortie Vm Quand un accès Vm est à l'état interne 1, tous les accès influencés par cet accès ont l'état logique interne 1. Quand un accès Vm est à l'état interne 0, tous les accès influencés par cet accès ont l'état logique interne résultant de la fonction de l'opérateur. m doit être remplacé par le numéro d'identification. NOTE — La note du tableau I est applicable.	Vm-output If a Vm-input [Vm-output] stands at its internal 1-state, all inputs and outputs affected by this Vm-input [Vm-output] stand at their internal 1-states. If a Vm-input [Vm-output] stands at its internal 0-state, all inputs and outputs affected by this Vm-input [Vm-output] stand at their normally defined internal logic states. m shall be replaced by the relevant identifying number. NOTE — The note with table I applies.

Illustrations



COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000



16 Dépendance de NEGATION (dépendance N)

Tout accès influencé par un accès Nm est lié à celui-ci par une fonction OU-EXCLUSIF.

16 NEGATE dependency (N-dependency)

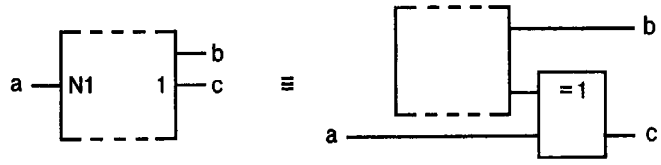
Each input [output] affected by a Nm-input [Nm-output] stands in an EXLCUSIVE-OR relationship with this Nm-input [Nm-output].

No.	Symbole Symbol	Légende	Description
12-16-01	Nm	Entrée Nm	Nm-input
12-16-02	Nm	Sortie Nm Quand un accès Nm est à l'état interne 1, l'état logique interne de chacun des accès qu'il influence est complémentaire de celui résultant de la fonction de l'opérateur. Quand un accès Nm est à l'état interne 0, tous les accès influencés par cet accès ont l'état logique interne résultant de la fonction de l'opérateur. m doit être remplacé par le numéro d'identification. NOTE — La note du tableau I est applicable.	Nm-output If a Nm-input [Nm-output] stands at its internal 1-state, the internal logic state of each input and each output affected by this Nm-input [Nm-output] is the complement of the normally defined internal logic state of that input [output]. If a Nm-input [Nm-output] stands at its internal 0-state, all inputs and outputs affected by this Nm-input [Nm-output] stand at their normally defined internal logic states. m shall be replaced by the relevant identifying number. NOTE — The note with table I applies.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Illustration

Pour a = 0, on a c = b
Pour a = 1, on a c = $\overline{b}$



If a = 0, then c = b
If a = 1, then c = $\overline{b}$

17 Dépendance d'INTERCONNEXION (dépendance Z)

La notation de dépendance d'INTERCONNEXION indique qu'un accès impose son état logique interne à un ou plusieurs autres accès. Comme exemple d'application, voir le symbole 12-28-13.

L'état logique interne d'un accès influencé par un accès Zm est le même que celui de cet accès Zm, sauf modification par une autre notation de dépendance.

17 INTERCONNECTION dependency (Z-dependency)

INTERCONNECTION dependency is used to indicate that an input [output] imposes its internal logic state on one or more other inputs and/or outputs. For an example of use, see symbol 12-28-13.

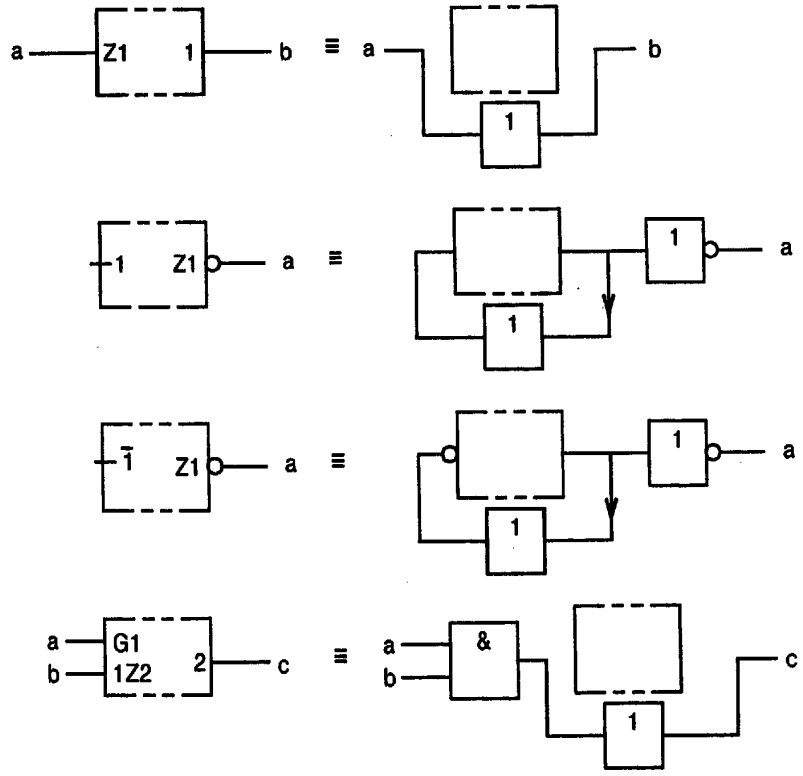
The internal logic state of an input [output] affected by a Zm-input [Zm-output] is identical to the internal logic state of its affecting Zm-input [Zm-output] unless modified by additional dependency notation.

No.	Symbole Symbol	Légende	Description
12-17-01	Zm	Entrée Zm	Zm-input
12-17-02	Zm	Sortie Zm Tout accès influencé par un accès Zm présente à tout instant le même état logique interne que lui, sauf modification par une autre notation de dépendance. *(suite à la page suivante)*	Zm-output If a Zm-input [Zm-output] stands at its internal 1-state, all inputs and outputs affected by this Zm-input [Zm-output] stand at their internal 1-states unless modified by additional dependency notation. *(continued overleaf)*

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende *(fin)*	Description *(concluded)*
		m doit être remplacé par le numéro d'identification. NOTE — La note du tableau I est applicable.	If a Zm-input [Zm-output] stands at its internal 0-state, all inputs and outputs affected by this Zm-input [Zm-output] stand at their internal 0-states unless modified by additional dependency notation. m shall be replaced by the relevant identifying number. NOTE — The note with table I applies.

Illustrations



COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

STD.IEC 60617-12-ENGL 1997 ■ 4844891 0664249 839 ■

17A Dépendance de TRANSMISSION (dépendance X)

La dépendance de TRANSMISSION est destinée à indiquer la commande d'une voie de transmission entre des accès déterminés. Sauf indication contraire, la voie de transmission est bilatérale. La dépendance de TRANSMISSION donne un moyen de symboliser un simple commutateur électronique et rend possible la représentation de dispositifs compliqués d'une manière concise.

17A TRANSMISSION dependency (X-dependency)

TRANSMISSION dependency is used to indicate controlled transmission paths between affected ports (inputs, outputs and/or input-outputs). Unless otherwise indicated, the transmission paths are bidirectional. The TRANSMISSION dependency provides a way of symbolizing simple analogue switches and it enables more complicated devices to be depicted in a concise manner.

No.	Symbole Symbol	Légende	Description
12-17A-01	Xm	Entrée Xm	Xm-input
12-17A-02	Xm	Sortie Xm Quand un accès Xm est à l'état interne 1, une voie de transmission est établie à laquelle tous les accès marqués du même indice m sont connectés. Toutefois, si un accès est influencé par plusieurs accès Xm avec des numéros d'identification séparés par des virgules, alors l'accès est connecté aux voies de transmission établies par ces accès Xm si, et seulement si, tous ces accès influençants sont à leurs états internes 1. Tous les accès connectés à une voie de transmission sont au même niveau analogique de signal ou au même état logique interne, sauf modification par une autre notation, par exemple une notation de dépendance. Quand un accès Xm est à l'état interne 0, aucune voie de transmission n'est établie par cet accès. *(suite à la page suivante)*	Xm-output If an Xm-input [Xm-output] stands at its internal 1-state, a transmission path is established to which all ports affected by this input [output] are connected. However, if a port is affected by two or more Xm-inputs and/or Xm-outputs whose identifying numbers are separated by commas, then the port is connected to the transmission paths established by these Xm-inputs [Xm-outputs] only if all these affecting inputs [outputs] stand at their internal 1-states. All ports connected to a transmission path stand at the same analogue signal level or internal logic state unless modified by additional notation, for example dependency notation. If an Xm-input [Xm-output] stands at its internal 0-state, no transmission paths are established by this input or output. *(continued overleaf)*

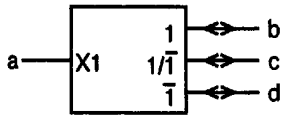
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende *(fin)*	Description *(concluded)*
		Quand un accès Xm est influencé, dans le sens d'une notation de dépendance, de sorte qu'il ne peut participer à la fonction d'un opérateur, aucune voie de transmission n'est établie par cet accès. m doit être remplacé par le numéro d'identification. NOTE — La note du tableau I est applicable.	If an Xm-input [Xm-output] is modified by additional notation to have no effect on the function of the element, there is no transmission path established by that input or output. m shall be replaced by the relevant identifying number. NOTE — The note with table I applies.

Illustrations

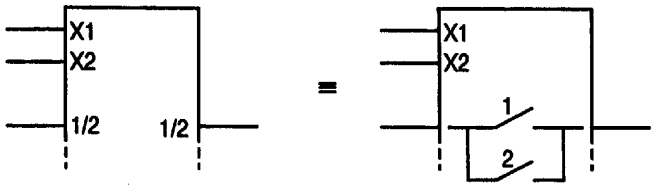
Quand l'entrée a est à l'état interne 1, la voie de transmission bilatérale est établie entre b et c.

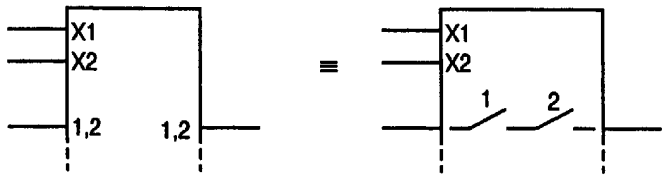
Quand l'entrée a est à l'état interne 0, la voie de transmission bilatérale est établie entre c et d.



If input a stands at its internal 1-state, there is a bidirectional transmission path between b and c.

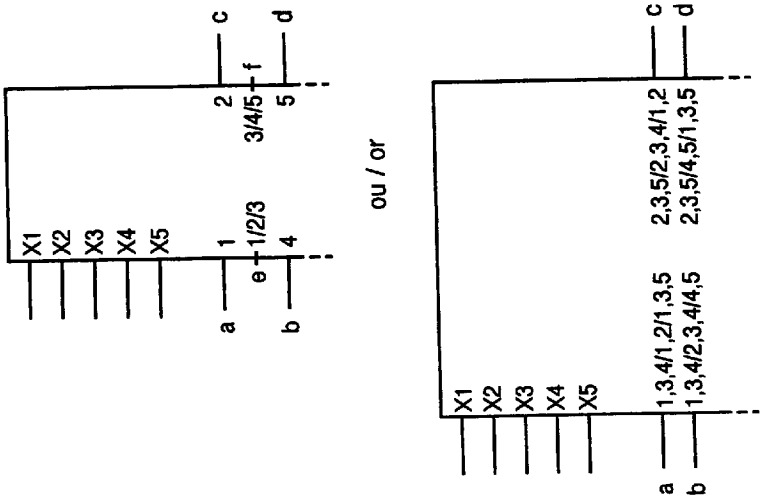
If input a stands at its internal 0-state, there is a bidirectional transmission path between c and d.





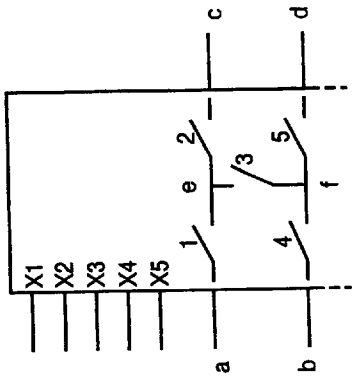
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

L'utilisation des accès virtuels permet de simplifier une suite compliquée de notations de dépendance :



≡

The use of virtual inputs and outputs can simplify an otherwise complicated string of dependency notations:



COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

18 Dépendance de COMMANDE (dépendance C)

La dépendance de COMMANDE doit être utilisée seulement pour des opérateurs séquentiels et peut exprimer une relation plus compliquée que ET. Elle identifie une entrée qui déclenche une action, telle que l'entrée d'horloge d'un opérateur bistable déclenché sur front, ou l'entrée de validation d'une bascule transparente.

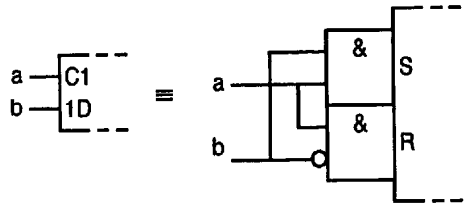
18 CONTROL dependency (C-dependency)

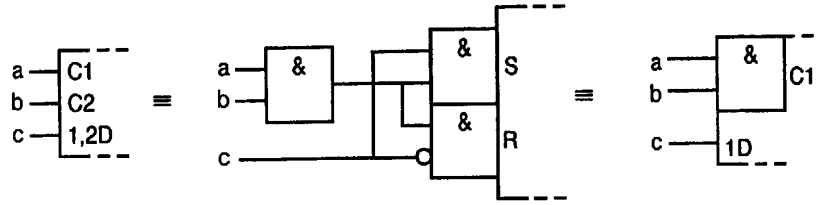
CONTROL dependency shall be used only for sequential elements and may imply more than a simple AND relationship. It identifies an input that produces action, for example the clock of an edge-triggered bistable circuit or the data enable of a level-operated transparent latch.

No.	Symbole Symbol	Légende	Description
12-18-01	Cm	Entrée Cm	Cm-input
12-18-02	Cm	Sortie Cm Quand un accès Cm est à l'état interne 1, les entrées qu'il influence ont l'effet prévu sur le fonctionnement de l'opérateur. Quand un accès Cm est à l'état interne 0, les entrées qu'il influence n'ont plus d'effet sur le fonctionnement de l'opérateur. m doit être remplacé par le numéro d'identification. NOTE — La note du tableau I est applicable.	Cm-output If a Cm-input [Cm-output] stands at its internal 1-state, the inputs affected by this Cm-input [Cm-output] have their normally defined effect on the function of the element. If a Cm-input [Cm-output] stands at its internal 0-state, the inputs affected by this Cm-input [Cm-output] have no effect on the function of the element. m shall be replaced by the relevant identifying number. NOTE — The note with table I applies.

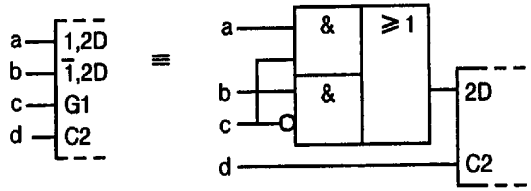
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Illustrations



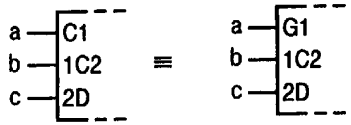


9.1 est appliqué.



Use has been made of 9.1.

NOTE — Cette illustration est exclusivement explicative car l'utilisation d'une entrée Cm influençant une autre entrée Cm n'est pas recommandée.



NOTE — This illustration has been included for explanatory purposes, but the use of a Cm-input to affect a second Cm-input is not recommended.

Pour la comparaison des influences C, EN et M sur les entrées, voir la section 22.

For comparison of C-, EN-, and M-effects on inputs, see section 22.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

19 Dépendance MISE À UN (dépendance S) et dépendance MISE À ZÉRO (dépendance R)

Ces dépendances ne sont utilisées que s'il est nécessaire de spécifier l'effet des entrées R et S sur une bascule bistable pour la combinaison R = S = 1. Comme exemple d'application, voir la note du symbole 12-42-07.

Des entrées influençantes R et S ne peuvent agir que sur les sorties.

19 SET and RESET dependency (S- and R-dependency)

SET and RESET dependencies are used if it is necessary to specify the effect of the combination R = S = 1 on a bistable element. These dependencies should not be used if such specification is not necessary. For an example of application, see the note with symbol 12-42-07.

Affecting S- and R-inputs can affect only outputs.

No.	Symbole Symbol	Légende	Description
12-19-01	Sm	Entrée Sm Quand une entrée Sm est à l'état interne 1, les sorties qu'elle influence prennent l'état logique interne pris pour la combinaison S = 1, R = 0, quel que soit l'état d'une entrée R quelconque. Quand une entrée Sm est à l'état interne 0, cette entrée n'a pas d'effet. m doit être remplacé par le numéro d'identification. NOTE — La note du tableau I est applicable.	Sm-input If an Sm-input stands at its internal 1-state, the outputs affected by this Sm-input will take on the internal logic state they normally would take on for the combination S = 1, R = 0, regardless of the state of any R-input. If an Sm-input stands at its internal 0-state, it has no effect. m shall be replaced by the relevant identifying number. NOTE — The note with table I applies.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

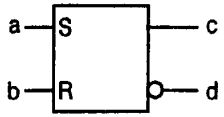
STD.IEC 60617-12-ENGL 1997 ■ 4844891 0664255 032 ■

12-19-02	Rm	Entrée Rm Quand une entrée Rm est à l'état interne 1, les sorties qu'elle influence prennent l'état logique interne pris pour la combinaison S = 0, R = 1, quel que soit l'état d'une entrée S quelconque. Quand une entrée Rm est à l'état interne 0, cette entrée n'a pas d'effet. m doit être remplacé par le numéro d'identification. NOTE — La note du tableau I est applicable.	Rm-input If an Rm-input stands at its internal 1-state, the outputs affected by this Rm-input will take on the internal logic state they normally would take on for the combination S = 0, R = 1, regardless of the state of any S-input. If an Rm-input stands at its internal 0-state, it has no effect. m shall be replaced by the relevant identifying number. NOTE — The note with table I applies.

Illustrations

États logiques externes

a b	c d
0 0	inchangé
0 1	0 1
1 0	1 0
1 1	non spécifié

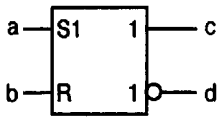


External logic states

a b	c d
0 0	unchanged
0 1	0 1
1 0	1 0
1 1	unspecified

États logiques externes

a b	c d
0 0	inchangé
0 1	0 1
1 0	1 0
1 1	1 0



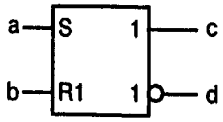
External logic states

a b	c d
0 0	unchanged
0 1	0 1
1 0	1 0
1 1	1 0

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

États logiques externes

a b	c d
0 0	inchangé
0 1	0 1
1 0	1 0
1 1	0 1

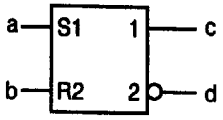


External logic states

a b	c d
0 0	unchanged
0 1	0 1
1 0	1 0
1 1	0 1

États logiques externes

a b	c d
0 0	inchangé
0 1	0 1
1 0	1 0
1 1	1 1



External logic states

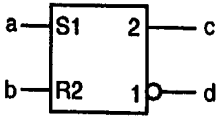
a b	c d
0 0	unchanged
0 1	0 1
1 0	1 0
1 1	1 1

NOTE — La situation non complémentaire des états des sorties de la dernière ligne de la table de vérité est seulement pseudo-stable. Le retour simultané des entrées a et b à 0 produit des états complémentaires stables, mais imprévisibles, des sorties.

NOTE — The non-complementary output pattern in the last line of the truth table is only pseudo-stable. The simultaneous return of a and b to 0 produces an unforeseeable stable and complementary output pattern.

États logiques externes

a b	c d
0 0	inchangé
0 1	0 1
1 0	1 0
1 1	0 0



External logic states

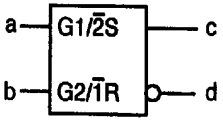
a b	c d
0 0	unchanged
0 1	0 1
1 0	1 0
1 1	0 0

NOTE — La note de la précédente illustration est applicable.

NOTE — The note with the preceding illustration applies.

États logiques externes

a b	c d
0 0	inchangé
0 1	0 1
1 0	1 0
1 1	inchangé



External logic states

a b	c d
0 0	unchanged
0 1	0 1
1 0	1 0
1 1	unchanged

NOTES

1 La signification de la barre inclinée est donnée dans la section 25.

2 Cet exemple n'utilise pas de dépendances S et R, mais complète la collection des cas possibles et illustre le fait qu'une dépendance S ou R ne peut pas influencer des entrées.

NOTES

1 The use of the solidus is explained in section 25.

2 This example does not use the S- and R-dependencies, but completes the set of alternatives to the unspecified case and demonstrates the fact that S- and R-dependencies cannot affect inputs.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

20 Dépendance de VALIDATION (dépendance EN)

La dépendance de VALIDATION est utilisée pour représenter une entrée de VALIDATION qui n'influence pas toutes les sorties d'un opérateur. Elle peut aussi être utilisée lorsqu'une ou plusieurs entrées d'un opérateur sont influencées.

20 ENABLE dependency (EN-dependency)

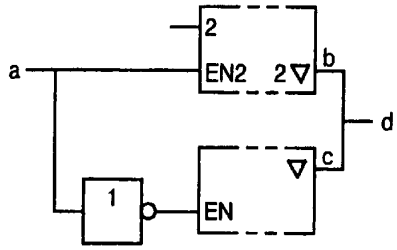
ENABLE dependency is used to indicate an ENABLE input that does not necessarily affect all outputs of an element. It can also be used if one or more inputs of an element are affected.

No.	Symbole Symbol	Légende	Description
12-20-01	ENm	Entrée ENm L'effet de cette entrée sur les sorties influencées est le même que celui d'une entrée EN (voir le symbole 12-09-11). L'effet de cette entrée sur les entrées qu'elle influence est le même que celui d'une entrée Mm (voir le symbole 12-21-01). m doit être remplacé par le numéro d'identification. NOTE — La note du tableau I est applicable.	ENm-input The effect of this input on its affected outputs is the same as that of an EN-input (see symbol 12-09-11). The effect of this input on its affected inputs is the same as that of an Mm-input (see symbol 12-21-01). m shall be replaced by the relevant identifying number. NOTE — The note with table I applies.

Illustrations

Etats logiques internes

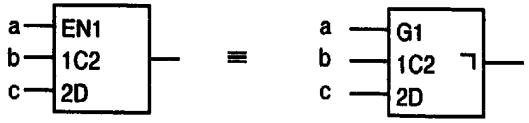
a	d
0	c
1	b



External logic states

a	d
0	c
1	b

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000



Pour la comparaison des influences C, EN et M sur les entrées, voir la section 22.

For comparison of C-, EN-, and M-effects on inputs, see section 22.

21 Dépendance de MODE (dépendance M)

21.1 La dépendance de MODE est utilisée lorsque les propriétés de certains accès d'un opérateur dépendent du mode selon lequel l'opérateur fonctionne.

Pour la comparaison des influences C, EN, M sur les entrées, voir la section 22.

21 MODE dependency (M-dependency)

21.1 MODE dependency is used to indicate that the effects of particular inputs and outputs of an element depend on the mode in which the element is operating.

For comparison of C-, EN-, and M-effects on inputs, see section 22.

No.	Symbole Symbol	Légende	Description
12-21-01	Mm	Entrée Mm	Mm-input
12-21-02	Mm	Sortie Mm Si un accès Mm est à l'état interne 1, les entrées qu'il influence ont l'effet normalement prévu sur la fonction de l'opérateur, et les sorties qu'il influence ont l'état logique interne ou la valeur du signal analogique normalement définis. De la sorte, les accès influencés sont validés.	Mm-output If an Mm-input [Mm-output] stands at its internal 1-state, any input affected by this Mm-input [Mm-output] has its normally defined effect on the function of the element, and any output affected by this Mm-input [Mm-output] stands at its normally defined internal logic state or analogue signal value. That is, the inputs and outputs are enabled.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

		Si cet accès est à l'état interne 0, les accès qu'il influence sont affectés comme suit : — toute entrée affectée par cet accès Mm est sans effet sur le fonctionnement de l'élément; — si une entrée influencée a plusieurs marquages séparés par des barres inclinées, tout ensemble contenant le numéro d'identification de l'accès Mm est sans effet et doit être ignoré. Cela symbolise l'invalidation de quelques fonctions d'une entrée multifonction; — pour chaque sortie influencée par ce Mm, tout ensemble contenant le numéro d'identification de l'accès Mm n'a pas d'influence et doit être ignoré; — si une sortie a plusieurs sections de marquages séparés par des barres inclinées (voir section 25), toute section contenant le numéro identifiant l'accès Mm doit être ignorée. Cela représente la sélection ou l'invalidation de quelques fonctions des sorties multifonctionnelles, ou la modification de quelques caractéristiques ou des notations de dépendance de la sortie. m doit être remplacé par le numéro d'identification. NOTE — La note du tableau I est applicable.	If an Mm-input [Mm-output] stands at its internal 0-state, its effect on inputs and outputs is as follows: — any input affected by this Mm-input [Mm-output] has no effect on the function of the element; — if an affected input has several sets of labels separated by solidi, any set containing the identifying number of the Mm-input [Mm-output] has no effect and shall be ignored. This represents disabling some of the functions of a multifunction input; — at each output affected by this Mm-input [Mm-output], any set of labels containing the identifying number of that Mm-input [Mm-output] has no effect and shall be ignored; — if an output has several sets of labels separated by solidi (see section 25), any set containing the identifying number of this Mm-input [Mm-output] shall be ignored. This represents disabling or selecting some of the functions of a multifunction output or modifying some of the characteristics or dependent relationships of the output. m shall be replaced by the relevant identifying number. NOTE — The note with table I applies.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

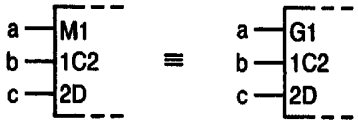
Illustrations

Les utilisations du symbole de groupement numérique et de la barre inclinée sont expliquées dans les sections 24 et 25, respectivement.

The use of the bit-grouping symbol and the solidus is explained in sections 24 and 25, respectively.

Dépendance M influençant des entrées :

M-dependency affecting inputs:

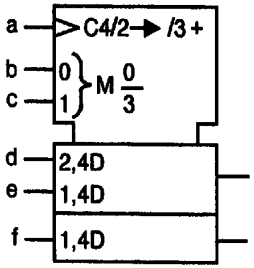


Mode 0 (b = 0, c = 0) : les sorties conservent leur état précédent, aucune entrée n'ayant d'effet.

Mode 1 (b = 1, c = 0) : chargement parallèle par les entrées e et f.

Mode 2 (b = 0, c = 1) : décalage et chargement série par l'entrée d.

Mode 3 (b = 1, c = 1) : comptage d'une unité par impulsion d'horloge (entrée a).



Mode 0 (b = 0, c = 0): the outputs remain at their existing states as none of the inputs has an effect.

Mode 1 (b = 1, c = 0): parallel loading takes place through inputs e and f.

Mode 2 (b = 0, c = 1): shifting down and serial loading through input d take place.

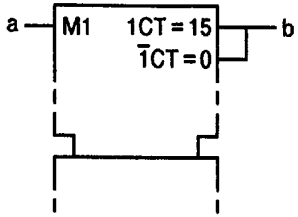
Mode 3 (b = 1, c = 1): counting up by increment of 1 per clock pulse takes place (input a).

Détermination de la fonction d'une sortie:

Determining the function of an output:

Si l'entrée a, par son état interne 1, provoque le mode 1, la sortie b prend l'état interne 1 quand le contenu du registre égale 15. Si l'entrée a est à l'état interne 0, la sortie b prend l'état interne 1 quand le contenu du registre égale 0.

Comme explication, voir aussi la section 25.



If input a stands at its internal 1-state establishing mode 1, output b will stand at its internal 1-state if the content of the register equals 15. If input a stands at its internal 0-state, output b will stand at its internal 1-state if the content of the register equals 0.

For explanation, see also section 25.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

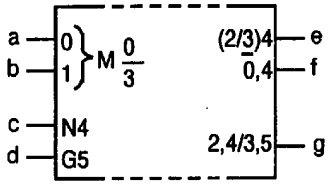
Modification du comportement des sorties :

A la sortie e l'influence provoquant la complémentation (si c = 1) n'est effective qu'en modes 2 et 3. En modes 0 et 1, cette sortie est à l'état résultant de la fonction de l'opérateur, comme si elle n'avait aucun marquage.

A la sortie f l'influence est effective pour tous les modes sauf 0; la sortie est donc complémentée pour les modes 1, 2 et 3. En mode 0, cette sortie est à l'état résultant de la fonction de l'opérateur. Dans l'illustration; $\overline{0}$,4 équivaut à (1/2/3)4.

La sortie g est soumise à deux marquages. Le premier provoque la complémentation (si c = 1) et est effectif seulement en mode 2; le second établit une liaison ET avec d et est effectif seulement en mode 3.

En mode 0 aucune relation de dépendance n'implique d'influence sur les sorties, ainsi e, f et g ont le même état.



Modifying dependent relationships of outputs:

At output e the label set causing negation (if c = 1) is effective in modes 2 and 3 only. In modes 0 and 1, this output stands at its normally defined state as if it had no labels.

At output f the label set has effect if the mode is not 0, so output f is negated (if c = 1) in modes 1, 2 and 3. In mode 0 the label set has no effect so the output stands at its normally defined state. In this example $\overline{0}$,4 is equivalent to (1/2/3)4.

At output g there are two label sets. The first set, causing negation (if c = 1), is effective only in mode 2. The second set, subjecting g to AND dependency on d, has effect only in mode 3.

Note that in mode 0 none of the dependency relationships has any effect on the outputs, so e, f and g will all stand at the same state.

21.2 Pour des opérateurs complexes comportant un nombre important de modes de fonctionnement, l'emploi de la dépendance de MODE peut conduire à un marquage excessif. Dans ce cas, les accès influencés par l'un de ces modes sont simplement marqués Mm et un tableau donnant le fonctionnement de chacun de ces accès pour chacun de ces modes est fourni sur le schéma ou dans une documentation associée. Si aucune confusion n'est possible, la lettre M peut être omise.

21.2 In complex elements with a large number of different modes, application of the convention for MODE dependency may lead to a very extended labelling. In such cases, the inputs and outputs affected by any affecting Mm-input are simply labelled with the letter M, but then the diagram containing the symbol must also contain either a table in which the effects of these inputs in the different modes are clearly explained or a statement as to where such a table is to be found. If no confusion is likely, these letters M may be omitted.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

22 Comparaison entre les influences C, EN et M sur les entrées

Les entrées Cm, ENm et Mm ont une influence semblable sur les entrées qu'elles influencent, mais elles diffèrent par les applications pour lesquelles elles ont été prévues :

— Cm est destinée à identifier une entrée qui déclenche une action;

— ENm est destinée à identifier une entrée ayant une action préparatoire simple;

— Mm est destinée à identifier une ou plusieurs entrées qui, séparément ou ensemble, produisent plusieurs actions préparatoires.

23 Dépendance ADRESSE (dépendance A)

23.1 La dépendance ADRESSE permet une claire représentation d'opérateurs tels que les mémoires, qui utilisent une commande des entrées par «adresses» pour sélectionner des sections spécifiées d'un opérateur complexe composé de n sous-groupements, tous semblables et dont les sorties sont réunies chacune à chacune par une fonction OU (ou une autre fonction, expressément indiquée sous le symbole distinctif de la fonction de l'opérateur, par exemple $\overset{\text{RAM}}{\&\ \diamond}$). Il est possible de représenter chaque sous-groupement par un seul opérateur en indiquant quel est celui d'entre eux qui donne son état logique interne à la sortie de la fonction OU. Dans tous les sous-groupements, l'opérateur ainsi sélectionné est celui influencé par celle des entrées influençantes Am qui est portée à l'état interne 1. L'opérateur complet est donc symbolisé en représentant une seule section prise comme type au lieu de toutes les sections identiques qui le composent.

22 Comparison of C-, EN-, and M-effects on inputs

With regard to affected inputs, Cm-, ENm,- and Mm-inputs all have the same effect. However, their intended applications are different:

— Cm should be used to identify an input that produces action;

— ENm should be used to identify an input that produces a single preparatory effect;

— Mm should be used to identify one or more inputs that singly or together produce alternative preparatory effects.

23 ADDRESS dependency (A-dependency)

23.1 ADDRESS dependency provides a clear representation of those elements, particularly memories, which use address control inputs to select specified sections of a multidimensional array. ADDRESS dependency allows a symbolic representation of only a single general case of the sections of the array, rather than requiring a symbolic presentation of the entire array. An input of the array shown at a particular element of this general section is common to the corresponding elements of all sections of the array. An output of the array shown at a particular element of this general section is the result of the OR function of the outputs of the corresponding elements of the selected sections. If any function other than OR is performed, this should be indicated by adding the appropriate qualifying symbol below the general qualifying symbol, for example: $\overset{\text{RAM}}{\&\ \diamond}$.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Si une sortie figure comme «sortie à circuit ouvert» ou «sortie 3-états» sur un élément particulier de la «section type», cette indication se rapporte à une sortie du «groupement» et non aux sorties des sections.

Les entrées non influencées par une entrée influençante ADRESSE agissent sur toutes les sections du groupement tandis que celles influencées par une entrée ADRESSE n'agissent que sur la section sélectionnée par ladite entrée ADRESSE.

Une entrée influençante ADRESSE est marquée par la lettre A suivie du numéro d'identification correspondant à la section particulière sélectionnée par cette entrée.

Dans la «section type» figurée dans le symbole, les entrées et sorties influencées par une entrée Am sont marquées de la lettre A qui tient lieu de numéro d'identification, le numéro identifiant chacune des sections étant sous- entendu. La lettre A est donc soumise aux règles générales de la notation de dépendance pour les numéros d'identification associés aux accès influencés.

Si une sortie influencée par une entrée Am présente d'autres marquages, ceux précédant la lettre A influencent la sortie de la section sélectionnée, tandis que ceux placés après la lettre A influencent la sortie du groupement, c'est à dire après application de la fonction OU (ou de la fonction expressément indiquée) liant les sorties similaires des sections.

If the label of an output of the array shown at a particular element of this general section indicates that this output is an open-circuit output or a 3-state output, then this indication refers to the output of the array and not to those of the sections of the array.

Inputs which are not affected by any affecting ADDRESS input have their normally defined effect on all sections of the array, whereas inputs affected by an ADDRESS input have their normally defined effect only on the section selected by that ADDRESS input.

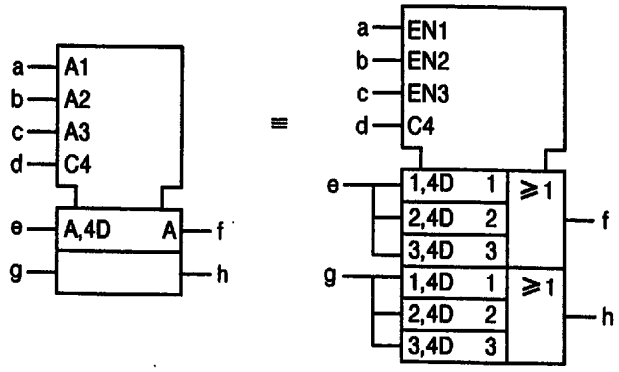
An affecting ADDRESS input is labelled with the letter A followed by an identifying number which corresponds to the address of the particular section of the array selected by this input.

Within the general section presented by the symbol, inputs and outputs affected by an Am-input are labelled with the letter A, which stands for the identifying numbers, i.e. the addresses, of the particular sections. This letter A is subject to the rules of dependency notation concerning identifying numbers associated with affected inputs and outputs.

If an output affected by an Am-input also has other labels, then the labels preceding the letter A affect the output of the section selected by this Am-input and the labels placed behind the letter A affect the output of the array, that is, after the application of the OR function (or the indicated function) to the corresponding outputs of the selected sections of the array.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Illustration



23.2 Les numéros d'identification des entrées influençantes Am s'identifient aux adresses des sections sélectionnées par ces entrées. Il n'est pas nécessaire qu'ils diffèrent des numéros choisis pour d'autres dépendances (par exemple G, V, N, ...), du fait que dans la section type du symbole ne figure que la lettre A.

S'il y a plusieurs séries d'entrées Am influençantes pour permettre des accès indépendants, éventuellement simultanés à des sections d'un groupement, les symboles spécifiques de ces entrées sont 1A, 2A, ... au lieu de A. Parce qu'elles interviennent sur les mêmes sections du groupement, ces séries d'entrées Am peuvent avoir les mêmes numéros d'identification.

Deux entrées influençantes Am, présentant le même numéro d'identification, n'ont pas de relation mutuelle pas plus qu'avec d'autres entrées influençantes (Gm, Vm, Nm, ...) présentant le même numéro d'identification.

23.2 The identifying numbers of affecting ADDRESS inputs correspond to the addresses of the sections selected by these inputs. They need not necessarily differ from those of other affecting dependency-inputs (for example, G, V, N, ...), because in the general section presented by the symbol they are replaced by the letter A.

If there are several sets of affecting Am-inputs for the purpose of independent and possibly simultaneous access to sections of the array, then the letter A is modified to 1A, 2A, ... Because they have access to the same sections of the array, these sets of Am-inputs may have the same identifying numbers.

Two affecting ADDRESS inputs having the same identifying number stand in no relation to each other nor to any affecting dependency-input (for example, Gm, Vm, Nm, ...) having the same identifying number.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-23-01	Am	Entrée Am Quand cette entrée est à l'état interne 1, les entrées qu'elle influence[1] ont l'effet prévu sur la fonction des opérateurs sélectionnés et les sorties qu'elle influence[1] exercent leur action sur la fonction OU (ou sur la fonction expressément indiquée) déterminant l'état logique interne des sorties correspondantes du groupement. Quand cette entrée est à l'état interne 0, les entrées qu'elle influence[1] n'ont pas d'effet sur la fonction des opérateurs sélectionnés et les sorties qu'elle influence[1] n'ont pas d'action sur les sorties du groupement. m doit être remplacé par le numéro d'identification. NOTE — La note du tableau I est applicable. 1) A savoir celles de la section du groupement sélectionnée par cette entrée.	Am-input If this input stands at its internal 1-state, the inputs affected by this input (that is the inputs of the section of the array selected by this input) have their normally defined effect on the elements of the selected section and the internal logic states of the outputs affected by this input (that is the outputs of the selected section) have their normal effect on the OR functions (or the indicated functions) determining the internal logic states of the outputs of the array. If the input stands at its internal 0-state, the inputs affected by this input (that is the inputs of the section selected by this input) have no effect on the elements of this section and the outputs affected by this input (that is the outputs of the section selected by this input) have no effect on the outputs of the array. m shall be replaced by the relevant identifying number. NOTE — The note with table I applies.

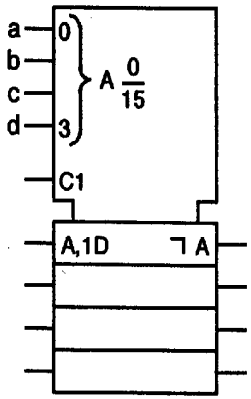
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Illustrations

Pour l'emploi du symbole de groupement numérique, voir la section 24.

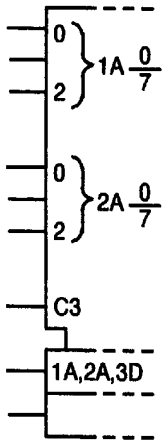
The use of the bit-grouping symbol is explained in section 24.

Groupement à 16 sections, chacune de 4 opérateurs bistables D déclenchés par impulsion (voir la section 41).



Array of 16 sections, each 4 pulse-triggered D-bistables (see section 41)

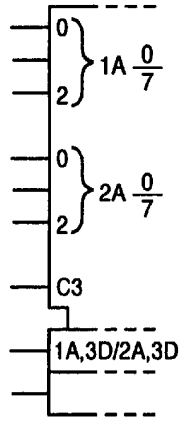
Une section particulière (parmi 8) est sélectionnée sous l'influence simultanée des deux séries d'entrées Am.



A particular section (among 8) is selected if it is selected by both sets of Am-inputs.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

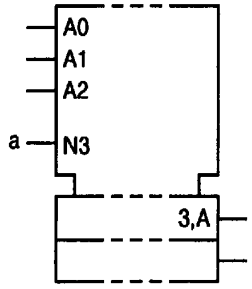
Une section particulière (parmi 8) est sélectionnée soit sous l'influence des deux séries d'entrées Am soit sous la seule influence de l'une d'entre elles.



A particular section (among 8) is selected if it is selected either by one or by both sets of Am-inputs.

Pour a = 1

Les états logiques internes des sorties du groupement résultent des fonctions OU des compléments des états logiques des sorties des sections sélectionnées.

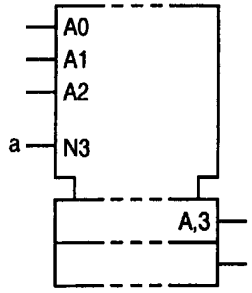


Suppose a = 1

The internal logic states of the outputs of the array are the results of the OR functions of the complements of the logic states of the outputs of the selected sections.

Pour a = 1

Les états logiques internes des sorties du groupement sont les compléments des fonctions OU résultant des états logiques des sorties des sections sélectionnées.



Suppose a = 1

The internal logic states of the outputs of the array are the complements of the results of the OR functions of the logic states of the outputs of the selected sections.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

24 Techniques particulières de symbolisation pour la notation de dépendance

24.1 Signaux codés sur des entrées influençantes

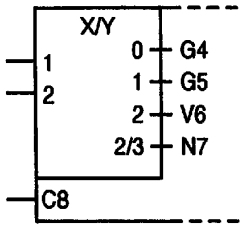
24.1.1 Lorsque l'effet d'entrées influençantes recevant des signaux codés est obtenu après décodage, il est admis d'incorporer le symbole de transcodeur (12-32-01).

24 Special techniques used in dependency notation

24.1 Use of a coder to produce affecting inputs

24.1.1 If the effect of a set of affecting inputs is produced by decoding the signals on these inputs, the symbol for a coder (12-32-01) may be used as an embedded symbol.

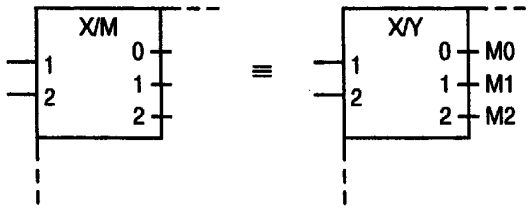
Illustration



24.1.2 Quand toutes les entrées influençantes issues d'un transcodeur sont du même type et quand leur numéro d'identification correspond avec les numéros portés à la sortie du transcodeur, Y peut être remplacé, dans le symbole X/Y, par le symbole littéral du type de dépendance concerné et il est recommendé alors d'omettre les marquages aux entrées influençantes.

24.1.2 If all affecting inputs produced by a coder are of the same type and if their identifying numbers correspond with the numbers shown at the outputs of the coder, the Y in the qualifying symbol X/Y may be replaced by the letter denoting the type of dependency and the indications of the affecting inputs should then be omitted.

Illustration



COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

24.2 Utilisation du symbole de groupement numérique

Quand toutes les entrées influençantes issues d'un transcodeur sont du même type avec des numéros d'identification en séquence, mais éventuellement différant des numéros figurant aux sorties du transcodeur, il peut être fait usage du symbole de groupement numérique (symbole 12-09-24) en remplaçant l'astérisque par le symbole du type de dépendance suivi de $\frac{m1}{m2}$, m1 étant le plus petit numéro d'identification et m2 le plus grand. Il faut que le nombre des numéros d'identification (m2 – m1 + 1) soit égal au nombre des sorties du transcodeur.

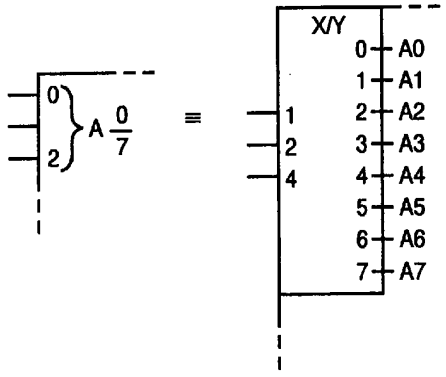
Afin de réduire l'espace nécessaire pour indiquer les nombres qui sont des puissances de 2 et comportent plus de 3 chiffres, m1 et m2 peuvent être remplacés par un nombre de 1 à 3 chiffres – ce nombre étant une puissance de 2 – suivi, selon le cas, de la lettre k indiquant un facteur de multiplication égal à 1 024 ou de la lettre M indiquant un facteur de multiplication égal à 1 048 576. Par exemple, 1 024 peut être remplacé par 1k, 65 536 par 64k et 1 048 576 par 1M.

24.2 Use of bit grouping to produce affecting inputs

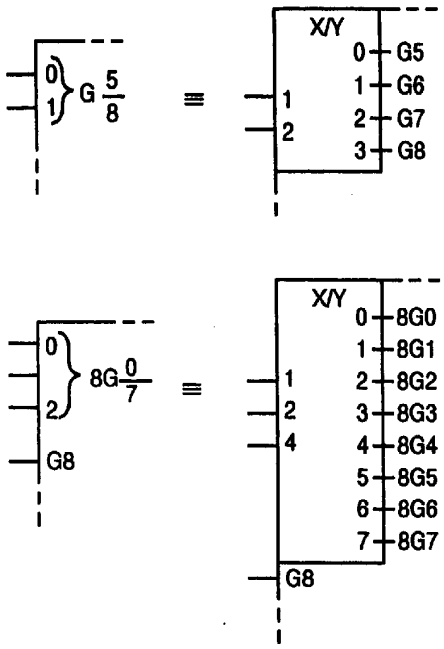
If all affecting inputs produced by a coder are of the same type and have consecutive identifying numbers (not necessarily corresponding with the numbers that would have been shown at the outputs of the coder), the bit grouping symbol (symbol 12-09-24) can be used. In this case, the asterisk shall be replaced by the letter denoting the type of dependency followed by $\frac{m1}{m2}$. The m1 shall be replaced by the smallest identifying number and the m2 shall be replaced by the largest. The range of the identifying numbers (m2 – m1 + 1) must equal the number of outputs of the coder.

To reduce the space required for showing numbers that are powers of 2 and have more than 3 digits, m1 and m2 may be replaced by a 1-to-3-digit number that is a power of 2 followed by k indicating a multiplication factor of 1 024 or by M indicating a multiplication factor of 1 048 576, whichever applies. For example, 1 024 may be replaced by 1k, 65 536 by 64k, and 1 048 576 by 1M.

Illustrations



COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000



24.3 Marquage d'entrées ayant une propriété intrinsèque de mise en mémoire

Il est fréquent qu'une entrée, différente d'une entrée D, ait une propriété intrinsèque de mise en mémoire. Une telle entrée peut être marquée mD,* , où

— m doit être remplacé par le numéro d'identification de l'entrée influençant la mise en mémoire;

— l'astérisque doit être remplacé par le symbole indiquant la fonction de la donnée mémorisée. Si ce symbole est un numéro, la virgule qui suit le D peut être omise.

24.3 Designation of labelled inputs having inherent storage

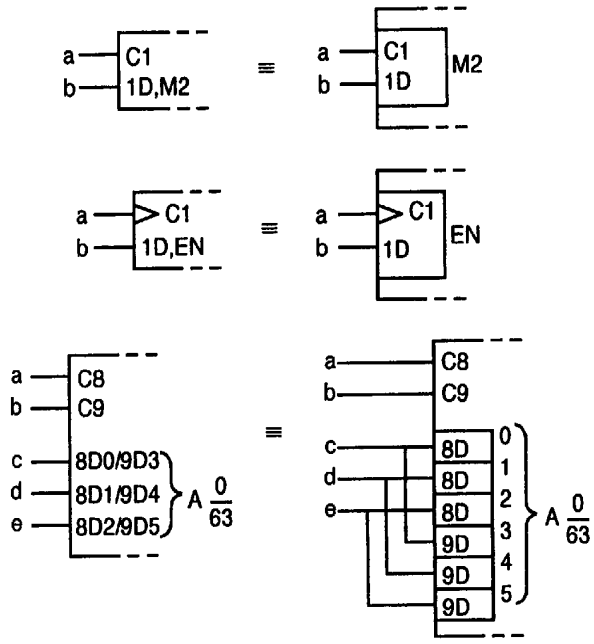
It often occurs that a labelled input other than a D-input has inherent storage. Such an input may be labelled mD,* , in which

— m shall be replaced by the identifying numbers of the inputs that affect the storage operation;

— the asterisk shall be replaced by the symbol denoting the function of the stored input. If that symbol is a number, the comma following the D may be omitted.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Illustrations



Voir aussi la section 25.

See also section 25.

25 Ordre de marquages des accès

25.1 Ordre de marquages des entrées

25.1.0 Si un ou plusieurs des symboles 12-09-47, 12-09-08B et 12-09-02 sont nécessaires sur l'une des entrées, ils doivent être représentés, comme requis, dans cet ordre (12-09-47, 12-09-08B, 12-09-02), la lecture se faisant de l'entrée vers l'intérieur de l'élément.
Ces symboles doivent être dessinés entre la ou les lignes d'entrée et tout autre symbole distinctif de l'accès, par exemple une notation de dépendance.

25 The ordering of labels associated with inputs and with outputs

25.1 Order of input labels

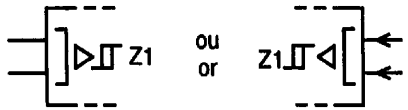
25.1.0 If one or more of the symbols 12-09-47, 12-09-08B and 12-09-02 are required at an input, they shall be shown, as needed, in that order (12-09-47, 12-09-08B, 12-09-02) reading from the input towards the interior of the element.

These symbols shall be drawn between the input line(s) and any input-qualifying symbol, for example, dependency notation.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Illustration

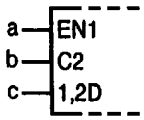


25.1.1 Quand une entrée exerçant une seule fonction est influencée par d'autres accès, son symbole distinctif doit être précédé des marquages des accès influençants. L'ordre de lecture de gauche à droite doit correspondre à celui dans lequel ces influences doivent intervenir. Une entrée influencée n'exerce plus d'action sur la fonction de l'opérateur si l'un quelconque des accès qui l'influencent est dans l'état logique interne impliquant cette invalidation, quels que soient les états logiques des autres accès influençants.

25.1.1 If an input exerting a single function is affected by other inputs, the qualifying symbol for that function shall be preceded by the identifying numbers of the affecting inputs. The left-to-right order of these identifying numbers shall be the order in which the effects or modifications must be applied. The affected input exerts no function if the logic state of any one of the affecting inputs or outputs, considered separately, would cause the affected input to have no effect, regardless of the logic states of other affecting inputs.

Illustration

c n'a aucun effet aussi bien pour a = 0 que pour b = 0.

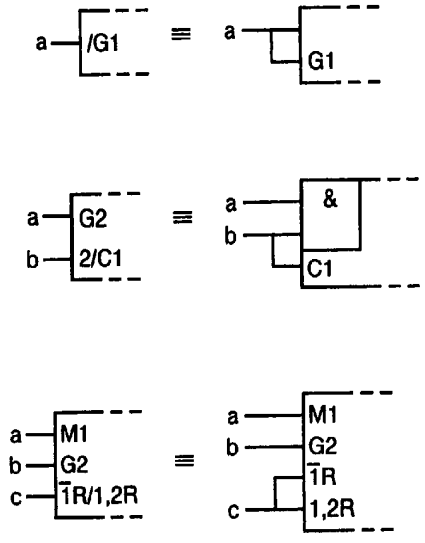


If either a = 0 or b = 0, then c has no effect.

25.1.2 Quand une entrée exerce plusieurs fonctions ou plusieurs influences, l'indication de chacune de ces fonctions peut être donnée sur différentes entrées connectées extérieurement (voir les exemples des symboles 12-33-07, 12-49-11, 12-49-15). Toutefois, cette présentation n'est souvent pas avantageuse. Cette entrée peut être figurée une seule fois avec différents marquages séparés par des barres inclinées. Aucune signification n'est attachée à leur ordre d'inscription. Si l'une de ces fonctions n'est pas symbolisée par un marquage, une barre inclinée doit précéder le premier marquage (voir l'exemple du symbole 12-49-13).

25.1.2 If an input exerts more than one function or has more than one set of labels of affecting inputs, the indications of these functions or these sets may be shown on different input lines, which must be connected together outside the outline (see examples 12-33-07, 12-49-11, 12-49-15). However, there are cases in which this method of presentation is not advantageous. In those cases, the input may be shown once with the different sets of labels separated by solidi. No meaning is attached to the order of these sets of labels. If one of the functional effects of an input is that of an unlabelled input of the element, a solidus shall precede the first set of labels shown (see, for example, symbol 12-49-13).

Illustrations



25.1.3 Quand toutes les entrées d'un opérateur combinatoire sont invalidées (influencées pour ne pas participer à la fonction de l'opérateur), les états logiques internes des sorties de cet opérateur ne sont pas déterminés par son symbole.

Quand toutes les entrées d'un opérateur séquentiel sont invalidées (influencées pour ne pas participer à la fonction de l'opérateur), le contenu de l'opérateur reste inchangé et les sorties conservent leur état logique interne préexistant.

25.1.3 If all inputs of a combinative element are disabled (caused to have no effect on the function of the element), the internal logic states of the outputs of the element are not specified by the symbol.

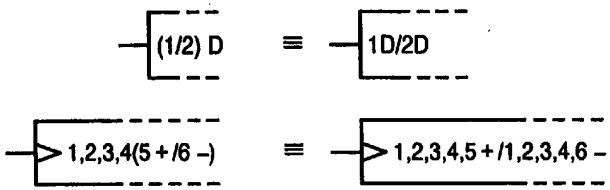
If all inputs of a sequential element are disabled (caused to have no effect on the function of the element), the content of this element is not changed and the outputs remain at their existing internal logic states.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

25.1.4 Les marquages peuvent être condensés par mise en facteurs algébriques.

25.1.4 Labels may be factored using algebraic techniques.

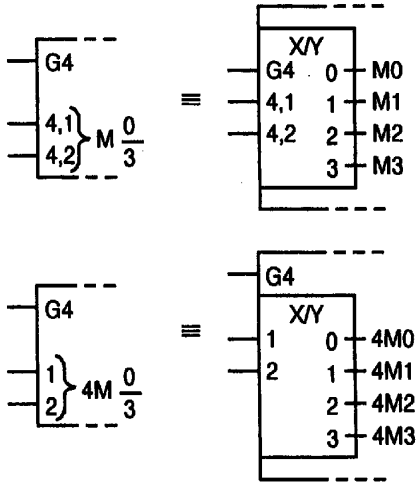
Illustrations



25.1.5 De façon générale, la notation de dépendance située sur les entrées à gauche du symbole de groupement numérique s'applique aux entrées du codeur, et la notation de dépendance située après le symbole de regroupement numérique s'applique aux entrées affectées par les sorties du codeur. Toutefois, pour les entrées à mémorisation implicite, voir 25.1.6.

25.1.5 In general, dependency notation shown at the inputs to the left of the bit-grouping symbol applies to the inputs of the coder, and dependency notation shown after the bit-grouping symbol applies to the inputs fed by the outputs of the coder. However, for inputs with inherent storage, see 25.1.6.

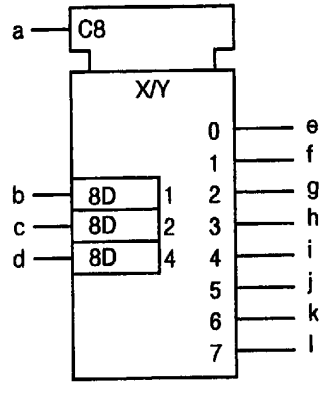
Illustrations



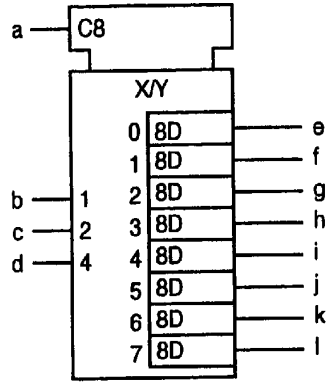
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

25.1.6 Tout élément de logique combinatoire avec registre de mémorisation sur toutes ses entrées est fonctionnellement équivalent à ce même élément avec un registre de mémorisation sur ses sorties. Ainsi l'élément A ci-dessous est fonctionnellement équivalent à l'élément B.

25.1.6 Any combinatorial logic element together with a storage register on all its inputs is functionally equivalent to that same element together with a storage register on its outputs. Thus element A below is functionally equivalent to element B.



A

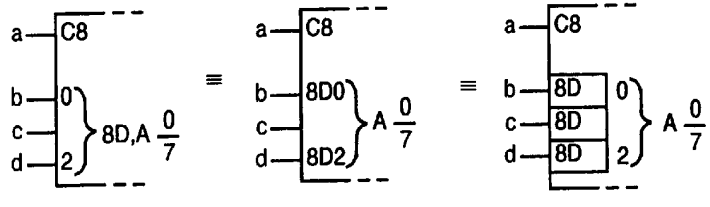


B

De ce fait, la mémorisation implicite sur une entrée peut être indiquée en plaçant «mD», défini à l' article 24.3, soit entre le symbole de groupement numérique et le symbole montrant la fonction de mémorisation d'entrée, soit directement sur les entrées.

Because of this, inherent storage at an input may be indicated by placing the "mD", as defined in clause 24.3, either between the bit-grouping symbol and the symbol denoting the function of the stored input, or directly at the inputs.

Illustration



COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

25.2 Ordre de marquages des sorties

25.2.1 Les divers symboles, y compris les numéros d'identification d'accès influençants, doivent être placés dans l'ordre suivant :

— le symbole d'effet différé de sortie (12-09-01), s'il est applicable, est placé le premier, précédé si nécessaire par les indications des entrées concernées;

— suivent les symboles déterminant l'état logique interne de la sortie ou impliquant des modifications de cet état, l'ordre de lecture de gauche à droite correspondant à celui de leur intervention sur les propriétés de cette sortie; comme exemple d'application, voir le symbole 12-49-15;

— suivent les symboles indiquant l'influence éventuelle de cette sortie sur d'autres accès de l'opérateur.

Les symboles de sortie à circuit ouvert, de sortie à circuit ouvert directe, sortie avec amplification particulière ou de sortie 3 états doivent être dessinés adjacents aux tracés des sorties, comme décrit avec ces symboles (12-09-03 ... 12-09-08A).

Quand une sortie comporte plusieurs rôles indépendants pouvant être considérés comme étant liés par une fonction interne OU (par exemple en fonction du mode comme étant d'action), les marquages correspondants peuvent être placés au regard de plusieurs sorties connectées extérieurement. Il y a cependant des cas où cette représentation n'est pas avantageuse. Alors les différents marquages, séparés par des barres inclinées, sont placés au regard de la sortie.

Deux numéros d'identification consécutifs d'entrées influençantes doivent être séparés par une virgule (voir la section 12), à moins qu'un symbole non numéral ne soit par ailleurs placé entre eux.

25.2 Order of output labels

25.2.1 If an output has a number of different labels, regardless of whether they are identifying numbers of affecting inputs or outputs or not, these labels shall be shown in the following order:

— if the postponed output symbol (12-09-01) has to be shown, this comes first, if necessary preceded by the indications of the inputs to which it must be applied;

— followed by the qualifying symbols determining or modifying the internal logic state of the output, such that the left-to-right order of these labels correspond to the order in which their effects must be applied. For application, see symbol 12-49-15;

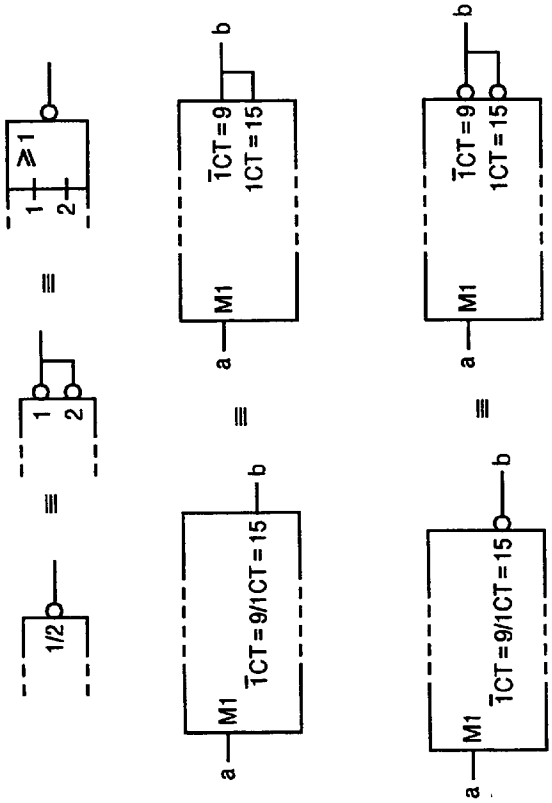
— followed by the label indicating the effect of the output on inputs and other outputs of the element.

Symbols for open-circuit, passive-pull-down, passive-pull-up and 3-state outputs, and outputs with special amplification (drive capability) shall each be drawn adjacent to their output lines as described with these symbols (12-09-03 ... 12-09-08A).

If an output needs several different sets of labels which can be considered to stand in an internal OR relationship (for example, depending on the mode of action), these sets may be shown on different output lines which must be connected together outside the outline. However, there are cases in which this method of presentation is not advantageous. In those cases the output may be shown once with the different sets of labels separated by solidi.

Two adjacent identifying numbers of affecting inputs in a set of labels not already separated by a non-numeric character shall be separated by a comma (see section 12).

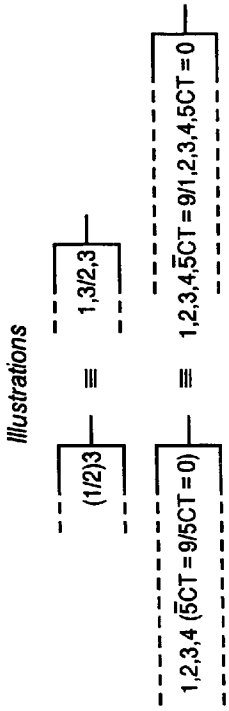
Illustrations



25.2.2 Les marquages peuvent être condensés par mise en facteurs algébriques.

25.2.2 Labels may also be factored using algebraic techniques.

Illustrations



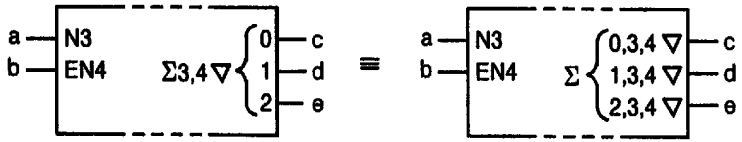
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

25.2.3 Lorsque le symbole de groupement numérique aux sorties (symbole 12-09-25) est utilisé et que les ensembles de marquages de chacune des sorties du groupement ne diffèrent que dans l'indication des poids, ces ensembles de marquage des sorties, y compris les symboles de sortie à circuit ouvert, de sortie à circuit ouvert directe, de sortie avec amplification particulière ou de sortie 3 états (symboles 12-09-03 ... 12-09-08A) mais ne comprenant pas l'indication des poids peuvent ne figurer qu'une seule fois, entre le symbole substitué à l'astérisque et le symbole de groupement numérique pourvu que l'ordre de succession correct des marquages, sauf ceux du poids et du symbole de groupement numérique, soit maintenu.

25.2.3 If the bit grouping symbol for outputs (symbol 12-09-25) is used and the sets of labels of all outputs grouped together differ only in the indications of the weights, the sets of labels, including the symbols for open-circuit, passive-pull-down, passive-pull-up and 3-state outputs, and outputs with special amplification (drive capability) (symbols 12-09-03 ... 12-09-08A) but excluding the indications of the weights, may be shown only once between the symbol replacing the asterisk and the grouping symbol, provided that, except for the grouping symbol and the weights, the proper order of the labels is maintained.

Illustration

NOTE — Pour la signification de Σ, voir le symbole 12-39-02.



NOTE — For the meaning of Σ, see symbol 12-39-02.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Chapitre V : Opérateurs combinatoires et séquentiels

26 Notes générales

26.1 Tous les symboles distinctifs intérieurs s'appliquent aux états internes des entrées et des sorties de l'opérateur concerné (voir les sections 1, 2 et 3).

26.2 La plupart des exemples concernent des dispositifs commercialisés, et les numéros des broches (pour un boîtier donné) sont indiqués pour la commodité du lecteur. Certaines références se rapportent à un fabricant particulier pour éviter toute incertitude du fait de variantes possibles entre produits de plusieurs fabricants portant le même numéro.

26.3 Lorsqu'il n'est pas fait usage du symbole de polarité logique, c'est la convention de logique positive qui est utilisée.

26.4 Un opérateur donné peut être symbolisé de plusieurs façons (voir, par exemple, les symboles 12-28-10 et 12-28-11). Pour une meilleure compréhension du schéma, la complémentarité est souvent utile spécialement dans le cas d'opérateurs combinatoires; ainsi un opérateur OU est figuré par le symbole ET avec accès complémentés. Pour un schéma donné, il convient de choisir le symbole en fonction de l'application à laquelle se rapporte ce schéma (voir CEI 61082-2 pour plus de détails).

Chapter V: Combinative and sequential elements

26 General notes

26.1 All qualifying symbols inside the outline are defined in terms of the internal logic states of the relevant inputs and outputs (see sections 1, 2, and 3).

26.2 In many cases, examples are based on commercial devices, and terminal numbers (for one unspecified package type) have been shown for the assistance of the reader. Where the type number implies the product of a specific manufacturer, this is done to avoid uncertainties caused by functional variations that sometimes occur between devices that have the same generic portion of the type number and are made by different manufacturers.

26.3 Where the logic polarity indicator has not been used, positive logic convention is assumed.

26.4 A given element may be symbolized in more than one way depending on the purpose it serves in the system (for example, symbols 12-28-10 and 12-28-11). Also, use is often made of the complementary representation especially of combinative elements to enhance the understanding of the diagram. For example, an OR element is shown by the symbol for an AND but with negated inputs and outputs. In any case, the choice of the symbol should be governed by the relevant application of the element being shown on the diagram (see IEC 61082-2 for detailed information).

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

27 Opérateurs combinatoires

27.1 Convention

Le symbole distinctif de la fonction de l'opérateur indique le nombre d'entrées qui doivent occuper l'état interne 1 pour amener la sortie à l'état interne 1. En respectant cette règle, tout symbole distinctif peut être établi.

27 Combinative elements

27.1 Convention

The qualifying symbol for the function of the element indicates the number of inputs which must take on the internal 1-state to cause the outputs to take on their internal 1-states. Subject to this rule, other qualifying symbols than those shown in this section may be developed.

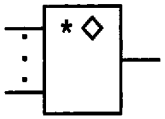
No.	Symbole Symbol	Légende	Description
12-27-01	≥1	Opérateur OU, symbole général La sortie est dans l'état 1 si, et seulement si, une ou plusieurs entrées sont dans l'état 1. NOTE — « ≥1 » peut être remplacé par «1» s'il n'y a pas risque d'ambiguïté.	OR element, general symbol The output stands at its 1-state if and only if one or more of the inputs stand at their 1-states. NOTE — "≥1" may be replaced by "1" if no ambiguity is likely.
12-27-02	&	Opérateur ET, symbole général La sortie est dans l'état 1 si, et seulement si, toutes les entrées sont dans l'état 1.	AND element, general symbol The output stands at its 1-state if and only if all inputs stand at their 1-states.
12-27-03	≥ m	Opérateur à SEUIL LOGIQUE, symbole général La sortie est dans l'état 1 si, et seulement si, le nombre d'entrées qui sont dans l'état 1 est supérieur ou égal au nombre marqué dans le symbole distinctif figuré ici par m. NOTES 1 m doit être toujours plus petit que le nombre d'entrées. 2 Un opérateur avec m = 1 est habituellement désigné par OU (voir le symbole 12-27-01).	Logic threshold element, general symbol The output stands at its 1-state if and only if the number of inputs which stand at their 1-states is equal to or greater than the number in the qualifying symbol, represented here by m. NOTES 1 m shall always be smaller than the number of inputs. 2 An element with m = 1 is generally known as an OR element (see symbol 12-27-01).

12-27-04	=m	Opérateur m et seulement m, symbole général La sortie est dans l'état 1 si, et seulement si, le nombre d'entrées qui sont dans l'état 1 est égal au nombre marqué dans le symbole distinctif, figuré ici par m. NOTES 1 Un opérateur à deux entrées avec m = 1 est habituellement désigné par OU-exclusif (voir le symbole 12-27-09). 2 La note 1 du symbole 12-27-03 est applicable.	m and only m element, general symbol The output stands at its 1-state if and only if the number of inputs which stand at their 1-states is equal to the number in the qualifying symbol, represented here by m. NOTES 1 A 2-input element with m = 1 is generally known as an exclusive-OR element (see symbol 12-27-09). 2 Note 1 with symbol 12-27-03 applies.
12-27-05	>n/2	Opérateur de MAJORITÉ, symbole général La sortie est dans l'état 1 si, et seulement si, les entrées dans l'état 1 sont en majorité.	MAJORITY element, general symbol The output stands at its 1-state if and only if the majority of the inputs stand at their 1-states.
12-27-06	=	Opérateur d'IDENTITÉ LOGIQUE, symbole général La sortie est dans l'état 1 si, et seulement si, toutes les entrées sont dans le même état logique.	LOGIC IDENTITY element, general symbol The output stands at its 1-state if and only if all inputs stand at the same logic state.
12-27-07	2k + 1	Opérateur d'IMPARITÉ, symbole général Opérateur d'ADDITION MODULO 2, symbole général La sortie est dans l'état 1 si, et seulement si, le nombre des entrées dans l'état 1 est impair (1, 3, 5, etc.).	ODD element (ODD-parity element), general symbol Addition modulo 2 element, general symbol The output stands at its 1-state if and only if the number of inputs which stand at their 1-states is odd (1, 3, 5, etc.).
12-27-08	2k	Opérateur de PARITÉ, symbole général La sortie est dans l'état 1 si, et seulement si, le nombre des entrées dans l'état 1 est pair (0, 2, 4, etc.).	EVEN element (EVEN-parity element), general symbol The output stands at its 1-state if and only if the number of inputs which stand at their 1-states is even (0, 2, 4, etc.).

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-27-09	=1	Opérateur OU exclusif La sortie est dans l'état 1 si une, et seulement une, des deux entrées est dans l'état 1. NOTE— Pour un opérateur avec plus de deux entrées, l'un des symboles 12-27-04 avec m = 1 ou 12-27-07 est utilisable selon sa fonction.	Exclusive-OR element The output stands at its 1-state if one and only one of the two inputs stands at its 1-state. NOTE — In the case of more than two inputs, either symbol 12-27-04 with m = 1 or symbol 12-27-07 should be used depending on the function involved.
12-27-10	1	Opérateur OUI La sortie est dans l'état 1 si, et seulement si, l'entrée est dans l'état 1.	Buffer without specially amplified output The output stands at its 1-state if and only if the input stands at its 1-state.
12-27-11	1	Opérateur NON INVERSEUR (à employer seulement dans un schéma utilisant le symbole de négation logique) La sortie est dans l'état externe 0 si, et seulement si, l'entrée est dans l'état externe 1.	Negator Inverter (in the case of device representation using the logic-negation symbol) The output stands at its external 0-state if and only if the input stands at its external 1-state.
12-27-12	1	INVERSEUR (à employer seulement dans un schéma utilisant le symbole de polarité logique) La sortie est au niveau L si, et seulement si, l'entrée est au niveau H.	Inverter (in the case of device representation using the qualifying symbol for logic polarity) The output stands at its L-level if and only if the input stands at its H-level.

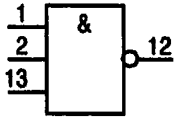
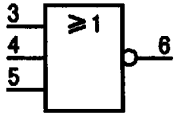
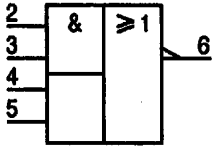
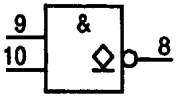
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-27-13		Opérateur FANTÔME, symbole général Un opérateur fantôme est réalisé par l'interconnexion de sorties spécifiques de plusieurs opérateurs, de façon à réaliser soit une opération ET soit une opération OU. L'astérisque doit être remplacé par le symbole distinctif (& ou ≥1). En variante du symbole général, un opérateur fantôme peut être représenté par l'un des symboles de jonction de conducteurs (03-02-04 et 03-02-05 de la CEI 60617-3). Le symbole de la fonction réalisé (& ou ≥1) est figuré à chaque point de jonction des conducteurs. Ce symbole peut être omis s'il n'en résulte aucun risque de confusion.	Distributed connection, general symbol Dot function, general symbol Wired function, general symbol A distributed connection is a connection of specific outputs of a number of elements which are joined together to achieve either the AND- or the OR-function. The asterisk shall be replaced by the qualifying symbol for the function, that is, & or ≥1. As an alternative to the use of the general symbol, a distributed connection may be shown by one of the symbols for a junction of conductors (03-02-04 and 03-02-05 of IEC 60617-3). At each point where lines are joined together the qualifying symbol for the function, that is, & or ≥1, shall be shown if confusion is otherwise likely.

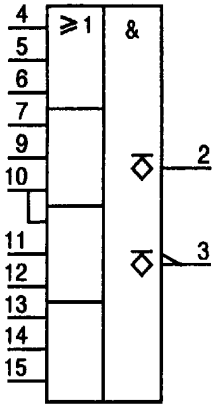
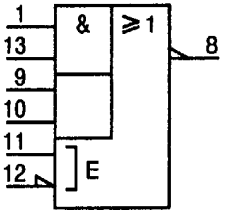
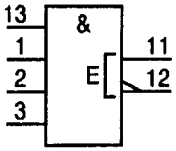
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

28 Exemples d'opérateurs combinatoires

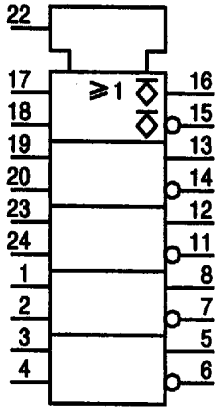
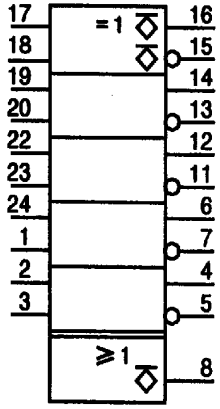
28 Examples of combinative elements

No.	Symbole Symbol	Légende	Description
12-28-01		ET-NON, exprimé par ET avec le symbole de négation à la sortie (modèle d'antériorité : une partie de SN 7410)	AND with negated output (NAND) (e.g. part of SN 7410)
12-28-02		NI, exprimé par OU avec le symbole de négation à la sortie (modèle d'antériorité : une partie de SN 7427)	OR with negated output (NOR) (e.g. part of SN 7427)
12-28-03		Opérateur combiné ET-OU inversé en sortie (modèle d'antériorité : une partie de SN 74L51)	AND-OR-Invert (e.g. part of SN 74L51)
12-28-04		ET-NON avec sortie à circuit ouvert du type L (modèle d'antériorité : une partie de SN 7403)	NAND with open-circuit output of the L-type (e.g. part of SN 7403)

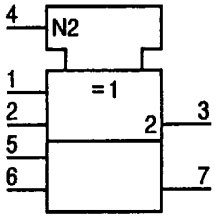
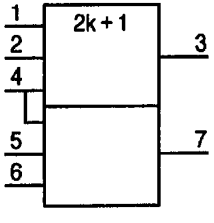
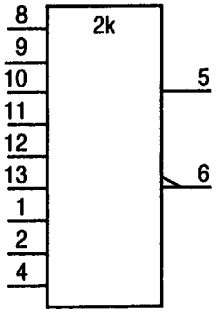
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-28-05		OU-ET avec sorties complémentaires à circuit ouvert du type H (modèle d'antériorité : MC 10121)	OR-AND with complementary open-circuit outputs of the H-type (e.g. MC 10121)
12-28-06		ET-OU inversé en sortie avec entrée d'expansion (modèle d'antériorité : une partie de SN 7450) NOTE — Le symbole de groupement de liaison d'entrée (12-09-47) indique que deux fils sont nécessaires pour réaliser la seule connexion d'expansion.	AND-OR-Invert, expandable (e.g. part of SN 7450) NOTE — The line grouping symbol (12-09-47) indicates that two wires are needed to implement the single extension connection.
12-28-07		Expanseur (modèle d'antériorité : une partie de SN 7460)	Expander (e.g. part of SN 7460)

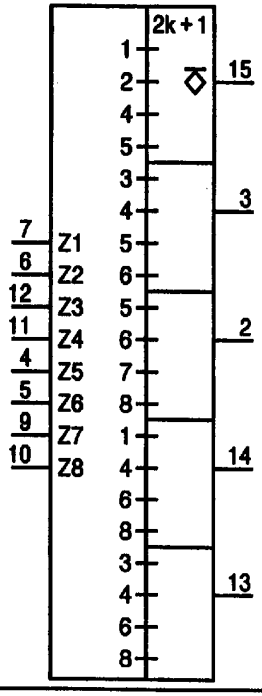
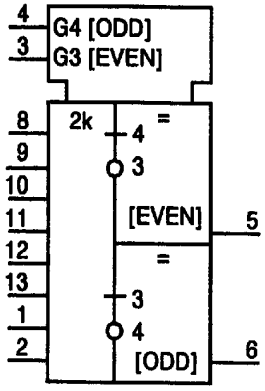
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-28-08		Quintuple OU/NI, avec une entrée commune et des sorties complémentaires (modèle d'antériorité : F 100102)	OR, with one common input and with complementary outputs, quintuple (e.g. F 100102)
12-28-09		OU exclusif, quintuple, avec sorties complémentaires et une sortie commune (modèle d'antériorité : F 100107) NOTE — Il n'est pas utile de préciser avec laquelle des deux sorties de chacun des 5 opérateurs une entrée de l'opérateur commun de sortie a une connexion interne, puisque l'état logique interne est le même pour les deux sorties (voir la section 6).	Exclusive-OR, with complementary outputs and one common output, quintuple (e.g. F 100107) NOTE — One output of each of the five elements is internally connected to an input of the common output element. The internal logic state of this input corresponds with that of the output to which it is connected and does not depend on the choice of that output because both outputs of each element have identical internal logic states (see section 6).

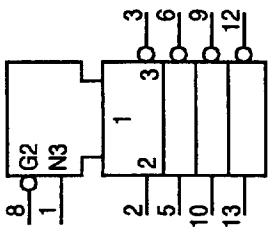
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-28-10		OU exclusif/NI, double (modèle d'antériorité : une partie de SN 74S135) NOTE — Le symbole 12-28-11 représente le même opérateur de façon différente.	Exclusive-OR/NOR, dual (e.g. part of SN 74S135) NOTE — Symbol 12-28-11 depicts the same device in another way.
12-28-11		Opérateur d'IMPARITÉ, double, avec une entrée commune (modèle d'antériorité : une partie de SN 74S135) NOTE — Le symbole 12-28-10 représente le même opérateur de façon différente.	ODD element, with one common input, dual (e.g. part of SN 74S135) NOTE — Symbol 12-28-10 depicts the same device in another way.
12-28-12		Générateur/contrôleur de parité avec sorties complémentaires (modèle d'antériorité : SN 74280)	Parity generator/checker with complementary outputs (e.g. SN 74280)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-28-13		Détecteur/correcteur d'erreur (modèle d'antériorité : MC 10163)	Error detection/correction element (e.g. MC 10163)
12-28-14		Générateur/contrôleur de parité ou d'imparité (modèle d'antériorité : SN 74180)	Parity generator/checker, odd/even (e.g. SN 74180)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-28-15		Opérateur donnant l'identité ou le complément, quadruple (modèle d'antériorité : SN 74H87)	True/complement, zero/one element, quadruple (e.g. SN 74H87)

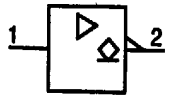
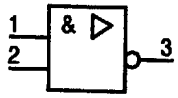
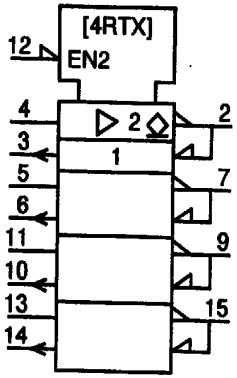
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

29 Exemples d'amplificateurs, émetteurs, récepteurs et commutateurs électroniques

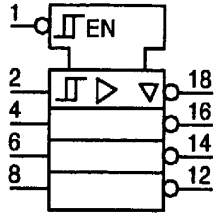
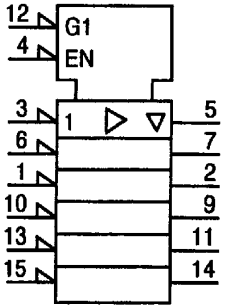
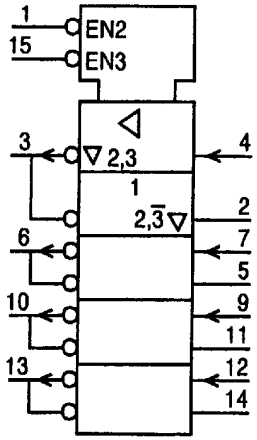
Le symbole d'amplificateur (10-15-01 de la CEI 60617-10) peut être combiné avec d'autres symboles de fonction comme figuré dans la présente section. L'absence de ce symbole n'indique pas obligatoirement l'absence d'une amplification particulière.

29 Examples of buffers, drivers, receivers, and bidirectional switches

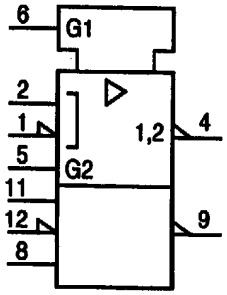
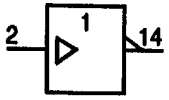
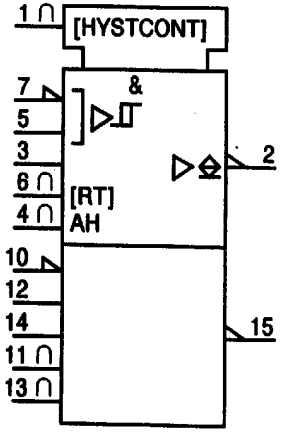
The symbol for an amplifier (10-15-01 of IEC 60617-10) may be combined with other symbols for functions, as shown in this section. The absence of this symbol does not necessarily indicate the absence of special amplification.

No.	Symbole Symbol	Légende	Description
12-29-01		Inverseur avec sortie amplifiée, à sortie à circuit ouvert du type L (modèle d'antériorité : une partie de SN 7406)	Buffer/driver with inverted open-circuit output of the L-type (e.g. part of SN 7406)
12-29-02		ET NON avec sortie amplifiée (modèle d'antériorité : une partie de SN 7437)	NAND buffer (e.g. part of SN 7437)
12-29-03		Emetteur-récepteur pour liaison multiple, quadruple (modèle d'antériorité : Am 26S10) NOTE — Les symboles distinctifs des opérateurs et ceux des accès des deux cadres formant le premier élément du groupement ne sont pas représentés dans les autres éléments selon la section 6.	Bus transceiver, quadruple (e.g. Am 26S10) NOTE — The general qualifying symbols and those associated with the inputs and outputs of the two outlines forming the first element of the array have been omitted from the remaining elements of the array in accordance with section 6.

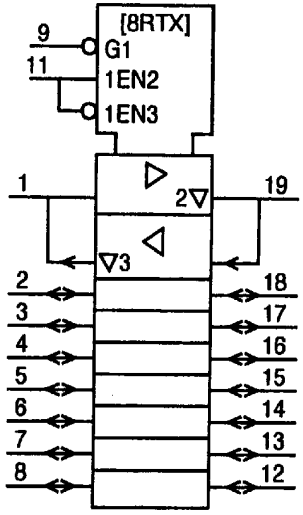
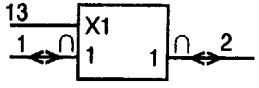
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-29-04		Amplificateur à entrée à seuils et sortie 3 états pour multiplet, quadruple (modèle d'antériorité : une partie de SN 74S240)	Bus driver with bi-threshold inputs and 3-state outputs, quad (e.g. part of SN 74S240)
12-29-05		Amplificateur inverseur avec sortie 3 états, sextuple (modèle d'antériorité : CD 4502B)	Buffer, inverting, with 3-state outputs, hex (e.g. CD 4502B)
12-29-06		Amplificateur bilatéral, quadruple (modèle d'antériorité : 8226) NOTE — L'entrée 1 peut être marquée EN (symbole 12-09-11) sans notation de dépendance, les trois numéros d'identification 2 étant alors supprimés.	Bus driver, bidirectional, quadruple (e.g. 8226) NOTE — Terminal 1 could be labelled as an EN-input (symbol 12-09-11) without dependency notation, that is, the identifying number 2 may be omitted at three places inside the outline.

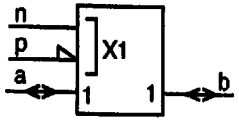
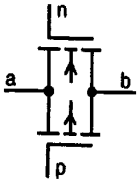
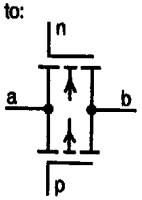
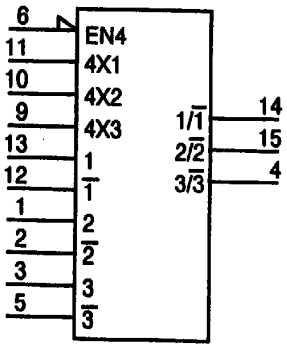
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-29-07		Récepteur de ligne, double (modèle d'antériorité : SN 75107)	Line receiver, dual (e.g. SN 75107)
12-29-07A		Récepteur de ligne (modèle d'antériorité : une partie de SN 75127)	Line receiver (e.g. part of SN 75127)
12-29-07B		Récepteur de ligne, double (modèle d'antériorité : SN 55152)	Line receiver, dual (e.g. SN 55152)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-29-08		Amplificateur bilatéral, 8 bit parallèles (modèle d'antériorité : 8286)	Bus driver, bidirectional, 8-bit parallel (e.g. 8286)
12-29-09		Commutateur électronique (modèle d'antériorité : une partie de CD 4016B) NOTE — Les flèches et les symboles «∩» sont facultatifs.	Bidirectional switch (e.g. part of CD 4016B) NOTE — The arrowheads and/or the symbols "∩" are optional.

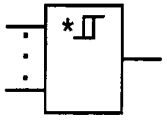
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-29-10		Opérateur de transmission CMOS NOTES 1 Les flèches sont facultatives. 2 Ce symbole représente un opérateur de transmission interne pour des circuits intégrés tels que CD 4013B; il est équivalent à : 	CMOS transmission gate NOTES 1 The arrowheads are optional. 2 The symbol represents an internal transmission gate used in many integrated circuits such as CD 4013B and is equivalent to: 
12-29-11		Commutateur à deux directions, bilatéral, avec une entrée commune de validation, triple (modèle d'antériorité : 74HC4053) NOTE — Ce symbole 13-17-02 de la CEI 60617-13 représente le même opérateur de façon différente.	Bidirectional change-over switch with common enable, triple (e.g. 74HC4053) NOTE — Symbol 13-17-02 of IEC 60617-13 depicts the same device in another way.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

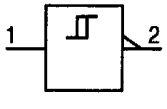
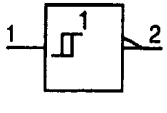
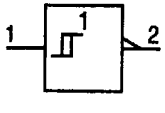
30 Opérateurs à hystérésis

30 Elements with hysteresis

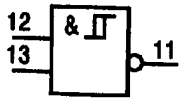
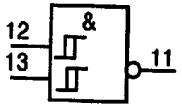
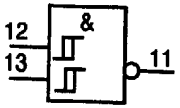
No.	Symbole Symbol	Légende	Description
12-30-01		Opérateur à hystérésis, symbole général Le symbole distinctif d'hystérésis ⊓ indique que les caractéristiques d'entrée-sortie d'un opérateur présentent un phénomène d'hystérésis, comme décrit au symbole 12-09-02. Il faut que l'astérisque soit remplacé par le symbole distinctif de la fonction logique de l'opérateur. Si celui-ci est le chiffre 1 (du symbole 12-27-10), il doit être omis.	Element with hysteresis, general symbol When used within an element as a general qualifying symbol, the hysteresis symbol ⊓ designates an element whose overall input/output characteristics include hysteresis as described by symbol 12-09-02. The asterisk must be replaced by a general qualifying symbol designating the logic function of the element unless that qualifying symbol is the numeral 1 (of symbol 12-27-10) in which case it shall be omitted.

31 Exemples d'opérateurs à hystérésis

31 Examples of elements with hysteresis

No.	Symbole Symbol	Légende	Description
12-31-01		Opérateur à seuils avec sortie inversée Trigger de Schmitt inversé Inverseur à hystérésis (modèle d'antériorité : une partie de SN 74LS14) NOTE — En accord avec la légende du symbole 12-09-02, le symbole 12-31-01 est équivalent à : 	Bi-threshold detector with inverted output Schmitt-trigger inverter Inverter with hysteresis (e.g. part of SN 74LS14) NOTE — In accordance with the description of symbol 12-09-02, symbol 12-31-01 is equivalent to: 

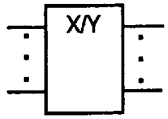
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-31-02		Trigger de Schmitt ET-NON ET-NON à hystérésis (modèle d'antériorité : une partie de SN 74132) La sortie prend l'état interne 1 seulement quand le niveau de chaque entrée atteint le seuil V1 (voir la légende du symbole 12-09-02). Elle conserve l'état interne 1 jusqu'à ce que le niveau appliqué à l'une des entrées atteigne le seuil V2. NOTE — Ce symbole n'est pas équivalent à : 	NAND Schmitt-trigger NAND with hysteresis (e.g. part of SN 74132) The output takes on its internal 1-state only when the external level applied to each input reaches its V1 threshold (see description of symbol 12-09-02). The output will maintain the internal 1-state until the external level applied to one of its inputs reaches its V2 threshold. NOTE — This symbol is not equivalent to: 

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

32 Convertisseurs de code, codeurs

32 Coders, code converters

No.	Symbole Symbol	Légende	Description
12-32-01		Codeur, symbole général Convertisseur de code, symbole général La relation entre les entrées et les sorties doit être indiquée — soit par l'utilisation d'indications sur les symboles distinctifs généraux ainsi que des marquages aux entrées et sorties, — soit par l'utilisation d'un tableau de références. X et Y peuvent être remplacés par des indications représentant respectivement l'information en entrée et l'information en sortie.	Coder, general symbol Code converter, general symbol The relationship between inputs and outputs shall be shown by — indications in the general qualifying symbol together with labels at the inputs and outputs, — and/or by a referenced table. X and Y may be replaced by appropriate indications of the code used to represent the information at the inputs and at the outputs respectively.

32.1 Relations entre entrées et sorties des codeurs

32.1.1 Indication concernant les codes d'entrée et de sortie du symbole distinctif général

Cette méthode de conversion de code repose sur la règle suivante :

Les états logiques internes des entrées déterminent, selon le code d'entrée, une valeur interne ou son équivalent. Cette valeur interne est reproduite par les états logiques internes des sorties, selon le code de sortie.

32.1 Relationships between inputs and outputs of coders

32.1.1 Indication of input and output codes in the general qualifying symbol

This method of indicating code conversion is based on the following rule:
Depending on the input code, the internal logic states of the inputs determine an internal value (or its equivalent). This internal value is reproduced by the internal logic states of the outputs, depending on the output code.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Les relations entre les états logiques internes des entrées et la valeur interne doivent être indiquées :

— soit en marquant des nombres aux entrées, auquel cas la valeur interne est la somme des nombres marqués aux entrées qui sont à l'état interne 1; ou

— soit en remplaçant X par une indication appropriée du code d'entrée et en marquant aux entrées des caractères se rapportant à ce code.

Les relations entre la valeur interne et les états logiques internes des sorties doivent être indiquées :

— soit en marquant à chaque sortie la liste des nombres représentant les valeurs internes pour lesquelles cette sortie est dans l'état interne 1. Ces nombres doivent être séparés par des barres inclinées. Ce marquage peut aussi être appliqué lorsque Y est remplacé par une lettre indiquant un type de dépendance (voir aussi section 24). Lorsqu'une suite continue de valeurs internes produit l'état 1 d'une sortie, on peut marquer le premier et le dernier nombre de cette suite, séparés par trois points, par exemple : 4 ... 9 = 4/5/6/7/8/9;

— soit en remplaçant Y par une indication appropriée du code de sortie et en marquant aux sorties des caractères se rapportant à ce code.

The relationships between the internal logic states of the inputs and the internal value shall be indicated in one of the following ways:

— label the inputs with numbers, in which case the internal value equals the sum of the numbers associated with those inputs that stand at their internal 1-states; or

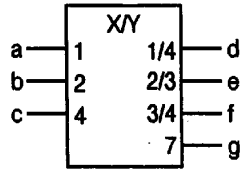
— replace X by an appropriate designation of the input code and label the inputs with characters that refer to this code.

The relationships between the internal value and the internal logic states of the outputs shall be indicated in one of the following ways:

— label each output with a list of numbers representing the internal values that lead to the internal 1-state of that output. These numbers shall be separated by solidi. This method may also be applied when Y is replaced by a letter denoting a type of dependency (see also section 24). If a continuous range of internal values produces the internal 1-state of an output, this can be indicated by two numbers that are inclusively the beginning and the end of the range, with these two numbers separated by three dots, for example, 4 ... 9 = 4/5/6/7/8/9; or

— replace Y by an appropriate indication of the output code and label the outputs with characters that refer to this code.

Illustration



La sortie d est dans l'état interne 1 pour les combinaisons suivantes des états logiques internes des entrées a, b et c :

a = 1 b = 0 c = 0

a = 0 b = 0 c = 1

NOTE — Le symbole distinctif général BIN/6 peut aussi être utilisé à la place de X/Y. Voir 32.1.1.1 et 32.1.1.2.

Output d stands at its internal 1-state for the following combinations of internal logic states at inputs a, b, and c:

a = 1 b = 0 c = 0

a = 0 b = 0 c = 1

NOTE — Alternatively, the general qualifying symbol BIN/6 may be used instead of X/Y. See 32.1.1.1 and 32.1.1.2.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

STD.IEC 60617-12-ENGL 1997 ■ 4844891 0664299 364 ■

Si X ou Y est remplacé par une indication d'un code spécifique, d'autres règles s'appliquent.

Dans le texte suivant, les codes sont subdivisés en trois catégories :

— les codes d'addition,

— les codes d'indication directe,

— les codes d'identification.

32.1.1.1 Codes d'addition

Avec ces codes, tels que «X», une valeur numérique interne correspond à la somme du poids des entrées [sorties] qui se trouvent à l'état interne 1.

L'indication de la relation entre les états logiques internes des entrées [sorties] et la valeur interne doit être réalisée en remplaçant X [Y] du symbole distinctif par l'indication appropriée du code d'accès et en marquant aux accès les numéros indiquant leurs poids individuels.

Les codes d'addition sont définis de la manière suivante :

BIN Code binaire
Code dans lequel les poids individuels sont tous des puissances de 2. Le poids décimal ou les exposants décimaux des entrées [sorties] doivent être des puissances de 2.

BCD Code décimal codé en binaire (8-4-2-1)
Code dans lequel chaque chiffre est codé en binaire sur 4 bits de poids relatifs 8, 4, 2 et 1.

If X or Y is replaced by an indication of a specific code, further rules apply.

In the following text, the codes are subdivided into three categories:

— summing codes,

— direct-indication codes, and

— identification codes.

32.1.1.1 Summing Codes

With these codes, like "X", there is an internal numeric value that corresponds to the sum of the weights of the inputs [outputs] that stand at their internal 1-states.

The indication of the relationships between the internal logic states of the inputs [outputs] and the internal value shall be accomplished by replacing X [Y] of the qualifying symbol with an appropriate indication of the input [output] code and by labelling the inputs [outputs] with numbers indicating their individual weights.

The following summing codes are defined:

BIN Binary code
The number code in which the individual weights are all powers of 2. Inputs [outputs] shall be labelled either with decimal weights or with decimal exponents of the powers of 2.

BCD 8-4-2-1 Binary-coded decimal
The number code in which each digit in the decimal representation of a number is encoded as a binary number in 4 bits with the relative weights of 8, 4, 2, and 1.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Exemple :

Nombre décimal	Code BCD
0	0000
1	0001
8	1000
9	1001
10	0001 0000
11	0001 0001
175	0001 0111 0101

Les accès doivent être marqués d'un poids décimal, par exemple 1, 2, 4, 8, 10, 20, etc.

NOTE — En entrée, le comportement de l'élément n'est pas spécifié par le symbole si la valeur interne produite par n'importe quel jeu de quatre entrées dépasse 9 ($\times 10^n$). En sortie, le comportement de l'élément n'est pas spécifié par le symbole si la valeur interne requiert plus de chiffres qu'il n'y en a à la sortie.

X-3 Code excès de 3

Code BCD dans lequel la valeur interne de chacun des 4 accès est 3 ($\times 10^n$) inférieure à la somme de ces accès. Voir la note concernant le BCD.

Example:

Decimal number	BCD code
0	0000
1	0001
8	1000
9	1001
10	0001 0000
11	0001 0001
175	0001 0111 0101

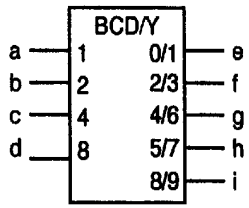
Inputs [outputs] shall be labelled with decimal weights, for example 1, 2, 4, 8, 10, 20, etc.

NOTE — For inputs, the behaviour of the element is unspecified by the symbol if the internal value produced by any set of four inputs exceeds 9 ($\times 10^n$). For outputs, the behaviour of the element is unspecified by the symbol if the internal value requires more digits than are provided at the outputs.

X-3 Excess-three code

The BCD code in which the internal value of each 4 inputs [outputs] is 3 ($\times 10^n$) less than the sum of those inputs [outputs]. See note to BCD.

Illustration



La sortie i est dans l'état interne 1 pour les combinaisons suivantes des états logiques internes des entrées a, b, c et d :

a = 0 b = 0 c = 0 d = 1
a = 1 b = 0 c = 0 d = 1

NOTE — Le symbole distinctif général BCD/5 peut aussi être utilisé à la place de BCD/Y. Voir 32.1.1.2.

Output i stands at its internal 1-state for the following combinations of internal logic states at inputs a, b, c, and d:

a = 0 b = 0 c = 0 d = 1
a = 1 b = 0 c = 0 d = 1

NOTE — Alternatively, the general qualifying symbol BCD/5 may be used instead of BCD/Y. See 32.1.1.2.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Pour les codes BCD non valides, c'est-à-dire ceux qui produiraient une valeur interne supérieure à 9, les états de sortie résultants ne sont pas spécifiés par ce symbole. Si le symbole distinctif général était BIN/Y, le symbole montrerait alors que toutes les sorties sont à l'état interne 0 pour les valeurs internes supérieures à 9.

2CMPL Code du complément à deux
Code à n bit (x_{n-1}, ..., x_0) représentant un nombre y de valeur $-2^{k+n-1} \leq y \leq 2^{k+n-1} - 2^k$. (Pour les entiers, k = 0. Pour les fractions à virgule fixe, k est négatif.)

Les poids individuels de x_0 à x_{n-2} sont de puissances de 2 (2^k à 2^{k+n-2}). Le bit additionnel (x_{n-1}) indique -2^{k+n-1}. La relation entre les valeurs des bits individuels et y peut être exprimée par

$$y = -2^{k+n-1} x_{n-1} + \sum 2^{k+i} x_i$$

Un nombre négatif [positif] est représenté par 2^k plus le complément (complément logique) du nombre positif [négatif] correspondant.

Exemple :

Nombre décimal	Complément à deux de 4 bits
7	0111
2	0010
1	0001
0	0000
–1	1111
–2	1110
–7	1001
–8	1000

Aux accès doit être affecté soit le poids décimal positif soit l'exposant d'une puissance de 2 comportant le bit (signé) de poids le plus fort.

For invalid BCD codes, that is, those that would produce an internal value greater than 9, the resulting output states are not specified by this symbol. If the general qualifying symbol were BIN/Y, then the symbol would show that all outputs stand at the internal 0-state for internal values greater than 9.

2CMPL Twos complement code
The n-bit number code (x_{n-1}, ..., x_0) representing a number y in the range $-2^{k+n-1} \leq y \leq 2^{k+n-1} - 2^k$. (For integers, k = 0. For fixed-point fractions, k is negative.)

The individual weights of x_0 through x_{n-2} are powers of 2 (2^k through 2^{k+n-2}). The additional bit (x_{n-1}) indicates -2^{k+n-1}. The relationship between the values of the individual bits and y can be expressed by

$$y = -2^{k+n-1} x_{n-1} + \sum 2^{k+i} x_i$$

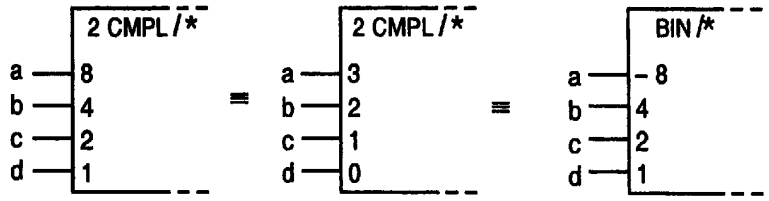
A negative [positive] number is represented by 2^k plus the ones-complement (logic complement) of the corresponding positive [negative] number.

Example:

Decimal number	4-bit two's-complement
7	0111
2	0010
1	0001
0	0000
–1	1111
–2	1110
–7	1001
–8	1000

Inputs [outputs] shall be labelled either with positive decimal weights or with exponents of the powers of 2 including the highest order (sign) bit.

Illustration



32.1.1.2 Codes d'indication directe

Avec ces codes, tels que «Y», la relation entre la valeur interne et l'état logique interne de chaque accès doit être indiquée en remplaçant X[Y] du symbole distinctif par une indication appropriée du code d'accès et en marquant chaque entrée par un nombre indiquant la valeur interne produite, ou en marquant chaque sortie par une liste de nombres indiquant les valeurs internes qui mènent à l'état interne 1 de la sortie. Ces nombres doivent être séparés par des barres inclinées.

Si une suite continue de valeurs internes produit l'état interne 1 d'une sortie, ou peut marquer le premier et le dernier nombre de cette suite, séparés par trois points, par exemple :
4 ... 9 = 4/5/6/7/8/9.

Les codes sont définis de la manière suivante :

m Code général à m états (m doit être remplacé par un nombre)
Code dans lequel m combinaisons d'états logiques internes sont définies pour les entrées ou éventuellement pour les sorties.

32.1.1.2 Direct-indication codes

With these codes, like "Y", the relationship between the internal numeric value and the internal logic state of each input [output] shall be indicated by replacing X [Y] of the qualifying symbol with an appropriate indication of the input [output] code and by labelling each input with a number indicating the internal value produced, or by labelling each output with a list of numbers indicating those internal values that lead to the internal 1-state of that output. These numbers shall be separated by solidi.

If a continuous range of internal values produces the internal 1-state of an output, this may be indicated by two numbers that are inclusively the beginning and the end of the range, with these two numbers separated by three dots, for example:
4 ... 9 = 4/5/6/7/8/9.

The following codes are defined:

m General code with m states (m shall be replaced by a number)
A code in which m combinations of internal logic states are defined for inputs or possibly for outputs.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

HPRI Code d'accès de priorité la plus élevée
Code d'accès dans lequel l'entrée de poids le plus élevé a la priorité si plus d'une entrée est à l'état interne 1. Si aucune entrée n'est à l'état interne 1, la valeur interne est zéro.

DEC Code décimal
Code comportant 10 accès de poids 0 à 9.

NOTE — Si l'accès de poids zéro est omis, la valeur interne du zéro correspond à tous les accès qui sont à l'état interne 0.

OCT Code octal
Code comportant 8 accès de poids 0 à 7. Voir la note concernant le DEC.

HEX Code hexadécimal
Code comportant 16 accès de poids 0 à 15. Voir la note sur le DEC.

Si ces codes, à l'exception du HPRI, sont utilisés en entrée et que plus d'une entrée est à l'état interne 1, le comportement de l'élément n'est pas spécifié par le symbole.

HPRI Highest-priority input code
An input code in which the input with the highest weight takes priority if more than one input stands at its internal 1-state. If no input stands at its internal 1-state, the internal value is zero.

DEC Decimal code
The code in which 10 inputs [outputs] exist and have the weights 0 through 9.

NOTE — If the input [output] with the weight of zero is omitted, the internal value of zero corresponds to all inputs [outputs] standing at their internal 0-states.

OCT Octal code
The code in which 8 inputs [outputs] exist and have the weights 0 through 7. See note to DEC.

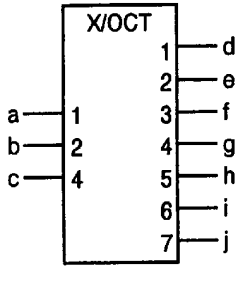
HEX Hexadecimal code
The code in which 16 inputs [outputs] exist and have the weights 0 through 15. See note to DEC.

Except for HPRI, if these codes are used for inputs and more than one input stands at its internal 1-state, the behaviour of the element is not specified by the symbol.

Illustrations

La sortie h est dans l'état interne 1 pour la combinaison suivante des états logiques internes des entrées a, b et c :
a = 1 b = 0 c = 1

NOTE — Le symbole distinctif général BIN/OCT peut aussi être utilisé à la place de X/OCT.



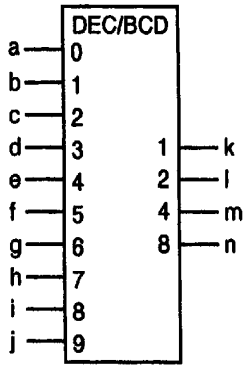
Output h stands at its internal 1-state for the following combination of internal logic states at inputs a, b, and c:
a = 1 b = 0 c = 1

NOTE — Alternatively, the general qualifying symbol BIN/OCT may be used instead of X/OCT.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Si l'entrée j est dans l'état interne 1, les sorties k et n sont dans l'état interne 1.



If input j stands at its internal 1-state, outputs k and n stand at their internal 1-states.

32.1.1.3 Codes d'identification

Avec ces codes, il n'y a pas de valeur numérique interne. Par contre, chaque modèle d'accès identifie un symbole (par exemple la lettre «E») ou un autre objet selon un système de codage précisé. L'équivalent de la valeur numérique interne est le symbole ou l'objet identifié par le modèle d'accès. Voici des exemples de codes : ISO Latin-1, ASCII, EBCDIC et 7-Segments. La relation entre le symbole ou l'objet interne et l'état de logique interne de chaque accès doit être indiquée en remplaçant X [Y] du symbole distinctif par une indication appropriée du code d'accès et en marquant chaque accès d'une indication appropriée sur sa position de bit dans le cadre de ce code.

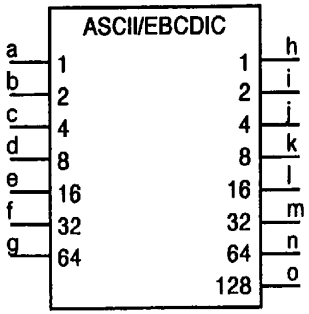
Si un code identifiant un symbole est utilisé dans un codeur avec un code associé aux valeurs numériques internes, la conversion vers ou à partir de ces valeurs numériques internes est basée sur la représentation décimale symbolique de ces nombres ou valeurs internes. S'il n'y a pas de représentation symbolique pour une valeur dans le code, le comportement de l'élément pour cette valeur n'est pas spécifié par son symbole.

32.1.1.3 Identification codes

With these codes there is no internal numeric value. Instead, each input [output] pattern identifies a symbol (for example the letter "E") or other object according to a named coding scheme. The equivalent of the internal numeric value is the symbol or object identified by the input [output] pattern. Examples of these codes are ISO Latin-1, ASCII, EBCDIC, and 7-segment. The relationship between the internal symbol or object and the internal logic state of each input [output] shall be indicated by replacing X [Y] of the qualifying symbol with an appropriate indication of the input [output] code and by labelling each input [output] with an appropriate indication of its bit position within the code.

If a code identifying a symbol is used in a coder together with a code that is associated with internal numeric values, the conversion to or from these codes is based on the symbolic decimal representation of those internal numeric values. If there is no symbolic representation for a value in the code, the behaviour of the element for that value is unspecified by the symbol for the element.

Illustration



32.1.2 Emploi des tableaux de codage

Au lieu des codes et des marquages définis précédemment, on peut aussi utiliser le symbole distinctif général X/Y (ou un autre symbole distinctif, plus approprié), accompagné d'une référence appropriée au tableau (voir modèle d'antériorité : symbole 12-33-09) dans lequel la relation entre les entrées et les sorties est indiquée. La correspondance entre les entrées [sorties] et les colonnes du tableau peut être donnée de la façon qui conviendra, par exemple en utilisant des désignations de connexion. Dans ce cas, on doit éviter tout marquage interne qui pourrait prêter à confusion avec un marquage relevant de l'une des autres méthodes.

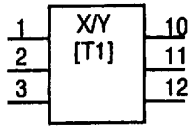
32.1.2 Use of coding tables

As an alternative to the use of the previously defined codes and labelling, the general qualifying symbol X/Y (or another, more appropriate, qualifying symbol) may be used together with an appropriate reference to a table (as, for example, in symbol 12-33-09) in which the relationship between the inputs and outputs is indicated. The correspondence between inputs [outputs] and the columns in the table may be given in any convenient way, for example by using terminal designations. In this case, any internal labelling that might be confused with that arising in one of the other methods shall be avoided.

T1

Entrées			Sorties		
1	2	3	10	11	12
0	0	0	1	0	0
0	0	1	0	0	0
0	1	0	0	1	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	0	0	1
1	1	1	0	0	0

Illustration



T1

Inputs			Outputs		
1	2	3	10	11	12
0	0	0	1	0	0
0	0	1	0	0	0
0	1	0	0	1	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	0	0	1
1	1	1	0	0	0

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

32.2 Remplacement de X et de Y par d'autres indications que les indications du code d'entrée ou de sortie

32.2.1 Le nombre interne d'un codeur peut aussi être produit par d'autres moyens, par exemple un compteur (le contenu est le nombre interne), un commutateur multi-directionnel (la position produit le nombre interne), etc. Dans ces cas, X doit être remplacé par une indication appropriée du moyen intéressé.

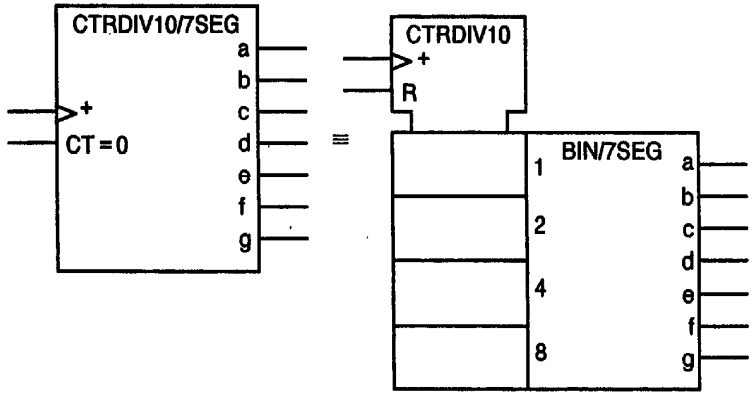
32.2 Replacement of X and Y by indications other than designations of the input code or the output code

32.2.1 The internal value of a coder may also be produced by other means, for example by a counter whose content is the internal value, by a multi-position switch whose position produces the internal value, etc. In such cases, the X shall be replaced by an appropriate indication of the means involved.

Illustrations

Compteur avec sorties en code 7 segments

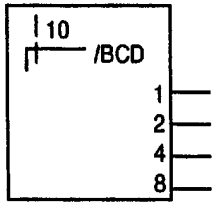
NOTE — Pour la signification de CTRDIV10, voir le symbole 12-48-03.



Counter with 7-segment-display outputs

NOTE — For the meaning of CTRDIV10 see symbol 12-48-03.

Commutateur numérique à dix directions produisant des sorties en code BCD



10-position switch producing a BCD output

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

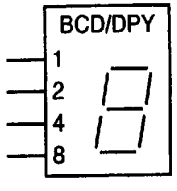
STD·IEC 60617-12-ENGL 1997 ■ 4844891 0664307 260 ■

32.2.2 Le nombre interne d'un codeur peut aussi être reproduit par un afficheur, ou peut représenter une valeur destinée à devenir le contenu d'un opérateur ou un nombre sur lequel une opération mathématique est effectuée. Dans ces cas, Y doit être remplacé par le symbole distinctif de la fonction concernée.

32.2.2 The internal value of a coder may also be represented by a visual display or be regarded as a value to become the content of an element or as a value on which a mathematical operation is performed. In such cases, the Y shall be replaced by the general qualifying symbol of the function involved.

Illustration

Afficheur 7 segments avec entrées en code BCD



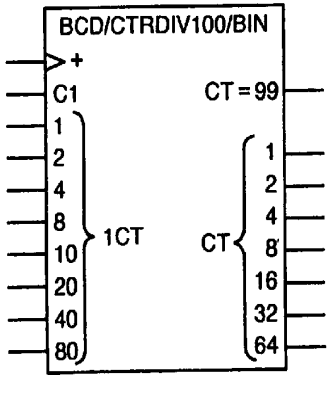
7-segment display with BCD-inputs

32.2.3 Il peut être nécessaire, notamment en présence d'un registre interne, de spécifier un code d'entrée et un code de sortie en plus du type de registre entre les entrées et les sorties, par exemple BCD/CTRDIV100/BIN.

32.2.3 It may be necessary, especially if an internal register is involved, to specify both an input code and an output code in addition to the type of register found in between the inputs and outputs, for example, "BCD/CTRDIV100/BIN".

Illustration

Compteur, divisant par 100, avec entrées en code BCD et sorties en code binaire



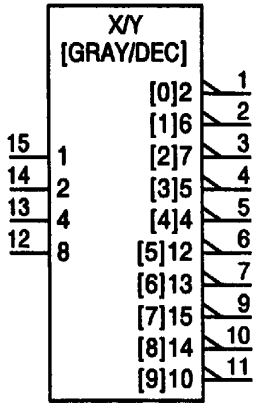
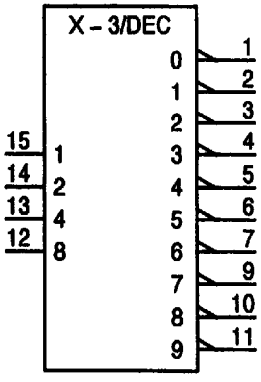
Counter, dividing by 100, with BCD-inputs and outputs in binary code

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

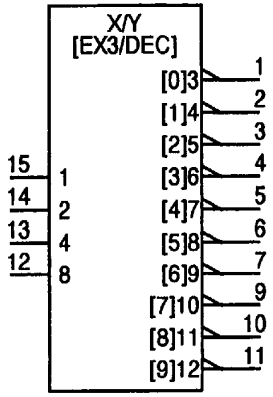
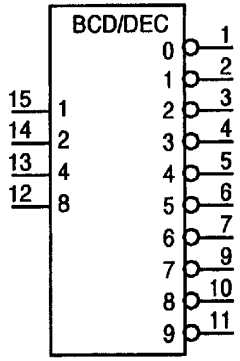
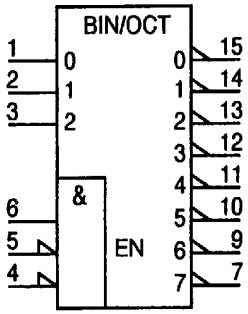
STD·IEC 60617-12-ENGL 1997 ■ 4844891 0664308 1T7 ■

33 Exemples de transcodeurs

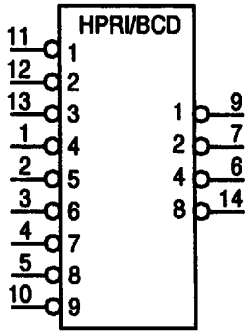
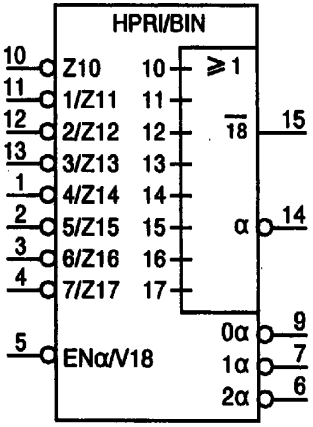
33 Examples of code converters

No.	Symbole Symbol	Légende	Description
12-33-01		Convertisseur de code Gray en code décimal (modèle d'antériorité : SN 7444) NOTE — Du fait qu'il n'est pas possible de marquer les entrées de poids correspondant au code Gray, le symbole général de convertisseur de code figure conformément à la première solution des deuxième et troisième alinéas de 32.1.1. Des informations complémentaires ont été ajoutées afin d'indiquer une application particulière de ce moyen pour installer un code Gray particulier.	Code converter, Gray-to-decimal (e.g. SN 7444) NOTE — Because it is not possible to label the inputs with characters referring to the Gray code, the general symbol for a coder is shown here in accordance with the first alternative in each of the second and the third paragraphs of 32.1.1. Supplementary information has been added to indicate a particular application of this device to implement a particular Gray code.
12-33-01A		Convertisseur de code excès de 3 en code décimal (modèle d'antériorité : SN 7443)	Code converter, excess-3-to-decimal (e.g. SN 7443)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

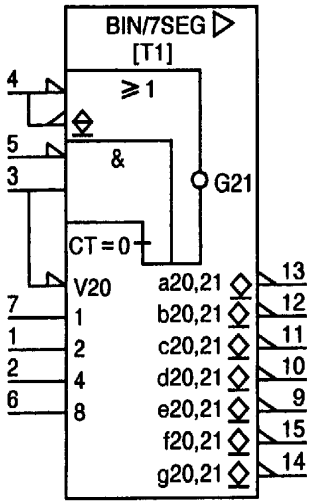
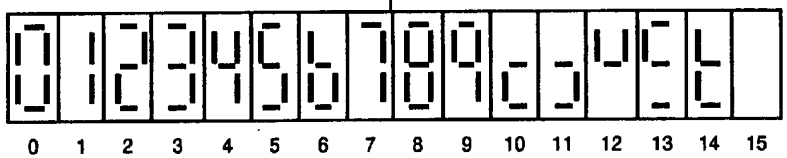
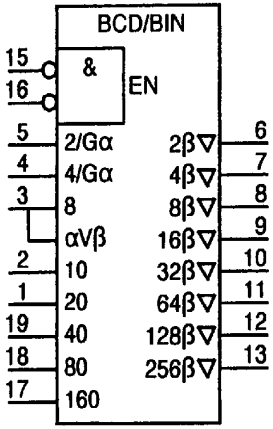
12-33-01B		Autre représentation	Alternative form
12-33-02		Convertisseur de code BCD en code décimal (modèle d'antériorité : SN 7442)	Code converter, BCD-to-decimal (e.g. SN 7442)
12-33-03		Convertisseur de code trois vers huit (modèle d'antériorité : SN 74SL138) NOTE — Le symbole 12-37-04 représente le même opérateur de façon différente.	Code converter, three-to-eight-line (e.g. SN 74LS138) NOTE — Symbol 12-37-04 depicts the same device in another way.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

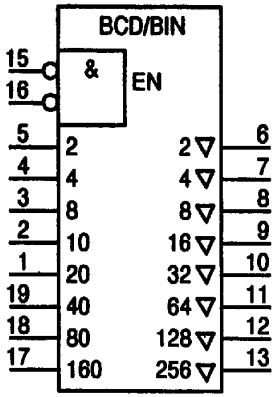
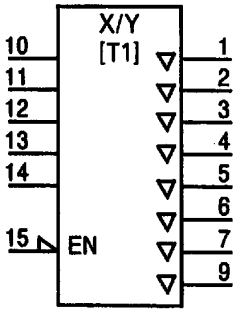
No.	Symbole Symbol	Légende	Description
12-33-04		Codeur de priorité 9 à 4 (modèle d'antériorité : SN 74147)	Highest-priority encoder, encoding 9 data lines to 4-line BCD (e.g. SN 74147)
12-33-05		Codeur de priorité 8 à 3 (modèle d'antériorité : SN 74148)	Highest-priority encoder, encoding 8 data lines to 3-line binary (octal) (e.g. SN 74148)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

STD·IEC 60617-12-ENGL 1997 ■ 4844891 0664311 791 ■

12-33-06		Décodeur/amplificateur du code binaire vers le code 7 segments (modèle d'antériorité : SN 74LS47) NOTE — Cet exemple illustre l'emploi du symbole de polarité logique aux accès externes conjointement à l'emploi du symbole de négation logique à une connexion interne (voir la section 7). Table T1 des chiffres affichés: Affichages correspondant aux valeurs numériques  0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 Numerical designations and resultant displays Identification des segments : a f g b e c d	Decoder/driver, binary-to-seven-segment (e.g. SN 74LS47) NOTE — This example shows the use of the polarity indicator at external connections together with the use of the negation indicator at internal connections (see section 7). Font table T1: Segment-identification: a f g b e c d
12-33-07		Convertisseur de code BCD en code binaire (modèle d'antériorité : SN 74S484)	Code converter, BCD-to-binary (e.g. SN 74S484)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-33-08	Forme simplifiée Simplified form 		
12-33-09		Convertisseur de code programmé (modèle d'antériorité : TBP 18S030, précédemment SN 74S288) Les relations entrée-sortie proviennent d'une mémoire PROM (ou ROM). «T1» se réfère à une table décrivant la fonction logique de l'opérateur, par exemple :	Coder for arbitrary code (e.g. TBP 18S030, formerly SN 74S288) The combinative relationships between inputs and outputs are implemented in a PROM (or a ROM). "T1" refers to a table showing the logic function of the device, for example:

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

STD·IEC 60617-12-ENGL 1997 ■ 4844891 0664313 564 ■

T1

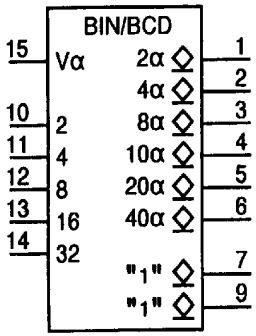
Entrées					Sorties (opérateur validé)							
14	13	12	11	10	9	7	6	5	4	3	2	1
L	L	L	–	–	H	L	H	L	L	L	L	L
L	L	H	L	L	H	L	H	L	L	L	L	L
L	L	H	L	H	H	L	H	L	L	L	L	H
L	L	H	H	–	H	H	L	L	L	L	L	H
L	H	L	L	L	H	L	H	L	L	L	L	L
L	H	L	L	H	H	L	H	L	L	L	H	L
L	H	L	H	–	H	H	L	L	L	L	H	L
L	H	H	L	L	H	L	H	L	L	L	L	L
L	H	H	L	H	H	L	H	L	L	H	L	L
L	H	H	H	–	H	H	L	L	L	H	L	L
H	L	L	–	–	L	L	H	L	L	L	L	L
H	L	H	–	–	L	L	H	L	H	L	L	H
H	H	L	–	–	L	L	H	H	L	L	H	L
H	H	H	–	–	L	L	H	H	H	H	L	L

– = quelconque (sans importance)

T1

Inputs					Outputs (with device enabled)							
14	13	12	11	10	9	7	6	5	4	3	2	1
L	L	L	–	–	H	L	H	L	L	L	L	L
L	L	H	L	L	H	L	H	L	L	L	L	L
L	L	H	L	H	H	L	H	L	L	L	L	H
L	L	H	H	–	H	H	L	L	L	L	L	H
L	H	L	L	L	H	L	H	L	L	L	L	L
L	H	L	L	H	H	L	H	L	L	L	H	L
L	H	L	H	–	H	H	L	L	L	L	H	L
L	H	H	L	L	H	L	H	L	L	L	L	L
L	H	H	L	H	H	L	H	L	L	H	L	L
L	H	H	H	–	H	H	L	L	L	H	L	L
H	L	L	–	–	L	L	H	L	L	L	L	L
H	L	H	–	–	L	L	H	L	H	L	L	H
H	H	L	–	–	L	L	H	H	L	L	H	L
H	H	H	–	–	L	L	H	H	H	H	L	L

– = irrelevant (don't care)

12-33-10		Convertisseur de code binaire en code BCD (modèle d'antériorité : SN 74185)	Code converter, binary-to-BCD (e.g. SN 74185)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

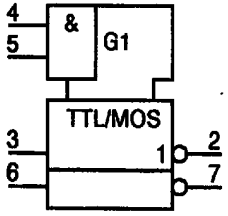
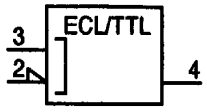
34 Convertisseur de niveau de signal avec ou sans séparation électrique

34 Signal-level converters with or without electrical isolation

No.	Symbole Symbol	Légende	Description
12-34-01	Utiliser symbole 12-32-01 Use symbole 12-32-01	Convertisseur de niveau de signal, symbole général Les références de niveau de signal peuvent être écrites à l'intérieur du rectangle et doivent remplacer X et Y s'il y a risque de confusion avec le codeur. Le symbole distinctif de l'opérateur X/Y peut être remplacé par X//Y lorsqu'il est nécessaire d'indiquer l'existence d'une séparation électrique.	Signal-level converter, general symbol The level references may be shown inside the symbol and shall replace X and Y if confusion with the coder is likely. The general qualifying symbol X/Y may be replaced by X//Y if it is necessary to indicate electrical isolation.

35 Exemples de convertisseurs de niveau de signal

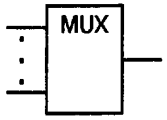
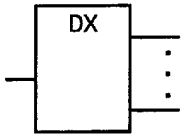
35 Examples of signal-level converters

No.	Symbole Symbol	Légende	Description
12-35-01		Convertisseur de niveaux TTL en niveaux MOS, double (modèle d'antériorité : une partie de SN 75365)	Level converter, TTL-to-MOS, dual (e.g. part of SN 75365)
12-35-02		Convertisseur de niveaux ECL en niveaux TTL (modèle d'antériorité : une partie de MC 10125)	Level converter, ECL-to-TTL (e.g. part of MC 10125)

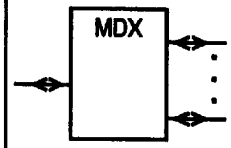
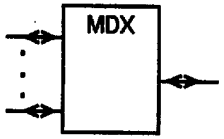
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

36 Multiplexeurs et démultiplexeurs

36 Multiplexers and demultiplexers

No.	Symbole Symbol	Légende	Description
12-36-01		Multiplexeur, symbole général Si une entrée est sélectionnée, la sortie prend le même état logique interne que cette entrée. Si aucune entrée n'est sélectionnée, la sortie reste à l'état interne 0. NOTE — Il convient que les entrées et les relations logiques qui commandent la sélection figurent, en représentant également ces entrées et leurs notations de dépendance, soit dans le cadre du symbole, soit dans un symbole des communs.	Multiplexer, general symbol If one input of a multiplexer is selected, the internal logic state of the output takes on the internal state of the selected input. If no input is selected, the output stands at its internal 0-state. NOTE — The inputs and logic relationships that control the selecting action should also be shown, for example by showing those inputs and the associated dependency notation either within the element or within a common control block.
12-36-02		Démultiplexeur, symbole général Si une sortie est sélectionnée, son état logique interne prend l'état logique interne de l'entrée. En cas contraire, la sortie prend l'état interne 0. NOTES 1 Si une confusion peut se produire, DX peut être remplacé par DMUX. 2 La note du symbole 12-36-01 est applicable.	Demultiplexer, general symbol If an output of a demultiplexer is selected, the internal logic state of that output takes on the internal logic state of the input. Otherwise, the output takes on its internal 0-state. NOTES 1 If confusion is likely, DX may be replaced by DMUX. 2 The note with symbol 12-36-01 applies.

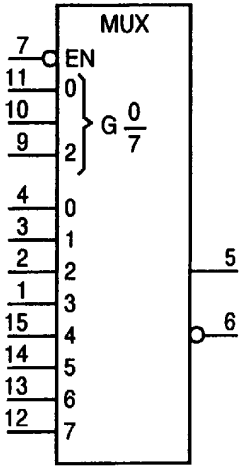
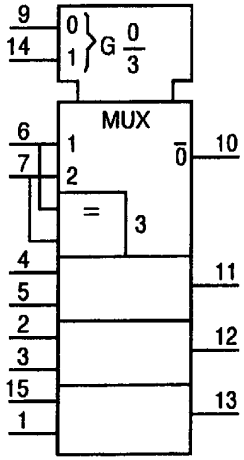
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-36-03		Multiplexeur/démultiplexeur bilatéral ou sélecteur, symbole général Cet opérateur établit une connexion bilatéral entre un accès donné et un autre sélectionné parmi plusieurs autres. NOTES 1 La note du symbole 12-36-01 est applicable. 2 La note 1 du symbole 12-36-02 est applicable. 3 Les flèches sont facultatives. 4 Si une confusion risque de se produire, MDX peut être remplacé par MUXDX.	Bidirectional multiplexer/demultiplexer (selector), general symbol This element establishes a bidirectional connection between one input-output port and another that is selected from a group of input–output ports. NOTES 1 The note with symbol 12-36-01 applies. 2 Note 1 with symbol 12-36-02 applies. 3 The arrowheads are optional. 4 If confusion is likely, MDX may be replaced by MUXDX.
12-36-04			

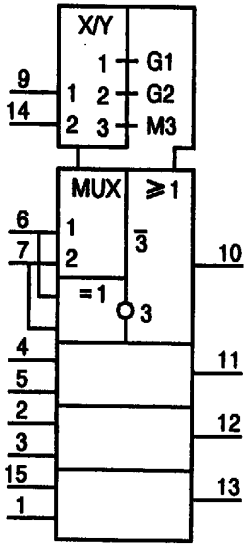
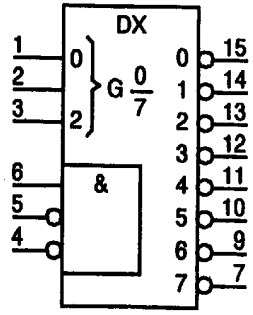
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

37 Exemples de multiplexeurs et démultiplexeurs

37 Examples of multiplexers and demultiplexers

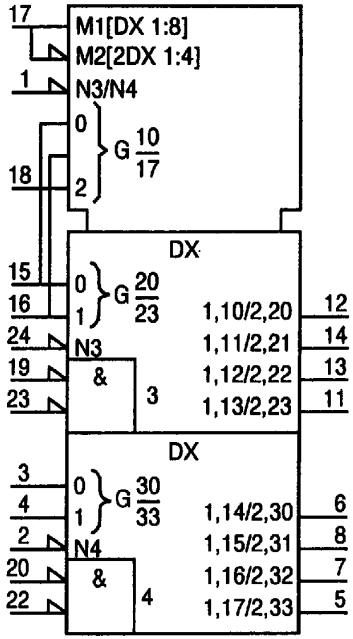
No.	Symbole Symbol	Légende	Description
12-37-01		Multiplexeur à 8 entrées (modèle d'antériorité : SN 74151)	Multiplexer (one-of-eight) (e.g. SN 74151)
12-37-02		Multiplexeur, quadruple (modèle d'antériorité : MC 14519) NOTES 1 $\overline{0}$ est facultatif (voir la légende du symbole 12-36-01). 2 Le symbole 12-37-03 représente le même opérateur de façon différente.	Multiplexer, quadruple (e.g. MC 14519) NOTES 1 $\overline{0}$ is optional (see description of symbol 12-36-01). 2 Symbol 12-37-03 depicts the same device in another way.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

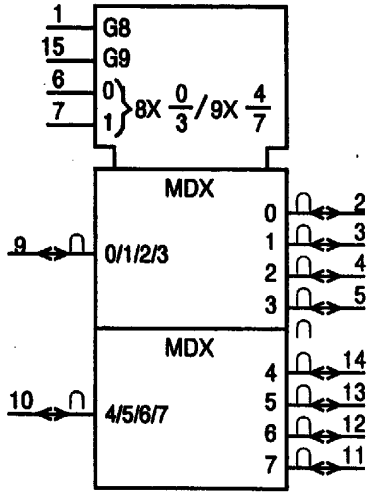
No.	Symbole Symbol	Légende	Description
12-37-03		NI exclusif, quadruple (modèle d'antériorité : MC 14519) NOTE — Le symbole 12-37-02 représente le même opérateur de façon différente.	Exclusive NOR, quadruple (e.g. MC 14519) NOTE — Symbol 12-37-02 depicts the same device in another way.
12-37-04		Démultiplexeur à 8 lignes (modèle d'antériorité : SN 74LS138) NOTE — Le symbole 12-33-03 représente le même opérateur de façon différente.	Demultiplexer (one-to-eight) (e.g. SN 74LS138) NOTE — Symbol 12-33-03 depicts the same device in another way.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

STD.IEC 60617-12-ENGL 1997 ■ 4844891 0664319 T82 ■

12-37-05		**Démultiplexeur/décodeur universel, double (modèle d'antériorité : F 100170)** NOTES 1 Pour réaliser correctement la fonction DX1:8, il est nécessaire d'établir une connexion extérieure entre les broches 19 et 20 d'une part et les broches 22 et 23 d'autre part. 2 Le symbole pour sortie à circuit ouvert (symbole 12-09-04) n'est pas figuré dans cet exemple parce que toutes les sorties ECL de cette famille ECL sont de type de circuit ouvert identique.	**Demultiplexer/decoder, universal, dual (e.g. F 100170)** NOTES 1 In order to perform the function DX1:8 correctly, it is necessary to make an external connection between terminals 19 and 20, and also between terminals 22 and 23. 2 The symbol for open-circuit output (symbol 12-09-04) is not shown in this example because all ECL outputs of this ECL family are of the same open-circuit type.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-37-06		Sélecteur de données analogiques, multiplexeur/démultiplexeur à 4 voies, double (modèle d'antériorité : MC 14529B) NOTES 1 Quand le symbole distinctif général MDX est utilisé, les numéros d'identification de la dépendance X, connu 0/1/2/3, peuvent être omis sur les accès multiplexés si aucune confusion ne peut se produire. 2 Les flèches et les symboles d'identification des signaux analogiques sont facultatifs.	Analogue data selector (multiplexer/demultiplexer), 4-channel, dual (e.g. MC 14529B) NOTES 1 When using the general qualifying symbol MDX, the identifying numbers of the X-dependencies, (for example, 0/1/2/3) may be omitted at the multiplexed port if no confusion is likely. 2 The arrowheads and the identifiers of analogue signals are optional.

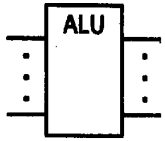
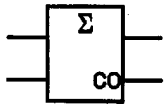
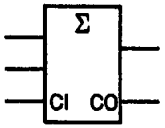
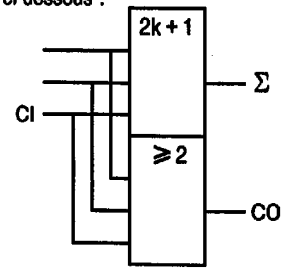
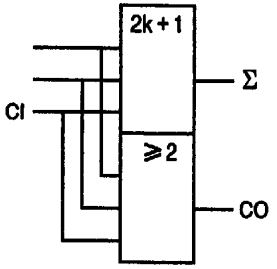
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

38 Opérateurs arithmétiques

38 Arithmetic elements

No.	Symbole Symbol	Légende	Description
12-38-01	Σ	Additionneur, symbole général	Adder, general symbol
12-38-02	P–Q	Soustracteur, symbole général	Subtractor, general symbol
12-38-03	CPG	Générateur de retenue anticipée (engendrée et propagée), symbole général	Look-ahead carry generator (carry, propagate and generate), general symbol
12-38-04	Π	Multiplicateur, symbole général	Multiplier, general symbol
12-38-05	COMP	Comparateur arithmétique, symbole général Un comparateur, faisant partie d'une cascade, est supposé traiter une partie de la comparaison des poids faibles vers les poids forts sauf si une autre indication, telle que [H – L], est placée sous le symbole «COMP».	Magnitude comparator, general symbol A cascadable comparator is assumed to implement a portion of a comparison that proceeds from lower to higher order unless otherwise indicated, for example by "[H – L]" placed below the qualifying symbol "COMP".

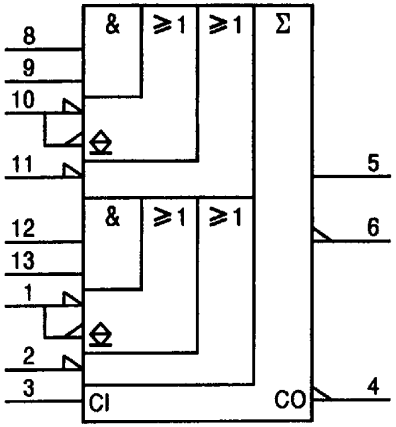
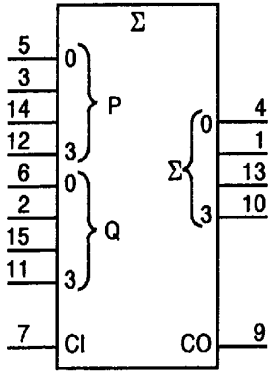
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-38-06		Opérateur logique et arithmétique, symbole général Une information complémentaire doit être ajoutée au symbole distinctif pour préciser la fonction de l'opérateur (comme exemple, voir le symbole 12-39-10).	Arithmetic logic unit, general symbol Supplementary information shall be added to the general qualifying symbol to specify the function of the element (see for example, symbol 12-39-10).
12-38-07		Demi-additionneur	Half adder
12-38-08		Additionneur complet à un seul bit NOTE — Un additionneur complet simple à un bit peut aussi être représenté par la combinaison du symbole de l'opérateur d'IMPARITÉ et de celui de l'opérateur à seuil, comme il est montré ci dessous : 	Single-bit full adder NOTE — A simple single-bit full adder may alternatively be depicted by the combination of the symbol for the ODD element (modulo 2 adder) and the logic threshold element as shown below: 

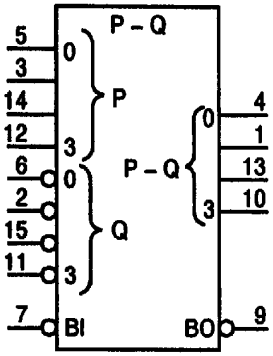
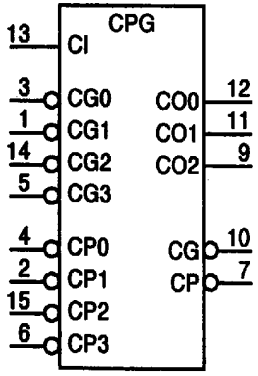
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

39 Exemples d'opérateurs arithmétiques

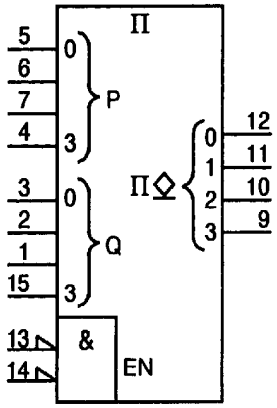
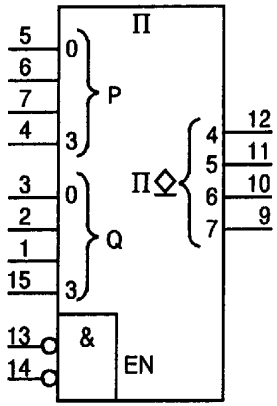
39 Examples of arithmetic elements

No.	Symbole Symbol	Légende	Description
12-39-01		Additionneur complet à 1 bit avec des sorties complémentaires pour la somme et une sortie inversée de la retenue (modèle d'antériorité : SN 7480)	Single-bit full adder with complementary sum outputs and inverted carry output (e.g. SN 7480)
12-39-02		Additionneur complet à 4 bit (modèle d'antériorité : SN 74283) NOTE — Le symbole 12-39-03 représente le même opérateur de façon différente.	Full adder, 4-bit (e.g. SN 74283) NOTE — Symbol 12-39-03 depicts the same device in another way.

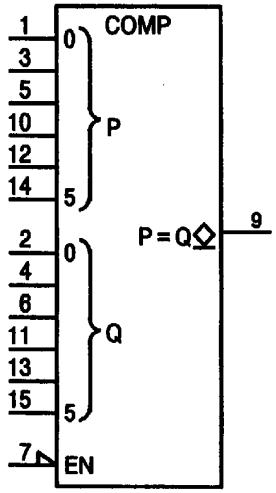
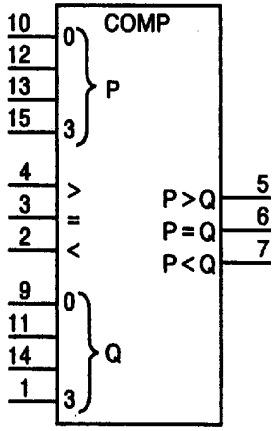
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-39-03		Soustracteur complet à 4 bit (modèle d'antériorité : SN 74283) NOTE — Le symbole 12-39-02 représente le même opérateur de façon différente.	Full subtractor, 4-bit (e.g. SN 74283) NOTE — Symbol 12-39-02 depicts the same device in another way.
12-39-04		Générateur de retenue anticipée à 4 bit (modèle d'antériorité : SN 74182)	Look-ahead carry generator, 4-bit (e.g. SN 74182)

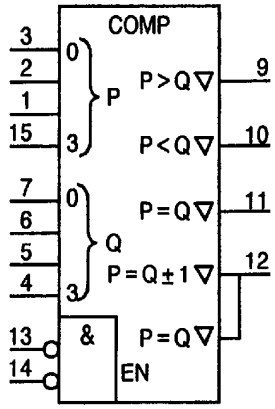
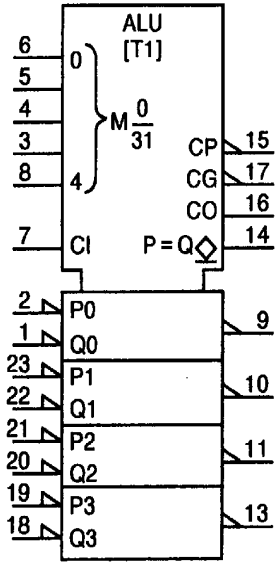
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-39-05		Multiplicateur parallèle à 4 bit produisant seulement les 4 bit les moins significatifs du produit (modèle d'antériorité : SN 74285)	Multiplier, 4-bit parallel, generating the four least significant bits of the product (e.g. SN 74285)
12-39-06		Multiplicateur parallèle à 4 bit produisant seulement les 4 bit les plus significatifs du produit (modèle d'antériorité : SN 74284)	Multiplier, 4-bit parallel, generating the four most significant bits of the product (e.g. SN 74284)

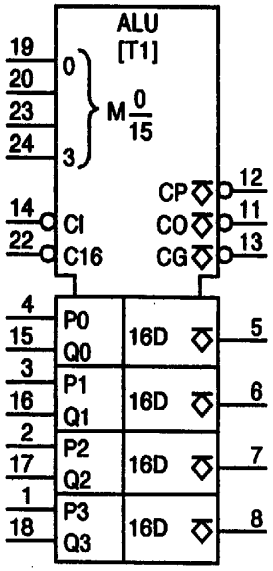
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-39-07		Comparateur numérique à 6 bit avec sortie à circuit ouvert du type L (modèle d'antériorité : DM 7160)	Magnitude comparator with open-circuit output of the L-type, 6-bit (e.g. DM 7160)
12-39-08		Comparateur numérique de deux mots de 4 bit avec entrées pour montage en cascade (modèle d'antériorité : SN 7485)	Magnitude comparator with cascading inputs, 4-bit (e.g. SN 7485)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-39-09		Comparateur numérique à 4 bit avec sorties 3 états (modèle d'antériorité : DM 76L24)	Magnitude comparator with 3-state outputs, 4-bit (e.g. DM 76L24)
12-39-10		Opérateur logique et arithmétique à 4 bit (modèle d'antériorité : SN 74181) NOTES 1 [T1] fait référence à une documentation afférente détaillant les fonctions de l'opérateur pour les différents modes. 2 Les M aux sorties ont été omis selon les dispositions de 21.2.	Arithmetic logic unit, 4-bit (e.g. SN 74181) NOTES 1 [T1] refers to supplementary documentation detailing the element's function in various modes. 2 The Ms at the outputs have been omitted in accordance with 21.2.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-39-11		Opérateur logique et arithmétique à 4 bit avec bascules aux sorties (modèle d'antériorité : F 100181) NOTE — Les notes du symbole 12-39-10 sont applicables.	Arithmetic logic unit with output latches, 4-bit (e.g. F 100181) NOTE — The notes with symbol 12-39-10 apply.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

STD·IEC 60617-12-ENGL 1997 ■ 4844891 0664329 921 ■

40 Opérateurs binaires à retard

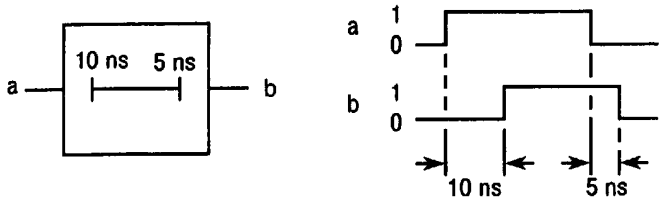
Le symbole distinctif 02-08-05 de la CEI 60617-2 est utilisé aussi pour la représentation d'un opérateur binaire à retard comme figuré dans cette section.

40 Binary delay elements

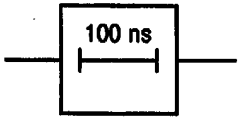
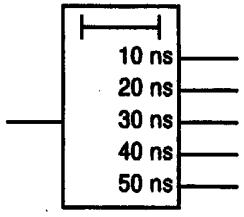
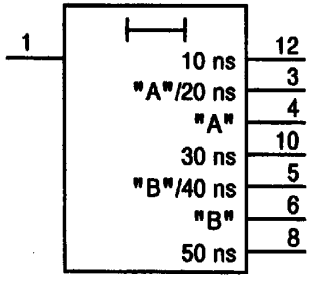
The qualifying symbol 02-08-05 of IEC 60617-2 is also used in the representation of binary delay elements as shown in this section.

No.	Symbole Symbol	Légende	Description
12-40-01	t_1 t_2	Opérateur à retard avec indication des valeurs des retards Opérateur à retard dans lequel t_1 est le retard apporté à la transition de l'état interne 0 vers l'état interne 1, et t_2 est le retard apporté à la transition de l'état interne 1 vers l'état interne 0. t_1 et t_2 peuvent être remplacés par leur valeur réelle, exprimée en secondes ou unités de mots, et peuvent être placés à l'intérieur ou à l'extérieur du cadre. Si les deux retards sont égaux, cette valeur unique n'est indiquée qu'une seule fois.	Delay element with specified delay times A transition from the internal 0-state to the internal 1-state at the output occurs after a delay of t_1 with reference to the same transition at the input. The transition from the internal 1-state to the internal 0-state at the output occurs after a delay of t_2 with reference to the same transition at the input. t_1 and t_2 may be replaced by the actual delays, expressed in seconds, word units or digit units, and may be placed inside or outside the outline. If the two delays are equal, it is sufficient to insert one value only.

Illustration



COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-40-02		Opérateur à retard (100 ns)	Delay element (100 ns)
12-40-03		Opérateur à retard multiple (de 10 ns)	Tapped delay element (in steps of 10 ns)
12-40-04		Ligne à retard, 5 valeurs (modèle d'antériorité : représentation composite de BEL FUSE S423-0050-02, et Fil-Mag 77Z14A050) NOTE — Le symbole est la représentation composée de deux dispositifs ayant des fonctions identiques mais des assignations de broches différentes. Sur le circuit imprimé, différents «brochages» sont pris en compte grâce à une empreinte commune avec quelques accès reliés les uns aux autres. A titre d'illustration, le symbole 12-09-52 est utilisé. Les désignations de broches figurées sont celles de l'empreinte commune.	Delay line, 5 taps (e.g. composite representation of BEL FUSE S423-0050-02, and Fil-Mag 77Z14A050) NOTE — This symbol is a composite representation of two devices that have identical functions but different terminal assignments. On the printed circuit board, the different "pinning" is accommodated by a common footprint with some pads connected together. To illustrate this, symbol 12-09-52 is used. The terminal designations shown are those of the common footprint.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

41 Opérateurs bistables

41.1 Le symbole d'un opérateur bistable ne comporte pas de symbole distinctif de fonction, celle-ci étant indiquée par les symboles distinctifs des accès.

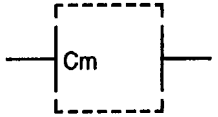
41.2 Pour les opérateurs bistables commandés par une entrée Cm (symbole 12-18-01), il est nécessaire de distinguer entre quatre types d'opérateurs : bascules, opérateurs bistables déclenchés sur front et opérateurs bistables déclenchés sur front avec effet différé en sortie. En accord avec les légendes du symbole d'entrée dynamique (12-07-07) et du symbole d'effet différé en sortie (12-09-01) :

41 Bistable elements

41.1 The symbol for a bistable element does not contain a general qualifying symbol for the function, the latter being indicated by qualifying symbols associated with the inputs and outputs.

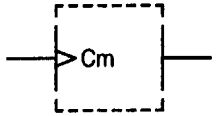
41.2 For bistable elements controlled by Cm-inputs (symbol 12-18-01), it is necessary to distinguish between four types, that is, latches, edge-triggered bistables, pulse-triggered bistables, and data-lock-out bistables. In accordance with the descriptions of the symbols for a dynamic input (12-07-07) and for a postponed output (12-09-01):

indique une bascule commandée



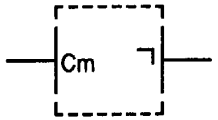
indicates a latch

indique un opérateur bistable déclenché sur front



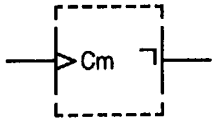
indicates an edge-triggered bistable

indique un opérateur bistable déclenché par impulsion



indicates a pulse-triggered bistable

indique un opérateur bistable déclenché sur front avec effet différé en sortie



indicates a data-lock-out bistable

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Dans le cas des opérateurs bistables déclenchés par impulsion et déclenchés sur front avec ou sans effet différé en sortie, les états logiques des entrées influencées par l'entrée Cm sont supposés stables tout le temps que l'entrée Cm est dans son état interne 1. Si ces entrées changent d'état durant ce temps, la fonction de l'opérateur n'est pas définie par le symbole.

La même symbologie est employée pour des opérateurs plus complexes tels que registres à décalage et compteurs pour indiquer s'ils sont déclenchés par impulsion, déclenchés sur front ou déclenchés sur front avec effet différé en sortie. Dans le cas d'opérateurs avec effet différé en sortie, si on fait référence au contenu de l'opérateur, par exemple par une sortie CT, sa valeur ne doit être considérée qu'après exécution de la fonction d'effet différé en sortie.

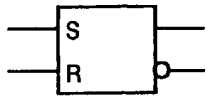
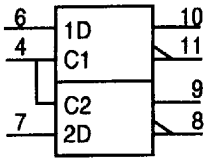
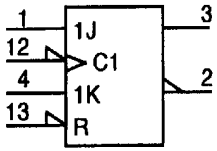
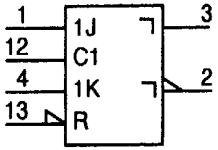
For edge-triggered, pulse-triggered and data-lock-out bistables, the inputs affected by the Cm-input are assumed to be stable during the period that the Cm-input stands at its internal 1-state. If they do change their states during this period, the function of the element is not specified by the symbol.

The same symbology is used for more complex elements such as shift registers and counters to indicate whether they are of the edge-triggered, the pulse-triggered or the data-lock-out type. For elements of the pulse-triggered or the data-lock-out type, if reference is made to the content of the element (for example, by a CT-output), this content shall be considered as being the content after the application of the postponed-output symbol.

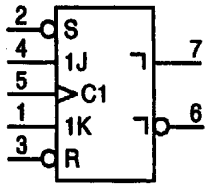
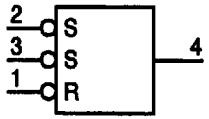
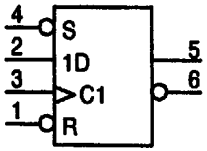
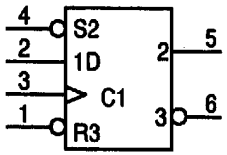
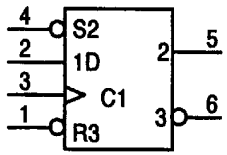
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

42 Exemples d'opérateurs bistables

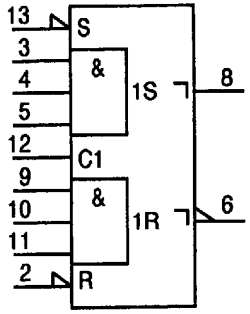
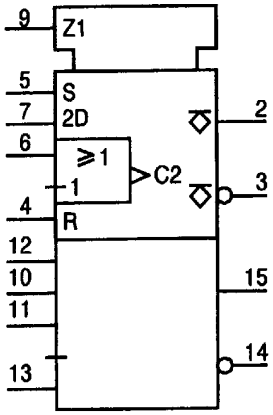
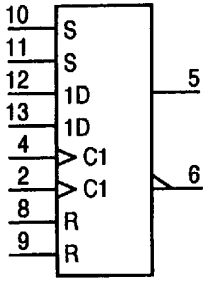
42 Examples of bistable elements

No.	Symbole Symbol	Légende	Description
12-42-01		Bascule RS	RS-bistable RS-latch
12-42-02		Bascule D, double (modèle d'antériorité : une partie de SN 7475)	D-latch, dual (e.g. part of SN 7475)
12-42-03		Bascule JK déclenchée sur front (modèle d'antériorité : une partie de SN 74LS107)	Edge-triggered JK-bistable (e.g. part of SN 74LS107)
12-42-04		Bascule JK déclenchée par impulsion (modèle d'antériorité : une partie de SN 74107)	Pulse-triggered JK-bistable (e.g. part of SN 74107)

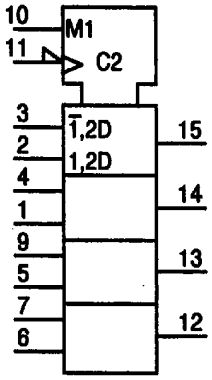
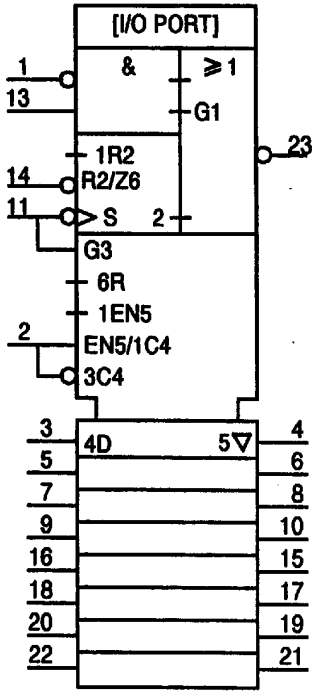
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-42-05		Bascule JK déclenchée sur front avec effet différé en sortie (modèle d'antériorité : une partie de SN 74111)	Data-lock-out JK-bistable (e.g. part of SN 74111)
12-42-06		Bascule RS avec entrées complémentées (bascule $\overline{R}\overline{S}$) (modèle d'antériorité : une partie de SN 74279)	RS-latch with negated inputs ($\overline{R}\overline{S}$-latch) (e.g. part of SN 74279)
12-42-07		Bascule D déclenchée sur front (modèle d'antériorité : une partie de SN 7474) NOTE — Si l'effet de la combinaison S = R = 1 est spécifié, il peut être représenté en utilisant les dépendances S et R (section 19). Par exemple : 	Edge-triggered D-bistable (e.g. part of SN 7474) NOTE — If the effect of the combination S = R = 1 is specified, this effect may be shown using the S- and R-dependency (section 19). For example: 

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-42-08		Bascule RS déclenchée par impulsion (modèle d'antériorité : SN 74L71)	Pulse-triggered RS-bistable (e.g. SN 74L71)
12-42-09		Bascule D déclenchée sur front, double (modèle d'antériorité : MC 10131)	Edge-triggered D-bistable, dual (e.g. MC 10131)
12-42-10		Bascule D déclenchée sur front (modèle d'antériorité : MC 1222)	Edge-triggered D-bistable (e.g. MC 1222)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-42-11		Multiplexeur à 2 entrées avec mémoire, quadruple (modèle d'antériorité : SN 74298) NOTE – «M1» sur la broche 10 peut être remplacé par «G1».	Multiplexer with storage, quadruple 2-input (e.g. SN 74298) NOTE – The "M1" at pin 10 may be replaced by "G1".
12-42-12		Jonction à 8 étages (modèle d'antériorité : 8212)	Input/output port, 8-bit (e.g. 8212)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

STD.IEC 60617-12-ENGL 1997 ■ 4844891 0664337 TT8 ■

43 Indication de propriétés particulières d'opérateurs bistables à la mise sous tension

Dans certaines applications (par exemple dans les ensembles à sûreté intégrée) il est nécessaire d'indiquer l'état logique interne des sorties d'un opérateur bistable à l'instant de la mise sous tension. Les symboles ci-après fournissent cette indication; ils peuvent être utilisés pour tout opérateur bistable.

43 Indication of special switching properties of bistable elements

In some applications (for example, fail-safe systems) it is necessary to indicate the internal logic state of the outputs of a bistable element at the moment the supply is switched on. The symbols below show how this may be done. The qualifying symbols may be applied to other types of bistable elements.

No.	Symbole Symbol	Légende	Description
12-43-01	I=0 S R	Bascule RS avec état initial 0 A l'instant de la mise sous tension la sortie est à l'état interne 0.	RS-bistable with initial 0-state At the moment the supply is switched on, the output will stand at its internal 0-state.
12-43-02	I=1 S R	Bascule RS avec état initial 1 A l'instant de la mise sous tension la sortie est à l'état interne 1.	RS-bistable with initial 1-state At the moment the supply is switched on, the output will stand at its internal 1-state.
12-43-03	NV S R	Bascule RS avec conservation de l'état A l'instant de la mise sous tension l'état logique interne de la sortie est celui qui existait à l'instant de la précédente mise hors tension.	RS-bistable, non-volatile At the moment the supply is switched on, the internal logic state of the output will be the same as it was when the supply was switched off.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

44 Opérateurs monostables

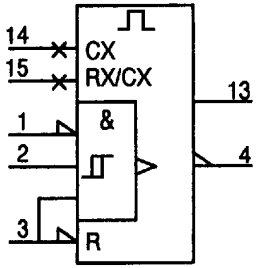
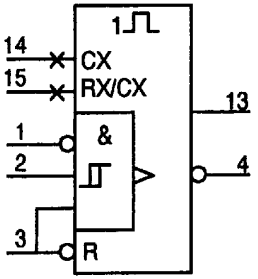
44 Monostable elements

No.	Symbole Symbol	Légende	Description
12-44-01		Monostable redéclenchable (pendant l'impulsion de sortie), symbole général Monocoup, symbole général La sortie est mise ou reste dans l'état 1 chaque fois que l'entrée passe de l'état 0 à l'état 1. La sortie retourne à l'état 0 au bout d'un temps, caractéristique de l'opérateur considéré, compté à partir du dernier passage de l'entrée de l'état 0 à l'état 1. NOTE — L'adjonction du symbole d'entrée dynamique (symbole 12-07-07) est facultative (comme exemple d'application, voir le symbole 12-45-01).	Monostable, retriggerable (during the output pulse), general symbol Single shot, general symbol The output changes to or remains at its 1-state each time the input changes to its 1-state. The output returns to its 0-state after a period of time that is characteristic of the particular device, beginning at the last change of the input to its 1-state. NOTE — The use of the dynamic input symbol (symbol 12-07-07) at the input is optional (for example of use see symbol 12-45-01).
12-44-02		Monostable non redéclenchable (pendant l'impulsion de sortie), symbole général Le changement d'état de 0 à 1 de l'entrée amène la sortie à l'état 1. La sortie retourne à l'état 0 au bout d'un temps, caractéristique de l'opérateur considéré, indépendamment de tout changement d'état de l'entrée intervenant pendant cette durée. NOTE — L'adjonction du symbole d'entrée dynamique (symbole 12-07-07) est facultative (comme exemple d'application, voir le symbole 12-45-02).	Monostable, non-retriggerable (during the output pulse), general symbol The output changes to its 1-state only when the input changes to its 1-state. The output returns to its 0-state after a period of time that is characteristic of the particular device, regardless of any changes of the input variable during this period. NOTE — The use of the dynamic input symbol (symbol 12-07-07) at the input is optional (for example of use see symbol 12-45-02).

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

45 Exemples d'opérateurs monostables

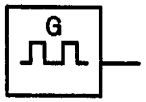
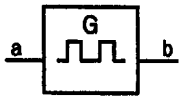
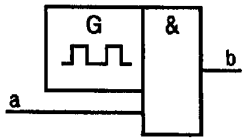
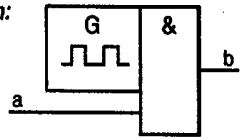
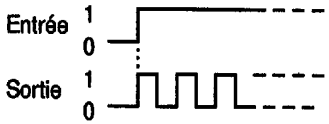
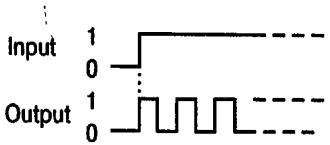
45 Examples of monostable elements

No.	Symbole Symbol	Légende	Description
12-45-01		Monostable redéclenchable (modèle d'antériorité : une partie de SN 74LS123) Table de fonction : Entrées / Sorties 1 2 3 | 13 4 – – L | L H H – H | L H – L H | L H L ∫ H | ⎍ ⎎ l H H | ⎍ ⎎ L H ∫ | ⎍ ⎎ NOTE — Les deuxième et troisième lignes de la table de fonction indiquent les niveaux logiques que les sorties prennent après achèvement de toute impulsion de sortie commencée avant que l'entrée considérée ait pris son niveau indiqué.	Monostable, retriggerable (e.g. part of SN 74LS123) Function table: Inputs / Outputs 1 2 3 | 13 4 – – L | L H H – H | L H – L H | L H L ∫ H | ⎍ ⎎ l H H | ⎍ ⎎ L H ∫ | ⎍ ⎎ NOTE — The second and third line of the function table each indicate the logic levels the outputs will take on after the completion of any output pulse started before the relevant input took on its indicated level.
12-45-02		Monostable non redéclenchable (modèle d'antériorité : une partie de SN 74221)	Monostable, non-retriggerable (e.g. part of SN 74221)

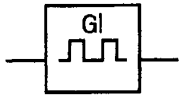
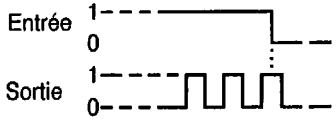
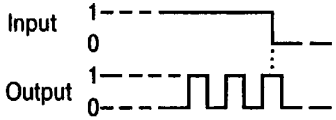
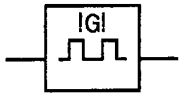
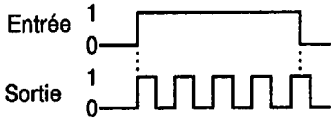
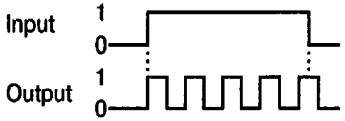
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

46 Opérateurs astables

46 Astable elements

No.	Symbole Symbol	Légende	Description
12-46-01		Opérateur astable, symbole général Générateur de signal produisant une série alternée de «0» et de «1». NOTE — La lettre G est le symbole distinctif d'un générateur. Si la forme d'onde est évidente, ce symbole peut figurer sans le symbole complémentaire ⎍.	Astable element, general symbol Signal generator producing an alternating sequence of zeros and ones. NOTE — In this symbol, the letter G is the qualifying symbol for a generator. If the waveform is evident, this symbol may be shown without the additional symbol ⎍.
12-46-02		Opérateur astable commandé, symbole général *Schéma explicatif :*  NOTE — La note du symbole 12-46-01 est applicable.	Controlled astable element, general symbol *Explanatory diagram:*  NOTE — The note with symbol 12-46-01 applies.
12-46-03		Opérateur astable avec synchronisation du démarrage, symbole général La sortie démarre par un créneau complet quand l'entrée passe à l'état interne 1.  NOTE — La note du symbole 12-46-01 est applicable.	Astable element, synchronously starting, general symbol The output starts with a complete pulse at the instant at which the input takes on its internal 1-state.  NOTE — The note with symbol 12-46-01 applies.

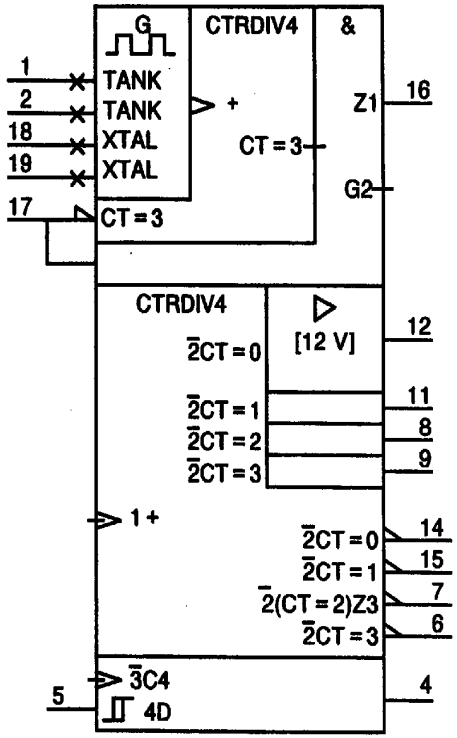
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-46-04		Opérateur astable avec synchronisation de l'arrêt sur la fin d'un créneau, symbole général Au moment où l'entrée passe de l'état 1 à l'état 0, la sortie est maintenue dans l'état 0 ou complète l'impulsion finale.  NOTE — La note du symbole 12-46-01 est applicable.	Astable element stopping after completing the last pulse, general symbol When the input returns to its internal 0-state, the output remains at its internal 0-state or completes its final pulse.  NOTE — The note with symbol 12-46-01 applies.
12-46-05		Opérateur astable avec synchronisation du démarrage et de l'arrêt achevant l'impulsion finale, symbole général  NOTE — La note du symbole 12-46-01 est applicable.	Astable element, synchronously starting, stopping after completing the last pulse, general symbol  NOTE — The note with symbol 12-46-01 applies.

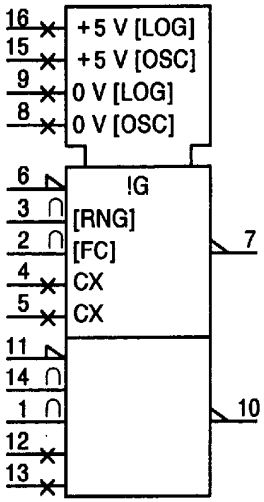
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

47 Exemples d'opérateurs astables

47 Examples of astable elements

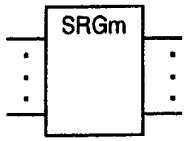
No.	Symbole Symbol	Légende	Description
12-47-01		Générateur amplificateur de signaux d'horloge, à quatre phases (modèle d'antériorité : TIM 9904, précédemment SN 74LS362) NOTES 1 Pour l'emploi de CTRDIV4, voir le symbole 12-48-03. 2 Le symbole 12-56-04 représente le même opérateur en utilisant les règles pour des opérateurs pour fonctions complexes.	Clock generator/driver, four-phase (e.g. TIM 9904, formerly SN 74LS362) NOTES 1 For the use of CTRDIV4, see symbol 12-48-03. 2 Symbol 12-56-04 depicts the same device using the rules for complex-function elements.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-47-02		Oscillateur commandé en tension, double (modèle d'antériorité : SN 74S124) NOTE — Ce symbole donne une méthode de représentation pour des broches d'alimentation qui sont communes à un groupement d'opérateurs.	Voltage-controlled oscillator, dual (e.g. SN 74S124) NOTE — This symbol illustrates a method of showing supply terminals common to an array of elements.

48 Registres à décalage et compteurs

48 Shift registers and counters

No.	Symbole Symbol	Légende	Description
12-48-01		Registre à décalage, symbole général m doit être remplacée par le nombre d'étages.	Shift register, general symbol The m shall be replaced by the number of stages.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

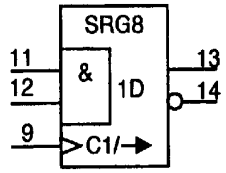
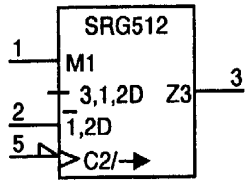
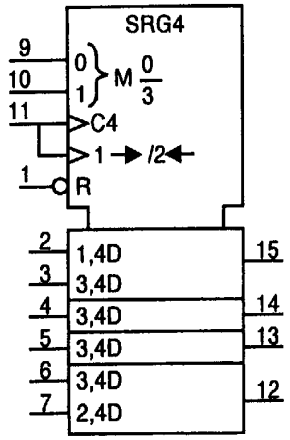
No.	Symbole Symbol	Légende	Description
12-48-02	CTRm	Compteur avec longueur de cycle de 2 à la puissance m (compteur modulo 2 à la puissance m), symbole général m doit être remplacée par la valeur réelle. Pour particulariser les compteurs avec report, le préfixe R peut être ajouté au symbole distinctif de l'opérateur; par exemple : RCTRm.	Counter with cycle length 2 to the power m (counter modulo 2 to the power m), general symbol m shall be replaced by the actual value. In order to distinguish ripple counters, the prefix R may be added to the general qualifying symbol; for example: RCTRm.
12-48-03	CTRDIVm	Compteur avec longueur de cycle m (compteur modulo m), symbole général m doit être remplacée par la valeur réelle. Pour particulariser les compteurs avec report, le préfixe R peut être ajouté au symbole distinctif de l'opérateur; par exemple : RCTRm. NOTE — Dans un groupement d'opérateurs ayant différentes longueurs de cycle, il convient que celle qui s'applique à chacun des opérateurs soit indiquée par DIVm et seules les lettres CTR ont à figurer dans ce cas dans le symbole des communs (comme exemple d'application, voir le symbole 12-49-12).	Counter with cycle length m (counter modulo m), general symbol m shall be replaced by the actual value. In order to distinguish ripple counters, the prefix R may be added to the general qualifying symbol; for example: RCTRm. NOTE — In an array of elements having different cycle lengths, that applying to each should be indicated by DIVm in each element. In such a case, the letters CTR need only be shown in the common control block (for example of application, see symbol 12-49-12).

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

STD.IEC 60617-12-ENGL 1997 ■ 4844891 0664345 074 ■

49 Exemples de registres à décalage et de compteurs

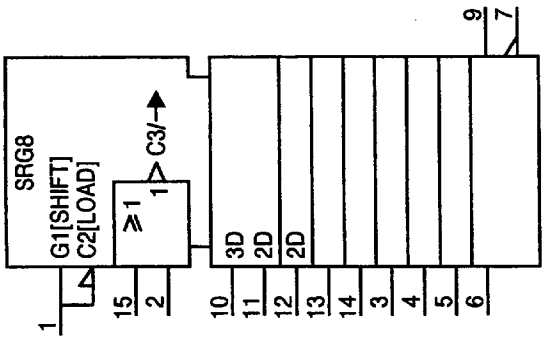
49 Examples of shift registers and counters

No.	Symbole Symbol	Légende	Description
12-49-01		Registre à décalage à 8 étages avec entrée série et sorties série complémentaires (modèle d'antériorité : une partie de SN 7491)	Shift register, 8-bit, with serial input and complementary serial outputs (e.g. part of SN 7491)
12-49-02		Registre à décalage statique à 512 bit (modèle d'antériorité : MM 4057)	Shift register, 512-bit, static (e.g. MM 4057)
12-49-03		Registre à décalage bilatéral, à 4 étages (modèle d'antériorité : SN 74LS194)	Shift register, 4-bit, bidirectional (e.g. SN 74LS194)

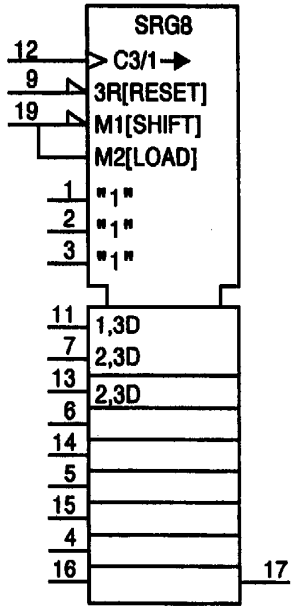
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-49-04	SRG4 7 M1 6 C2/1→ 2 N3 5 R 4 1,2J 3 1,2K 3 1 9 $\overline{1}$,2D 10 $\overline{1}$,2D 3 15 11 14 12 13	Registre à décalage à 4 étages à entrées et sorties parallèles (modèle d'antériorité : CD 4035A) NOTE — L'emploi du signe barre peut être évité en remplaçant M1 par M0 M1 et $\overline{1}$ par 0.	Shift register, 4-bit, parallel in/parallel out (e.g. CD 4035A) NOTE — The use of the bar can be avoided by replacing M1 by M0 M1 and $\overline{1}$ by 0.
12-49-05	SRG8 8 C1/→ 9 R 1 & 2 1D 3 4 5 6 10 11 12 13	Registre à décalage à 8 étages, à double entrée série et sorties parallèles (modèle d'antériorité : SN 74164)	Shift register, 8-bit, with parallel outputs (e.g. SN 74164)

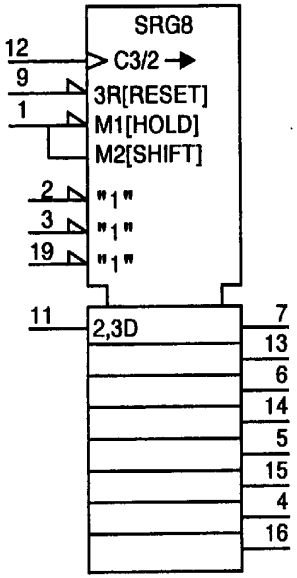
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-49-06		Registre à décalage à chargement parallèle, à 8 étages (modèle d'antériorité : SN 74165)	Shift register with parallel load, 8-bit (e.g. SN 74165)

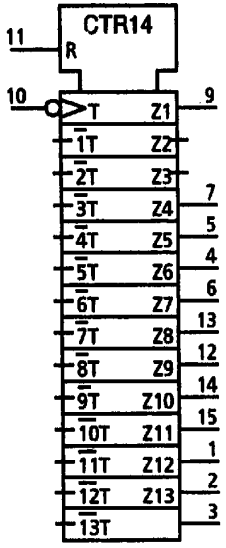
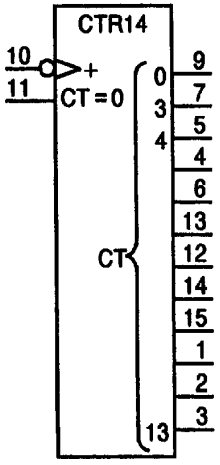
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-49-07		Registre universel à décalage ou mémorisation de 8 bit (modèle d'antériorité : SN 74LS323) dans lequel sont seulement représentés la remise à zéro et les modes de décalage et de chargement parallèle NOTES 1 Ce symbole est un mode de représentation d'un opérateur partiellement utilisé par un symbole adapté à l'application choisie. Le cas présent utilise l'entrée de mode fixe, symbole 12-09-49. 2 Le symbole 12-49-08 représente le même opérateur de façon différente.	Register, universal shift/storage, 8-bit (e.g. SN 74LS323) for which only the reset, shift and parallel-load modes are shown NOTES 1 This symbol illustrates how an incompletely utilized device may be represented by a symbol suited to the application. For this purpose use is made of the fixed-mode input, symbol 12-09-49. 2 Symbol 12-49-08 depicts the same device performing another function.

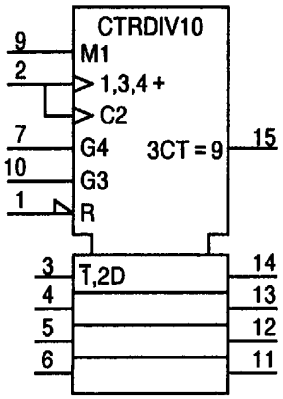
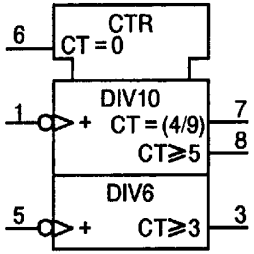
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-49-08		Registre universel à décalage ou mémorisation de 8 bit (modèle d'antériorité : SN 74LS323) dans lequel sont seulement représentés la remise à zéro et les modes de maintien et de décalage NOTES 1 La note 1 du symbole 12-49-07 est applicable. 2 Le symbole 12-49-07 représente le même opérateur de façon différente.	Register, universal shift/storage, 8-bit (e.g. SN 74LS323) for which only the reset, hold and shift modes are shown NOTES 1 Note 1 with symbol 12-49-07 applies. 2 Symbol 12-49-07 depicts the same device performing another function.

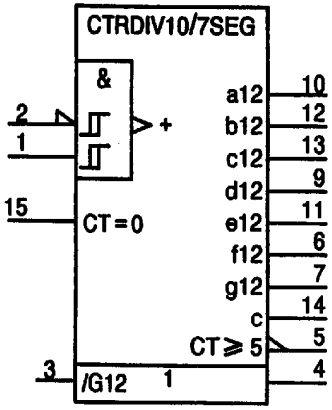
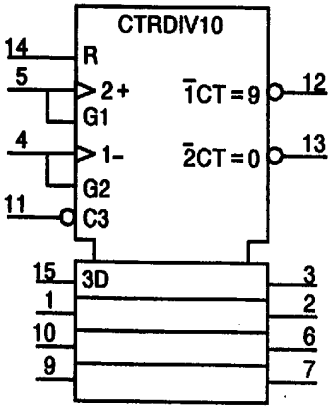
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-49-09		Compteur diviseur binaire à 14 étages avec report en cascade (modèle d'antériorité : CD 4020) NOTE — S'il n'est pas nécessaire de montrer l'effet de report, le symbole 12-49-10 peut être utilisé. Pour simplifier la représentation de l'effet de report, le symbole 12-49-10 peut être utilisé avec l'addition du préfixe R au symbole distinctif de l'opérateur.	Binary ripple counter, 14-stage (e.g. CD 4020) NOTE — If it is not necessary to indicate the ripple effect, symbol 12-49-10 may be used. As a simplified way of indicating the ripple effect, symbol 12-49-10 may be used with the addition of the prefix R to the general qualifying symbol.
12-49-10		Compteur binaire à 14 étages (modèle d'antériorité : CD 4020) S'il est nécessaire de montrer l'effet de report, soit le symbole 12-49-09 doit être utilisé, soit le préfixe R doit être ajouté au symbole distinctif de l'opérateur (RCTR14).	Binary counter, 14-stage (e.g. CD 4020) If it is necessary to indicate the ripple effect, the prefix R shall be added to the general qualifying symbol, for example RCTR14, or symbol 12-49-09 shall be used.

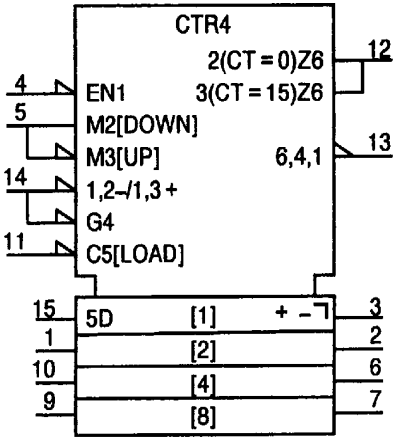
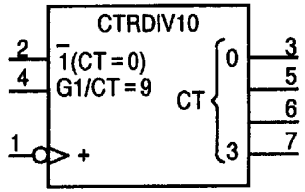
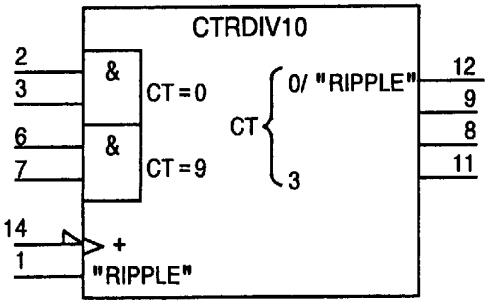
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-49-11		Compteur synchrone décimal et à chargement parallèle (modèle d'antériorité : SN 74LS160)	Counter, synchronous, decade, with parallel load (e.g. SN 74LS160)
12-49-12		Compteurs, l'un divisant par 5 et 10, l'autre par 6 (modèle d'antériorité : SN 74LS57)	Counters, one dividing by 5 and 10 and the other by 6 (e.g. SN 74LS57)

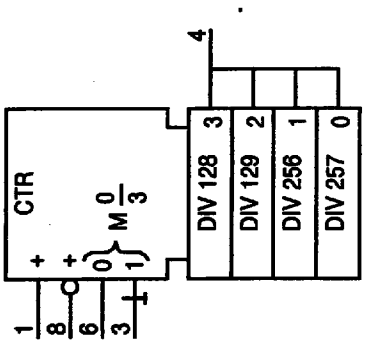
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-49-13		Compteur/diviseur décimal avec sorties codées pour afficheur à 7 segments et opérateur indépendant pour validation de l'élément suivant d'une cascade (modèle d'antériorité : CD 4026) *Identification des segments :* 	Decade counter/divider with decoded 7-segment-display outputs (e.g. CD 4026) *Segment identification:*
12-49-14		Compteur/décompteur synchrone décimal (modèle d'antériorité : SN 74192)	Counter, decade, synchronous up/down (e.g. SN 74192)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-49-15		Compteur/décompteur synchrone, à 4 bit, figuré avec des informations supplémentaires dans les étages du groupement (modèle d'antériorité : SN 74191)	Binary counter, 4-bit, synchronous up/down, shown with supplementary clarifying information in the array (e.g. SN 74191)
12-49-16		Compteur modulo 10 (modèle d'antériorité : une partie de SN 74490)	Counter, decade (e.g. part of SN 74490)
12-49-17		Compteur modulo 10 (modèle d'antériorité : SN 7490) NOTE — Ce symbole illustre la façon dont un dispositif peut être représenté par le symbole qui convient à une application donnée. Pour montrer que le symbole n'est tenu que si une connexion externe est réalisée entre les broches 1 et 12, on utilise le symbole 12-09-52.	Counter, decade (e.g. SN 7490) NOTE — This symbol illustrates how a device may be represented by a symbol suited to the application. Symbol 12-09-52 is used here to indicate that the symbol is a valid representation only if an external connection is made between terminals 1 and 12.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole	Symbol	Légende	Description
12-49-18			Registre à décalage avec quatre facteurs (modèle d'antériorité : MB507)	Prescaler with four scaling factors (e.g. MB507)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

50 Mémoires

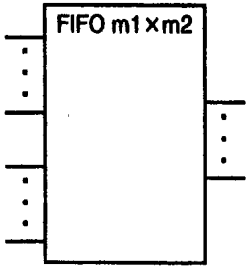
Dans les symboles 12-50-01, 12-50-02, 12-50-03 et 12-50-04, l'astérisque doit être remplacé par une indication appropriée des nombres de mots et de bits. Dans une telle indication, 1k représente 1024 et 1M représente 1 048 576, c'est-à-dire que k et M peuvent être utilisés comme multiplicateurs.

50 Memories

In symbols 12-50-01, 12-50-02, 12-50-03 and 12-50-04, the asterisk shall be replaced by an appropriate indication of the number of addresses and bits. In such indications 1k stands for 1024 and 1M stands for 1 048 576. That is k and M may be used as multiplication factors.

No.	Symbole Symbol	Légende	Description
12-50-01	ROM *	Mémoire à lecture seule, symbole général	Read-only memory, general symbol
12-50-02	PROM *	Mémoire programmable à lecture seule, symbole général	Programmable read-only memory, general symbol
12-50-03	RAM *	Mémoire à accès aléatoire (mémoire à écriture-lecture), symbole général	Random-access memory (read/write memory), general symbol
12-50-04	CAM *	Mémoire adressable par le contenu (mémoire associative), symbole général	Content-addressable memory (associative memory), general symbol

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-50-05		Mémoire file d'attente, symbole général Le symbole distinctif signifie que, comme dans toutes les mémoires, chaque élément associé représente une seule occurrence générale des sections d'un opérateur complexe composé de n sous-groupements, bien que la dépendance ADRESSE ne soit pas utilisée en général dans des symboles pour mémoires file d'attente. Les états logiques internes des m2 sorties de données correspondent aux valeurs des bits du mot enregistré comme premier des mots mémorisés en ce moment. A mesure que chaque mot est décalé en dehors, des mots mémorisés après se mettent disponibles sur les sorties dans l'ordre dans lequel ils ont été enregistrés. Si aucun mot est enregistré en ce moment, les états logiques internes des sorties de données ne sont pas spécifiés par le symbole distinctif de l'opérateur. m1 doit être remplacé par le nombre maximal de mots qui peuvent être enregistrés. m2 doit être remplacé par le nombre de sorties de données. NOTE — Normalement ce symbole a besoin d'une représentation d'un compteur comme un symbole imbriqué; cependant cela ne sera pas nécessairement la représentation de la réalisation. Le contenu du compteur représente le nombre des mots mémorisés en ce moment, c'est-à-dire le nombre des mots enregistrés moins le nombre des mots décalés en dehors. L'indication de la longueur du cycle du compteur est omise dans le symbole distinctif du compteur car, forcément, le contenu du compteur ne peut pas être augmenté au-dessus de m1 pour commencer un nouveau cycle.	First-in first-out memory, general symbol The general qualifying symbol signifies that, as in all memory elements, each associated element represents a single general case of the sections of a multi-dimensional array, although ADDRESS dependency is usually not used in symbols for first-in first-out memories. The internal logic states of the m2 data outputs correspond to the values of the bits of the word first entered of those words presently stored. As each word is clocked out, subsequently stored words become available at the outputs in the order in which they were entered. If no words are presently stored, the internal logic states of the data outputs are not specified by the general qualifying symbol. m1 shall be replaced by the maximum number of words that can be stored. m2 shall be replaced by the number of data outputs. NOTE — This symbol will normally require a counter to be shown as an embedded symbol, although this may not necessarily represent the actual implementation. The content of the counter represents the number of words presently stored, that is, the number of words that have been clocked in less the number of words that have been clocked out. The indication of the cycle length of the counter is omitted from the CTR qualifying symbol because, by definition, the counter cannot be incremented beyond m1 to start a new cycle.

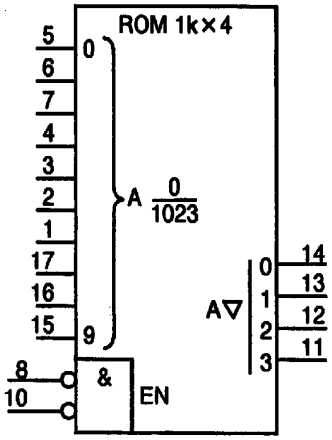
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

51 Exemples de mémoires

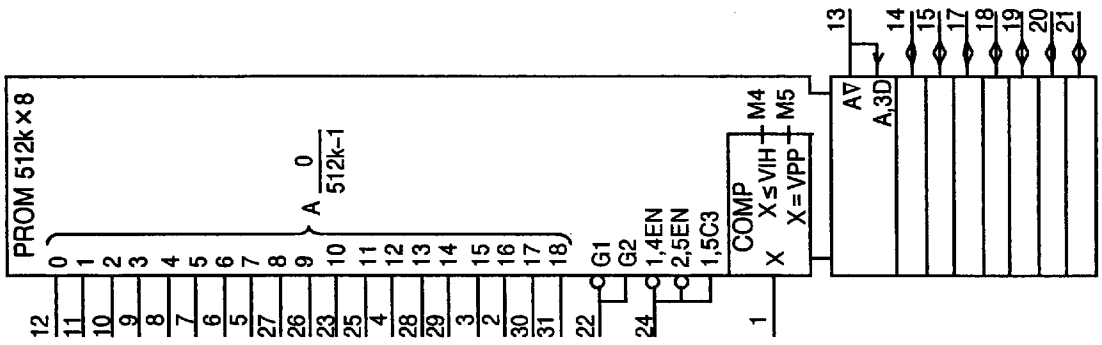
51 Examples of memories

No.	Symbole Symbol	Légende	Description
12-51-01	ROM 1k×4 5 6 7 4 3 2 1 17 16 15 0 … 9 A 0/1023 8 10 & EN A▽ 14 13 12 11	Mémoire à lecture seule (ROM) 1024 mots de 4 bit (modèle d'antériorité : INTEL 3625)	Read-only memory (ROM) 1024×4-bit (e.g. INTEL 3625)

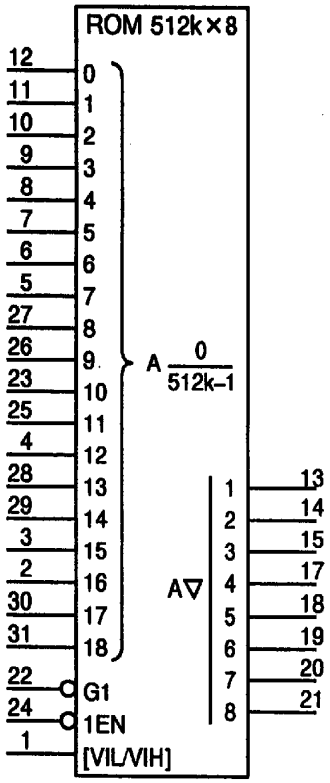
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-51-02	Forme simplifiée Simplified form  	NOTES 1 Du fait qu'il ne peut y avoir de confusion entre les données des entrées et celles des sorties, et que chaque sortie correspond à une section, il n'est pas nécessaire de figurer le détail du groupement. 2 Simplification en utilisant le groupement de marquage; symbole 12-09-25A. 3 L'ordre relatif des sorties individuelles est identifié par des chiffres à côté des connexions regroupées par le groupement de marquage. Dans cette forme simplifiée, les crochets autour des chiffres ont été omis.	NOTES 1 Because no confusion is likely concerning the correspondence between data inputs and data outputs and because each section has only one output, it is not necessary to show the array. 2 Simplification of the output labeling is achieved by the use of label grouping; see symbol 12-09-25A. 3 The relative order of the individual outputs is identified by the numbers adjacent to the connecting lines grouped by the label grouping. In this simplified form, the square brackets around these numbers have been omitted.

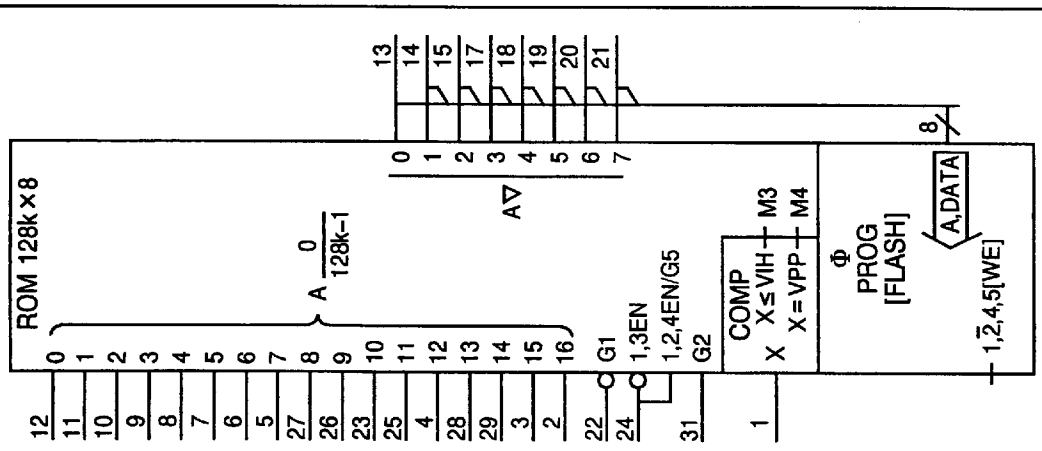
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-51-03		Mémoire programmable à lecture seule (PROM) de 512k mots de 8 bit, avec fonction de lecture et d'écriture (modèle d'antériorité : M27C4001)
		Programmable read-only memory (PROM), 512k × 8-bit, shown with READ and WRITE function (e.g. M27C4001)

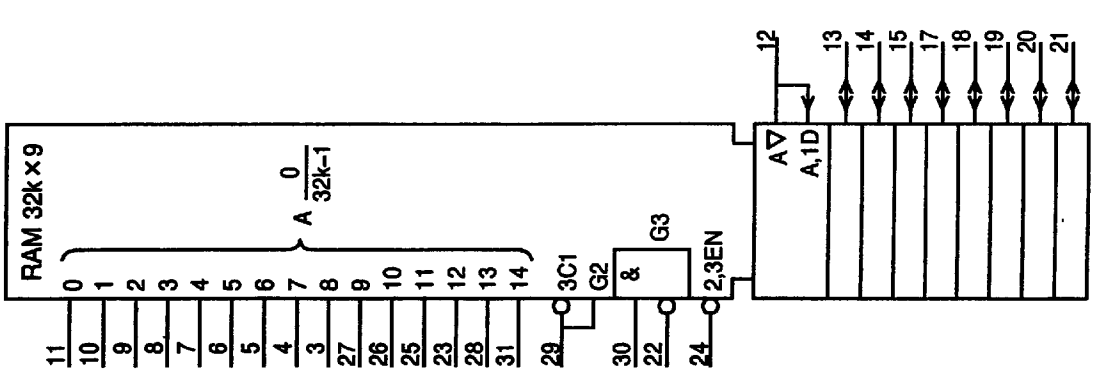
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-51-04	Forme simpifiée Simplified form  	NOTES 1 Les notes des symboles 12-51-01 et 12-51-02 sont applicables. 2 Dans la forme simplifiée ne figure que la fonction de lecture.	NOTES 1 The notes with symbols 12-51-01 and 12-51-02 apply. 2 The simplified form only shows the READ function.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

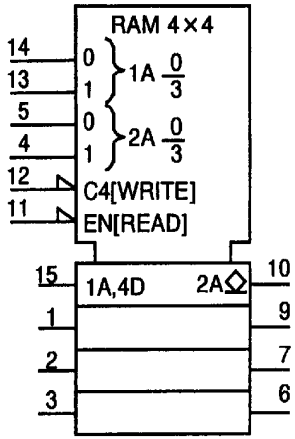
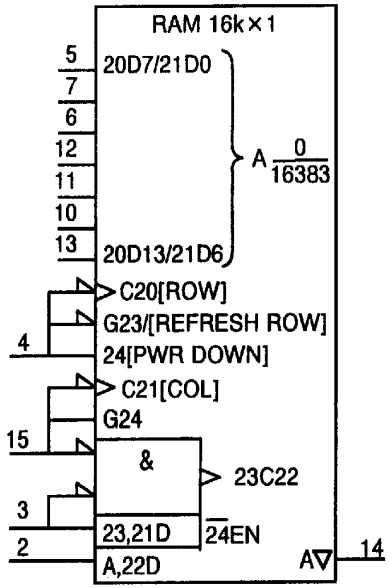
12-51-04A		Mémoire programmable à lecture seule de 128k mots de 8 bit, altérable électriquement (mémoire «flash») (modèle d'antériorité : AM28F010)
		Programmable read-only memory, electrically alterable ("flash memory"), 128k × 8-bit (e.g. AM28F010)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-51-05		Mémoire à accès aléatoire (RAM), de 32k mots de 9 bit (modèle d'antériorité : TC55329)	Random-access memory (RAM), 32k×9-bit (e.g. TC55329)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

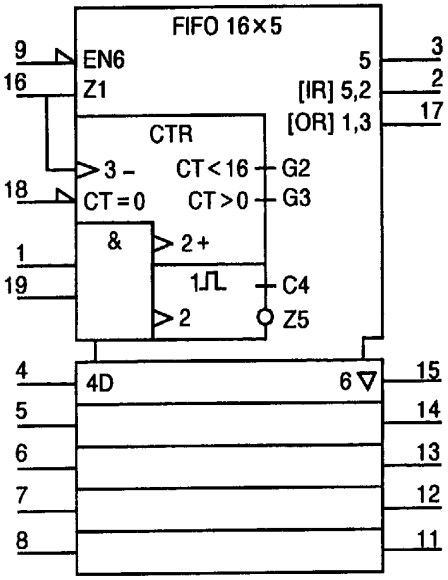
STD·IEC 60617-12-ENGL 1997 ■ 4844891 0664363 09T ■

12-51-06		Mémoire à accès aléatoire de 4 mots de 4 bit avec adressage séparé pour la lecture et l'écriture (modèle d'antériorité : SN 74170)	Random-access memory, 4×4-bit, with separate write and read addresses (e.g. SN 74170)
12-51-07		Mémoire à accès aléatoire, dynamique, de 16384 mots de 1 bit (modèle d'antériorité : TMS 4116)	Random-access memory, dynamic, 16384×1-bit (e.g. TMS 4116)

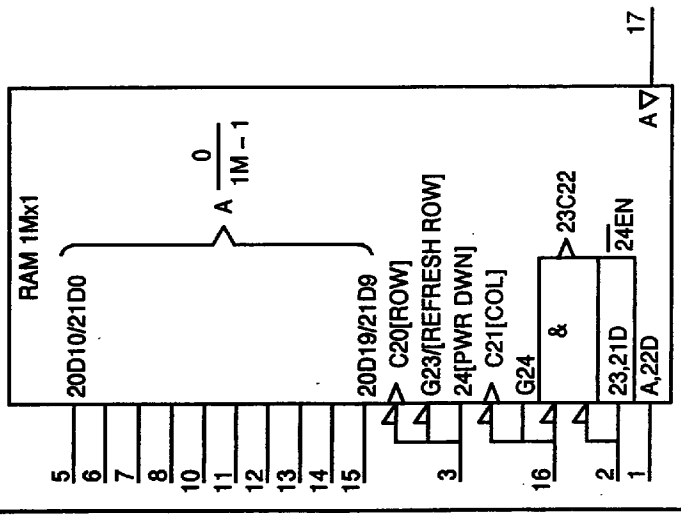
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-51-08	FIFO 16×4 1 EN7 1Z2 [IR]2 2 [OR]5 14 CTR 3 1(+/C4) CT<16 G1 9 CT=0 CT>0 G3 15 3 – CT=0 & 3Z5 2 V6 4 4D 6,7▽ 13 5 12 6 11 7 10	Mémoire file d'attente, type commandé par compteur, de 16 mots de 4 bit (modèle d'antériorité : SN 74LS224)	First-in first-out memory, counter-controlled, 16×4-bit (e.g. SN 74LS224)
12-51-09	FIFO 16×5 CTR 11 CT=0 (CT=16)G1 3 CT=14 2 4 $\overline{1}$(+/C2) CT=2 19 18 $\overline{3}$ – (CT=0)G3 17 1 EN4 5 2D 4▽ 16 6 15 7 14 8 13 9 12	Mémoire file d'attente, type commandé par compteur, de 16 mots de 5 bit (modèle d'antériorité : SN 74 ALS229)	First-in first-out memory, counter-controlled, 16×5-bit (e.g. SN 74ALS229)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-51-10		Mémoire file d'attente, type asynchrone, de 16 mots de 5 bit (modèle d'antériorité : SN 74S225) NOTE — Le symbole 12-56-11 représente le même opérateur en utilisant les règles pour des opérateurs pour fonctions complexes.	First-in first-out memory, fall-through, 16×5-bit (e.g. SN 74S225) NOTE — Symbol 12-56-11 depicts the same device using the techniques for complex-function elements.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole / Symbol	Légende	Description
12-51-11		Mémoire à accès aléatoire, dynamique, de 1 048 576 mots de 1 bit (modèle d'antériorité : TMS 4C1024)	Random-access memory, dynamic, 1 048 576 × 1-bit (e.g. TMS 4C1024)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

STD·IEC 60617-12-ENGL 1997 ■ 4844891 0664367 735 ■

52 Afficheurs

52.1 Il convient de reconnaître que les signaux visuels (optiques) produits par les afficheurs, par exemple la diode électroluminescente (LED), l'afficheur à cristaux liquides (LCD), les barres ou matrices à points, constituent des sorties extérieures de ces opérateurs.

52.2 Pour la représentation des afficheurs comme opérateurs pour fonctions complexes, voir chapitre VI.

52 Display elements

52.1 It should be recognized that the visual (optical) signals produced by display elements, for example LED or LCD, bar or dot matrices, are external outputs of those elements.

52.2 For the representation of complex-function display elements see chapter VI.

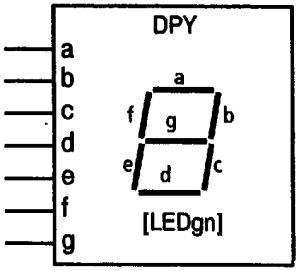
No.	Symbole Symbol	Légende	Description
12-52-01	DPY m_1 : m_k *	Afficheur, symbole général L' astérisque doit être remplacé par — une indication appropriée de l'affichage, et/ou par — une référence à un tableau. Les éléments qui constituent l'affichage doivent toujours être représentés dans leurs positions physiques exactes les uns par rapport aux autres. La rotation des symboles afin de préserver l'orientation relative de l'affichage par rapport au lecteur est parfois conseillée. m_1 ... m_k doivent chacun être remplacés par — une indication appropriée des signaux visuels validés par ces entrées, ou par — des désignations appropriées se référant à des entrées dans une table. S'il est fait référence à un tableau dans lequel les numéros des broches sont utilisés pour identifier les entrées, ces désignations peuvent être omises.	Display element, general symbol The asterisk shall be replaced either by — an appropriate indication of the display and/or by — a reference to a table. The elements that make up the display shall always be shown in their correct physical positions relative to each other. Rotation of symbols to preserve the relative orientation of the display with respect to the reader is sometimes advisable. m_1 ... m_k shall each be replaced either by — an appropriate indication of the visual signals controlled by those inputs or by — appropriate designations referring to entries in a table. If reference is made to a table in which the terminal designations are used to identify the inputs, these designations may be omitted.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Illustrations

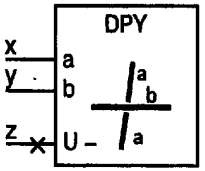
Les désignations a ... g aux entrées font référence aux signaux visuels («segments») sur l'afficheur.

Les indications a ... g sur les segments peuvent être omises.

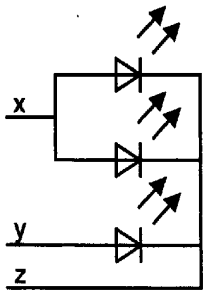


The designations a ... g at the inputs refer to the visual signals ("segments") on the display.

The indications a ... g at the segments may be omitted.



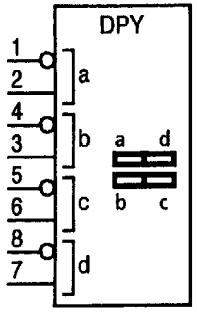
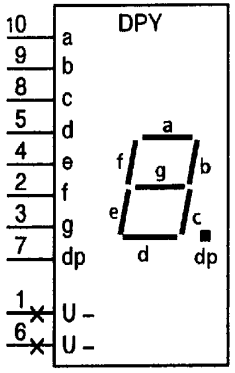
peut représenter
could represent



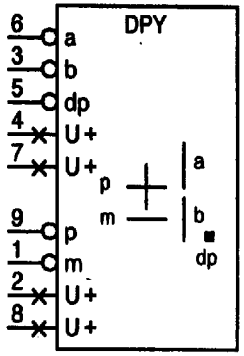
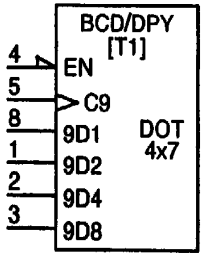
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

53 Exemples d'afficheurs

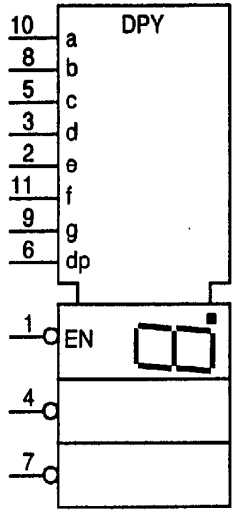
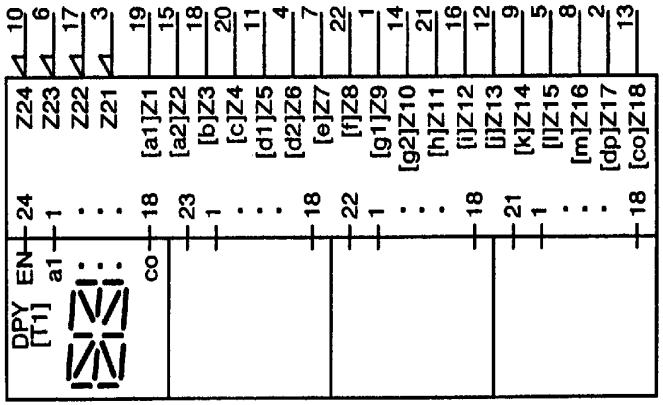
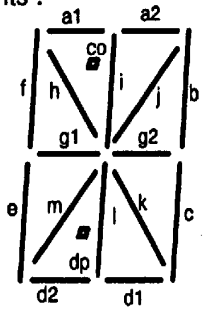
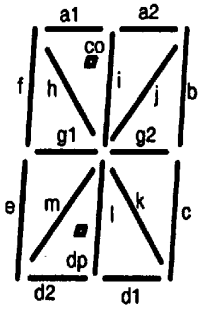
53 Examples of display elements

No.	Symbole Symbol	Légende	Description
12-53-01		Barres lumineuses LED (modèle d'antériorité : HLMP 2600)	LED light bars (e.g. HLMP 2600)
12-53-02		Afficheur à sept segments (modèle d'antériorité : HDSP 3603)	Seven-segment display (e.g. HDSP 3603)

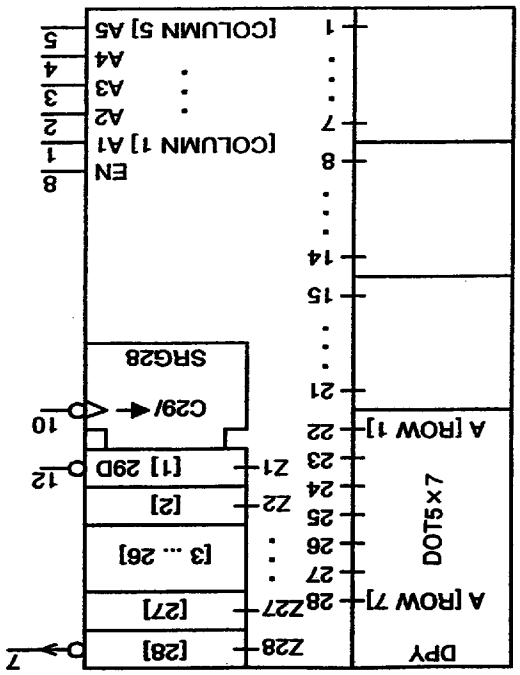
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-53-03		Afficheur pour dépassement (modèle d'antériorité : HDSP 5607)	Overflow display (e.g. HDSP 5607)
12-53-04		Afficheur hexadécimal (modèle d'antériorité : 5082-7340) NOTES 1 [T1] se réfère à un tableau de police de caractères décrivant le décodage de BCD à une matrice à points 4 x 7. 2 Les signaux visuels sont visibles uniquement si l'entrée EN demeure dans son état interne «1». Le verrouillage des données n'est pas validé par l'entrée EN.	Hexadecimal display (e.g. 5082-7340) NOTES 1 [T1] refers to a font table describing the decoding from BCD to a dotmatrix 4 x 7. 2 The visual signals are visible only if the EN-input stands at its internal 1-state. The latching of the data is not controlled by the EN-input.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-53-05		Afficheur numérique, à 3 caractères à sept segments et point décimal (modèle d'antériorité : 5082-7433)	Numeric display, three 7-segment characters with decimal point (e.g. 5082-7433)
12-53-06		Afficheur alphanumérique, 4 caractères à 16 segments (modèle d'antériorité : HDSP 6504) [T1] Identification des segments : 	Alphanumeric display, four 16-segment characters (e.g. HDSP 6504) [T1] Segment identification: 

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole / Symbol	Légende	Description
12-53-07		Afficheur alphanumérique, 4 caractères, matrice à points 5 × 7 (modèle d'antériorité : HDSP 2000)	Alphanumeric display, four 5 × 7-dot characters (e.g. HDSP 2000)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Chapitre VI: Opérateurs pour fonctions complexes

Note générale

L'usage des symboles distinctifs et des notations de dépendance décrits dans les chapitres II à V peut devenir impraticable dans le cas des circuits à grande ou à très grande échelle d'intégration. Dans ces cas, les techniques suivantes peuvent être utilisées.

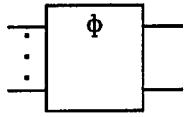
Chapter VI: Complex-function elements

General note

The use of the qualifying symbols and dependency notation as described in chapters II through V may become impracticable for more complex circuit assemblies such as large-scale and very-large-scale integrated circuits. In these cases, the following techniques may be used.

54 Symbole général et règles de base

54 General symbol and basic rules

No.	Symbole Symbol	Légende	Description
12-54-01		Opérateur pour fonction complexe, symbole général Le symbole ϕ doit être complété par une indication, de préférence une indication concise, de la fonction. En même temps, une référence renvoyant à une documentation supplémentaire (par exemple le numéro de type ou repérage d'identification du matériel) doit être ajoutée à l'intérieur ou près du cadre du symbole.	Complex-function element ("gray box"), general symbol The ϕ shall be supported by an indication, preferably short, of the function. In addition, a reference to supporting documentation (for example a type number or item designation) shall be included within or adjacent to the symbol outline.

54.1 Généralités

Tout le contenu des règles et des concepts des sections antérieures peut être employé. Cependant, la notation de dépendance peut être utilisée seulement si aucune confusion avec d'autres indications n'est possible.

54.2 Désignations des accès

A l'intérieur du cadre du symbole, il convient que tous les accès soient désignés par des noms de broches fournis par la documenta-

54.1 General

All of the rules and concepts of the previous sections may be employed. However, dependency notation may be used only if no confusion with other labelling is likely.

54.2 Input and output designation

Inside the symbol outline, all inputs and outputs should be designated with the terminal names appearing on the selected data sheet or

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

tion du fabricant du modèle d'antériorité ou par tout autre document complémentaire, comme désigné avec le symbole 12-54-01. Cette documentation ou un autre document est, de préférence, une fiche de données utilisant des noms d'accès extraits d'un répertoire normalisé. Par ailleurs, il convient que les abréviations de ces noms soient prises en considération seulement si ces noms sont inopportunément longs. En considération de l'évidence, des noms de broches peuvent être étendus ou supplémentés.

Si les marquages définis dans les chapitres III à V sont utilisés dans la fiche de données avec un sens différent, on doit les compléter pour prévenir toute confusion (par exemple DBUS à la place de D signifie Bus de données).

Si les marquages fournis par le fabricant du modèle d'antériorité empêchent d'utiliser le symbole de groupement numérique pour une représentation claire d'un bus de données, ces marquages peuvent être modifiés pourvu que la correspondance avec la fiche de données soit encore possible.

54.3 Noms complémentaires d'accès

Les noms complémentaires («barres») d'accès peuvent être convertis dans leur formule non complémentaire dans le symbole en utilisant les symboles de négation ou de polarité selon la convention adoptée. Si un accès dessert deux fonctions utilisées en polarités opposées, une branche de la connexion peut être utilisée pour écrire séparément les deux marquages et éviter ainsi la barre de négation.

other documentation referenced in the description of symbol 12-54-01. This data sheet or other documentation should preferably be one that uses terminal names from a terminal-naming standard. Further abbreviation of these names should be considered only if these names are inconveniently long. For clarity, terminal names may be expanded or supplemented.

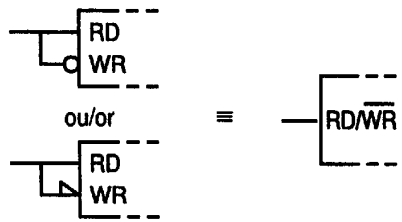
If labels defined in chapters III through V are used on the data sheet with a meaning other than that defined in those chapters, such labels shall be expanded to prevent confusion (for example DBUS instead of D).

In cases where the manufacturer's labelling prevents the use of the bit-grouping symbol for a clear representation of a bus, these labels may be modified provided correspondance with the data sheet is still possible.

54.3 Negated terminal names

Negated terminal names may be converted to the unnegated form inside the symbol by using the negation or polarity symbols, depending upon the convention in force. If an input or output serves two functions that are activated at opposite polarities, a branch on the connecting line may be used to permit two separate labels to be shown, thus avoiding a negation bar.

Illustration



54.4 Ecriture des fonctions barres sur une seule ligne

Le symbole ¬ 11-2.3 de l'ISO 31-11 doit être utilisé à la place de la barre de complémentarité définie à la section 12 pour écrire les notations sur une seule ligne.

Si ce symbole est immédiatement suivi d'un numéro d'identification dans le sens de la notation de dépendance, ce symbole s'applique à ce numéro d'identification seulement.

Si ce symbole n'est pas immédiatement suivi par un numéro d'identification dans le sens de la notation de dépendance, la négation s'applique aux caractères à droite du symbole jusqu'au premier des caractères suivants:

— une parenthèse de fermeture sans celle d'ouverture, ou

— une barre oblique qui elle même n'est pas incluse entre des parenthèses à la droite du symbole, ou

— la fin d'un tiret.

54.4 In-line negation indication

If only an in-line notation can be used, the symbol ¬ (symbol 11-2.3 of ISO 31-11) shall be used instead of the negation bar defined in section 12.

If this symbol is immediately followed by an identifying number in the sense of dependency notation, it applies to that identifying number only.

If this symbol is not immediately followed by an identifying number in the sense of dependency notation, the negation applies to the string to the right of the symbol up to the first of the following:

— an unmatched closing parenthesis, or

— a solidus that is itself not enclosed within a matching set of parentheses to the right of the symbol, or

— the end of the string.

Illustrations

$$\neg \mathrm{RASEN} \equiv \overline{\mathrm{RASEN}}$$

$$(\neg \mathrm{RAS})\mathrm{EN} \equiv \overline{\mathrm{RAS}} \cdot \mathrm{EN}$$

$$(\neg \mathrm{RAS})\neg \mathrm{EN} \equiv \overline{\mathrm{RAS}} \cdot \overline{\mathrm{EN}}$$

$$\neg(\neg \mathrm{RAS})\mathrm{EN} \equiv \overline{\overline{\mathrm{RAS}} \cdot \mathrm{EN}}$$

$$\neg \mathrm{RAS}/\mathrm{EN} \equiv \overline{\mathrm{RAS}}/\mathrm{EN}$$

$$\neg(\mathrm{RAS}/\mathrm{EN}) \equiv \overline{\mathrm{RAS}/\mathrm{EN}}$$

$$\neg(\neg(\mathrm{RAS}/\mathrm{EN})/\mathrm{CAS}) \equiv \overline{\overline{\mathrm{RAS}/\mathrm{EN}}/\mathrm{CAS}}$$

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

54.5 Groupement de fonctions

Il convient que les connexions soient regroupées par fonctions et, s'il y a lieu, réparties en connexions de commande et connexions de données. Les connexions de commande peuvent aboutir au «cadre du symbole des commandes». Le cadre du symbole des communs est utilisé comme il est dit dans la section 5.

54.6 Ecriture des longues désignations

On peut répartir dans le sens de la hauteur l'écriture des longues désignations associées aux accès, en l'incluant dans un cadre ouvert du côté opposé à l'accès, comme figuré ci-dessous. L'écriture répartie doit être justifiée le long du côté du cadre en tenant compte des espaces. Pour éviter toute ambiguïté comme celle qui serait due à la coupure d'une barre de négation, les caractères sous barre ne doivent pas être séparés. Il convient de ne pas découper inconsidérément une désignation car elle risque d'être mal comprise.

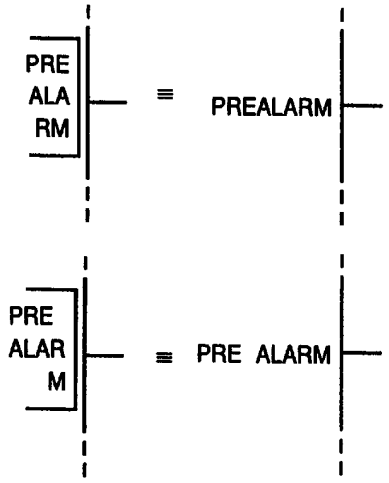
54.5 Functional grouping

The connecting lines should be functionally grouped and, where appropriate, be partitioned into control and data lines. The control lines may appear on the "control block outline" for which the common control block outline as described in section 5 is used.

54.6 Long character strings

Long character strings associated with input or output lines may be narrowed (at the expense of height) by inclusion in an open box as shown below. The box shall open away from the input or output line. The broken character string shall be justified flush against the closed side, taking into account embedded spaces. To avoid ambiguity as to the continuity of a negation bar, multiple characters under a single bar shall not be split. Strings should not be broken in such a way that readability is impaired or an intended space is lost.

Illustrations



NOTE — PREALARM est dérivé de «avant alarme».
PRE ALARM est dérivé de «preset alarm», c'est-à-dire «alarme préconditionnée».

NOTE — PREALARM is derived from "before alarm".
PRE ALARM is derived from "preset alarm".

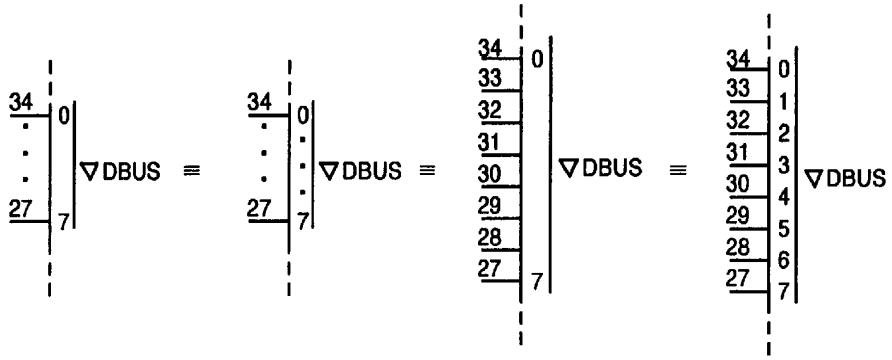
54.7 Identifications et marquages consécutifs des accès

Le groupement des marquages des accès et l'identification des bornes peuvent être simplifiés quand les marquages internes et externes sont consécutifs en écrivant seulement le premier et le dernier de ces marquages, les lignes de connexion étant séparées par des points ou des traits courts. Points et traits courts peuvent être aussi montrés à l'intérieur du cadre du symbole.

54.7 Consecutive labels and terminal designations

If both the internal labels and the (external) terminal designations are consecutive, then grouping of inputs [outputs] may be simplified by showing only the first and last connecting lines and their respective labels, the connecting lines being separated by dots or short strokes. Dots or short strokes may also be shown inside the symbol outline.

Illustration



54.8 Tables de fonction et tables de vérité

Quand des tables sont utilisées pour donner des informations complémentaires sur le fonctionnement du circuit, il est bon que la table des entrées se réfère aux niveaux logiques ou aux états logiques externes.

Si la table des entrées se réfère aux états logiques externes du schéma logique théorique ou quand une convention logique simple a été adoptée, alors dans la table un marquage provenant d'un autre apparaissant à l'intérieur du symbole à un accès portant le symbole de négation doit être modifié en ajoutant (ou en enlevant) la barre de négation. Il convient que tous les autres marquages apparaissent dans la table sans modification. Pour un exemple d'application, voir le symbole 12-56-02.

54.8 Function tables and truth tables

When tables are used to provide additional information about the behavior of the circuit, the table entries should refer to logic levels or to external logic states.

If the table entries refer to external logic states on a theoretical logic diagram or when using a single logic convention, then, in the table, any label derived from one appearing inside the symbol at an input or output bearing a negation symbol must be modified by adding (or removing) a negation bar. All other labels should appear on the table without modification. For an example of use, see symbol 12-56-02.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

54.9 Schémas internes

Pour dépeindre le fonctionnement d'un opérateur de fonction complexe, un schéma considéré comme un schéma interne peut être dessiné à l'intérieur du cadre du symbole. Dans ce cas, les règles suivantes doivent être observées:

— l'indication de négation ou de polarité doit être dessinée à l'extérieur du cadre du symbole aux accès auxquels il s'applique pour indiquer la relation entre l'état logique interne de l'accès et son état logique externe ou son niveau logique;

— par définition, les états logiques – et non les niveaux logiques – existent à l'intérieur du cadre d'un symbole. C'est pourquoi le symbole de polarité logique ne peut être utilisé dans un schéma interne et, si nécessaire, le symbole de négation doit être appliqué;

— les marquages des accès doivent être écrits à l'intérieur et à côté du cadre du symbole ou à l'intérieur et à côté des cadres des symboles inscrits dans le schéma interne. Les marquages contenant des numéros d'identification dans le sens de la notation de dépendance ne doivent être écrits qu'à l'intérieur des cadres des symboles internes auxquels ils s'appliquent. Quand des marquages sont répétés après l'application de la négation logique, ils doivent être modifiés en ajoutant (ou en enlevant) la barre de négation;

— seules les connexions entre éléments du schéma interne n'ont pas besoin d'être marquées.

54.9 Internal diagrams

To depict the functional behavior of a complex-function element, a diagram inside the outline of a symbol (referred to as an internal diagram) may be used. In this case, the following rules shall be observed:

— the negation or polarity indicator shall be shown at the symbol outline at those inputs [outputs] to which it applies to indicate the relationship between the internal logic state of the input [output] and its external logic state or logic level;

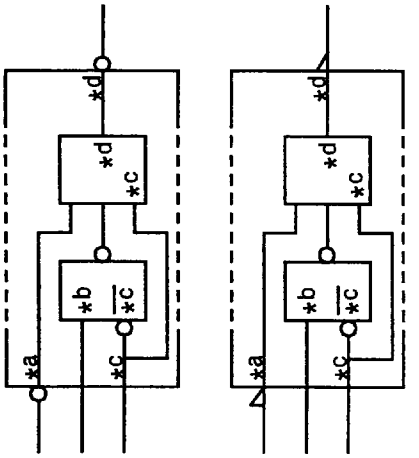
— by definition, logic states, and not logic levels, exist within the outline of a symbol. Therefore the symbol for logic polarity cannot be used on an internal diagram, and the symbol for logic negation shall be applied where appropriate;

— input and output labels shall be shown inside and adjacent to the symbol outline and/or inside and adjacent to the outlines of the symbols appearing on the internal diagram. Labels containing identifying numbers in the sense of dependency notation shall only be shown inside the outlines of the internal symbols to which they apply. When labels are repeated after the application of logic negation, they shall be modified by adding (or removing) a negation bar;

— connections solely between elements of the internal diagram need not be labelled.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Illustrations



*a . . . *d represent four different labels.

*a . . . *d représentent quatre différents marquages.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

55 Indicateurs de bus et représentation de voies de données

55.1 Indicateurs de bus

Dans beaucoup de cas, le symbole de bus peut clarifier la représentation d'un opérateur de fonctions complexes.

55 Bus indicators and data path representation

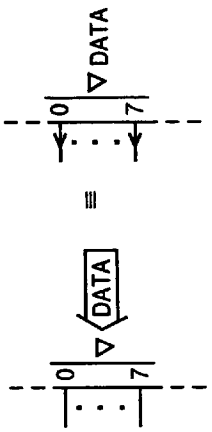
55.1 Bus indicators

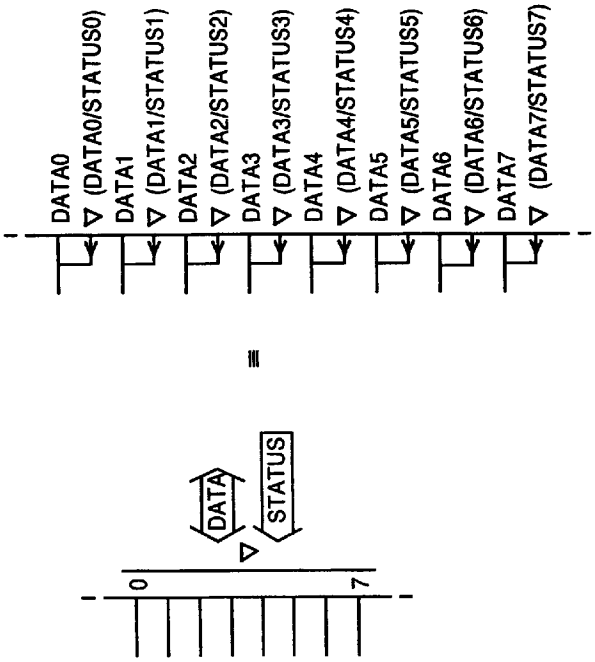
In many cases, the use of a symbol for a bus can clarify the function of a complex element.

No.	Symbole Symbol	Légende	Description
12-55-01		Indicateur de bus, unilatéral, montrant une propagation d'information de gauche à droite	Bus indicator, unidirectional, shown for signal flow from left to right
12-55-02		Indicateur de bus, bilatéral Si un indicateur de bus est associé aux accès, un symbole de groupement numérique (symbole 12-09-24 ou symbole 12-09-25), ou un symbole de groupement de marquages (voir symbole 12-09-25A), doit être utilisé entre l'indicateur de bus et le cadre du symbole. Dans ce cas, il n'est pas nécessaire que les connexions soient fléchées pour indiquer le sens de propagation. NOTE — Si la désignation du bus, ou lapartie commune des marquages des accès associés, est indiquée, il convient de l'écrire à l'intérieur de l'indicateur de bus.	Bus indicator, bidirectional If associated with terminals, a bit-grouping symbol (symbol 12-09-24 or symbol 12-09-25) or a label-grouping symbol (see symbol 12-09-25A), as appropriate, shall be shown between the bus indicator and the symbol outline. Then the connecting lines grouped together need no arrowheads to indicate the direction of signal flow. NOTE — If a bus name or a common portion of the labels for the associated terminals is shown, that name or common portion should be placed inside the bus indicator.

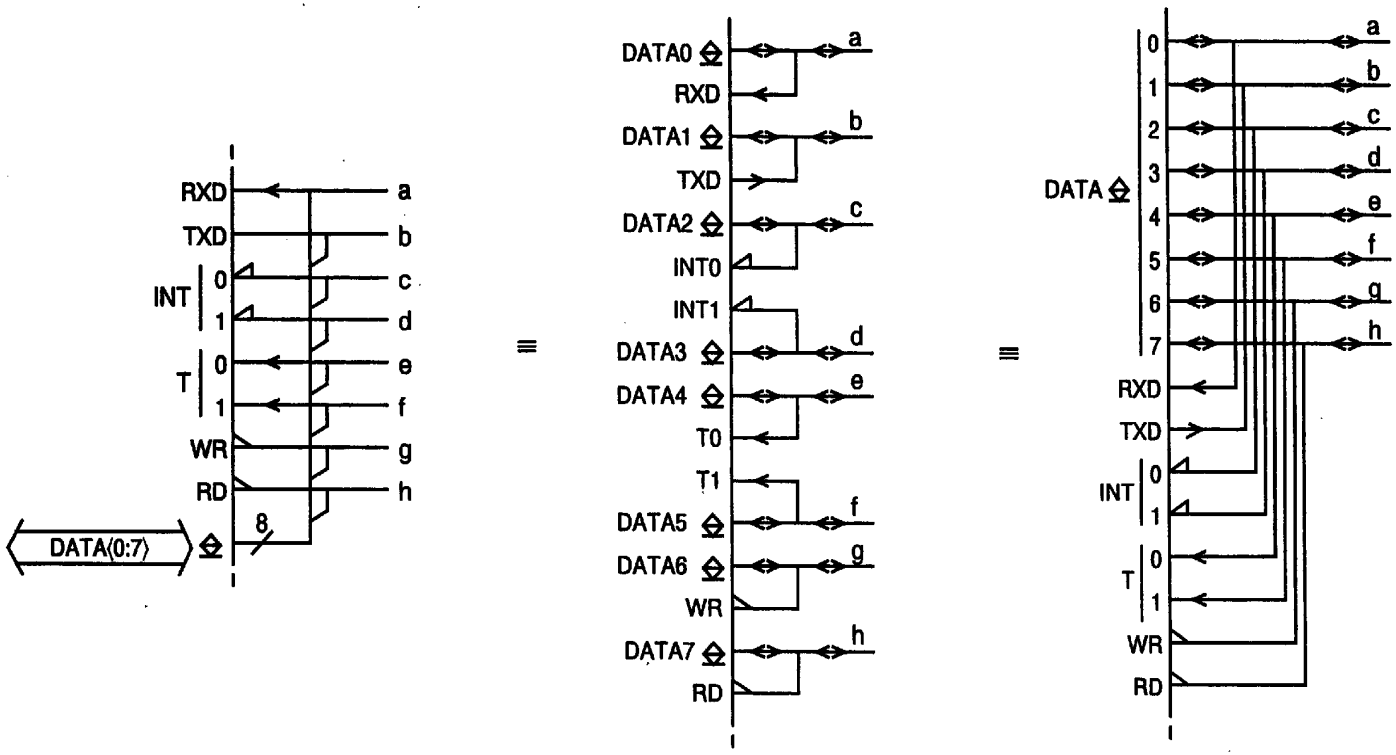
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Illustrations





COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000



Pour la correspondance entre la séquence des désignations de broches et la séquence des numéros de bits, voir 4.6.2 de la CEI 61082-1 : l'ordre de séquencement des désignations de broches et les numéros de bits doivent être tels que l'ordre de gauche à droite corresponde à l'ordre de haut en bas.

For the correspondence between the sequence of terminal designations and the sequence of bit numbers, see 4.6.2 of IEC 61082-1: the order of sequence of the terminal designations and the bit numbers shall be such that a left-to-right order corresponds to a top-to-bottom order.

55.2 Représentation de voies de données

La technique utilisée pour l'indication des bus peut être étendue pour représenter les voies de données dans un schéma interne comme indiqué plus bas.

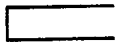
55.2 Data path representation

The technique used for bus indicators may be extended to represent data paths (buses) on an internal diagram as follows.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

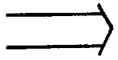
Illustrations

Source d'une voie de données unidirectionnelle



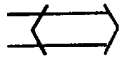
Source of a unidirectional data path

Destination d'une voie de données unidirectionnelle



Destination of a unidirectional data path

Source et destination d'une voie de données bidirectionnelle

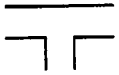


Source and destination of a bidirectional data path

NOTE — La séparation entre les pointes des flèches est arbitraire, mais il convient que celles-ci se trouvent sur la même branche d'une jonction.

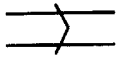
NOTE — The separation of the arrowheads is arbitrary, but they should both appear on the same branch of a junction.

Jonction de voies de données



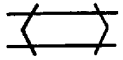
Junction of data paths

Indication de la direction du flux de données



Indication of data flow direction

Indication d'un flux de données bidirectionnel

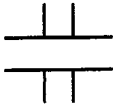


Indication of bidirectional data flow

NOTE — La séparation entre les pointes des flèches est arbitraire, mais il convient que celles-ci se trouvent sur la même branche d'une jonction.

NOTE — The separation of the arrowheads is arbitrary, but they should both appear on the same branch of a junction.

Croisement sans connexion



Crossing without connection

S'il n'y a pas d'indication de source, on suppose que toutes les branches sont bidirectionnelles.

If no source is shown, all branches are assumed to be bidirectional.

Les noms et/ou la largeur de la voie de données peuvent être indiqués à l'intérieur ou à côté de la voie de données.

The names and/or the width of the data path may be indicated inside or adjacent to the data path.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

56 Exemples d'opérateurs de fonctions complexes

Dans les exemples de cette section, les méthodes suivantes sont appliquées :

— le numéro de type est indiqué dans le cadre du symbole pour préciser la référence à la documentation complémentaire;

— l'indication de la fonction et le numéro de type sont figurés sur des lignes séparées.

Si, sur un schéma, d'autres informations renvoient à la description particulière ou à la documentation dont le symbole est issu, ce numéro de type peut être omis de l'intérieur du cadre du symbole.

56 Examples of complex-function elements

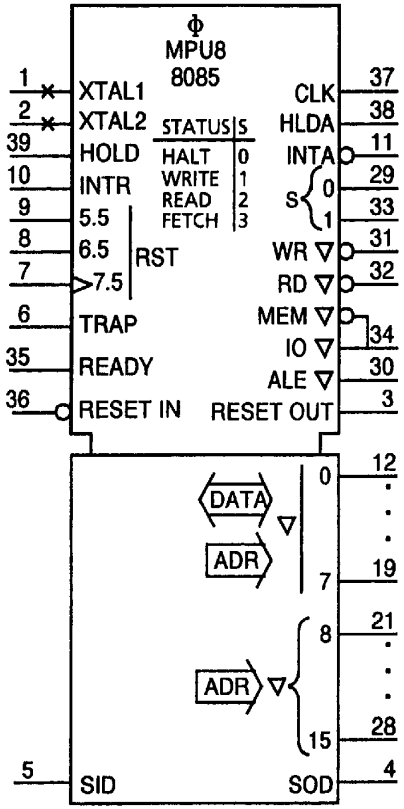
In the examples in this section, the following techniques have been used:

— the type number is shown within the symbol outline to satisfy the requirements of a reference to supporting documentation;

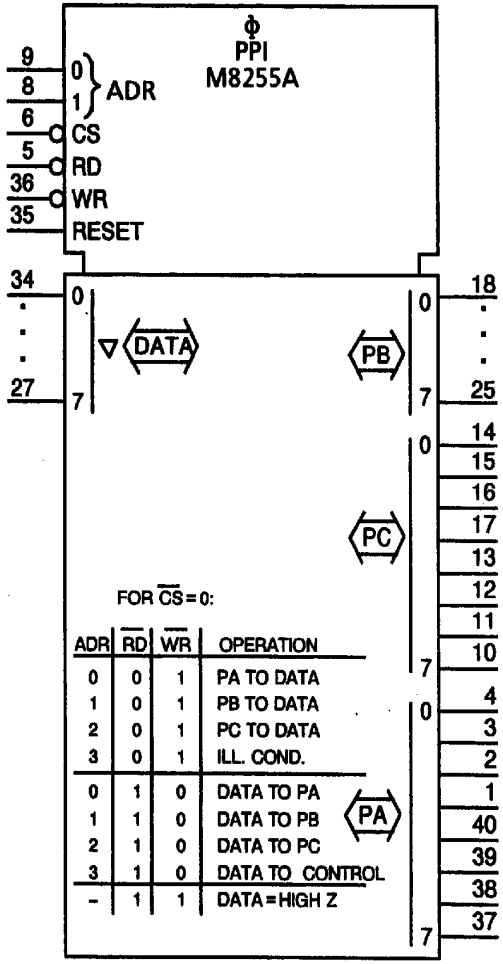
— the indication of the function and the type number are shown on separate lines.

If, on a diagram, other informations lead to the specific data sheet or documentation from which the symbol was derived, this type number may be omitted.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-56-01		Microprocesseur, à 8 bit (modèle d'antériorité : INTEL 8085) NOTES 1 En accord avec 54.2 : — ADR remplace A, — ADR et DATA remplacent AD et — MEM remplace M 2 La table est figurée pour la commodité du lecteur, mais elle peut être omise.	Microprocessor, 8-bit (e.g. INTEL 8085) NOTES 1 In accordance with 54.2: — ADR replaces A, — ADR and DATA replace AD, and — MEM replaces M. 2 The table is shown for the assistance of the reader but may be omitted.

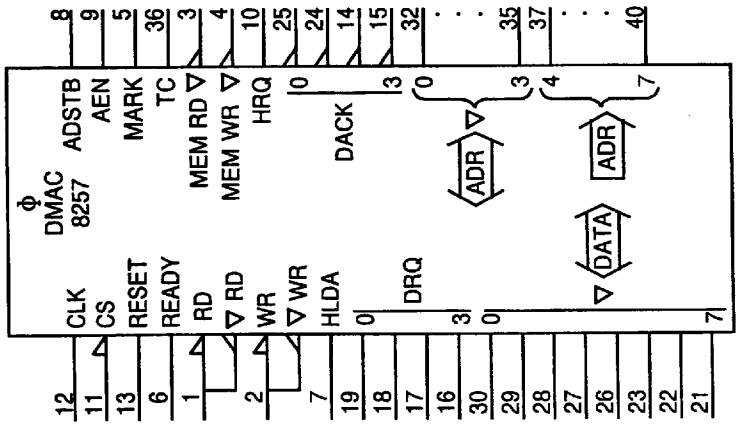
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-56-02		Interface périphérique programmable (modèle d'antériorité : INTEL M8255A) NOTES 1 La table est figurée pour la commodité du lecteur, mais elle peut être omise. 2 En accord avec 54.2 : — ADR remplace A et — DATA remplace D	Programmable peripheral interface (e.g. INTEL M8255A) NOTES 1 The table is shown for the assistance of the reader but may be omitted. 2 In accordance with 54.2: — ADR replaces A, and — DATA replaces D.

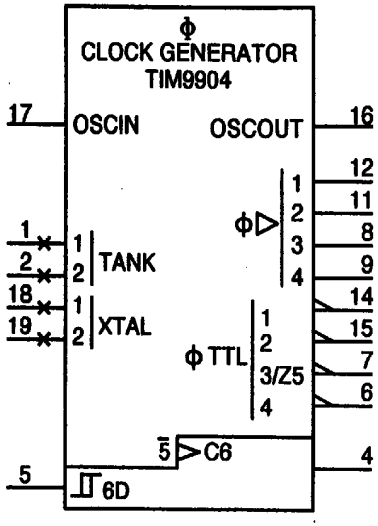
FOR $\overline{CS}$ = 0:

ADR	$\overline{RD}$	$\overline{WR}$	OPERATION
0	0	1	PA TO DATA
1	0	1	PB TO DATA
2	0	1	PC TO DATA
3	0	1	ILL. COND.
0	1	0	DATA TO PA
1	1	0	DATA TO PB
2	1	0	DATA TO PC
3	1	0	DATA TO CONTROL
-	1	1	DATA = HIGH Z

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

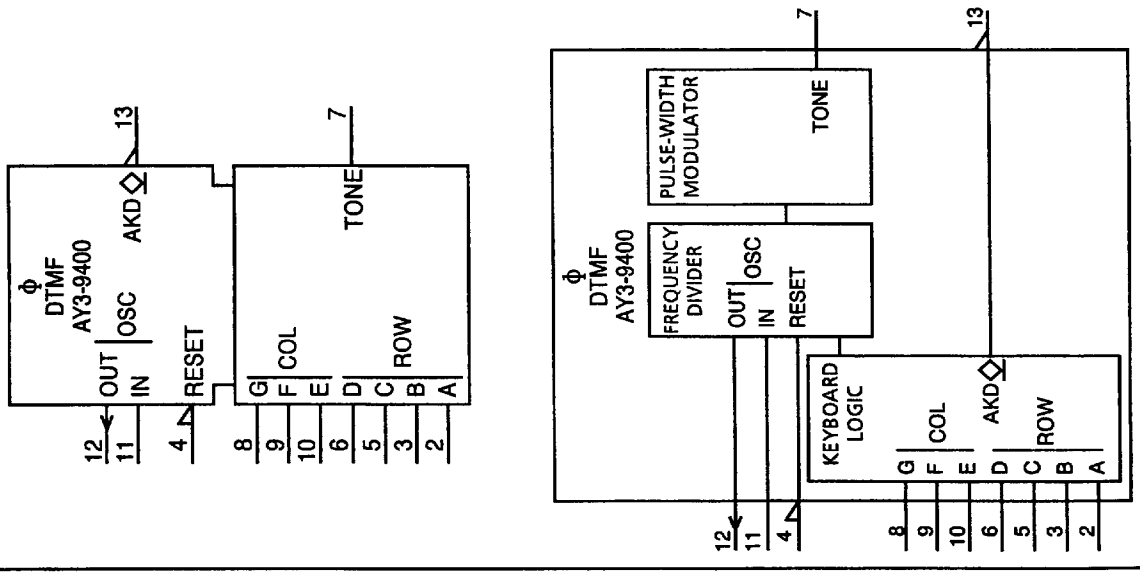
12-56-03		Contrôleur DMA programmable (modèle d'antériorité : INTEL 8257) NOTE — En accord avec 54.2 : – ADR remplace A et – DATA remplace D
		Programmable DMA controller (e.g. INTEL 8257) NOTE — In accordance with 54.2: – ADR replaces A, and – DATA replaces D.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

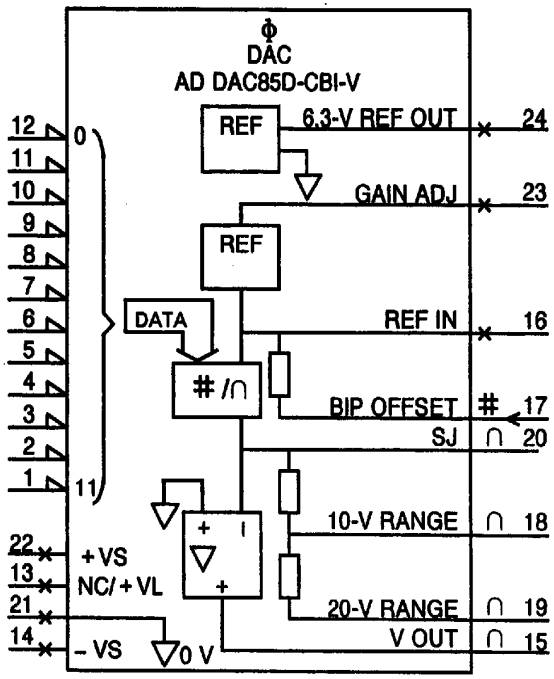
No.	Symbole Symbol	Légende	Description
12-56-04		Générateur d'horloge, de puissance, à quatre phases (modèle d'antériorité : Texas Instruments TIM9904, précédemment SN 74LS362) NOTE — Le symbole 12-47-01 représente le même opérateur en utilisant seulement les règles des chapitres I à V.	Clock generator/driver, four-phase (e.g. Texas Instruments TIM9904, formerly SN 74LS362) NOTE — The symbol 12-47-01 depicts the same device using only the rules of chapters I through V.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-56-05	Générateur à 2 tonalités ou fréquences engendrant 12 paires de tonalités (modèle d'antériorité : General Instruments AY3-9400)	Dual-tone multi-frequency generator (generates 12 tone-pairs) (e.g. General Instruments AY3-9400)
12-56-06		



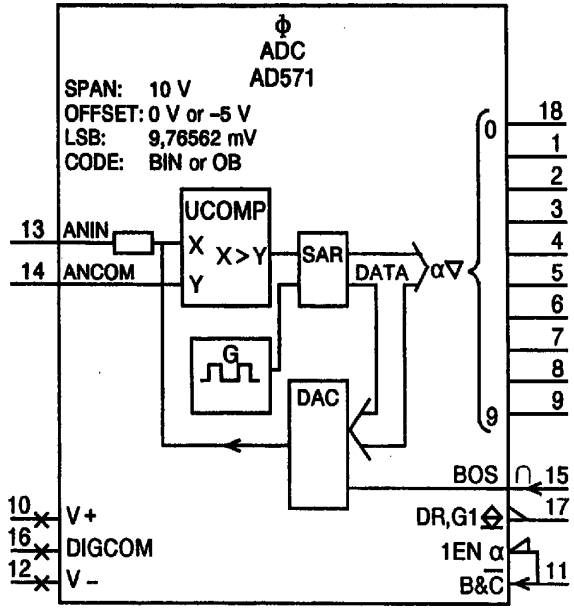
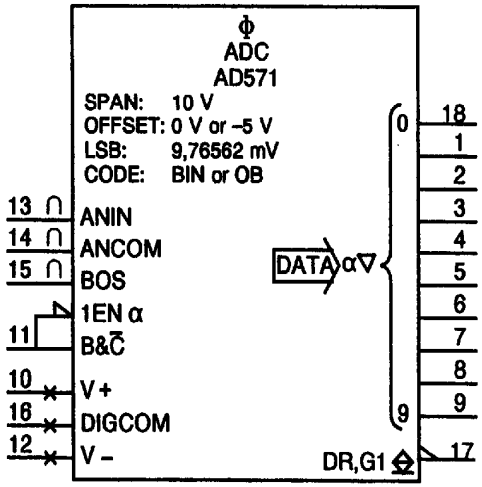
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-56-07		Convertisseur numérique-analogique à 12 bit (modèle d'antériorité : Analog Devices AD DAC85D-CBI-V) NOTES 1 Parce que les entrées logiques produisent un nombre, le symbole de groupement numérique est utilisé. Par conséquent, les marquages de ces entrées diffèrent de ceux du fabricant. 2 S'il n'en résulte pas de confusion, les ∩ aux accès peuvent être omis. 3 Les connexions avec les numéros de broches 18, 19 et 20 peuvent être fléchées, en fonction de l'application. 4 Voir aussi la CEI 60617-13 pour d'autres méthodes de représentation des convertisseurs numérique-analogique et analogique-numérique.	Digital-to-analogue converter, 12-bit (e.g. Analog Devices AD DAC85D-CBI-V) NOTES 1 Because the logic inputs produce a number, use has been made of the bit-grouping symbol. Consequently the labelling of these inputs differs from that of the manufacturer. 2 If no confusion is likely, ∩ at the inputs and outputs may be omitted. 3 Arrowheads may be used on terminals 18, 19, and 20, depending on the application. 4 See also IEC 60617-13 for other methods of representing digital-to-analogue converters and analogue-to-digital converters.

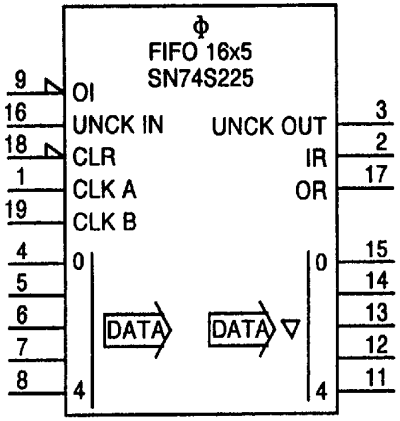
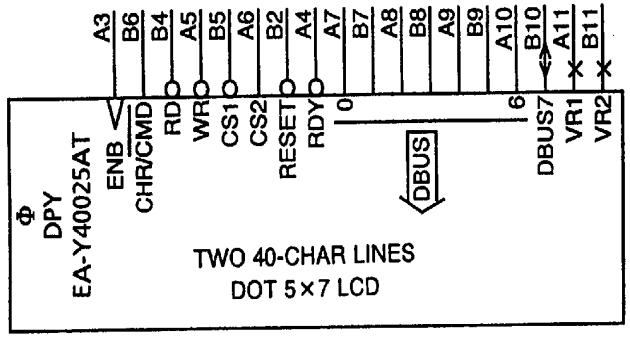
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-56-08

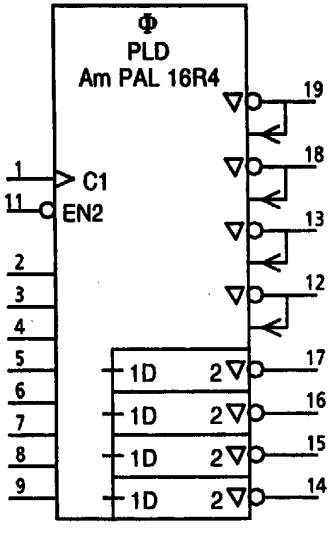
COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-56-09		Convertisseur analogique-numérique à 10 bit (modèle d'antériorité : Analog Devices AD571) NOTES 1 La forme du schéma interne a été choisie pour mettre en évidence la fonction de réaction du convertisseur numérique-analogique interne. 2 Parce que les sorties logiques représentent un nombre, le symbole de groupement numérique est utilisé. Par conséquent, les marquages de ces sorties diffèrent de ceux du fabricant. 3 Les notes 2 et 4 des symboles 12-56-07 et 12-56-08 sont applicables.	Analog-to-digital converter, 10-bit (e.g. Analog Devices AD571) NOTES 1 In symbol 12-56-09, the layout of the internal diagram has been chosen such that the feedback function of the internal digital-to-analogue converter is emphasized. 2 Because the logic outputs represent a number, use has been made of the bit grouping symbol. Consequently, the labelling of these outputs differs from that of the manufacturer. 3 Notes 2 and 4 with symbols 12-56-07 and 12-56-08 apply.
12-56-10			

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

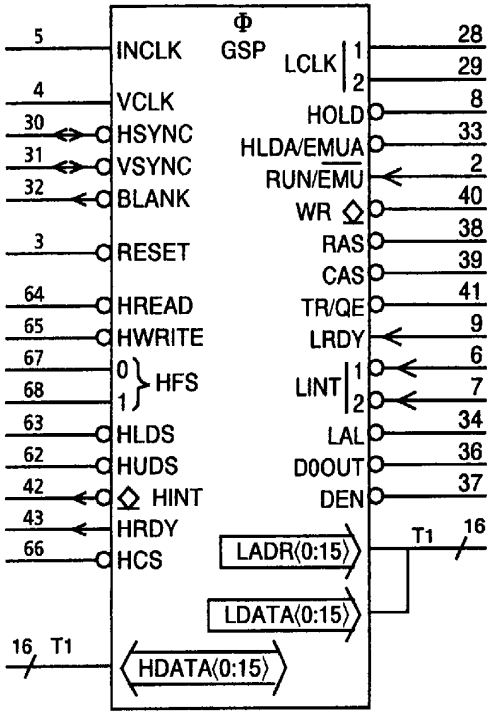
12-56-11		Mémoire file-d'attente, type avalanche, de 16 mots de 5 bit (modèle d'antériorité : Texas Instruments SN 74S225) NOTE — Le symbole 12-51-10 représente le même opérateur en utilisant seulement les règles des chapitres I à V.	First-in first-out memory, fall-through, 16x5-bit (e.g. Texas Instruments SN 74S225) NOTE — Symbol 12-51-10 depicts the same device using only the rules of chapters I through V.
12-56-12		Afficheur, matrice de points, alphanumérique, à 2 lignes de 40 caractères (modèle d'antériorité : EPSON EA-Y40025AT)	Display element, dot matrix, alphanumeric, with two 40-character lines (e.g. EPSON EA-Y40025AT)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

No.	Symbole Symbol	Légende	Description
12-56-13		Boîtier de logique programmable (modèle d'antériorité : Advanced Micro Devices Am PAL 16R4) Il y a 16 entrées de réseau; huit d'entre elles sont des entrées unidirectionelles accessibles directement, quatre d'entre elles sont connectées à des entrées / sorties bidirectionelles et quatre sont des liaisons internes pour les bascules. Ces quatre dernières lignes ne sont pas représentées à l'extérieur du symbole. NOTES 1 Etant donné qu'aucun marquage autre que l'identification des accès n'apparaît sur la fiche du fabricant relative aux données du circuit, aucun nom d'accès n'est figuré, à l'exception de ceux rendus nécessaires par l'emploi de la notation de dépendance. 2 Le symbole représente le boîtier non programmé. S'il y a lieu d'utiliser le symbole pour représenter le boîtier après programmation, les marquages et/ou les indications fonctionnelles peuvent être modifiés pour correspondre à la documentation associée du boîtier programmé.	Programmable logic device (PLD) (e.g. Advanced Micro Devices Am PAL 16R4) There are 16 array inputs. Eight of them are directly accessable unidirectional inputs, four of them are connected to bidirectional input/outputs, and four are internal feedbacks from the latches. The latter four are not shown in this symbol. NOTES 1 Since no labels other than pin numbers appear on the circuit data sheet of the manufacturer, no terminal names are shown besides the ones required by the use of dependency notation. 2 The symbol shows the unprogrammed device. If the symbol is to be used to show the device after programming, the labels and/or the functional indication may be changed to correspond to the supporting documentation for the programmed device.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

12-56-14



Processeur de système graphique (modèle d'antériorité : Texas Instruments TMS34010)

Le tableau T1 est considéré comme étant une partie du symbole et doit être inclus dans le schéma du circuit ou dans un document annexe.

NOTES

1 La technique décrite dans la CEI 61082-2, paragraphe 5.3, est appliquée pour simplifier les deux bus de 16 bit.

2 Il est fait référence au tableau ci-dessous.

Graphics system processor (e.g. Texas Instruments TMS34010)

The table T1 is considered to be part of the symbol and shall be shown on the circuit diagram or in a supporting document.

NOTES

1 Use has been made of the technique described in IEC 61082-2, subclause 5.3, to simplify the two 16-bit-wide busses.

2 Reference is made to the table shown below.

T1

BIT	HDATA	LADR/LDATA
0	60	10
1	59	11
2	58	12
3	57	13
4	56	14
5	55	15
6	54	16
7	53	17
8	51	19
9	50	20
10	49	21
11	48	22
12	47	23
13	46	24
14	45	25
15	44	26

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Index alphabétique en français

ADDITION MODULO 2 (opérateurs) ... 12-27-07
additionneur 12-38-01
additionneur complet
– à un seul bit 12-38-08
– à 1 bit 12-39-01
– à 4 bit 12-39-02
ADRESSE (dépendance) 21
accès
– barres 54.3
– influençant (notation de dépendance) 12
– ne recevant pas d'information logique 12-10-01
– non concernés 10
afficheur 52
– à sept segments 12-53-02
– alphanumérique, 4 caractères 12-53-06
alphanumérique, matrice de points .. 12-56-12
– hexadécimal 12-53-04
– numérique 12-53-05
– pour dépassement 12-53-03
amplificateur
– bilatéral 12-29-05
– quadruple 12-29-06
– 8 bit parallèles 12-29-08
– inverseur 12-29-05
– pour multiplet 12-29-04

---

barre 12
– de négation 54.3
– inclinée 25.2.1
– sur une seule ligne 54.4
barres lumineuses LED 12-53-01
bascule D 12-42-02
– déclenchée sur front 12-42-07
bascule JK 12-42-03
bascule RS 12-42-01
– avec entrées complémentées 12-42-06
– avec état initial 0 12-43-01
– avec état initial 1 12-43-02
– avec conservation de l'état 12-43-03
– déclenchée par impulsion 12-42-08

---

cadre 5
– d'opérateur commun de sortie 12-05-03
– d'un opérateur 12-05-01
– du symbole des communs 12-05-02
associations de – 6
combinaisons de – 5
CAM 12-50-04
canal de type N 12-09-04
canal de type P 12-09-04
Cm* (entrée) 12-18-01
Cm* (sortie) 12-18-02
codeur de priorité 12-33-04
collecteur ouvert 12-09-03
COMMANDE (dépendance) 18
commutateur
– électronique 12-29-09
– à deux directions, bilatéral 12-29-11
comparateur arithmétique 12-38-05
comparateur numérique 12-39-07
compteur 41.2
– avec longueur de cycle m 12-48-03
– avec longueur de cycle de 2 à la puissance m 12-48-02
– binaire à 14 étages 12-49-10
– modulo m 12-48-03
– modulo 2 à la puissance m 12-48-02
– modulo 10 12-49-16
– diviseur binaire à 14 étages avec report en cascade 12-49-09
– synchrone décimal et à chargement parallèle 12-49-11
– , l'un divisant par 5 et 10, l'autre par 6 12-49-12
– /décompteur synchrone 12-49-14
– /diviseur décimal avec sorties codées pour afficheur 12-49-13
connexion
– à caractéristique dynamique 12-08-03
– avec négation 12-08-02
– interne 8
– 12-08-01
– logiques 6.1
contrôleur DMA programmable 12-56-03
conversion de code, indication 32.1.1
convertisseur
– analogique-numérique 12-56-09
– de code 12-32-01
– BCD binaire 12-33-07
– BCD en code décimal 12-33-02
– binaire en code BCD 12-33-10
– Gray en code décimal 12-33-01
– programmé 12-33-09
– trois vers huit 12-33-03
– de niveau de signal 34
– de niveaux ECL en niveaux TTL ... 12-35-02
– de niveaux TTL en niveaux MOS .. 12-35-01
– de niveaux numérique vers analogique 12-56-07
croisement sans connexion 55.2
crochet 4.3

---

décodeur/amplificateur du code BCD vers le code 7 segments 12-33-06

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

demi-additionneur 12-38-07
démultiplexeur 12-36-02
– à 4 voies 12-37-06
– à 8 lignes 12-37-04
– /décodeur universel 12-37-05
dépendance
– ADRESSE (A) 13
– 23
– de COMMANDE (C) 13
– 18
– de MODE (M) 13
– 21
– de NÉGATION (N) 13
– 16
– de VALIDATION (EN) 13
– 20
– d'INTERCONNEXION (Z) 13
– 17
– ET (G) 13
– 14
– MISE À UN (S) 13
– 19
– MISE À ZÉRO (R) 13
– 19
– OU (V) 13
– 15
– TRANSMISSION (X) 13
– 17A
notation de – 11
types de – 13
désignation du bus 12-55-02
destination d'une voie de données 55.2
détecteur/correcteur d'erreur 12-28-13
direction de propagation 4.6

effet différé en sortie 12-09-01
émetteur-récepteur pour liaison multiple .. 12-29-03
entrée 4
– à seuils 12-09-02
– à hystérésis 12-09-02
– avec amplification particulière 12-09-08B
– Cm* 12-18-01
– D 12-09-12
– Gm* 12-14-01
– J 12-09-13
– K 12-09-14
– Nm* 12-16-01
– Pm* 12-09-26
– R 12-09-15
– S 12-09-16
– T 12-09-17
– Xm* 12-17A-01
– Vm* 12-15-01
– Zm* 12-17-01
– d'alimentation 10.2
– d'«ÉGALITÉ» 12-09-29
– d'expansion 12-09-09
– d'interrogation 12-09-22
– de comptage 12-09-20
– de décalage de droite à gauche 12-09-19
– de décalage de gauche à droite 12-09-18
– de décalage du bas en haut 12-09-19
– de décalage du haut en bas 12-09-18
– de décomptage 12-09-21
– de mode fixe 12-09-49
– de validation 12-09-11
– dynamique 12-07-07
– imposant un contenu 12-09-45
– interne 12-08-05
– opérande 12-09-26
– «PLUS GRAND QUE» 12-09-27
– «PLUS PETIT QUE» 12-09-28
– virtuelle 12-08-05
entrée recevant la retenue
– d'une opération arithmétique d'addition 12-09-39
– d'une opération arithmétique de soustraction 12-09-33
– engendrée d'une opération arithmétique d'addition 12-09-40
– engendrée d'une opération arithmétique de soustraction 12-09-34
– propagée d'une opération arithmétique d'addition 12-09-43
– propagée d'une opération arithmétique de soustraction 12-09-37
émetteur ouvert 12-09-03
ET (dépendance) 14
ET (opérateur) 12-27-02
ET NON 12-28-01
– à hystérésis 12-31-02
– avec sortie amplifiée 12-29-02
ET-OU 12-28-06
–, opérateur combiné 12-28-03
état logique 2
– externe 3
– initial 0, bascule RS 12-43-01
– initial 1, bascule RS 12-43-02
– interne 3
– 6.2.2
expanseur 12-28-07

facteurs algébriques 25.1.4
FANTÔME (opérateur) 12-27-13
FIFO 12-50-05
– 12-51-08

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

flèche 4.6
flux de données, indication de la direction 55.2

générateur
- à 2 tonalités ou fréquences 12-56-05
- amplificateur de signaux d'horloge .. 12-47-01
- d'horloge, de puissance 12-56-04
- de retenue anticipée 12-38-03
- de retenue anticipée à 4 bit 12-39-04
- /contrôleur de parité 12-28-12
- /contrôleur de parité ou d'imparité .. 12-28-14

Gm* (entrée) 12-14-01
Gm* (sortie) 12-14-02
groupement
- de cadres 4
- de fonctions 54.5
- de liaison 12-09-47
- de marquages 12-09-25A
- – 54.6
- d'opérateurs 6.3
- numérique 25.1.6
  - 25.2.3
  - 12-09-24
  utilisation du symbole de – 24.2

identifications consécutives 54.8
IDENTITÉ LOGIQUE (opérateurs) 12-27-06
IMPARITÉ (opérateurs) 12-27-07
- 12-28-11
indicateur de bus 55.1
- 12-55-01
indication de la direction du flux de données 55.2
indications du code (codeur) 32.1
information
- complémentaire ..... 4.2 ...
  direction de – 6.1.2
  - 10.3
INTERCONNEXION (dépendance) 17
interface périphérique programmable 12-56-02
intrinsèque de mise en mémoire 24.3
INVERSEUR
- (opérateurs) 12-27-12
- à hystérésis 12-31-01
- avec sortie amplifiée 12-29-01

jonction à 8 étages 12-42-12
jonction de voies de données 55.2

longues désignations, écriture 54.7

marquages consécutifs 54.8
m et seulement m (opérateurs) 12-27-04
mémoire
- à accès aléatoire, ... 12-50-03
  - 4×4 12-51-05
  - dynamique, 16k×4 12-51-07
- à écriture-lecture 12-50-03
- à lecture seule 12-50-01
  - 32×8 12-51-03
- adressable par le contenu 12-50-04
- associative 12-50-04
- file d'attente 12-50-05
  - type asynchrone, 16×4 12-51-08
  - type avalanche,16×5 12-56-11
  - type commandé par compteur, 16×4 12-51-09
- programmable à lecture seule 12-50-02
  - 12-51-01

MAJORITÉ (opérateurs) 12-27-05
microprocesseur 12-56-01
MISE À UN (dépendance) 19
MISE À ZÉRO (dépendance) 19
MODE (dépendance) 21
monostable
- non redéclenchable 12-44-02
  - 12-45-02
- redéclenchable 12-44-01
  - 12-45-01

multiplexeur 12-36-01
- 12-37-01
- avec mémoire 12-42-11
- /démultiplexeur 12-36-01

multiplicateur 12-38-04
- parallèle à 4 bit 12-39-05

négation logique 12-07-01
NÉGATION (dépendance) 16
NI 12-28-02
- exclusif 12-37-03

niveau logique 2
Nm* (entrée) 12-16-02
Nm* (sortie) 12-16-01
- 3
NON (opérateurs) 12-27-11
nombre interne (codeur) 32.2

noms complémentaires d'accès 54.3
noms de fonctions barres 54.3
notation de dépendance
–, convention 12
–, exposé 11
–, réalisation 12
–, techniques particulières 24

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

–, types de 13
NPN à collecteur ouvert 12-09-05
NPN à émetteur ouvert 12-09-04
numéro d'identification (notation de dépendance) 12

opérateur
– à hystérésis 12-30-01
– à retard 12-40-01
– à seuils 12-31-01
– à SEUIL LOGIQUE 12-27-03
– astable 12-46-01
– avec synchronisation du démarrage 12-46-03
– avec synchronisation de l'arrêt sur la fin d'un créneau 12-46-04
– avec synchronisation de démarrage et de l'arrêt achevant l'impulsion finale 12-46-05
– commandé 12-46-02
opérateur binaire à retard 40
– bistable 41
– combinatoire 27
– commun de sortie 6.2.2
– 12-05-03
– d'ADDITION MODULO 2 12-27-07
– d'IDENTITÉ LOGIQUE 12-27-06
– d'IMPARITÉ 12-27-07
– de PARITÉ 12-27-08
– de transmission 12-29-10
– donnant l'identité ou le complément . 12-28-15
– ET 12-27-02
– FANTÔME 12-27-13
– INVERSEUR 12-27-12
– m et seulement m 12-27-04
– MAJORITÉ 12-27-05
– NON 12-27-11
– OU 12-27-01
– OUI 12-27-10
opérateur logique et arithmétique 12-38-06
– 12-39-10
opérateurs
– bistables, propriétés particulières de . 43
– combinatoires (exemples) 28
– monostables 44
opérateurs pour fonctions complexes 54
– 56
ordre de marquages
– des entrées 25.1
– des sorties 25.2
orientation pour la lecture 4.6
OU
– (dépendance) 15
– (opérateurs) 12-27-01
– exclusif 12-28-09
– exclusif/NI 12-28-10
– ET 12-28-05
– /NI 12-28-08
OUI (opérateurs) 12-27-10

PARITÉ (opérateurs) 12-27-08
partie commune des marquages 12-55-02
PNP à collecteur ouvert 12-09-04
PNP à émetteur ouvert 12-09-05
polarité logique 12-07-03
propagation bilatérale de l'information ... 12-10-02
propagation de l'information 6.1.2
– 10.3
PROM 12-50-02
– 12-51-01

RAM 12-50-03
rappel interne 10
– 12-51-05
récepteurs
– (exemples) 29
– de ligne 12-29-07
référence appropriée renvoyant à une table 32.1.2
registre à décalage 41.2
– 12-48-01
– 12-49-17
– statique à 512 bit 12-49-02
– à chargement parallèle 12-49-06
– bilatéral, universel à 4 étages 12-49-03
– à 4 étages à entrées et sorties parallèles 12-49-04
– à 8 étages à double entrée série et sorties parallèles 12-49-05
– à 8 étages avec entrée série et sortie série complémentaires .. 12-49-01
registre universel à décalage ou mémorisation 12-49-07
ROM 12-50-01
– 12-51-03

schéma interne 54.10
sélecteur 12-36-01
– de données analogiques 12-37-06
sens de propagation de l'information 10
SEUIL LOGIQUE (opérateurs) 12-27-03
signal analogique 10.1
signal numérique 10.1
signaux codés sur des entrées influençantes 24.1
sortie 4
– à circuit ouvert 12-09-03
– directe du type H 12-09-06

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

- du type L 12-09-07
- du type H 12-09-04
- du type L 12-09-05

– avec amplification particulière 12-09-08A
– Cm* 12-18-02
– commune 6.2.2
– d'«ÉGALITÉ» 12-09-32
– d'état fixe 12-09-50
– d'un expanseur 12-09-10
– de comparaison 12-09-23
– fixe 12-08-13
– fournissant la retenue
  - d'une opération arithmétique d'addition 12-09-42
  - d'une opération arithmétique de soustraction 12-09-36
  - engendrée d'une opération arithmétique d'addition 12-09-41
  - engendrée d'une opération arithmétique de soustraction 12-09-35
  - propagée d'une opération arithmétique d'addition 12-09-44
  - propagée d'une opération arithmétique de soustraction 12-09-38
– Gm* 12-14-02
– indiquant le CONTENU 12-09-46
– interne 12-08-06
– Nm* 12-16-02
– «PLUS GRAND QUE» 12-09-30
– «PLUS PETIT QUE» 12-09-31
– virtuelle 12-08-06
– Vm* 12-15-02
– Xm* 12-17A-02
– Zm* 12-17-02
– 3 états 12-09-08

soustracteur 12-38-02
– complet à 4 bit 12-39-03
source d'une voies de données 55.2
symbole des communs 12-05-02
symbole distinctif 4

---

transcodeur 12-32-01
table de fonction 54.9
table de vérité 54.9
tracé des accès 4
TRANSMISSION (dépendance) 17A
trigger de Schmitt 12-31-01
types de dépendance 13

VALIDATION (dépendance) 20
variable binaire 2.4
virgule 25.2.1
– (notation de dépendance) 12
Vm (entrée) 12-15-01
Vm (sortie) 12-15-02
voies de données 55.2

Zm* (entrée) 12-17-01
Zm* (sortie) 12-17-02

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

English alphabetical index

A dependency notation 23
–, identifying number 23.2
abutted elements 6.1
active-low inputs and outputs 7
adder 12-38-01
– 12-39-01
addition modulo 2 element 12-27-07
ADDRESS-dependency notation 23
affecting
– and affected inputs and outputs 11
– inputs produced by a coder 24.1
– inputs produced by bit grouping 24.2
algebraic-factoring technique 25.1.4
alphanumeric display
– 12-53-06
ALU 12-38-06
– 12-39-10
Am* input 12-23-01
amplification
–, general qualifying symbol 29
– symbol used at outputs 12-09-08A
analogue
– data selector 12-37-06
– input or output 10.1
– to-digital converter 12-56-09
AND
– element 12-27-02
– dependency notation 14
– OR-invert 12-28-03
– with negated output (NAND) 12-28-01
arithmetic elements 38
arithmetic logic unit 12-38-06
– 12-39-10
array of elements 6.3
arrowhead 4.6
associative memory 12-50-04
astable element 12-46-01

bidirectional
– change-over switch 12-29-11
– multiplexer/demultiplexer 12-36-03
– signal flow 12-10-02
– switch 12-29-09
binary counter, 4-bit, synchronous up/down 12-49-15
binary counter 12-49-10
binary ripple counter 12-49-09
bistable element 41
–, D, edge-triggered 12-42-07
–, data-lock-out 41.2
– 12-42-05
–,edge-triggered 41.2
– 12-42-03
–, pulse-triggered 41.2
– with special switching properties ... 43
bistable, JK
–, edge-triggered 12-42-03
–, data-lock-out 12-42-05
–, pulse-triggered 12-42-04
bistable, RS 12-42-01
–, pulse-triggered 12-42-08
– with initial 0-state 12-43-01
– with initial 1-state 12-43-02
bit grouping
– for inputs 12-09-24
..... 24.2
– for outputs 12-09-25
..... 25.1.6
..... 25.2.3
– used to produce affecting inputs ... 24.2
bi-threshold
– detector 31
– input 12-09-02
borrow
– generate input 12-09-34
– generate output 12-09-35
– in input 12-09-33
– out output 12-09-36
– propagate input 12-09-37
– propagate output 12-09-38
brackets, square 4.3
buffer
– inverting 12-29-05
– with special amplification 29
– without specially amplified output ... 12-27-10
– /driver 12-29-01
bus driver 12-29-04
bus indicator 12-55-01
–, bidirectional 12-55-02
bus transceiver 12-29-03

C dependency notation 18
CAM 12-50-04
carry
– generate input 12-09-40
– generate output 12-09-41
– in input 12-09-39
– out output 12-09-42
– propagate input 12-09-43
– propagate output 12-09-44
C dependency, comparison with EN and M 22
change-over switch, bidirectional 12-29-11

* The m represents a number

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

clock generator/driver, four phase 12-47-01
– 12-56-04
Cm* input 12-18-01
Cm* output 12-18-02
CMOS transmission gate 12-29-10
code conversion, indication 32.1.1
code converter 32
– 12-32-01
–, BCD-to-binary 12-33-07
–, BCD-to-decimal 12-33-02
–, binary-to-BCD 12-33-10
–, Gray-to-decimal 12-33-01
–, three-to-eight-line 12-33-03
coder 32
..... 12-32-01
– used to produce affecting inputs ... 24.1
– for arbitrary code 12-33-09
combination of outlines 6.1
combinational [combinative]elements 26
comma, use in labels 12
..... 25.2.1
common control block 6.2
common output 6.2.2
comparator, magnitude 12-38-05
– 12-39-07
–, 4-bit 12-39-08
compare-output (associative memory) ... 12-09-23
complex-function element 54
– 12-54-01
composition of a symbol 4
consecutive labels, omission of 54.8
content-addressable memory (CAM) 12-50-04
content input 12-09-45
content output 12-09-46
controlled astable element 12-46-02
CONTROL-dependency notation 18
converter, analogue-to-digital, 10-bit 12-56-09
converter, digital-to-analogue 12-56-07
counter 41.2
– 48
–, binary, 4-bit, synchronous up/down .. 12-49-15
–, binary , 14-stage 12-49-10
–, cycle length m 12-48-03
–, cycle length 2 to the power of m 12-48-02
–, decade 12-49-16
–, decade, synchronous up/down 12-49-14
–, modulo m 12-48-03
–, modulo 2 to the power of m 12-48-02
–, ripple 12-49-09
–, ripple 12-49-10
–, ripple, binary , 14-stage 12-49-09
–, synchronous 12-49-11
– /divider, decade, with decoded 7-segment display outputs 12-49-13
counters, one dividing by 5 and 10, the other by 6 12-49-12
counting-down input 12-09-21
counting-up input 12-09-20
crossing of data paths 55.2

D-bistable, edge-triggered 12-42-07
– 12-42-09
– 12-42-10
D-input 12-09-12
D latch 12-42-02
data-flow-direction indicator 55.2
data path representation 55.2
data selector, analogue 12-37-06
data-lock-out JK bistable 12-42-05
decade counter 12-49-16
–, synchronous, parallel load 12-49-12
–, synchronous up/down 12-49-14
– /divider with decoded 7-segment display outputs 12-49-13
decoder/driver, BCD-to-seven-segment .. 12-33-06
delay element 40
–, 100 ns 12-40-02
–, tapped, steps of 10 ns 12-40-03
– with specified delay times 12-40-01
demultiplexer 36
– 12-36-02
–, one-to-eight 12-37-04
– /decoder 12-37-05
dependency notation 11
–, ADDRESS (A) 23
–, AND (G) 14
–, application of 12
–, comparison of C, EN, and M 22
–, CONTROL (C) 18
–, ENABLE (EN) 20
–, general explanation 11
–, INTERCONNECTION (Z) 17
–, MODE (M) 21
–, NEGATE (N) 16
–, OR (V) 15
–, RESET (R) 19
–, SET (S) 19
–, special techniques 24
–, summary of types 13
–, TRANSMISSION (X) ..... 17 A
–, types 13
designations of inputs and outputs 54.2
destination of unidirectional data path ... 55.2
digital-to-analogue converter 12-56-07
direct polarity indication (logic polarity) ... 7

* The m represents a number

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

direction of signal flow 6.1.2
– 10.3
display
– alphanumeric 12-53-06
– hexadecimal 12-53-04
–, dot matrix alphanumeric 12-56-12
– for overflow 12-53-03
–, 7 segments 32.2.2
distinctive shapes 2.1
distributed (AND or OR) connection 12-27-13
DMA controller, programmable 12-56-03
dot (AND or OR) function 12-27-13
driver 29
dual-tone multi-frequency generator 12-56-05
dynamic input 12-07-07
– with logic negation 12-07-08
– with polarity indicator 12-07-09

edge-triggered bistable 41.2
edge-triggered D-bistable 12-42-07
– 12-42-09
edge-triggered JK bistable 12-42-03
embedded elements 6.1
embedded symbol 24.1.1
EN dependency notation 20
–, comparison with C and M 22
ENABLE-dependency notation 20
ENABLE input 12-09-11
encoder, highest priority 12-33-04
ENm* input 12-20-01
error detection/correction 12-28-13
equal input (magnitude comparator) 12-09-29
equal output (magnitude comparator) ... 12-09-32
even-parity element 12-27-08
exclusive NOR 12-37-03
exclusive-OR 12-27-09
– 12-28-09
– /NOR 12-28-10
expander 12-28-07
extender output 12-09-10
extension input 12-09-09
external logic state 3.2

factoring of labels 25.1.4
FIFO 12-50-05
– 12-51-08
–, fall-through 12-56-11
first-in-first-out memory 12-50-05
fixed-mode input 12-09-49
fixed-state output 12-08-12
– 12-09-50
flip-flops (bistable elements) 41
full-adder 12-38-08
– 12-39-01
full subtractor, 4-bit 12-39-03
function table 54-9
functional grouping 54.5

G dependency notation 14
generator 46
–, multi-frequency, dual-tone 12-56-05
Gm* input 12-14-01
Gm* output 12-14-02
gray box (complex function) 12-54-01
greater-than input of a magnitude comparator 12-09-27
greater-than output of a magnitude comparator 12-09-30
Greek letters, (dependency notation) 12
grouping symbol
bit –, applied to inputs 12-09-24
..... 24.2
..... 25.1.6
bit –, applied to outputs 12-09-25
..... 25.2.3
line – 12-09-47
label –, ... 54.6
12-09-25A

half adder 12-38-07
hexadecimal display 12-53-04
highest priority encoder 12-33-04
hysteresis
– at an input 12-09-02
– , general symbol 12-30-01

identifying number 12
incompletely utilized device 12-49-07
inherent storage at inputs 24.3
in-line negation 54.4
input labels, order of 25.1
input qualifying symbols 7
input/output port 12-42-12
INTERCONNECTION dependency notation 17
internal
– connection 8
– diagram 54.10
– input 12-08-05
– logic state 3.1
– number (coder) 32.2
– output 12-08-06
interrogate input (associative memory) ... 12-09-22
inverter
–, (direct polarity indication) 12-27-12

* The m represents a number

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

–, (single logic convention) 12-27-11
– with hysteresis 12-31-01

J-input 12-09-13
JK bistable 12-42-03
junction of data paths 55.2

K-input 12-09-14

label grouping 12-09-25A
– 54.6
labels
– input and output 9
–, (complex-function elements) 54
–, (dependency notation) 12
factoring of – 25.1.4
order of input – 25.1
order of output – 25.2
latch 41
–, RS 12-42-01
LED light bars 12-53-01
less-than input (magnitude comparator) 12-09-28
less-than output (magnitude comparator) 12-09-31
level converter 34
–, TTL-to-MOS 12-35-01
–, ECL-to-TTL 12-35-02
line
– driver 29
– grouping 12-09-47
– receiver 12-29-07
logic
– identity element 12-27-06
– level 2.4
..... 3.3
– negation 7
– polarity 7
– state 2.3
– threshold element 12-27-03
long character strings 54.7
look-ahead-carry generator 12-38-03
– 12-39-04

m and only m element 12-27-04
magnitude comparator 12-38-05
– 12-39-07
majority element 12-27-05
match output (associative memory) 12-09-23
memories 50
microprocessor, 8-bit 12-56-01
Mm* input 12-21-01
Mm* output 12-21-02
MODE dependency notation 21
monostable elements 44
..... 12-44-01
–, retriggerable 12-45-01
–, non-retriggerable 12-45-02
multi-frequency generator 12-56-05
multiplexer (MUX) 36
– 12-37-01
multiplexer with storage 12-42-11
multiplexer/demultiplexer
–, analogue 12-37-06
–, bidirectional 12-36-03
multiplier 12-38-04
multiplier, 4-bit parallel 12-39-05

N dependency notation 16
NAND 12-28-01
– buffer 12-29-02
– with open-circuit output 12-28-04
– with hysteresis 12-31-02
– Schmitt-trigger 12-31-02
NEGATE dependency notation 16
negated inputs and outputs 7
negated terminal names 54.3
negation, in-line 54.4
negator 12-27-11
Nm* input 12-16-01
Nm* output 12-16-02
non-logic connection 10
– 12-10-01
non-retriggerable monostable 12-44-02
non-standardized information (within a symbol) 4.3
non-volatile bistable 12-43-03
NOR element 12-28-02

ODD 12-28-11
– parity element 12-27-07
omission of consecutive labels and terminal numbers 54.8
one-shot (monostable) element 12-44-01
open-circuit output 12-09-03
open-circuit symbol 25.2.1
open-collector output 12-09-03
open-drain output 12-09-03
open-emitter output 12-09-03
open-source output 12-09-03
operand input 12-09-26
OR 12-27-01
– with one common input and complementary outputs 12-28-08
– with negated output (NOR) 12-28-02

* The m represents a number

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

– AND with complementary open-circuit outputs 12-28-05
– dependency notation 15
order of input labels 25.1
order of output labels 25.2
orientation of symbols 4.6
oscillator 46
–, voltage-controlled 12-47-02
outlines 5
output qualifying symbols 7
output with special amplification 12-09-08A

parentheses (factoring) 25.1.4
parity (even) element 12-27-08
parity (odd) element 12-27-07
parity generator/checker 12-28-12
passive-pull-down output 12-09-06
passive-pull-down symbol 25.2.1
passive-pull-up output 12-09-07
passive-pull-up symbol 25.2.1
polarity symbol, logic 7.1
postponed output 12-09-01
– 25.2.1
prescaler 12-48-17
programmable DMA controller 12-56-03
programmable peripheral interface 12-56-02
programmable read-only memory 12-50-02
PROM 12-50-02
– 1k×4 12-51-01
pulldown, internal 10
pullup, internal 10
pulse-triggered
– bistable 41.2
– JK bistable 12-42-04
– RS bistable 12-42-08

qualifying symbols associated with inputs and outputs 7
query input of an associative memory ... 12-09-22

R dependency notation 19
RAM 12-50-03
– 16×4 12-51-05
random-access memory 12-50-03
R-input 12-09-15
read-only memory 12-50-01
receiver 29
reference to a table 32.1.2
register, universal shift/storage, 8-bit 12-49-07
replacement of X and X (coder) 32.2
RESET dependency notation 19
retriggerable monostable 12-44-01
ripple counter 12-49-09
Rm* input 12-19-02
ROM 12-50-01
– 32×8 12-51-03
RS bistable 12-42-01
–, non-volatile 12-43-03
–, pulse-triggered 12-42-08
– with initial 0-state 12-43-01
– with initial 1-state 12-43-02
RS-latch 12-42-01
..... 12-42-06

S dependency notation 19
S-input 12-09-16
Schmitt trigger 31
– inverter 12-31-01
SET dependency notation 19
seven-segment display 12-53-02
seven-segment numeric indicator 12-53-05
shift register 48
– 12-48-01
– 12-49-01
shifting input (register) 12-09-18
signal-flow
– direction 6.1.2
– 10.3
– indication 4.6
– 10
signal-level converter 34
single-bit full adder 12-39-01
single-shot 12-44-01
slash (see solidus)
Sm* input 12-19-01
solidus (slash)
– with MODE-dependency 21
– in input labels 25.1.2
– in output labels 25.2.1
– in coder symbol 32
– in level-converter symbol 34
source of data path 55.2
source and destination of data path 55.2
special-amplification symbol 25.2
square brackets 4.3
subtractor 12-38-02
– 12-39-03
supply terminal 12-47-02
supply-voltage input 10.2
switch
–, bidirectional 12-29-09
–, 10 positions 32.2.1
symbol, composition of the 4
synchronous counter, decade, parallel load 12-49-11

* The m represents a number

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

synchronous up/down counter 12-49-14
synchronously starting astable element .. 12-46-03

table, reference to 32.1.2
tapped delay element 12-40-03
terminal numbers, omission of 54.8
terminal names 54.2
– , negated 54.3
three-state output 12-09-08
T-input 12-09-17
transceiver 29
transmission gate (CMOS) 12-29-10
TRANSMISSION-dependency notation .. 17A
true/complement element 12-28-15
truth table 54.9
types of dependency 13

unsubdivided symbol 4.4
use of outlines 6

virtual input 12-08-05
virtual output 12-08-06
Vm* input 12-15-01
Vm* output 12-15-02
voltage-controlled oscillator 12-47-02

weight of elements within an array 6.2.1
wired (AND or OR) function 12-27-13

X dependency notation 17A
Xm* input 12-17A-01
Xm* output 12-17A-02

zero/one element 12-28-15
Zm* input 12-17-01
Zm* output 12-17-02

3-state output symbol 25.2.1

* The m represents a number

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Index des dispositifs où sont figurés les symboles

Index of devices for which symbols are shown

F	100102	OU/NI	OR	12-28-08
F	100107	OU exclusif	Exclusive-OR	12-28-09
F	100170	Démultiplexeur/décodeur	Demultiplexer/decoder	12-37-05
F	100181	Opérateur logique et arithmétique	Arithmetic logic unit	12-39-11
MC	10121	OU-ET	OR-AND	12-28-05
MC	10125	Convertisseur de niveaux ECL en niveaux TTL	Level converter, ECL-to-TTL	12-35-02
MC	10131	Bascule D déclenchée sur front	Edge-triggered D-bistable	12-42-09
MC	10163	Détecteur/correcteur d'erreur	Error detector/corrector	12-28-13
MC	1222	Bascule D déclenchée sur front	Edge-triggered D-bistable	12-42-10
MC	14519	Multiplexeur	Multiplexer	12-37-02
MC	14519	NI exclusif	Exclusive NOR	12-37-03
MC	14529B	Sélecteur de données analogiques,	Analogue data selector	13-37-06
TBP	18S030	Convertisseur de code programmé	Coder for arbitrary code	12-33-09
HDSP	2000	Afficheur alphanumérique	Alphanumeric display	12-53-07
HLMP	2600	Barres limineuses LED	LED light bars	12-53-01
Am	26S10	Emetteur-récepteur pour liaison multiple	Bus transceiver	12-29-03
M	27C4001	PROM 512×8	PROM 512×8	12-51-03
AM	28F010	PROM 128k×8 "flash memory"	PROM 128k×8 «, = e,oire flash»	12-51-04A
HDSP	3603	Afficheur à sept segments	Seven-segment display	12-53-02
INTEL	3625	PROM 1k×4	PROM 1k×4	12-51-01
INTEL	3625	PROM 1k×4	PROM 1k×4	12-51-02
EA-Y	40025 AT	Afficheur, matrice de points	Display element, dot matrix	12-56-12
CD	4016B	Commutateur électronique	Bidirectional switch	12-29-09
CD	4020	Compteur diviseur binaire avec report en cascade	Binary ripple counter	12-49-09
CD	4020	Compteur binaire	Binary counter	12-49-10
CD	4026	Compteur/diviseur décimal	Decade counter/divider	12-49-13
CD	4035A	Registre à décalage à entrées et sorties parallèles	Shift register, parallel in/parallel out	12-49-04
CD	4053B	Commutateur à deux directions, bilatéral	Bidirectional change-over switch	12-29-11
MM	4057	Registre à décalage statique	Shift register, stratic	12-49-02
TMS	4116	RAM 16k×1	RAM 16k×1	12-51-07
CD	4502B	Amplificateur inverseur avec sortie 3 états	Buffer, inverting with 3-state outputs	12-29-05
MB	507	Prescaler with four scaling factors	Registre à décalage avec quatre facteurs	12-49-17
	5082-7340	Afficheur hexadécimal	Hexadecimal display	12-53-04
SN	55152	Récepteur de ligne	Line receiver	12-29-07B
TC	55329	RAM 32k×9	RAM 32k×9	12-51-05
SN	5862-7433	Afficheur numérique	Numeric display	12-53-05
HDSP	5607	Afficheur pour dépassement	Overflow display	12-53-03
AD	571	Convertisseur analogique vers numérique	Analogue-to-digital converter	12-56-09

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

AD	571	Convertisseur analogique vers numérique	Analogue-to-digital converter	12-56-10
HDSP	6504	Afficheur alphanumérique	Alphanumeric display	12-53-06
DM	7160	Comparateur numérique	Magnitude comparator	12-39-07
SN	7403	ET-NON avec sortie à circuit ouvert	NAND with open-circuit output	12-28-04
SN	7406	Inverseur avec sortie amplifiée	Buffer/driver	12-29-01
SN	7410	ET NON	AND	12-28-01
SN	74LS14	Opérateur à seuils	Bi-threshold detector	12-31-01
SN	74107	Bascule JK déclenchée par impulsion	Pulse-triggered JK-bistable	12-42-04
SN	74LS107	Bascule JK déclenchée	Edge-triggered JK-bistable	12-42-03
SN	74111	Bascule JK déclenchée sur front	Data-lock-out JK-bistable	12-42-05
SN	74LS123	Monostable redéclenchable	Monostable, retriggerable	12-45-01
SN	74S124	Oscillateur commandé en tension	Voltage-controlled oscillator	12-47-02
SN	74132	Trigger de Schmitt ET-NON	NAND Schmitt-trigger	12-31-02
SN	74S135	OU exclusif/NI	Exclusive-OR/NOR	12-28-10
SN	74S135	Opérateur d'IMPARITÈ	ODD element	12-28-11
SN	74LS138	Convertisseur de code trois vers huit	Code converter, three-to-eight-line	12-33-03
SN	74LS138	Démultiplexeur à 8 lignes	Demultiplexer (one-to-eight)	12-37-04
SN	74147	Codeur de priorité 9 à 4	Highest-priority encoder,	12-33-04
SN	74148	Codeur de priorité 8 à 3	Highest-priority encoder	12-33-05
SN	74151	Multiplexeur à 8 entrées	Multiplexer (one-of-eight)	12-37-01
SN	74LS160	Compteur synchrone décimal	Counter, synchronous, decade	12-49-11
SN	74164	Registre à décalage,à double entrée série et sorties parallèles	Shift register, with parallel outputs	12-49-05
SN	74165	Registre à décalage à chargement parallèle	Shift register with parallel load	12-49-06
SN	74170	RAM 4×4	RAM 4×4	12-51-06
SN	74180	Générateur/correcteur de parité ou imparité	Parity generator/checker, odd/even	12-28-14
SN	74181	Opérateur logique et arithmétique	Arithmetic logic unit	12-39-10
SN	74182	Générateur de retenue anticipée	Look-ahead carry generator	12-39-04
SN	74185	Convertisseur de code binaire en code BCD	Code converter, binary-to-BCD	12-33-10
SN	74187	Opérateur donnant l'identité ou le complément	True/complement, zero/one element	12-28-15
SN	74S189	RAM 16×4	RAM 16×4	12-51-05
SN	74191	Compteur/décompteur	Binary counter	12-49-15
SN	74192	Compteur/décompteur décimal	Counter, decade,	12-49-14
SN	74LS194	Registre à décalage bilatéral	Shift register, bidirectional	12-49-03
SN	74221	Monostable non redéclenchable	Monostable, non-retriggerable	12-45-02
SN	74LS224	FIFO 16×4	FIFO 16×4	12-51-08
SN	74S225	FIFO 16×5	FIFO 16×5	12-51-10
SN	74S225	FIFO 16×5	FIFO 16×5	12-56-11
SN	74ALS229	FIFO 16×5	FIFO 16×5	12-51-09
SN	74S240	Amplificateur à entrée à seuils et sortie3 états pour multiplet	Bus driver with bi-threshold inputs	12-29-04
SN	7427	NI, exprimé par OU	NOR	12-28-02

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

SN	74279	Bascule RS	RS-latch	12-42-06
SN	74280	Générateur/contrôleur de parité	Parity generator/checker	12-28-12
SN	74283	Additionneur complet	Full adder	12-39-02
SN	74283	Soustracteur complet	Full subtractor	12-39-03
SN	74284	Multiplicateur parallèle	Multiplier	12-39-06
SN	74285	Multiplicateur parallèle	Multiplier	12-39-05
SN	74298	Multiplexeur avec mémoire	Multiplexer with storage	12-42-11
SN	74LS323	Registre universel à décalage ou mémorisation	Register, universal shift/storage	12-49-08
SN	74LS323	Registre universel à décalage ou mémorisation	Register, universal shift/storage	12-49-07
SN	74LS362	Générateur amplificateur de signaux d'horloge	Clock generator/driver	12-47-01
SN	7437	ET NON avec sortie amplifiée	NAND buffer	12-29-02
SN	74HC4053	Commutateur à deux directions	Bidirectional change-over switch	12-29-11
SN	7442	Convertisseur de code BCD en code décimal	Code converter, BCD-to-decimal	12-33-02
SN	7444	Convertisseur de code Gray en code décimal	Code-converter, Gray-to-decimal	12-33-01
SN	74LS47	Décodeur/amplificateur du code binaire vers le code 7 segments	Décoder/driver binary-to-seven-segment	12-33-06
SN	74S484	Convertisseur de code BCD en code binaire	Code converter, BCD-to-binary	12-33-07
SN	74490	Compteur modulo 10	Counter, decade	12-49-16
SN	74490	Compteur modulo 10	Counter, decade	12-49-17
SN	7450	ET-OU inversé en sortie, entrée d'expansion	AND-OR-Invert, expandable	12-28-06
SN	74L51	ET-OU inversé en sortie	AND-OR-Invert	12-28-03
SN	74LS57	Compteur	Counters	12-49-12
SN	7460	Expanseur	Expander	12-28-07
SN	74L71	Bascule RS déclenchée par impulsion	Pulse-triggerred RS-bistable	12-42-08
SN	7474	Bascule D déclenchée sur front	Edge-triggered D-bistable	12-42-07
SN	7475	Bascule D	D-latch	12-42-02
SN	7480	Additionneur complet	Single-bit full adder	12-39-01
SN	7485	Comparateur numérique	Magnitude comparator	12-39-08
SN	7488	ROM 32×8	ROM 32×8	12-51-03
SN	7488	ROM 32×8	ROM 32×8	12-51-04
SN	7491	Registre à décalage	Shift register	12-49-01
SN	75107	Récepteur de ligne	Line receiver	12-29-07
SN	75127	Récepteur de ligne	Line receiver	12-29-07A
SN	75365	Convertisseur de niveaux TTL en niveaux MOS	Level converter, TTL-to-MOS	12-35-01
DM	76L24	Comparateur numérique	Magnitude comparator	12-39-09
INTEL	8085	Microprocesseur	Microprocessor	12-56-01
	8212	Jonction	Input/output port	12-42-12
INTEL	M 8225A	Interface périphérique programmable	Programmable peripheral interface	12-56-02
	8226	Amplificateur bilatéral	Bus driver, bidirectional	12-29-06
INTEL	8257	Contrôleur DMA programmable	Programmable DMA controller	12-56-03
	8286	Amplificateur bilatéral	Bus driver, bidirectional	12-29-08

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

AY3- 9400	Générateur à 2 tonalités ou fréquences	Dual-tone multi-frequency generator	12-56-05
TIM 9904	Générateur d'horloge, de puissance	Clock generator/driver	12-56-04
AD DAC85D-CBIV	Convertisseur numérique vers analogique	Digital-to-analogue converter	12-56-07
AD DAC85D-CBIV	Convertisseur numérique vers analogique	Digital-to-analogue converter	12-56-08

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Standards Survey

We at the IEC want to know how our standards are used once they are published.

The answers to this survey will help us to improve IEC standards and standard related information to meet your future needs

Would you please take a minute to answer the survey on the other side and mail or fax to:

Customer Service Centre (CSC)
International Electrotechnical Commission
3, rue de Varembé
Case postale 131
1211 Geneva 20
Switzerland

or

Fax to: CSC at +41 22 919 03 00

Thank you for your contribution to the standards making process.

A Prioritaire

Nicht frankieren
Ne pas affranchir

Non affrancare
No stamp required

RÉPONSE PAYÉE

SUISSE

Customer Service Centre (CSC)
International Electrotechnical Commission
3, rue de Varembé
Case postale 131
1211 GENEVA 20
Switzerland

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

1.

No. of IEC standard:

.....

2.

Tell us why you have the standard. (check as many as apply). I am:

- ☐ the buyer
- ☐ the user
- ☐ a librarian
- ☐ a researcher
- ☐ an engineer
- ☐ a safety expert
- ☐ involved in testing
- ☐ with a government agency
- ☐ in industry
- ☐ other.....

3.

This standard was purchased from?

.....

4.

This standard will be used (check as many as apply):

- ☐ for reference
- ☐ in a standards library
- ☐ to develop a new product
- ☐ to write specifications
- ☐ to use in a tender
- ☐ for educational purposes
- ☐ for a lawsuit
- ☐ for quality assessment
- ☐ for certification
- ☐ for general information
- ☐ for design purposes
- ☐ for testing
- ☐ other.....

5.

This standard will be used in conjunction with (check as many as apply):

- ☐ IEC
- ☐ ISO
- ☐ corporate
- ☐ other (published by.....)
- ☐ other (published by.....)
- ☐ other (published by.....)

6.

This standard meets my needs (check one)

- ☐ not at all
- ☐ almost
- ☐ fairly well
- ☐ exactly

7.

Please rate the standard in the following areas as (1) bad, (2) below average, (3) average, (4) above average, (5) exceptional, (0) not applicable:

- ☐ clearly written
- ☐ logically arranged
- ☐ information given by tables
- ☐ illustrations
- ☐ technical information

8.

I would like to know how I can legally reproduce this standard for:

- ☐ internal use
- ☐ sales information
- ☐ product demonstration
- ☐ other.....

9.

In what medium of standard does your organization maintain most of its standards (check one):

- ☐ paper
- ☐ microfilm/microfiche
- ☐ mag tapes
- ☐ CD-ROM
- ☐ floppy disk
- ☐ on line

9A.

If your organization currently maintains part or all of its standards collection in electronic media, please indicate the format(s):

- ☐ raster image
- ☐ full text

10.

In what medium does your organization intend to maintain its standards collection in the future (check all that apply):

- ☐ paper
- ☐ microfilm/microfiche
- ☐ mag tape
- ☐ CD-ROM
- ☐ floppy disk
- ☐ on line

10A.

For electronic media which format will be chosen (check one)

- ☐ raster image
- ☐ full text

11.

My organization is in the following sector (e.g. engineering, manufacturing)

.....

12.

Does your organization have a standards library:

- ☐ yes
- ☐ no

13.

If you said yes to 12 then how many volumes:

.....

14.

Which standards organizations published the standards in your library (e.g. ISO, DIN, ANSI, BSI, etc.):

.....

15.

My organization supports the standards-making process (check as many as apply):

- ☐ buying standards
- ☐ using standards
- ☐ membership in standards organization
- ☐ serving on standards development committee
- ☐ other.....

16.

My organization uses (check one)

- ☐ French text only
- ☐ English text only
- ☐ Both English/French text

17.

Other comments:

.....

.....

.....

.....

.....

.....

18.

Please give us information about you and your company

name: .....

job title:.....

company: .....

address:.....

.....

.....

.....

No. employees at your location:.....

turnover/sales:.....

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Enquête sur les normes

La CEI se préoccupe de savoir comment ses normes sont accueillies et utilisées.

Les réponses que nous procurera cette enquête nous aideront tout à la fois à améliorer nos normes et les informations qui les concernent afin de toujours mieux répondre à votre attente.

Nous aimerions que vous nous consacriez une petite minute pour remplir le questionnaire joint que nous vous invitons à retourner au:

Centre du Service Clientèle (CSC)
Commission Electrotechnique Internationale
3, rue de Varembé
Case postale 131
1211 Genève 20
Suisse
Télécopie: IEC/CSC +41 22 919 03 00

Nous vous remercions de la contribution que vous voudrez bien apporter ainsi à la Normalisation Internationale

A Prioritaire

Nicht frankieren
Ne pas affranchir

Non affrancare
No stamp required

RÉPONSE PAYÉE
SUISSE

Centre du Service Clientèle (CSC)
Commission Electrotechnique Internationale
3, rue de Varembé
Case postale 131
1211 GENÈVE 20
Suisse

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

1.

Numéro de la Norme CEI:

.....

2.

Pourquoi possédez-vous cette norme? (plusieurs réponses possibles). Je suis:

- ☐ l'acheteur
- ☐ l'utilisateur
- ☐ bibliothécaire
- ☐ chercheur
- ☐ ingénieur
- ☐ expert en sécurité
- ☐ chargé d'effectuer des essais
- ☐ fonctionnaire d'Etat
- ☐ dans l'industrie
- ☐ autres .....

3.

Où avez-vous acheté cette norme?

.....

4.

Comment cette norme sera-t-elle utilisée? (plusieurs réponses possibles)

- ☐ comme reférence
- ☐ dans une bibliothèque de normes
- ☐ pour développer un produit nouveau
- ☐ pour rédiger des spécifications
- ☐ pour utilisation dans une soumission
- ☐ à des fins éducatives
- ☐ pour un procès
- ☐ pour une évaluation de la qualité
- ☐ pour la certification
- ☐ à titre d'information générale
- ☐ pour une étude de conception
- ☐ pour effectuer des essais
- ☐ autres .....

5.

Cette norme est-elle appelée à être utilisée conjointement avec d'autres normes? Lesquelles? (plusieurs réponses possibles):

- ☐ CEI
- ☐ ISO
- ☐ internes à votre société
- ☐ autre (publiée par).....)
- ☐ autre (publiée par).....)
- ☐ autre (publiée par).....)

6.

Cette norme répond-elle à vos besoins?

- ☐ pas du tout
- ☐ à peu près
- ☐ assez bien
- ☐ parfaitement

7.

Nous vous demandons maintenant de donner une note à chacun des critères ci-dessous (1, mauvais; 2, en-dessous de la moyenne; 3, moyen; 4, au-dessus de la moyenne; 5, exceptionnel; 0, sans objet)

- ☐ clarté de la rédaction
- ☐ logique de la disposition
- ☐ tableaux informatifs
- ☐ illustrations
- ☐ informations techniques

8.

J'aimerais savoir comment je peux reproduire légalement cette norme pour:

- ☐ usage interne
- ☐ des renseignements commerciaux
- ☐ des démonstrations de produit
- ☐ autres .....

9.

Quel support votre société utilise-t-elle pour garder la plupart de ses normes?

- ☐ papier
- ☐ microfilm/microfiche
- ☐ bandes magnétiques
- ☐ CD-ROM
- ☐ disquettes
- ☐ abonnement à un serveur électronique

9A.

Si votre société conserve en totalité ou en partie sa collection de normes sous forme électronique, indiquer le ou les formats:

- ☐ format tramé (ou image balayée ligne par ligne)
- ☐ texte intégral

10.

Sur quels supports votre société prévoit-elle de conserver sa collection de normes à l'avenir (plusieurs réponses possibles):

- ☐ papier
- ☐ microfilm/microfiche
- ☐ bandes magnétiques
- ☐ CD-ROM
- ☐ disquettes
- ☐ abonnement à un serveur électronique

10A.

Quel format serait retenu pour un moyen électronique? (une seule réponse)

- ☐ format tramé
- ☐ texte intégral

11.

A quel secteur d'activité appartient votre société? (par ex. ingénierie, fabrication)

.....

12.

Votre société possède-t-elle une bibliothèque de normes?

- ☐ Oui
- ☐ Non

13.

En combien de volumes dans le cas affirmatif?

.....

14.

Quelles organisations de normalisation ont publié les normes de cette bibliothèque (ISO, DIN, ANSI, BSI, etc.):

.....

15.

Ma société apporte sa contribution à l'élaboration des normes par les moyens suivants (plusieurs réponses possibles):

- ☐ en achetant des normes
- ☐ en utilisant des normes
- ☐ en qualité de membre d'organisations de normalisation
- ☐ en qualité de membre de comités de normalisation
- ☐ autres .....

16.

Ma société utilise (une seule réponse)

- ☐ des normes en français seulement
- ☐ des normes en anglais seulement
- ☐ des normes bilingues anglais/français

17.

Autres observations

.....

.....

.....

.....

.....

18.

Pourriez-vous nous donner quelques informations sur vous-mêmes et votre société?

nom .....

fonction.....

nom de la société .....

adresse.....

.....

.....

.....

nombre d'employés.....

chiffre d'affaires:.....

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Publications de la CEI préparées par le Comité d'Etudes n° 3

60416 (1988)	Principes généraux pour la création de symboles graphiques utilisables sur le matériel.
60417 (1973)	Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles.
60417A (1974)	Premier complément.
60417B (1975)	Deuxième complément.
60417C (1977)	Troisième complément.
60417D (1978)	Quatrième complément.
60417E (1980)	Cinquième complément.
60417F (1982)	Sixième complément.
60417G (1985)	Septième complément.
60417H (1987)	Huitième complément.
60417J (1990)	Neuvième complément.
60417K (1991)	Dixième complément.
60417L (1993)	Onzième complément.
60417M (1994)	Douzième complément.
60417N (1995)	Treizième complément.
60417O (1996)	Quatorzième complément.
60417P (1997)	Quinzième complément.
60617: — Symboles graphiques pour schémas.	
60617-1 (1985)	Première partie: Généralités, index général. Tables de correspondance.
60617-2 (1996)	Partie 2: Eléments de symboles, symboles distinctifs et autres symboles d'application générale.
60617-3 (1996)	Partie 3: Conducteurs et dispositifs de liaison.
60617-4 (1996)	Partie 4: Composants passifs de base.
60617-5 (1996)	Partie 5: Semiconducteurs et tubes électroniques.
60617-6 (1996)	Partie 6: Production, transformation et conversion de l'énergie électrique.
60617-7 (1996)	Partie 7: Appareillage et dispositifs de commande et de protection.
60617-8 (1996)	Partie 8: Appareils de mesure, lampes et dispositifs de signalisation.
60617-9 (1996)	Partie 9: Télécommunications: Commutation et équipements périphériques.
60617-10 (1996)	Partie 10: Télécommunications: Transmission.
60617-11 (1996)	Partie 11: Schémas et plans d'installation, architecturaux et topographiques.
60617-12 (1997)	Partie 12: Opérateurs logiques binaires.
60617-13 (1993)	Treizième partie: Opérateurs analogiques.
60750 (1983)	Repérage d'identification du matériel en électrotechnique.
60848 (1988)	Etablissement des diagrammes fonctionnels pour systèmes de commande.
61082: — Etablissement des documents utilisés en électrotechnique.	
61082-1 (1991)	Partie 1: Prescriptions générales. Amendement 1 (1995). Amendement 2 (1996).
61082-2 (1993)	Partie 2: Schémas adaptés à la fonction.
61082-3 (1993)	Partie 3: Schémas, tableaux et listes des connexions.
61082-4 (1996)	Partie 4: Documents d'implantation et d'installation.
61082-6 (1997)	Partie 6: Index.

(suite)

IEC publications prepared by Technical Committee No. 3

60416 (1988)	General principles for the creation of graphical symbols for use on equipment.
60417 (1973)	Graphical symbols for use on equipment. Index, survey and compilation of the single sheets.
60417A (1974)	First supplement.
60417B (1975)	Second supplement.
60417C (1977)	Third supplement.
60417D (1978)	Fourth supplement.
60417E (1980)	Fifth supplement.
60417F (1982)	Sixth supplement.
60417G (1985)	Seventh supplement.
60417H (1987)	Eighth supplement.
60417J (1990)	Ninth supplement.
60417K (1991)	Tenth supplement.
60417L (1993)	Eleventh supplement.
60417M (1994)	Twelfth supplement.
60417N (1995)	Thirteenth supplement.
60417O (1996)	Fourteenth supplement.
60417P (1997)	Fifteenth supplement.
60617: — Graphical symbols for diagrams.	
60617-1 (1985)	Part 1 : General information, general index. Cross-reference tables.
60617-2 (1996)	Part 2: Symbol elements, qualifying symbols and other symbols having general application.
60617-3 (1996)	Part 3: Conductors and connecting devices.
60617-4 (1996)	Part 4: Basic passive components.
60617-5 (1996)	Part 5: Semiconductors and electron tubes.
60617-6 (1996)	Part 6: Production and conversion of electrical energy.
60617-7 (1996)	Part 7: Switchgear, controlgear and protective devices.
60617-8 (1996)	Part 8: Measuring instruments, lamps and signalling devices.
60617-9 (1996)	Part 9: Telecommunications: Switching and peripheral equipment.
60617-10 (1996)	Part 10: Telecommunications: Transmission.
60617-11 (1996)	Part 11: Architectural and topographical installation plans and diagrams.
60617-12 (1997)	Part 12: Binary logic elements.
60617-13 (1993)	Part 13: Analogue elements.
60750 (1983)	Item designation in electrotechnology.
60848 (1988)	Preparation of function charts for control systems.
61082: — Preparation of documents used in electrotechnology.	
61082-1 (1991)	Part 1: General requirements. Amendment 1 (1995). Amendment 2 (1996).
61082-2 (1993)	Part 2: Function-oriented diagrams.
61082-3 (1993)	Part 3: Connection diagrams, tables and lists.
61082-4 (1996)	Part 4: Location and installation documents.
61082-6 (1997)	Part 6: Index.

(continued)

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

Publications de la CEI préparées par le Comité d'Etudes n° 3 *(suite)*

61175 (1993)	Désignation des signaux et connexions.
61286 (1995)	Technologies de l'information – Jeu de caractères graphiques codés pour emploi dans l'établissement de documents utilisés en électrotechnique et pour échange de l'information.
61346:—	Systèmes industriels, installations et appareils et produits industriels – Principes de structuration et désignations de référence.
61346-1 (1996)	Partie 1: Règles de base.
61346-4 (1997)	Partie 4: Examen des concepts.
61355 (1997)	Classification et désignation des documents pour installations industrielles, systèmes et matériels.
61360:—	Types normalisés d'éléments de données avec plan de classification pour composants électriques.
61360-1 (1995)	Partie 1: Définitions – Principes et méthodes.
61360-3 (1995)	Partie 3: Procédures de validation et de maintenance.
61360-4 (1997)	Partie 4: Collection de référence CEI des types normalisés d'éléments de données, des classes de composants et des termes.
61666 (1997)	Identification des bornes dans le cadre d'un système.
61734 (1997)	Application des normes CEI 60617-12 et CEI 60617-13.

IEC publications prepared by Technical Committee No. 3 *(continued)*

61175 (1993)	Designation for signals and connections.
61286 (1995)	Information technology – Coded graphic character set for use in the preparation of documents used in electrotechnology and for information interchange.
61346:—	Industrial systems, installations and equipment and industrial products – Structuring principles and reference designations.
61346-1 (1996)	Part 1: Basic rules.
61346-4 (1997)	Part 4: Discussion of concepts.
61355 (1997)	Classification and designation of documents for plants, systems and equipment.
61360:—	Standard data element types with associated classification scheme for electric components.
61360-1 (1995)	Part 1: Definitions – Principles and methods.
61360-3 (1995)	Part 3: Maintenance and validation procedures.
61360-4 (1997)	Part 4: IEC reference collection of standard data element types, component classes and terms.
61666 (1997)	Identification of terminals within a system.
61734 (1997)	Application of IEC 60617-12 and IEC 60617-13 standards.

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000

ISBN 2-8318-4216-6

9 782831 842165

ICS 01.080.30; 29.020

Typeset and printed by the IEC Central Office
GENEVA, SWITZERLAND

COPYRIGHT 2000 International Electrotechnical Commission
Information Handling Services, 2000